



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I466231 B

(45)公告日：中華民國 103 (2014) 年 12 月 21 日

(21)申請案號：100123116 (22)申請日：中華民國 100 (2011) 年 06 月 30 日

(51)Int. Cl. : H01L21/76 (2006.01) H01L27/12 (2006.01)

(30)優先權：2010/06/30 美國 12/827,582

(71)申請人：康寧公司 (美國) CORNING INCORPORATED (US)

美國

索伊科技公司 (法國) SOI TEC (FR)

法國

(72)發明人：莊塔寇 CHUANG, TA KO (TW)；塞斯傑佛瑞史考特 CITES, JEFFREY SCOTT (US)；戴爾派特丹尼爾 DELPRAT, DANIEL (FR)；穆罕默德納迪亞班 MOHAMED, NADIA BEN (FR)；烏珊柯艾力克斯 USENKO, ALEX (RU)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 409319

US 7176528B2

US 2007/0249139A1

審查人員：邱青松

申請專利範圍項數：19 項 圖式數：18 共 62 頁

(54)名稱

具有硬化層之玻璃上半導體基板及其製程

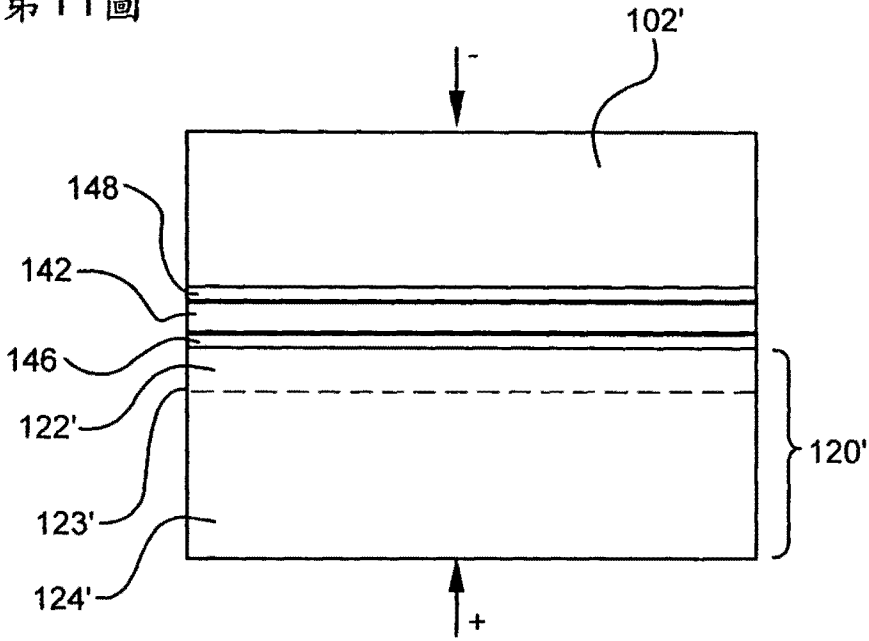
SEMICONDUCTOR ON GLASS SUBSTRATE WITH STIFFENING LAYER AND PROCESS OF MAKING THE SAME

(57)摘要

本發明提供一種玻璃上半導體基板，該基板具有置放在矽膜與玻璃之間的一或多層相對較硬(例如相對較高楊氏係數，125 或更高)之硬化層，以便消除原本可能會在離子植入薄膜轉移製程期間形成於經轉移矽膜之表面的凹谷及針孔。新的硬化層可由諸如氮化矽之材料形成，該材料亦充當阻止鈉及其他有害雜質自玻璃基板穿透至矽膜中之有效障壁。

A semiconductor-on-glass substrate having a relatively stiff (e.g. relatively high Young's modulus of 125 or higher) stiffening layer or layers placed between the silicon film and the glass in order to eliminate the canyons and pin holes that otherwise form in the surface of the transferred silicon film during the ion implantation thin film transfer process. The new stiffening layer may be formed of a material, such as silicon nitride, that also serves as an efficient barrier against penetration of sodium and other harmful impurities from the glass substrate into the silicon film.

第11圖



- 102' . . . 玻璃支撐
基板/玻璃基板
- 120' . . . 施體晶圓/
施體磚
- 122' . . . 剝離層/矽
膜
- 123' . . . 削弱區域/
削弱層
- 124' . . . 剩餘部分
- 142 . . . 硬化層
- 146 . . . 原生氧化
膜/氧化層/第一 SiO₂
(氧化物)層
- 148 . . . 氧化物接合
層/SiO₂ 接合層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：100123116

※ 申請日期：2011 年 6 月 30 日

※IPC 分類：

H01L 21/76 (2006.01)

一、發明名稱：(中文/英文)

H01L 27/12 (2006.01)

具有硬化層之玻璃上半導體基板及其製程

SEMICONDUCTOR ON GLASS SUBSTRATE WITH STIFFENING
LAYER AND PROCESS OF MAKING THE SAME

二、中文發明摘要：

本發明提供一種玻璃上半導體基板，該基板具有置放在矽膜與玻璃之間的一或多層相對較硬（例如相對較高楊氏係數，125 或更高）之硬化層，以便消除原本可能會在離子植入薄膜轉移製程期間形成於經轉移矽膜之表面的凹谷及針孔。新的硬化層可由諸如氮化矽之材料形成，該材料亦充當阻止鈉及其他有害雜質自玻璃基板穿透至矽膜中之有效障壁。

三、英文發明摘要：

A semiconductor-on-glass substrate having a relatively stiff (e.g. relatively high Young's modulus of 125 or higher) stiffening layer or layers placed between the silicon film and the glass in order to eliminate the canyons and pin holes that otherwise form in the surface of the transferred silicon film during the ion implantation thin film transfer process. The new stiffening layer may be formed of a material, such as silicon nitride, that also serves as an efficient barrier against penetration of sodium and other harmful impurities from the glass substrate into

the silicon film.

四、指定代表圖：

(一)本案指定代表圖為：第 (11) 圖。

(二)本代表圖之元件符號簡單說明：

102'：玻璃支撐基板/玻璃基板

120'：施體晶圓/施體磚

122'：剝離層/矽膜

123'：削弱區域/削弱層

124'：剩餘部分

142：硬化層

146：原生氧化膜/氧化層/第一 SiO_2 (氧化物) 層

148：氧化物接合層/ SiO_2 接合層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

主張先前提出申請的美國申請案之權益

本申請案主張 2010 年 6 月 30 日提出申請的美國專利申請案號 12/827,582 之權益。該文件之內容及本文所提及之公開案、專利及專利文件之全部揭示內容以引用之方式併入本文。

【發明所屬之技術領域】

本揭示案大體而言係關於玻璃上半導體 (semiconductor-on-glass; SOG) 基板，更特定言之，係關於在玻璃與半導體之間具有硬化層之 SOG 基板及該 SOG 基板之製程。

【先前技術】

迄今為止，單晶矽已成為最常用於絕緣體上半導體結構中之半導體材料。此類結構在文獻中被稱作絕緣體上矽結構，且縮寫「SOI」已應用於此類結構。對於高效能薄膜電晶體、太陽能電池及顯示器而言，絕緣體上矽技術變得愈加重要。絕緣體上矽晶圓由絕緣材料上厚度為 0.01-1 微米之實質單晶矽薄層組成。如本文所使用，應將 SOI 更廣泛地理解為包括矽及矽之外的薄層材料及絕緣半導體材料。

獲得 SOI 結構之多種方式包括在晶格相符之基板上磊晶生長矽。替代製程包括：將一單晶矽晶圓接合至另一矽晶圓 (SiO_2 氧化層已生長於該另一矽晶圓上)，隨後

將上方晶圓研磨或蝕刻直至成為例如 0.05 至 0.3 微米之單晶矽層。其他方法包括離子植入法，在該等方法中，將氫離子植入施體矽晶圓中，以在該晶圓中產生削弱層，以用於分離（剝離）一薄矽層，該薄矽層接合至另一矽晶圓，該薄矽層與另一矽晶圓之間具有一絕緣（或障壁）氧化層。目前認為涉及氫離子植入之後者方法優於前者方法。

美國專利第 5,374,564 號揭示一種用於製造 SOI 基板之「智慧型切割（Smart Cut）」氫離子植入薄膜轉移及熱接合製程。藉由氫離子植入法之薄膜剝離及轉移通常由以下步驟組成。在單晶矽晶圓（施體晶圓）上生長熱氧化膜。該熱氧化膜在 SOI 結構之形成時成為絕緣體/支撐晶圓與單晶膜層之間的內埋絕緣體或障壁層。然後將氫離子植入施體晶圓中，以產生表面下裂隙。氫離子亦可與氫離子共植入。植入能量決定裂隙產生的深度，且劑量決定此深度處的裂隙密度。然後在室溫下將施體晶圓與另一矽支撐晶圓（絕緣支撐件、接收基板、接收晶圓、操作基板或操作晶圓）接觸置放，以在施體晶圓與支撐晶圓之間形成暫時接合。然後將晶圓熱處理至約 600°C，以引起表面下裂隙之生長，從而導致矽薄層或矽薄膜與施體晶圓分離。然後將該總成加熱至 1000°C 以上之溫度，以將矽完全接合至支撐晶圓。此製程形成具有接合至矽支撐晶圓之矽薄膜的 SOI 結構，其中矽膜與支撐晶圓之間具有氧化物絕緣體或障壁層。

如美國專利第 7,176,528 號中所描述，離子植入薄膜分離技術近來較多應用於支撐基板為玻璃片或玻璃陶瓷片（相較於其他矽晶圓）之 SOI 結構。此種結構進一步被稱作玻璃上矽 (silicon-on-glass; SiOG)，然而矽之外的半導體材料亦可用以形成玻璃上半導體 (SOG) 結構。SiOG 的一個潛在問題為，玻璃支撐件或操作基板含有可能對矽或其他半導體層有害之金屬及其他成分。因此，SiOG 中之玻璃基板與矽層之間可能需要障壁層。在一些狀況下，此障壁層藉由使矽層之接合表面具親水性來促進矽層接合至玻璃支撐基板。在此方面， SiO_2 層可用於在玻璃支撐基板與矽層之間獲得親水性表面條件。當施體矽晶圓在接合之前曝露於大氣時，施體矽晶圓上可能會形成原生 SiO_2 層。另外，陽極接合製程會在矽施體晶圓或剝離層與玻璃基板之間產生「原位」 SiO_2 層。需要時，可在接合之前主動於施體晶圓上沉積或生長 SiO_2 層。美國專利第 7,176,528 號中揭示之陽極接合製程所提供的另一類型之障壁層為玻璃基板中具有降低含量之離子之玻璃修飾層，該玻璃修飾層鄰接於矽層。陽極接合將鹼及鹼土玻璃成分及其他對矽有害之修飾陽離子自鄰接接合介面之玻璃表面（約 100 nm 厚之區域）實質移除。

然而，以此陽極方法產生之實質無鹼玻璃障壁層及原位或沉積 SiO_2 障壁層可能不足以阻止鈉自玻璃基板移動至矽層中。在略微高溫下，甚至在室溫下，鈉會受電

場影響而在 SiO_2 及玻璃中迅速擴散及漂移，從而可能導致玻璃基板上矽層之鈉污染。矽層之鈉污染可能造成形成於 SiOG 基板中或 SiOG 基板上的電晶體之臨限電壓漂移，進而造成 SiOG 基板上所建立電路之故障。

觀察到藉由離子植入膜轉移製程製造 SiOG 基板之另一潛在問題為，在自施體晶圓剝離矽層（剝離層）期間被轉移之薄矽層中會出現微結構缺陷。第 1 圖至第 3 圖顯示玻璃基板上之當轉移（as transferred）矽剝離層的典型表面形態。第 1 圖為典型當轉移矽剝離層表面的原子力顯微鏡（atomic force microscope; AFM）影像，且第 2 圖為此當轉移表面（沿第 1 圖中線 3 截取）之表面構形圖。所謂當轉移，意指自施體晶圓剝離之後，該剝離層尚未經任何表面加工或處理。如第 1 圖及第 2 圖中所示，當轉移矽剝離層（或簡稱當轉移層）之特徵包括被凹谷 20 圍繞之相對平坦之凸丘 10，凹谷 20 包括深入延伸至矽層 122 中之陷口或針孔 30。針孔 30 可能會完全穿透矽層 122 至下層玻璃基板 102。當在具有凹谷 20 及針孔 30 之矽層中製造電晶體時，該等凹谷及針孔可能會擾亂適當電晶體之形成及運作。凹谷及針孔被認為是在將矽膜接合且轉移至玻璃支撐基板時離子植入矽膜轉移製程之結果。

此項技術中存在對製程及結構的需求，以用於防止或至少緩和凹谷及針孔在使用離子植入薄膜轉移製程所製造 SiOG 或 SOG 產物中之半導體層中的出現。

並未承認本文引用之任何參考文獻構成先前技術。申請者明確保留向任何所引用文件之準確性及相關性挑戰的權利。

【發明內容】

申請者已發現，在矽剝離層與玻璃之間加入的一或多層相對較硬（相對較高楊氏係數）之硬化層可減少且甚至消除在離子植入薄膜轉移製程期間被轉移之矽層表面內形成的凹谷及針孔。亦可選擇以此新增的硬化層充當阻止鈉及其他有害雜質自玻璃基板穿透至矽膜中之有效障壁。氮化矽為適合硬化層材料之實例，該材料亦充當對於鈉及其他可能會污染矽剝離層之元素的有效障壁層。

本揭示案之一實施例係關於一種製造玻璃上矽基板之方法，該方法包括以下步驟。提供矽施體晶圓。在單晶矽施體晶圓之主表面上沉積硬化層，該硬化層之楊氏係數超過玻璃之楊氏係數。將離子穿過硬化層植入施體晶圓之主表面，以使得在施體晶圓中形成一富含植入物質之內埋層，以在該內埋層與施體晶圓之主表面（附有硬化層）之間界定一薄矽剝離層。提供玻璃基板。將附有硬化層之剝離層轉移至玻璃基板上，以使得硬化層位於玻璃基板與剝離層之間。

本揭示案之另一實施例係關於一種形成玻璃上半導體結構之方法，該方法包括以下步驟：取得具有接合表面

之玻璃基板及具有接合表面之半導體晶圓；在玻璃基板之接合表面及半導體晶圓之接合表面中之一者上沉積硬化層，該硬化層具有約 125 GPa 或更高、約 150 GPa 或更高、約 200 GPa 或更高或約 300 GPa 或更高之楊氏係數；將離子植入半導體晶圓之接合表面，以在半導體晶圓之接合表面區域中形成剝離層；使半導體晶圓之接合表面與玻璃基板之接合表面接觸，其中硬化層在玻璃基板與半導體晶圓之間；藉由將半導體晶圓及玻璃基板加熱至高溫，將剝離層接合至玻璃基板，其中硬化層在玻璃基板與半導體晶圓之間；以及使剝離層與半導體晶圓之剩餘部分分離，留下接合至玻璃基板之剝離層，其中硬化層在剝離層與玻璃基板之間，且剝離層之當分離(as separated)表面具有偏斜度約為 0.6 或更低之表面粗糙度。

剝離層之當分離表面可具有偏斜度約為 0.4 或更低（或 0.2 或更低）之表面粗糙度。

剝離層之當分離表面可具有約 2 nm RMS 或更小、約 1.5 nm RMS、或更小或 1 nm RMS 或更小之表面粗糙度。

可在半導體晶圓之接合表面上沉積厚度約 100 nm 或更大、約 250 nm 或更大、或約 350 nm 或更大之硬化層。

可在玻璃基板之接合表面上沉積厚度約 50 nm 或更大、約 100 nm 或更大、約 250 nm 或更大、或約 350 nm 或更大之硬化層。

硬化層可由 Si_3N_4 形成。

氧化硬化層表面之步驟使硬化層具親水性。氧化硬化層表面之步驟可包括在硬化層上形成 SiO_2 層，該 SiO_2 層具有約 2 nm 至約 150 nm、約 5 nm 至約 150 nm、約 2 nm 至約 20 nm、約 5 nm 至約 10 nm、或約 5 nm 之厚度。

根據另一實施例，在晶圓上沉積硬化層之前，可在半導體晶圓之接合表面上形成氧化層。

半導體晶圓可由實質單晶矽形成，且半導體晶圓上之氧化層由 SiO_2 形成，且該氧化層具有約 1 nm 至約 10 nm 或更小，或約 2 nm 至約 5 nm、或約 20 nm 或更小、或約 10 nm 或更小、約 7 nm 或更小、或約 100 nm 或更小之範圍內之厚度。

將剝離層接合至玻璃基板之步驟可包括施加電壓通過玻璃基板及半導體晶圓，以經由陽極接合誘發接合。接合步驟可進一步包括以下步驟：維持高溫，且將電壓維持一時段，該時段足以使氧化物玻璃或氧化物玻璃陶瓷內的陽離子在玻璃基板內往遠離半導體晶圓之方向移動，以使得玻璃基板包括 (i) 與剝離層相鄰之第一玻璃層，該第一玻璃層中實質不存在修飾陽離子，以及 (ii) 與第一玻璃層相鄰之第二玻璃層，該第二玻璃層具有增大濃度之修飾陽離子。

根據另一實施例，一種玻璃上半導體結構包括：玻璃基板上之半導體層，該半導體層具有硬化層，該硬化層具有約 125 GPa 或更高、約 150 GPa 或更高、約 200 GPa 或更高、或約 300 GPa 或更高之楊氏係數且位於半導體

層與玻璃基板之間，且該半導體層具有約 0.6 或更低之偏斜度的表面粗糙度。

半導體層之曝露表面可具有偏斜度約為 0.4 或更低（或約 0.2 或更低）之表面粗糙度。半導體層之曝露表面亦可具有約 2 nm RMS 或更小、約 1.5 nm RMS 或更小、或 1 nm RMS 或更小之表面粗糙度。

硬化層可具有約 50 nm 或更大、100 nm 或更大、約 250 nm 或更大、或約 350 nm 或更大之厚度。硬化層可由 Si_3N_4 形成。氧化層可位於硬化層上。氧化層可為 SiO_2 層，該 SiO_2 層具有約 2 nm 至約 150 nm、約 5 nm 至約 150 nm、約 2 nm 至約 20 nm、約 5 nm 至約 10 nm、或約 5 nm 之厚度。

半導體晶圓可由實質單晶矽形成，且半導體晶圓在半導體晶圓與硬化層之間進一步包含一 SiO_2 層，該 SiO_2 層具有約 1 nm 至約 10 nm 或更小、或約 2 nm 至約 5 nm、或約 20 nm 或更小、約 10 nm 或更小、約 7 nm 或更小、或約 100 nm 或更小之範圍內之厚度。

玻璃基板可包括(i)與剝離層相鄰之第一玻璃層，該第一玻璃層中實質不存在修飾陽離子，以及(ii)與第一玻璃層相鄰之第二玻璃層，該第二玻璃層具有增大濃度之修飾陽離子。

額外特徵及優點將在隨後的詳細描述中加以闡述，且在某種程度上，熟習此項技術者將能透過描述輕易理解，或藉由實施本文書面描述、申請專利範圍、及隨附

圖式中之實施例來認知。應理解到，以上概略描述與以下詳細描述皆僅為示例性，意在提供一個有助於理解申請專利範圍本質特性之概觀架構。

茲提供隨附圖式以助進一步理解，且將該等隨附圖式併入成為本說明書之一部分。該等圖式圖示一或多種實施例，且伴隨描述用以解釋各種實施例之原理及操作。

【實施方式】

儘管可針對玻璃上矽(SiOG)結構及 SiOG 結構之製造來論述本文揭示之特徵、態樣及實施例，但熟習此項技術者將理解，本揭示案未必為且不限於 SiOG 結構。的確，本文揭示之最廣泛可保護特徵及態樣可應用於任何製程，該種製程使用離子植入薄膜轉移技術來轉移並接合半導體材料薄膜至玻璃或玻璃陶瓷之支撐件或操作基板上以產生玻璃上半導體(SOG)結構。然而，為便於呈現，本文之揭示內容主要關於 SiOG 結構之製造。本文具體提及 SiOG 結構是為幫助解釋所揭示實施例，而非意圖且不應被解釋為以任何方式將申請專利範圍之範疇限制於 SiOG 基板。所述用於製造 SiOG 基板之製程同樣可適用於製造其他 SOG 基板。如本文所使用之縮寫 SiOG 及 SOG 一般應被視為表示玻璃上半導體(SOG)結構，包括但不限於玻璃上矽(SiOG)結構。

申請者已觀察到，上述當轉移矽層（或剝離層）中之凹谷及針孔結構缺陷在使用玻璃支撐基板之 SOG 結構

之製造中比在使用半導體支撐基板之 SOI 結構之製造中更容易且更嚴重地出現。儘管不意欲為特定理論所束縛，但申請者相信，在 SiOG 基板製造期間出現的凹谷及針孔是因為玻璃支撐基板之表面相對較軟（與相對較硬之矽支撐基板表面相比），該表面在剝離層分離期間與剝離層接觸。已觀察到，當削弱植入層中之缺陷在製造 SOG 過程中剝離層分離或剝離之期間生長時，該等缺陷傾向在施體晶圓表面形成氣泡，該等氣泡膨脹或擠壓至相對較軟（相對較低之楊氏係數）之玻璃基板中。該等氣泡可能有助於上述當轉移矽剝離層中之凹谷及針孔結構缺陷的形成。

申請者已發現，在接合及分離步驟前於矽施體晶圓與玻璃支撐基板之間添加一或多層相對較硬（相對較高楊氏係數）之硬化層可減少且甚至消除當轉移矽剝離層表面之凹谷及針孔。亦可選擇以此新增的硬化層充當阻止鈉及其他有害雜質自玻璃基板穿透至矽膜中之障壁。氮化矽 (Si_3N_4) 膜為適合用作硬化層之高楊氏係數材料之實例，該材料亦充當對於鹼、鈉及玻璃基板中存在之其他元素之障壁層。

為了提供論述本文揭示之最廣泛可保護特徵及態樣的一些特定背景，假定基板上半導體結構為 (SOG) 結構，諸如玻璃上半導體或玻璃陶瓷上半導體結構。此類 SOG 結構可具有與製造薄膜電晶體 (TFT) 相關之適合用途，例如，顯示器應用，包括有機發光二極體 (OLED) 顯示器及

液晶顯示器(LCD)、積體電路、光伏打元件、太陽能電池、熱電元件、感測器等。儘管非必要，剝離層之半導體材料可為實質單晶材料之形式。用語「實質」用於描述該層以考慮以下事實：半導體材料在正常情況下至少含有一些原有或故意添加之內部或表面缺陷，諸如晶格缺陷或少許晶粒邊界。用語「實質」亦反映以下事實：某些摻雜劑可歪曲或以其他方式影響主體半導體之晶體結構。

離子植入薄膜轉移：

本文特別感興趣之標的涉及經由離子植入半導體材料中之薄膜分離，該半導體材料上沉積或形成有硬化層。因此，為了提供某一些額外背景，現參考第 3 圖至第 6 圖，該等圖式圖示一般離子植入膜轉移製程（及所得中間結構），可在該製程內使用前述硬化層以便製造第 3 圖之 SOG 結構 100。

現轉向第 4 圖，諸如藉由研磨、清潔等步驟製備施體半導體晶圓 120，以產生相對平坦且均勻之植入表面 121，植入表面 121 適用於接合至支撐或操作基板 102（參見第 5 圖），例如，玻璃基板或玻璃陶瓷基板。出於論述之目的，半導體晶圓 120 可為實質單晶 Si 晶圓，然而如上文所論述，可使用任何其他適合之半導體材料。剝離層 122 藉由以下操作產生：藉由植入 H 離子及視需要亦植入 He 離子，使植入表面 121 經受離子植入製程（如第 4 圖中箭頭所指示），以在施體半導體晶圓 120

之植入表面 121 下方產生削弱區域或層 123。儘管此離子植入製程為本文之揭示內容之焦點，但在這一點上，僅會大概提及用於產生削弱區域 123 之製程。如此項技術中所知，離子植入能量及密度可經調整以使剝離層 122 達到所需厚度，諸如約 300-500 nm 之間，然而任何合理厚度均可達到。

現參看第 5 圖，可使用陽極接合製程或熱接合製程（諸如「智慧型切割」熱接合製程）將玻璃支撐基板 102 接合至剝離層 122。適合之陽極接合製程之根據可見於美國專利第 7,176,528 號中，該專利之全部揭示內容在此以引用之方式併入本文。下文論述此製程之部分。適合之「智慧型切割」熱接合製程之根據可見於美國專利第 5,374,564 號中，該專利之全部揭示內容在此以引用之方式併入本文。

在接合之前對玻璃支撐基板 102 及剝離層 122（若先前未完成清潔）進行適當的表面清潔。此後，使離子植入施體晶圓 120 與玻璃支撐基板 102 接觸且預接合。如此所得之中間結構為包括半導體施體晶圓 120 之剝離層 122、施體晶圓 120 之剩餘部分 124 及玻璃支撐基板 102 之堆疊。在預接合之前或之後，將半導體施體晶圓 120、剝離層 122 及玻璃基板 102 之堆疊加熱（如第 5 圖中箭頭 130 所指示）至升高的接合溫度，該溫度足以使離子能夠在該堆疊內遷移。該溫度取決於施體晶圓 120 之半導體材料及玻璃基板 102 之特性。舉例而言，該接面溫

度可被視為在玻璃基板 102 之應變點之約 $\pm 350^{\circ}\text{C}$ 以內，更特定言之在該應變點之約 -250°C 與 0°C 之間，及/或在該應變點之約 -100°C 與 -50°C 之間。取決於玻璃類型，此類溫度可在約 $500-600^{\circ}\text{C}$ 之範圍內。除上述溫度特性之外，機械壓力（如第 5 圖中箭頭 130 所指示）可施加於中間結構總成。該壓力範圍可在約 1 至約 50 psi 之間。施加更高之壓力（例如，100 psi 以上之壓力）可能導致破壞玻璃基板 102。

在根據本文揭示之一實施例之陽極接合製程的情況下，亦在該中間結構總成處施加電壓（如第 5 圖中箭頭 130 所指示）。舉例而言，將陽極與半導體施體晶圓 120 接觸置放，且將陰極與玻璃基板 102 接觸置放。在升高的接合溫度下施加電壓通過該堆疊，以誘導鹼、鹼土離子或鹼金屬離子及其他與施體晶圓 120 相鄰之玻璃基板 102 中之修飾陽離子移動遠離半導體/玻璃介面，進一步移動至玻璃基板 102 中。更特定言之，玻璃基板 102 之陽離子（實質包括所有修飾離子）遷移遠離施體半導體晶圓 120 之較高電位，從而形成：(1)與剝離層 122 相鄰之玻璃基板 102 中之減小或相對較低陽離子濃度層 132（與玻璃基板 102 之原玻璃材料或主體玻璃材料相比）；以及(2)與該減小陽離子濃度層相鄰之玻璃基板 102 中之增大或相對較高陽離子濃度層 134（與玻璃基板 102 之原玻璃材料或主體玻璃材料相比）。玻璃中之該低/減小陽離子濃度層 132 藉由阻止陽離子自氧化物玻璃或氧

化物玻璃陶瓷遷移至剝離層 122 中執行障壁功能性。玻璃基板之剩餘部分 136 仍為未改變之原主體材料玻璃或玻璃陶瓷。

現參看第 6 圖，將中間結構總成在溫度、壓力及電壓條件下保持足夠時間之後，移除電壓，且允許該中間結構總成冷卻至室溫。在加熱期間、停留時間、冷卻期間及/或冷卻之後的某一時點，將剝離層 122 陽極接合至玻璃基板且與施體晶圓之剩餘部分 124 分離(剝離或分裂)(未必按照該次序)。可經由施體晶圓 120 由於熱應力而沿離子植入區域 123 之自發破壞來完成剝離層 122 與施體晶圓之剩餘部分 124 的分離。替代或另外地，諸如水刀切割或化學蝕刻等機械應力可用於引發、促進或控制該分離製程。隨後自剝離層 122 移除施體晶圓 120 之剩餘部分 124，留下接合至玻璃基板 102 之剝離層。若剝離層 122 尚未與施體晶圓 120 之剩餘部分 124 完全脫離，則在此可包括一些機械剝離步驟。所得結果為 SOG 結構或基板 100，例如具有相對較薄之半導體材料剝離層或膜 122 的玻璃基板 102，該剝離層或膜 122 接合至玻璃基板 102。

如第 1 圖至第 3 圖中所示，SOI 結構 100 之當轉移分裂或剝離表面 125 可呈現表面粗糙度、凹谷、針孔以及過剩矽層厚度，及/或矽層之植入損壞(例如，形成損壞及/或非晶形矽層)。取決於植入能量及植入時間，剝離層 122 之厚度可為約 300-500 nm，然而其他厚度亦可能

適合。可使用後接合製程改變此等特性，以便產生半導體層 122 之所需最終特性。舉例而言，可利用研磨、退火及/或蝕刻當轉移剝離層表面（或「當轉移表面」）來加工當轉移剝離層 122 之表面 125，以移除部分或全部之過剩層厚度、植入損壞及凹谷。然而，當轉移表面 125 中之凹谷及針孔可能太深，以致無法利用此類加工操作來移除。如上所述，儘管不意欲為特定理論所束縛，但申請者推論，當轉移表面中之凹谷 20 及針孔 30 為在接合及剝離期間與相對較軟玻璃支撐基板接觸之矽表面之不當硬化的結果。注意到，半導體施體晶圓 120 可經由研磨、蝕刻及/或退火被反覆再加工及再利用，以繼續提供許多其他剝離層，以產生許多其他 SOI 結構 100。

硬化層製造：

僅舉例而言，可選擇規則圓形 300 mm 優級矽晶圓作用於製造 SiOG 結構或基板之施體晶圓或基板 120'。施體晶圓可具有 <001> 結晶定向及 8-12 歐姆/公分電阻率，且為 Cz 生長、p 型、摻硼晶圓。可選擇無結晶原生粒子 (Crystal Originated Particle; COP) 之晶圓，因為 COP 可能阻礙膜轉移製程或干擾電晶體運作。可選擇晶圓中之摻雜類型及含量，以使 SiOG 基板上之最終電晶體獲得所需的臨限電壓。可選擇最大的可用晶圓尺寸 300 mm，因為如此將可經濟地量產 SiOG。

根據另一實施例，可視需要自初始圓形之晶圓切割 180×230 mm 矩形施體晶圓或施體磚。可利用研磨工具、

雷射或其他已知技術處理該等施體磚邊緣，以便形成該等邊緣之輪廓，且獲得類似於 SEMI 標準邊緣輪廓之圓形或倒角輪廓。亦可執行其他所需加工步驟，諸如倒角或圓角及表面研磨。根據本文所述之其他實施例，此類施體晶圓基板或磚亦可用於製造矩形 SOG 結構。

現轉向第 7 圖至第 12 圖，根據如本文所述具有硬化層之 SOG 基板之一實施例，在將施體晶圓與支撐基板接觸置放之前，在矽施體晶圓 120' 上沉積相對較硬（相對較高楊氏係數）之硬化層 142。如本文及隨附申請專利範圍中所使用之相對較高楊氏係數，其意謂與矽之楊氏係數大致相同或更高，例如約 125 GPa 或更高、約 150 GPa 或更高、約 200 GPa 或約 300 GPa 或更高之楊氏係數。可在自施體晶圓 120' 剝離或不剝離原生氧化膜 146 之情況下使用低壓化學氣相沉積 (low pressure chemical vapor deposition; LPCVD) 或諸如電漿增強化學氣相沉積 (plasma-enhanced chemical vapor deposition; PECVD) 之其他適合沉積製程在施體晶圓 120' 之接合表面 121' 上沉積硬化層 142。或者，可使用不超過玻璃應變點溫度之 PECVD 製程或藉由與玻璃支撐基板相容之任何其他已知沉積技術在玻璃支撐件或接收基板上沉積硬化層。使用相對較薄之玻璃支撐基板（例如具有較約 0.7 mm 更薄或約 0.3 mm 至約 0.5 mm 厚度之玻璃支撐基板），可減少剝離層中凹谷及針孔在剝離及接合期間的出現。

可在施體晶圓 120' 之接合表面 121' 上沉積氮化矽

(Si_3N_4)作為硬化層 142， Si_3N_4 依形成方式不同可而具有約 150 GPa 至約 380 GPa、約 210 GPa 至 380 GPa 或約 250 GPa 之楊氏係數。可在施體晶圓上形成該硬化層，該硬化層具有約 100 nm 或更大、約 250 nm 或更大、或約 350 nm 或更大之厚度。或者，可在玻璃支撐基板上沉積該硬化層，該硬化層具有約 50 nm 或更大、約 100 nm 或更大、約 250 nm 或更大、或約 350 nm 或更大之厚度。氮化矽具有附加之益處：作為阻止鈉、鹼金屬及玻璃支撐基板 102'中之其他元素移動至矽剝離層 122'中之障壁，該障壁遠強於由陽極接合所產生的離子耗盡玻璃障壁層 132'或原位或沉積 SiO_2 障壁層。

如本文先前所述，在沉積 Si_3N_4 硬化層之前，可故意將原生氧化膜 146 留在施體磚表面上。此外，可使用熱、電漿或化學氧化製程氧化矽施體磚表面，以在沉積 Si_3N_4 硬化層之前於施體晶圓上形成氧化層 146 或使氧化層 146 變厚。或者，可採取某些步驟以移除原生氧化膜，或在沉積硬化層之前阻止施體瓦片上原生氧化膜的形成或將該形成減至最少。

由於 SiO_2 層具有相對較低彈性係數之材料（楊氏係數 70），故氧化層之任何過剩厚度可降低相對較硬 Si_3N_4 硬化層（楊氏係數 150 GPa）之硬化效應。若氧化層之厚度遠小於將要轉移之矽剝離層之厚度，諸如剝離層之厚度的 10%，則氧化層不會不利地降低硬化層之硬化效應。另一方面，此氧化層可用以使 Si 層與 Si_3N_4 之電荷

絕緣。因此，在利用相對較薄氧化層加強對凹谷及針孔形成的抑制與利用相對較厚氧化層降低 Si_3N_4 層電荷對基板上電氣裝置的影響之間存在取捨。可轉移高達 200 nm 之矽剝離層。因此，氧化層之厚度應在約 1 nm 至約 10 nm 或更小，或約 2 nm 至約 5 nm，或可為約 20 nm 或更小、約 10 nm 或更小、或約 7 nm 或更小之範圍內，但在一些情況下可為約 100 nm 或更小。

然而，氮化矽並非為可容易地接合至玻璃之材料。若兩個平滑表面皆具有相同的親水性指標，則該兩個平滑表面變得可接合，例如，若該兩個平滑表面皆為親水性或皆為疏水性。 Si_3N_4 因其化學組成而具疏水性，然而玻璃表面可易於呈現親水性，但無法易於呈現疏水性。因此，應處理 Si_3N_4 硬化層 142 之表面，以使該表面具親水性，藉此使施體晶圓 120' 之接合表面 121' 具親水性，且可容易地接合至玻璃支撐基板 102'。或者，可以輔助親水性材料層或膜 148 包覆 Si_3N_4 硬化層 142 之表面，以使該表面具親水性。

根據如第 8 圖中所示之一實施例，尤其當將硬化層沉積於玻璃支撐基板上時（當將硬化層沉積於施體晶圓上時亦同），可在 Si_3N_4 硬化層 142 上沉積或形成非必須之 SiO_2 氧化物接合薄層 148， SiO_2 氧化物接合層 148 可為約 2 nm 至約 150 nm 厚、約 5 nm 至約 150 nm 厚、約 2 nm 至約 20 nm 厚、約 5 nm 至約 10 nm 厚、或約 5 nm 厚。氧化物接合層 148 「氧化」硬化層之表面，且使施體晶

圖 120' 之接合表面 121' 具親水性，以用於將剝離層 122' 接合至玻璃基板 102'。接合層 148 應足夠厚以在介面處吸收水，且足夠薄以將沉積後的表面粗糙度限制在可接受範圍內，以進行有效接合。此舉在矽施體晶圓 120' 之接合表面 121' 上產生氧化物-氮化物-氧化物 146-142-148 (ONO) 結構。可將 ONO 結構中之底部氧化物 146 及頂部氧化物 148 分別稱為襯墊氧化物及頂蓋氧化物。仔細選擇三個膜層之厚度，以在製造 SiOG 結構期間產生所需之凹谷及針孔預防效應。可在本文所述其他實施例中使用此類 ONO 結構。諸如在富氧大氣環境中加熱具有硬化層的施體晶圓之 Si_3N_4 氧化製程可用以氧化 Si_3N_4 硬化層表面，以在硬化層上生長接合層且使該接合層具親水性。或者，亦可使用 LPCVD 或 PECVD 製程沉積氧化物接合層 148，或可藉由如下文詳述之硬化層表面之氧電漿轉化產生該氧化物接合層。可替代或另外使用其他適合在 Si_3N_4 硬化層表面內或表面上沉積或產生氧化物接合層之方法。

如第 9 圖中所示，然後將氫離子（諸如 H^+ 及 / 或 H^{2+} 離子）經由 Si_3N_4 硬化層 142 之接合表面 121' 及氧化層 146 及 148 植入（如上參看第 4 圖所述）施體晶圓 120' 中，至 Si_3N_4 層上之 SiO_2 層以下約 400 nm 之深度，以便在矽施體晶圓 120' 中形成損壞/削弱區域或層 123'。如此項技術中所熟知，氫離子與氫離子共植入亦可用以形成削弱區域 123'。藉此在施體晶圓 120' 中施體晶圓之削

弱區域 123' 與接合表面 121' 之間界定剝離層 122' (該剝離層 122' 上具有氧化層 146 及 148 及硬化層 142)。

可使用 SRIM 模擬工具計算用於得到所需厚度 (即植入深度) 轉移膜/剝離層 122 的合適植入能量。由於矽及氮化矽之對離子阻滯能力不同, 故必須在 SRIM 輸入端建立 Si/Si₃N₄ 靶材模組, 以便計算合適之植入能量。離子植入技術在此項技術中已熟知。熟習此項技術者將理解如何決定用於得到所需植入深度的合適植入能量 (對於任何給定植入離子或物質、施體晶圓材料、硬化層材料及接合晶圓之接合表面 121' 上之任何其他材料層)。舉例而言, 以 60 keV 之能量將 H²⁺ 離子經由 100 nm 之 Si₃N₄ 硬化層植入施體晶圓 120' 中將會形成厚度約 205 nm 之剝離層 122' (包括 Si₃N₄ 硬化層)。

然後清潔施體晶圓 120' 之接合表面 121', 以移除灰塵及污染物, 為接合作準備。可藉由在 RCA 溶液中處理施體晶圓且乾燥施體晶圓來準備施體晶圓, 以用於接合。亦清潔用作支撐基板之玻璃片 102', 以移除灰塵及污染物, 為接合作準備。可使用濕式氨處理法清潔玻璃片, 以移除灰塵及污染物, 並在玻璃表面上形成氫氧基, 使玻璃之接合表面呈現高度親水性, 以接合至施體晶圓 120' 之接合表面 121'。然後可在去離子水中清洗玻璃片且乾燥玻璃片。此類洗滌技術為此項技術中所熟知。熟習此項技術者將理解如何為施體晶圓及玻璃支撐基板配製適合的洗滌液及處理程序。

然後將剝離層 122'之接合表面 121'預接合至玻璃支撐基板 102'，如第 10 圖中所示。玻璃及晶圓，尤其在矩形施體晶圓或施體磚之情況下，可藉由以下操作預接合：使玻璃及晶圓先以一個邊緣互相接觸，藉此在此一邊緣處引發接合波，且使該接合波傳過整個施體晶圓及支撐基板，以建立無空隙預接合。

接著，將經預接合之施體晶圓接合至玻璃基板 102'，且將剝離層 122'剝離並轉移至玻璃基板 102'，如第 11 圖中所示及先前關於第 4 圖至第 6 圖所描述。根據本文揭示之一實施例，將經預接合之玻璃-施體晶圓總成置放至爐/接合器中，以進行接合及剝離。可將玻璃-施體晶圓總成水平置放於爐中，以防止在剝離後施體晶圓之剩餘部分在新轉移之剝離層上滑動且刮傷玻璃基板 102'上新形成的矽膜 122'。可將玻璃-施體晶圓總成以矽施體晶圓 120'在底部，向下面對玻璃支撐基板 102'面。藉由此佈置，在剝離層 122'剝離或分裂之後，可允許矽晶圓之剩餘部分 124'自新剝離並轉移之剝離層 122'落下脫離。因此可防止刮傷玻璃上新形成的矽膜（剝離層）。或者，可將玻璃-施體晶圓總成水平置放於爐中，其中施體晶圓在玻璃基板之上。在此情況下，必須自玻璃基板小心地提起施體晶圓之剩餘部分 124'，以避免刮傷玻璃上之新剝離矽膜 122'。

一旦將經預接合之玻璃-矽總成裝載至爐中，則可將該爐加熱至 100-200°C 達 1 小時。藉由此第一加熱步驟增

大矽與玻璃之間的接合強度。然後可將溫度升至 600°C 以引起剝離。熟習此項技術者可適當設計此爐處理步驟以用於剝離，如本文所述及例如美國專利第 7,176,528 號及美國公開專利申請案第 2007/0246450 號及第 2007/0249139 號中所述，該等文件之揭示內容在此以引用之方式併入本文。

由 Si_3N_4 之外的材料形成之硬化層 142 可用於實現實質無凹谷及針孔之層轉移。特定言之，碳化矽膜可用於如本文所述之硬化層。根據本發明之不同實施例可用於硬化層之其他材料在以下表 1 中列出。大體而言，任何楊氏係數等於或高於矽之材料均可用作硬化層，例如約 125 GPa 或更大、約 150 GPa 或更大、或約 300 GPa 或更大之楊氏係數。然而，一些具有高楊氏係數之材料不適合用作如本文所述之硬化層。所謂不適合之材料指的是那些無法輕易接合至玻璃之材料，例如藍寶石。然而，可將許多最初無法接合之材料變得可接合，藉此變得適合用作如本文所述之硬化層。舉例而言，可藉由包括本文所述技術之不同技術將 Si_3N_4 變得可接合。又，一些材料（例如，銅）由於可能污染半導體剝離層 122' 而不適合使用。

表 1

材料	楊氏係數 (GPa)
金剛石 (C)	1220
碳化鎢 (WC)	450-650

碳化矽 (SiC)	450
沿 C 軸的藍寶石 (Al_2O_3)	435
鎢 (W)	400-410
氮化鈦 (TiN)	600
鉬	329
鉻	279
鎳	200
鈹	186

玻璃支撐基板 102' 可為呈現任何理想特性之任何適合的絕緣玻璃材料，諸如玻璃、玻璃陶瓷、氧化物玻璃、氧化物玻璃陶瓷或聚合物材料。如在氧化物玻璃與氧化物玻璃陶瓷之間，由於氧化物玻璃具有較易製造之優點，因而使玻璃比玻璃陶瓷更為廣泛可得且成本更低。舉例而言，玻璃基板可由含有鹼土離子之玻璃形成，諸如由美商康寧公司玻璃組合物第 1737 號、美商康寧公司 2000TM 玻璃或美商康寧公司 Eagle XGTM 玻璃所製作之基板。此等美商康寧公司生產之熔融成形玻璃在例如液晶顯示器之生產中具有特殊用途。此外，該等玻璃為因應製造液晶顯示器底板需求所具有之低表面粗糙度亦有利於如本文所述之有效接合。Eagle 玻璃亦不含可能對矽剝離/元件層造成不利影響之重金屬及其他雜質，諸如砷、銻、鋇。由於被設計用於製造具有多晶矽薄膜電晶體之平板顯示器，Eagle 玻璃具有仔細調整之熱膨脹係

數(CTE)，該 CTE 大致與矽之 CTE 相符，例如 Eagle 玻璃在 400°C 下之 CTE 為 $3.18 \times 10^{-6} / ^\circ\text{C}$ ，而矽在 400°C 下之 CTE 為 $3.2538 \times 10^{-6} / ^\circ\text{C}$ 。Eagle 玻璃亦具有相對較高應變點 (666°C)，該應變點高於觸發剝離所需之溫度 (通常在 500°C 左右)。這兩個特徵 (即可承受剝離溫度之能力及與矽相符之 CTE) 為選擇 Eagle 玻璃用於矽層轉移及接合的主要原因。本文揭示之有利於接合製程之玻璃亦具有約 0.5 nm RMS 或更低、約 0.3 nm RMS 或更低、或約 0.1 nm RMS 或更低之表面粗糙度。由於施體晶圓之剝離通常在 500°C 左右發生，故玻璃之應變點應高於 500°C。

玻璃基板可為矩形形狀，且可足夠大以容納排列在玻璃之接合表面上之若干施體晶圓。在該情況下，置放至爐/接合器中進行膜轉移之單個施體晶圓-玻璃總成將包括排列在單個玻璃片表面上之複數個施體晶圓。所得 SOG 產物將包含接合複數個矽膜之單個玻璃片。施體晶圓可為圓形半導體晶圓，或如本文前述之矩形半導體晶圓或半導體磚。如本文所使用，術語「施體磚」通常意欲指示矩形施體晶圓，而術語「施體晶圓」通常意欲指示圓形施體晶圓。然而，除非明確說明本文所述任何特定實施例需要圓形或矩形施體晶圓，否則術語「施體晶圓」及「施體磚」應理解為包括圓形或矩形施體晶圓。

表面品質之量測：

由於在離子植入膜轉移 SOG 製造程序之當轉移剝離

層 122 中出現的凹谷及特定針孔的低表面積，典型平均表面粗糙度及品質量測無法有效量測此類缺陷。第 13 圖中所示之當轉移半導體剝離層含有呈凹谷及針孔形式之嚴重表面缺陷，但該等表面缺陷僅佔整體表面積之很小比例，相對於第 14 圖中所示之實質不含嚴重凹谷及針孔表面缺陷之當轉移半導體剝離層，第 13 圖之剝離層實際上可能具有較佳（例如較平滑）之平均量測表面粗糙度。因此，與適於製造電子裝置之第 14 圖之當轉移層相比，不適於製造電子裝置之第 13 圖之當轉移層在傳統量測技術下可能反而具有較優良的表面粗糙度及品質。因此，需要一種量測及鑑定當轉移半導體剝離層品質之新技術，該新技術需能夠識別具有可接受之低程度凹谷及針孔之優質當轉移層。

偏斜度計算可用於鑑定離子植入薄膜轉移 SOG 製造程序中之當轉移半導體層之表面形態。偏斜度為統計術語，該術語用於描述相對於常態分佈之不對稱性，或一分佈偏離其平均值週邊對稱性之程度。可利用以下方程式計算偏斜度：

$$\text{偏斜度} = \frac{1}{RMS^3} \frac{1}{n} \sum_{i=1}^n z_i^3$$

其中 z_i 為掃描數據點之粗糙度高度之量值， n 為掃描數據點數目，且 RMS 為表面粗糙度量值之均方根。

或者可利用以下方程式計算偏斜度：

$$\text{skewness} = \frac{\sum_{i=1}^N (Y_i - \bar{Y})^3}{(N-1)s^3}$$

其中 Y_1 、 Y_2 、 $\dots\dots$ 、 Y_N 為單變量數據， $\bar{Y}$ 為平均數， s 為標準差，且 N 為數據點數目。

第 13 圖中所示表面之粗糙度之偏斜度相對較高，此係歸因於表面內少數但相對很深之凹谷及針孔表面缺陷，該等缺陷造成偏斜之表面粗糙度分佈，例如在其平均值週邊不對稱之表面粗糙度分佈。換言之，若以來自其平均值的表面轉向率作圖，則偏遠之深凹谷及針孔會在平均值之深側上造成該曲線之形狀歪曲或偏斜，從而使該曲線不對稱，而非呈對稱鐘形曲線。然而，第 14 圖中所示表面之偏斜度相對較低，此係歸因於表面內缺乏任何深凹谷及針孔缺陷，因而造成不偏斜之表面粗糙度分佈，例如其曲線為對稱鐘形曲線。偏斜度可與 RMS 及/或峰—谷度量相結合，以識別令人滿意的當轉移剝離層表面品質。偏斜度度量將指示表面粗糙度不對稱性（例如偏斜），而 RMS 及峰—谷度量將指示平均表面粗糙度量值。一基板表面可具有接近 0 之極佳偏斜度度量，但 RMS 或峰—谷度量可能超出範圍，使此基板在不進一步加工情況下不適用，且反之亦然。

為了提供適於製造電子元件之剝離層至 SOG 基板，該剝離層表面之偏斜度應為約 0.6 或更低、約 0.4 或更低、或約 0.2 或更低。對於剝離層而言，可接受的表面粗糙度為約 2 nm 或更低、約 1.5 nm 或更低、或約 1 nm 或更低之 RMS。可利用光干涉輪廓量測 Zygo 工具在當轉移剝離層表面上以 100×物鏡及 100×40 微米視野執行表面

量測。或者，可在施體晶圓之剩餘部分之當分離表面上執行表面量測，其中凹谷及針孔部分在此呈現為尖峰。量測施體晶圓之當分離表面可能較易於執行，且提供間接量測當轉移剝離層表面質地之方法。

硬化層之氧電漿轉化：

SiO_2 之 PECVD 沉積或生長已被良好開發，且可在量產氧化膜時用作為高成本效益的塗覆方法。然而，當要在如本文揭示之 Si_3N_4 硬化層上生長 SiO_2 膜時，卻難以生長出所需微小厚度之均勻二氧化矽膜。如本文先前所述，進行無凹谷之 SiOG 轉移需要極薄之 SiO_2 膜（例如約 10 nm 或更薄）。此外， SiO_2 具有 70 GPa 之楊氏係數，因此所提供之硬化度遠低於具有 150 GPa 之楊氏係數之 Si_3N_4 。因此，即使以厚很多的 SiO_2 膜作為硬化層（與 Si_3N_4 硬化層相比）仍會在 SiOG 結構之最終矽剝離層中產生凹谷及針孔。又，若試圖在表面上沉積或生長約 10 nm 厚之 SiO_2 薄膜則通常會產生不連續膜，該不連續膜為被未塗覆表面區域分隔之 SiO_2 島狀物。

在此項技術中已知沉積或生長極薄（例如約 10 nm 厚） SiO_2 膜之其他方法，但此等方法通常過於昂貴以致於無法用於 SiOG 之高成本效益產生，且通常與接合不相容。此外，沉積製程通常會增大表面粗糙度，而低粗糙度為達到有效接合的要求中之一。已發現若要達成無缺陷接合則需要於 $20 \times 20 \mu\text{m}^2$ AFM 掃描下低於 0.5 nm RMS、或低於 0.3 nm RMS 之表面粗糙度，然而沉積製程通常

產生於 $20 \times 20 \mu\text{m}^2$ AFM 掃描下具有 0.3 nm RMS 以上表面粗糙度之膜。因此，可能需要對沉積膜進行另外的平滑步驟，以確保無缺陷接合。化學機械研磨可用於改良粗糙度。然而，氮化物硬化層為相對較硬的膜，且此類硬膜之研磨為昂貴操作。又，僅靠研磨不足以使氮化物表面變為可接合。 SiO_2 可接合至玻璃，因為 SiO_2 表面可輕易變為親水性。在氮化矽硬化層上沉積 SiO_2 膜係可能的，然而並非較佳的，因為該沉積導致表面粗糙度增大。藉由熱氧化將 Si_3N_4 硬化層表面轉化成氧化物係可能的，然而亦並非較佳的。氮化矽之熱氧化需要超過 1000°C 之溫度。在此等溫度下矩形矽磚會變形而因此變得無法接合。

根據本文揭示之可選實施例，可使用氧電漿轉化將氮化矽硬化層之近表面區域轉變為 SiO_2 層，以氧化施體晶圓之接合表面 121'，且使接合表面 121' 具親水性且可接合至玻璃。電漿氧化法為已知方法，但就本文申請者所瞭解，在本揭示案之前，電漿氧化法尚未用於使氮化物表面變得可接合或用於在離子植入膜轉移製程中達成無凹谷的矽膜轉移。此外，在本揭示案之前，在此項技術中並不瞭解，與初始氮化物膜之表面粗糙度相比，藉由適當選擇電漿處理條件，可顯著改良電漿氧化轉化膜之表面粗糙度。

在預接合之前將 Si_3N_4 硬化層 142 之近表面區域轉變為 SiO_2 氧化層之氧電漿轉化可用作為使施體晶圓 120'

上之 Si_3N_4 硬化層或其他障壁層 142 之接合表面 121' 具親水性且可容易地接合至矽或玻璃基板 102' 之方法。用於 Si_3N_4 硬化層 142 之近表面區域之氧電漿轉化的製程可由以下步驟組成。首先，將 Si_3N_4 硬化層 142 沉積至施體矽晶圓 120' 之接合表面 121' 上，如第 7 圖中所示。然後如先前關於第 9 圖所述，將離子植入施體晶圓，以在施體晶圓 120' 中形成削弱層 123'，且界定剝離層 122'。然後將離子植入施體晶圓 120' 置放在電漿腔室中，且以氧電漿處理，以便同時 (1) 將 Si_3N_4 硬化層 142 表面之一部分轉化成 SiO_2 層且 (2) 將 Si_3N_4 硬化層表面平滑化。 Si_3N_4 膜之氧化與平滑化皆增大矽施體晶圓 120' 之塗覆有 Si_3N_4 之接合表面 121' 的接合性。

選擇氧電漿轉化製程條件，以使得 2 nm 至約 20 nm 厚，或約 5 nm 至約 10 nm 厚，或約 5 nm 厚之 SiO_2 膜在 Si_3N_4 硬化層 142 之近表面部分形成，且改良該硬化層表面之粗糙度。因此同時平滑化且氧化施體晶圓之接合表面 121'，從而使該表面呈現足夠親水性及平滑度，以接合至玻璃支撐基板 102'。可藉由在 RCA 溶液中處理施體晶圓及乾燥施體晶圓，為接合作準備。如本文先前所述，亦使倒置玻璃支撐件或操作基板 102' 變為親水性。如本文先前關於第 10 圖及第 11 圖所述，藉由預接合矽施體及玻璃支撐基板，以及接合並自矽施體晶圓之剩餘部分分離（剝離）剝離層來完成該製程。

非必要地，可對矽施體基板 120' 上之 Si_3N_4 硬化層 142

執行雙重電漿轉化，以確保自施體晶圓表面完全清除在離子植入步驟期間獲得的有機污染，且進一步改良接合表面 121'之粗糙度。雙重電漿轉化可分 3 個步驟進行：(1)對離子植入矽施體晶圓上之 Si_3N_4 硬化層 142 表面進行第一氧電漿轉化，(2)對由第一電漿轉化步驟所形成之氧化層進行濕式剝離，以及(3)對離子植入矽施體晶圓上之 Si_3N_4 硬化層 142 表面進行第二氧電漿轉化。第一電漿轉化步驟形成一犧牲二氧化矽膜，該犧牲二氧化矽膜含有來自離子植入期間沉積之有機物的碳污染。濕式剝離步驟移除該碳污染且顯露清潔之氮化矽表面。第二電漿轉化步驟形成純氧化膜，該純氧化膜足夠薄以保持 Si_3N_4 硬化層 142 之高表面硬度，同時足夠平滑以實現親水性接合至玻璃基板。

第 15 圖更詳細地描述根據一實施例之示例性製程，該製程用於施體晶圓上之 Si_3N_4 硬化層近表面區域的氧電漿轉化。

如本文先前所述，在 210 中，可選用 Gen 2 尺寸 (370×470×0.5 mm)之康寧 Eagle XG™ 玻璃作為製造 SiOG 之絕緣支撐基板。Gen 2 尺寸玻璃片使能夠在單個玻璃支撐基板上以高成本效益方式同時製造若干 3 吋行動電話顯示面板。

如本文先前所述，在步驟 220 中，根據本文之一實施例，可選擇規則圓形 300 mm 優級矽晶圓用作施體晶圓 120'或基板，以用於製造 SiOG 結構或基板。可自初始圓

形之晶圓切割 180×230 mm 矩形施體晶圓或施體磚，且可處理施體磚邊緣，以便形成該等邊緣之輪廓，且獲得類似於 SEMI 標準邊緣輪廓的圓形或倒角輪廓。亦可執行其他所需加工步驟，諸如倒角或圓角及表面研磨。

如本文先前所述，在步驟 230 中，在施體磚 120' 之接合表面 121' 上生長或沉積 SiO_2 （或其他氧化物）層 146（參見第 7 圖）。在沉積 Si_3N_4 硬化層之前，可使用熱、電漿或化學氧化製程氧化矽施體磚表面。或者，如本文先前所述，可故意將原生氧化膜留在施體磚表面上，或採取步驟以移除原生氧化膜，或阻止施體磚上之原生氧化膜的形成或將該形成減至最少。

如本文先前關於第 7 圖所述，在步驟 240 中，將 Si_3N_4 硬化層或膜 142 沉積至矽施體磚 120' 上的原生或沉積氧化膜 146 上方。

如本文先前關於第 9 圖所述，在步驟 250 中，具有沉積 Si_3N_4 硬化層 142 之施體磚 120' 被植入離子，以在矽施體磚內形成削弱區域 123'，且界定矽剝離層 122'。如先前所述，後續接合至玻璃之步驟需要低表面粗糙度。藉由原子力顯微鏡 (AFM) 及使用 Zygo 工具之光學技術掃描來分析沉積 Si_3N_4 硬化層 142 之接合表面 121' 的表面粗糙度。兩種方法皆證明在 $20 \times 20 \mu\text{m}^2$ AFM 下之表面粗糙度在約 0.3 nm 至約 1.0 nm RMS 之範圍內。已知此粗糙度足夠好以用來接合。然而，對於具有此等粗糙度之基板而言，接合總成通常在接合介面中具有缺陷（空

隙)。已發現，若要達成無缺陷接合則需要於 $20 \times 20 \mu\text{m}^2$ AFM 下低於 0.3 nm RMS 之表面粗糙度。

類似於如先前關於第 8 圖所述之步驟，在步驟 260 中，以氧電漿轉化製程處理 Si_3N_4 硬化層 142 之接合表面 121'，以將 Si_3N_4 硬化層之近表面區域轉化成 SiO_2 氧化物接合層 148。矽施體磚上所得層現包括矽施體磚上之第一 SiO_2 (氧化物) 層 146、第一 SiO_2 (氧化物) 層上之 Si_3N_4 硬化層 142 及 Si_3N_4 硬化層上之第二 SiO_2 (氧化物) 平滑及接合層 148，例如施體磚上之氧化物-氮化物-氧化物或 ONO (146-142-148) 層狀結構。

為了將 Si_3N_4 硬化層 142 之接合表面 121' (接合表面 121' 可具有於 $20 \times 20 \mu\text{m}^2$ AFM 下之 0.3 nm 至 1.0 nm RMS 之表面粗糙度) 轉化成 SiO_2 接合層 148，可在低頻 30 kHz Technics 電漿工具中處理施體磚 120'。舉例而言，處理條件可為：氧進氣、2 sccm 氧流量、30 毫托腔室內壓力、700 W 電漿功率及 30 分鐘處理時間。這將會在 Si_3N_4 硬化層 142 之近表面區域中產生 15 nm 厚之 SiO_2 接合層 148， SiO_2 接合層 148 具有略低於 0.3 nm RMS 之表面粗糙度。可在 Si_3N_4 硬化層上輕易產生具有約 2 nm 至約 20 nm、或約 7 nm 至約 10 nm 厚度範圍內之極薄 SiO_2 膜，因此 Si_3N_4 硬化層之硬化效應不會被折衷。

步驟 260 中產生之 SiO_2 接合層 148 係近化學計量的，且具有低含氮量 (低於次級離子質譜法 (SIMS) 之偵測極限)。在根據步驟 210 至 260 生產之施體磚上執行 SIMS

分析，該施體磚上具有含 SiO_2 膜之 Si_3N_4 硬化層。在 SiO_2 接合層 148 表面附近未偵測到氮。在電漿轉化區域中完全移除氮確保新的接合表面 121' 對玻璃支撐基板 102' 之親水性及適當接合性。

申請者採用實驗樣本之 SIMS 分析證實了氧電漿轉化處理之平滑效應。SIMS 分析顯示， SiO_2 接合層 148 之接合表面 121' 在接近 50 分鐘之相對較長電漿處理時間之後比僅數分鐘之相對較短電漿處理時間之後更為平滑。然而，在多於 50 分鐘之相對較長電漿處理時間之情況下，因濺鍍引起之粗糙化變得顯著。約 5 分鐘至約 50 分鐘或約 10 分鐘至約 25 分鐘之範圍內的電漿處理時間可達成對於接合性而言之有效平滑。

將 Si_3N_4 表面以氧電漿轉化成 SiO_2 不限於低頻電漿工具。亦可使用射頻、微波及其他類型之電漿裝備及製程。經由常規實驗，熟習此項技術者可選擇藉由如本文所述之氧電漿轉化將所要厚度之 Si_3N_4 或其他硬化層轉化成氧化物所需的適當電漿裝備及條件，諸如電漿功率、處理時間、氧流量及腔室內壓力。

藉由進行至步驟 290，如本文先前關於第 10 圖及第 11 圖所述，施體磚 120' 現可用於將剝離層 122' 接合及轉移至玻璃或矽支撐基板 102'，剝離層 122' 上具有 Si_3N_4 硬化層 142 及 SiO_2 層 148。然而，當在先前離子植入步驟 250 中將離子植入具有 Si_3N_4 硬化層之矽施體磚時， Si_3N_4 硬化層之接合表面 121' 會被吸收自離子植入腔室之有機

物污染。藉由濕式化學法難以移除此污染，但若在污染物下方形成犧牲氧化膜，且然後移除該犧牲氧化膜，則可輕易移除此污染。由步驟 260 之氧電漿轉化形成之氧化層可被用作此類犧牲氧化層。若需要在將施體磚接合至支撐基板之前移除此等污染物，則可視需要執行以下步驟 270 及 280。

在步驟 270 中，藉由在 HF 或其他適合溶液中浸洗施體磚來剝離由第一氧電漿轉化處理步驟形成的犧牲 SiO_2 層 148。因此可自具有犧牲 SiO_2 層之 Si_3N_4 硬化層 142 表面有效地移除有機物及其他污染物。

在步驟 280 中，執行第二氧電漿轉化步驟以(1)將施體磚 120'上之 Si_3N_4 硬化層 142 之無有機污染物接合表面 121'平滑化，及(2)氧化 Si_3N_4 硬化層 142 之接合表面 121'，以使接合表面 121'具親水性且可接合至玻璃支撐基板 102'。矽施體磚上所得結構層現再一次包括矽施體磚上之第一 SiO_2 (氧化物) 層 146、第一 SiO_2 (氧化物) 層上之 Si_3N_4 硬化層 142 及 Si_3N_4 硬化層上之第二 SiO_2 (氧化物) 平滑及接合層 148，例如氧化物-氮化物-氧化物或 ONO 層狀結構 (或 NO 結構)。據發現，在轉化-剝離-轉化循環步驟 (第一轉化步驟之電漿處理時間為 1 分鐘，而第二轉化步驟之電漿處理時間為 5 分鐘) 之後， SiO_2 接合層 148 之表面粗糙度約為 0.2 nm RMS。此清潔、高度平滑、親水性表面具有卓越的接合性，且在後續接合步驟中產生高良率。可在 Si_3N_4 硬化層上可輕易

產生具有 10 nm 或更小、7 nm 或更小或在 2 至 20 nm 範圍內之厚度之極薄 SiO_2 膜，以使得 Si_3N_4 硬化層之硬化效應在平滑化接合表面時不被折衷。電漿處理時間可在約 1 分鐘至約 20 分鐘、約 5 分鐘至約 20 分鐘、或約 10 分鐘至約 20 分鐘之範圍內。

可藉由雙重電漿轉化製程同時達成三個目的（亦即，有效清潔、表面平滑及產生親水性、可接合表面），例如電漿轉化-剝離-電漿轉化 ONO 產生循環（或若在步驟 230 中施體磚或晶圓上未形成氧化層，則為 NO 產生循環）。雙重電漿轉化製程特別適用於平滑化 Si_3N_4 硬化層 142 之接合表面。相對於在單一電漿轉化步驟中加倍氧電漿處理時間，電漿-剝離-電漿循環在粗糙度改良上更為有效。表面粗糙度改良可使接合步驟之良率增加。

如本文先前關於第 10 圖所述，在步驟 290 中，將玻璃基板 102' 及施體磚 120' 預接合。首先，對玻璃基板及施體磚進行污染物清除及親水性處理，以為接合作準備。可在氨浴中洗滌玻璃基板/玻璃片且乾燥玻璃基板/玻璃片。可在 SC1 洗液中清潔且親水化處理施體磚上之 ONO 接合表面 121'，且乾燥 ONO 接合表面 121'。將具有經電漿轉化 Si_3N_4 硬化層 142 之製備施體磚 120' 置放在玻璃支撐基板 102' 上， Si_3N_4 硬化層及 SiO_2 接合膜位於玻璃與施體磚之間，藉此將施體磚預接合至玻璃支撐基板。因此，形成預接合之中間施體磚-玻璃總成。

如本文先前關於第 11 圖所述，在步驟 210 中，將剝離

層 122' (剝離層 122' 上具有硬化層 142 及接合層 146 及 148) 接合至玻璃基板 102', 且自半導體施體磚之剩餘部分 124' 分離 (剝離)。首先, 將施體磚-玻璃總成置放在爐/接合器中。然後加熱該爐, 且施加壓力及視需要施加電壓, 以經由離子植入熱或陽極接合層轉移製程引起剝離層之接合及分離 (剝離)。因此將具有 ONO 結構之剝離層 122' 自施體磚轉移且接合至玻璃基板 102'。必要時, 可如先前所述施加電壓以將剝離層陽極接合至玻璃基板。必要時, 可藉由退火、洗滌或研磨進一步處理當轉移剝離層 122' 之剝離表面 125', 如本文先前所述。

與使用沉積膜 (在矽或玻璃上沉積) 之製程相比, 本文所述製程及 SOG 結構提供更高良率之接合步驟。由於提供較陽極產生之原位或沉積 SiO_2 障壁層及離子耗盡玻璃層更為優越之障壁層, 本文所述製程及 SOG 結構亦確保電晶體製程之高良率。

不同實施例將由以下實例進一步闡明。

實驗 1

測試了 SiOG 中作為障壁層之 Si_3N_4 硬化層之功效。在第一測試中, SiOG 結構在 600°C 下退火達 24 小時, 且矽剝離層中之污染藉由次級離子質譜法 (SIMS) 分析來量測。SIMS 分析未發現污染。在第二測試中, 在 SiOG 之頂表面與底表面之間施加 100 V 電壓, 且亦將樣本加熱至 600°C 。再一次, SIMS 用於偵測矽膜中之污染。發現 Si 剝離層之污染低於 SIMS 偵測極限。按照本文先前引

用之 '528 專利製得之 5 層 SiOG 結構可能通過第一測試，但不會通過第二測試。

實驗 2

在 800°C 及 1 毫托腔室內壓力下，藉由使用 40 sccm 總氣體流速、矽烷：氮為 3:1 之氮稀釋的矽烷及氮混合物，使用標準 LPCVD 工具，在矽施體瓦片上沉積 Si_3N_4 膜。此舉在施體瓦片上引起約 2 奈米/分鐘之沉積速率及 100 nm 厚之 Si_3N_4 硬化層沉積。

試圖將塗覆有 Si_3N_4 之矽施體磚直接接合至 Eagle 玻璃支撐基板或玻璃片。藉由在 RCA 溶液中處理施體磚且乾燥施體磚，為接合作準備。藉由在氮浴中處理玻璃片且乾燥玻璃片來準備玻璃片。使用 Kruss DSA20 儀器量測氮化物及玻璃表面之親水性，以量測表面之潤濕角。發現玻璃表面具高度親水性，其中潤濕角小於 2°。發現 Si_3N_4 硬化層表面具有適度親水性，其中潤濕角為 35°。藉由使玻璃及施體磚先以一個邊緣互相接觸以在此一邊緣處引發接合波，且使該接合波傳過整個玻璃及磚基板，以預接合玻璃及施體磚。將預接合之中間結構總成加熱至 600°C。將塗覆有 Si_3N_4 之矽施體磚直接接合至 Eagle 玻璃支撐基板之嘗試未能成功。接合介面上存在許多空隙。

此實驗證實， Si_3N_4 不可直接接合至玻璃。

實驗 3

具有 100 nm 厚度之 Si_3N_4 硬化層沉積於施體晶圓上，

該厚度適於確保有效硬化，然而足夠薄以允許離子以 60 keV 之標準能量植入施體晶圓。硬化層之厚度不應超過剝離層之厚度。亦使用 100 nm 以下厚度之 Si_3N_4 硬化層製作一些試驗樣本。由具有 50 nm 與 100 nm 之間的範圍內厚度之 Si_3N_4 硬化層形成之 SiOG 顯示了一些凹谷。由具有 50 nm 以下厚度之 Si_3N_4 硬化層形成之 SiOG 基板在當轉移剝離層表面上呈現了凸丘-凹谷-針孔圖樣，該圖樣類似於在無任何硬化層之情況下製得的 SiOG。亦製得具有 250 nm 厚度 Si_3N_4 硬化層之 SiOG 樣本。此等樣本在 125 keV 能量下被植入 H^{2+} 物質。在 125 keV 下，使得由 250 nm Si_3N_4 及 350 nm 矽剝離層組成之膜堆疊被轉移。此等樣本顯示無凹谷或針孔。

實驗 3 顯露，為了具有充分硬化之效應，硬化膜之厚度可在約 100 nm 或更大或約 250 nm 或更大之範圍內。

實驗 4

將 300 mm 尺寸、<100>結晶定向、p 型、摻硼、8 至 13 歐姆/公分電阻率且 775 微米厚之標準優級矽晶圓選作施體晶圓。使用以下 LPCVD 技術在施體晶圓上沉積 Si_3N_4 層。在不自晶圓剝離原生氧化膜之情況下，將晶圓裝載至 LPCVD 反應器中。LPCVD 製程在 800°C 下執行。選擇製程溫度、時間、腔室內壓力及反應性氣體，以在施體晶圓之接合表面上獲得 100 nm 厚之化學計量 Si_3N_4 層。利用橢圓偏振技術量測沉積 Si_3N_4 層之厚度均勻性，且發現該厚度為 100 nm $\pm$ 1%。使用 AFM 量測經沉積

Si_3N_4 層之表面粗糙度，且發現該粗糙度為 0.2 nm RMS，該粗糙度足以用於進一步晶圓接合處理。使用 Tencor FLX 工具量測沉積 Si_3N_4 層中之應力，且發現該應力為 700 MPa 之抗拉應力。觀察到 Si_3N_4 層係連續而無剝落的。執行更厚 Si_3N_4 層之試驗沉積，以估計不同厚度下 Si_3N_4 層之穩定性。據發現，當層厚度超過 350 nm 時， Si_3N_4 層開始有剝落。

實驗 4 證明，可在前述 SiOG 製造程序中使用高達 350 nm 厚之 Si_3N_4 硬化層，而無降低製程良率之風險。

然後將氬植入矽施體晶圓，該矽施體晶圓上沉積有 Si_3N_4 硬化層。氬植入劑量及能量分別為 5.5 E16 cm^{-2} 及 30 keV。此植入條件在沉積有 Si_3N_4 硬化層之施體晶圓表面下約 300 nm 深度處引起剝離，以使得由 100 nm Si_3N_4 及 200 nm 結晶矽剝離層所組成之堆疊被轉移至玻璃基板。

Gen2 尺寸之標準顯示器玻璃片（例如具有適於接合之低粗糙度、具有 0.5 mm 之厚度的康寧 Eagle XG 玻璃）被選為玻璃支撐基板。藉由濕式氬處理清潔該玻璃。然後在去離子水中清洗玻璃片且乾燥玻璃片。藉由接觸潤濕角量測來測試所製備玻璃表面之親水性。發現潤濕角低於 -2° （此裝置可量測之最低角度）。表明玻璃表面之接合性良好。

然後預接合矽晶圓及玻璃。將預接合之玻璃-矽總成裝載至爐中，以進行接合及剝離。將玻璃-施體晶圓總成水

平置放於爐中，其中底側之施體晶圓面朝下。首先將該總成加熱至 $100-200^{\circ}\text{C}$ 達 1 小時。此步驟增大矽與玻璃之間的接合強度，因此最終改良層轉移良率。然後將溫度升至 600°C 以引起剝離。

使用原子力顯微鏡、掃描式電子顯微鏡、穿透式諾馬斯基模式光學顯微鏡及共焦光學顯微鏡分析所製造之 SiOG 基板。與僅使用 SiO_2 障壁層時相比，使用 Si_3N_4 硬化層生產之當轉移剝離層顯示表面形態及結晶品質有顯著改良。又，具有 Si_3N_4 硬化層之 SiOG 膜之穿透式電子顯微鏡 (TEM) 橫截面分析顯示，膜內無可見晶體缺陷。SiOG 當轉移膜之掃描式電子顯微鏡 (SEM) 表面分析亦顯露 SiOG/ Si_3N_4 SiOG 基板之優越表面形態（參見第 14 圖）及具有穿透 Si 剝離層/膜深度之可見凹谷型表面損傷之相對較劣表面品質（參見第 13 圖）。對使用 Si_3N_4 硬化層生產之 SiOG 之次級離子質譜法 (SIMS) 分析顯露高純度 Si 薄膜。

實驗 4 證明， Si_3N_4 形成有效障壁層以及優越硬化層，該障壁層用於阻止諸如鈉及鹼之離子元素自玻璃遷移至 Si 薄膜中。

實驗 5

自 gen 2 玻璃片切割 8 吋玻璃支撐基板。使用標準 PECVD 工具在 8 吋玻璃支撐基板上沉積 Si_3N_4 硬化層及 SiO_2 接合層。用於沉積氮化矽層及氧化矽層之 PECVD 製程分別在 480°C 及 350°C 之溫度下執行。氮化矽層及氧

化矽層之目標厚度皆定為 50 nm。為了排除來自 PECVD 製程之副產物，隨後在爐中以 600°C 之溫度熱處理玻璃支撐基板達 2 小時。對沉積於 Si 晶圓上而非玻璃支撐基板上之相似雙層執行 AFM 量測。表面呈現於 $20 \times 20 \mu\text{m}^2$ 掃描下之 0.32 nm RMS 及於 $10 \times 10 \mu\text{m}^2$ 掃描下之 0.25 nm RMS。

使用標準 RCA 清潔法來清潔標準優級 8 吋矽施體晶圓。將 He 以 47 keV 之能量及 $1.1 \text{ e}16 \text{ at/cm}^2$ 之劑量植入施體晶圓。然後將 H^+ 以 30 keV 之能量及 $1 \text{ e}16 \text{ at/cm}^2$ 之劑量植入施體晶圓。

玻璃晶圓及離子植入矽晶圓皆使用標準 RCA 來清潔，且然後預接合。將預接合之玻璃-矽總成裝載至爐中，以進行剝離。將該總成在 200°C 下加熱達 1 小時，隨後將溫度升至 550°C 以將剝離層接合至支撐基板且引起剝離。

然後採用光學輪廓量測技術分析剝離後的矽施體晶圓之剩餘部分。此量測在矽施體晶圓之剩餘部分表面上進行，不在矽剝離層上進行，因為用於此量測之 Zygo 工具不接受透明玻璃基板。此量測被認為與剝離層表面之粗糙度有關，該剝離層表面被認為是 Si 施體晶圓之剩餘部分表面之負（逆配對）表面。使用 100×物鏡進行用 Zygo 工具之此量測，該量測在量測後數位處理之後提供 $140 \times 100 \mu\text{m}^2$ 之粗糙度掃描，該粗糙度掃描具有 0.6 μm 之橫向解析度。

第 16 圖至第 18 圖顯示自 Zygo 工具粗糙度掃描取得的不同統計參數，該等統計參數對應 SiOG 產物之不同配置。第 16 圖顯示量測偏斜度 SK，第 17 圖顯示以埃為單位之量測 RMS，且第 18 圖顯示以埃為單位之量測 R3z，R3z 為粗糙度影像之峰—谷，移除 3 個較高點及 3 個較低點，以避免任何量測假影之影響。針對不同類型之實驗樣本（包括根據此實驗 5 所製得之樣本）分別表示此 3 個參數。第一實驗樣本 S1 為根據先前技術製程製備之參考樣本，該先前技術製程僅採用氫用於植入，且無硬化層。製備第二實驗樣本 S2 具有根據本揭示案之 ONO 三層結構，該 ONO 三層結構沉積於矽施體晶圓上，且採用氫用於植入。對於此特定情況而言，襯墊氧化層、氮化矽層及頂蓋氧化層之 ONO 堆疊厚度分別為 5 nm、72 nm 及 220 nm。在無硬化層且氮與氫共植入之情況下製備第三實驗樣本 S3。在氮化矽硬化層及氧化矽接合層沉積於施體晶圓上以使得 NO 雙層結構沉積於施體矽晶圓上，且氮與氫共植入之情況下，根據本揭示案製備第四實驗樣本 S4。在此情況下，氮化矽層及氧化矽層皆為 50 nm 厚。最後，在氮化矽硬化層及氧化矽接合層沉積於玻璃支撐基板上以使得 NO ($\text{Si}_3\text{N}_4\text{-SiO}_2$) 雙層結構沉積於玻璃支撐基板上，且氮與氫共植入之情況下，根據實例 5 之先前描述製備第五實驗樣本 S5。

觀察第 16 圖至第 18 圖中之曲線圖，可見實驗 5 證明，與參考樣本 S1 相比，實驗樣本 S5 具有顯著改良。同時，

證明使用 ONO ($\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$) 三層結構沉積於 Si 施體晶圓上，並以氫植入之之樣本 S2 改良了表面粗糙度之偏斜度（例如降低偏斜度）（參見第 16 圖），而樣本之 RMS（參見第 17 圖）及 $R3z$ （參見第 18 圖）與參考樣本 S1 相比時皆相對不變。實驗樣本 S3、S4 及 S5 中之氫與氮共植入皆顯示有益於所有 3 個參數（參見第 16 圖至第 18 圖）。最後，當氮化矽硬化層及氧化矽接合層形成於 Si 施體晶圓上（樣本 S4）或玻璃支撐晶圓上（樣本 S5）時，顯示對於降低表面粗糙度有額外改良（參見第 17 圖及第 18 圖）。特定言之，藉由氫氮共植入及上覆 NO 雙層之 Si 施體晶圓所製得之樣本 S4 顯示了較氫氮共植入樣本 S3 更好（更低）之偏斜度（參見第 16 圖），而藉由氫氮共植入及上覆 NO 雙層之玻璃支撐基板所製得之樣本 S5 相對於氫氮共植入樣本 S3 在所有參數上皆有改良。

如本文所揭示，在 SOG 結構及製程中使用硬化層之優點包括：

- 改良半導體剝離層表面形態，
- 改良半導體剝離層表面平滑度，
- 降低機械研磨成本，
- 提供優越障壁層，該障壁層使所生產之玻璃上半導體剝離層能夠保持高純度，以製造具有優越電氣效能及使用壽命之 SOG 電子元件。

除非另有明確說明，否則決不意欲將本文闡述之任何

方法理解為需要以指定次序執行該方法之步驟。因此，若方法請求項實際上未敘述該方法之步驟所遵循之次序，或未在請求項或描述中另外特定說明該方法之步驟限於特定次序，則決不意欲推斷出任何特定次序。

熟習此項技術者將顯而易見，在不脫離本發明之精神或範疇的情況下，可進行不同修改及變化。由於熟習此項技術者可想到包含本發明之精神及實質之揭示實施例的修改組合、次組合及變化，故應將本發明理解為包括隨附申請專利範圍及其均等物之範疇內的所有事物。

【圖式簡單說明】

第 1 圖為使用習知離子植入薄膜轉移製程所製造之 SiOG 基板之當轉移矽剝離層表面的 AFM 影像平面圖；

第 2 圖為第 1 圖之當轉移剝離層（沿線 3 截取）之表面構形圖；

第 3 圖為使用習知離子植入膜轉移製程所製造之 SiOG 基板的概略側視圖；

第 4 圖為在習知離子植入膜轉移製程中被植入離子之矽施體晶圓的概略側視圖；

第 5 圖為在習知離子植入膜轉移及陽極接合製程中接合至玻璃支撐件或操作基板之離子植入矽施體晶圓的概略側視圖；

第 6 圖為與剝離層分離之矽施體晶圓剩餘部分的概略側視圖，該剝離層在習知離子植入膜轉移製程中接合至

玻璃基板；

第 7 圖為根據本發明之一實施例之矽施體晶圓的概略側視圖，該矽施體晶圓上沉積有硬化層；

第 8 圖為根據本發明之一實施例之第 7 圖之矽施體晶圓的概略側視圖，該硬化層上沉積有氧化層；

第 9 圖為根據本發明之一實施例之第 8 圖之施體晶圓的概略側視圖，該施體晶圓被植入離子；

第 10 圖為根據本發明之一實施例之第 9 圖之離子植入矽施體晶圓的概略側視圖，該經植入矽施體晶圓預接合至玻璃支撐件或操作基板層；

第 11 圖為根據本發明之一實施例之第 9 圖之離子植入矽施體晶圓的概略側視圖，該經植入矽施體晶圓接合至玻璃支撐件或操作基板層；

第 12 圖為根據本發明之一實施例之 SiOG 結構的概略側視圖，其中施體晶圓之剩餘部分與該 SiOG 結構分離且自該 SiOG 結構移除施體晶圓之剩餘部分；

第 13 圖為使用習知離子植入膜轉移製程及習知 SiOG 結構所製造當轉移矽剝離層表面的 SEM 影像；

第 14 圖為根據本發明之一實施例之使用離子植入膜轉移製程及包括硬化層之 SiOG 結構所製造當轉移矽剝離層表面的 SEM 影像；

第 15 圖為圖示根據本發明之一實施例之用於氧化硬化層表面之氧電漿轉化製程的流程圖；

第 16 圖為圖示根據如下文所述實驗 5 之五種實驗樣本

之表面粗糙度偏斜度的曲線圖；

第 17 圖為圖示實驗 5 中五種實驗樣本之 RMS 表面粗糙度的曲線圖；以及

第 18 圖為圖示實驗 5 中五種實驗樣本之峰—谷(R3z)表面粗糙度的曲線圖。

【主要元件符號說明】

10	凸丘	20	凹谷
30	針孔	100	SOG 結構/SOI 結構
102	玻璃支撐基板/玻璃基板	102'	玻璃支撐基板/玻璃基板
120	施體半導體晶圓/半導體晶圓/施體晶圓	120'	施體晶圓/施體磚
121	植入表面	121'	接合表面
122	矽層/剝離層/半導體層	122'	剝離層/矽膜
123	削弱區域	123'	削弱區域/削弱層
124	剩餘部分	124'	剩餘部分
125	剝離表面/當轉移表面	125'	剝離表面/當轉移剝離層
130	箭頭	132	相對較低陽離子濃度層
132'	障壁層	134	相對較高陽離子濃度層
136	剩餘部分	142	硬化層

146	原生氧化膜 / 氧化層 / 第一 SiO ₂ (氧化物) 層	148	氧化物接合層 / SiO ₂ 接合層
210	步驟	220	步驟
230	步驟	240	步驟
250	步驟	260	步驟
270	步驟	280	步驟
290	步驟		

七、申請專利範圍：

1. 一種玻璃上半導體結構，包含：

一玻璃基板；

該玻璃基板上之一硬化層，該硬化層具有約 125 GPa 或更高之一楊氏係數；

該硬化層上之一氧化層；以及

該氧化層上之一半導體層，該半導體層具有一表面粗糙度，該表面粗糙度具有約 0.6 或更低之一偏斜度。

2. 如請求項 1 所述之玻璃上半導體結構，其中該半導體層之一曝露表面具有一表面粗糙度，該表面粗糙度具有約 0.4 或更低之一偏斜度。

3. 如請求項 2 所述之玻璃上半導體結構，其中該半導體層之該曝露表面具有約 2 nm RMS 或更小之一表面粗糙度。

4. 如請求項 1 所述之玻璃上半導體結構，其中該硬化層具有約 50 nm 或更大之一厚度。

5. 如請求項 4 所述之玻璃上半導體結構，其中該硬化層由 Si_3N_4 形成。

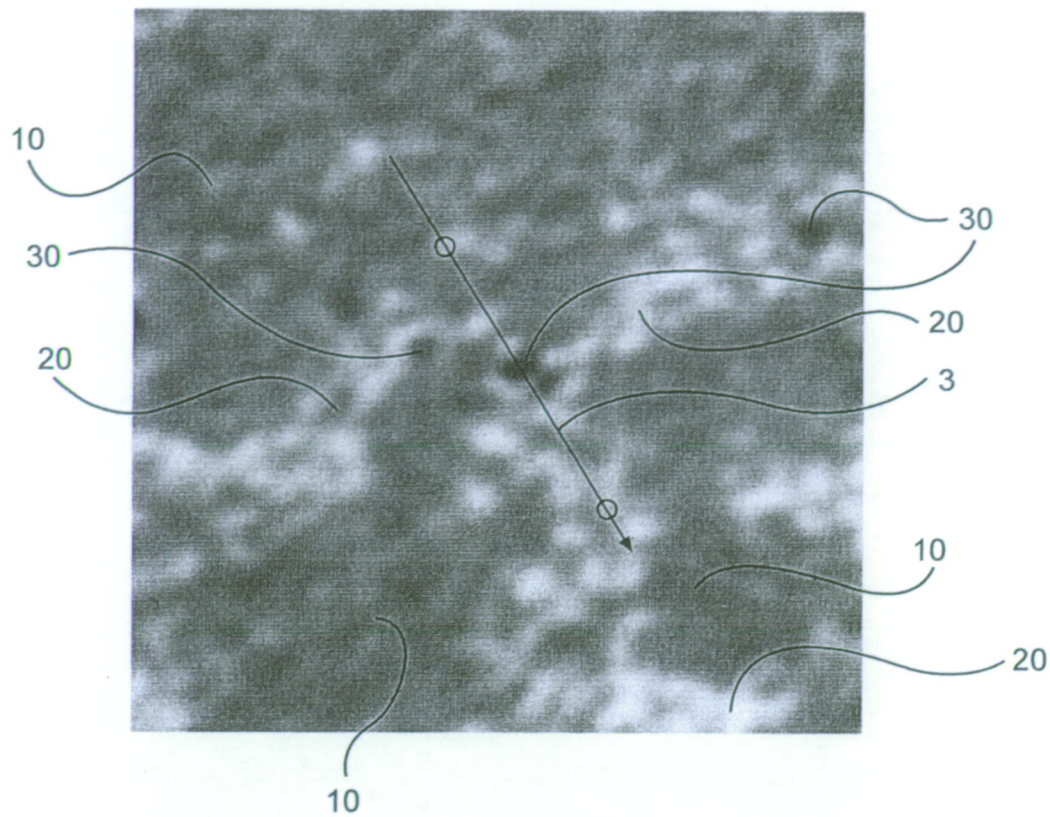
6. 如請求項 1 所述之玻璃上半導體結構，其中該氧化層是一 SiO_2 層，該 SiO_2 層具有約 2 nm 至約 150 nm 之一厚度。

7. 如請求項 1 所述之玻璃上半導體結構，其中該半導體晶圓由實質單晶矽形成，且進一步包含一 SiO_2 層，該 SiO_2 層在該半導體晶圓與該硬化層之間具有約 1 nm 至約 10 nm 或更小，或約 2 nm 至約 5 nm、約 20 nm 或更小、約 10 nm 或更小、約 7 nm 或更小、或約 100 nm 或更小之範圍內之一厚度；以及
- 其中該玻璃基板包括 (i) 與該剝離層相鄰之一第一玻璃層，該第一玻璃層中實質不存在修飾陽離子，以及 (ii) 與該第一玻璃層相鄰之一第二玻璃層，該第二玻璃層具有一增大濃度之修飾陽離子。
8. 如請求項 1 所述之玻璃上半導體結構，其中該硬化層具有約 150 GPa 或更高之一楊氏係數。
9. 如請求項 8 所述之玻璃上半導體結構，其中該硬化層具有約 200 GPa 或更高之一楊氏係數。
10. 如請求項 9 所述之玻璃上半導體結構，其中該硬化層具有約 300 GPa 之一楊氏係數。
11. 如請求項 2 所述之玻璃上半導體結構，其中該半導體層之該曝露表面具有一表面粗糙度，該表面粗糙度具有約 0.2 或更低之一偏斜度。

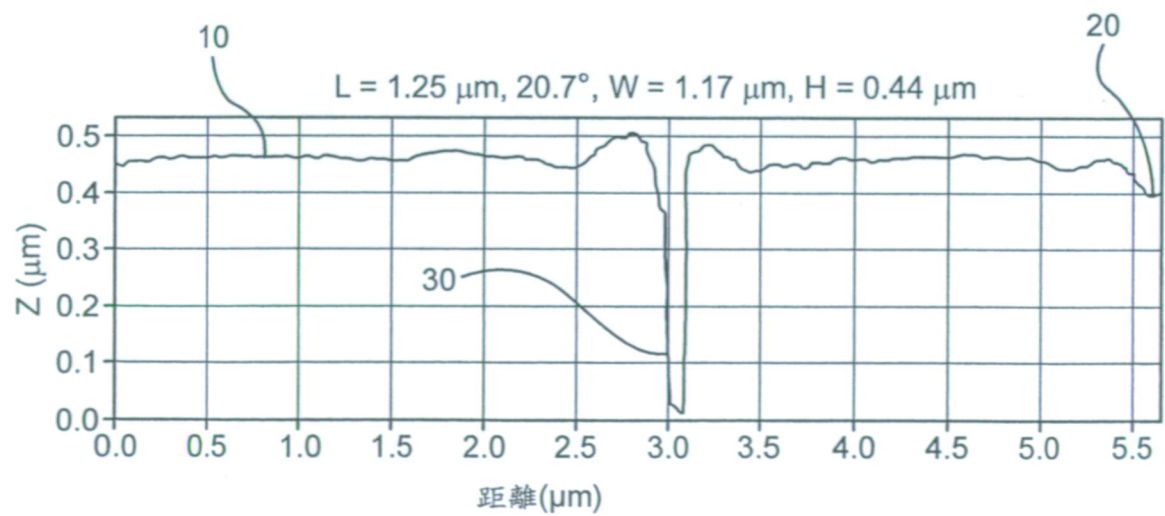
12. 如請求項 3 所述之玻璃上半導體結構，其中該半導體層之該曝露表面具有約 1.5 nm RMS 或更小之一表面粗糙度。
13. 如請求項 12 所述之玻璃上半導體結構，其中該半導體層之該曝露表面具有約 1 nm RMS 或更小之一表面粗糙度。
14. 如請求項 4 所述之玻璃上半導體結構，其中該硬化層具有約 100 nm 或更大之一厚度。
15. 如請求項 14 所述之玻璃上半導體結構，其中該硬化層具有約 250 nm 或更大之一厚度。
16. 如請求項 15 所述之玻璃上半導體結構，其中該硬化層具有約 350 nm 或更大之一厚度。
17. 如請求項 6 所述之玻璃上半導體結構，其中該氧化層具有約 5 nm 至約 150 nm 之一厚度。
18. 如請求項 6 所述之玻璃上半導體結構，其中該氧化層具有約 2 nm 至約 20 nm 之一厚度。

19.如請求項 18 所述之玻璃上半導體結構，其中該氧化層具有約 5 nm 至約 10 nm 之一厚度。

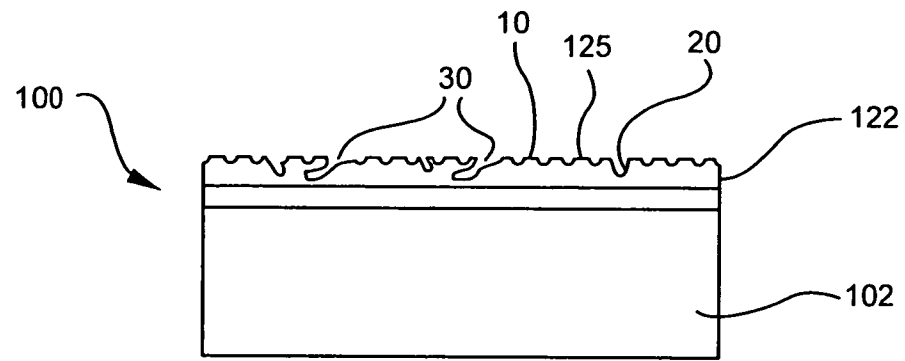
第1圖



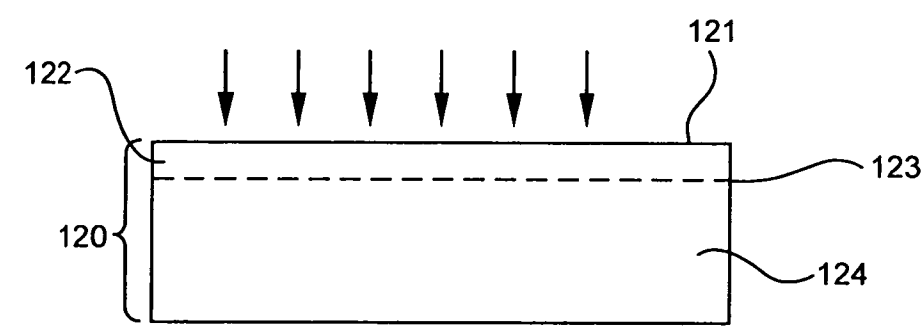
第2圖



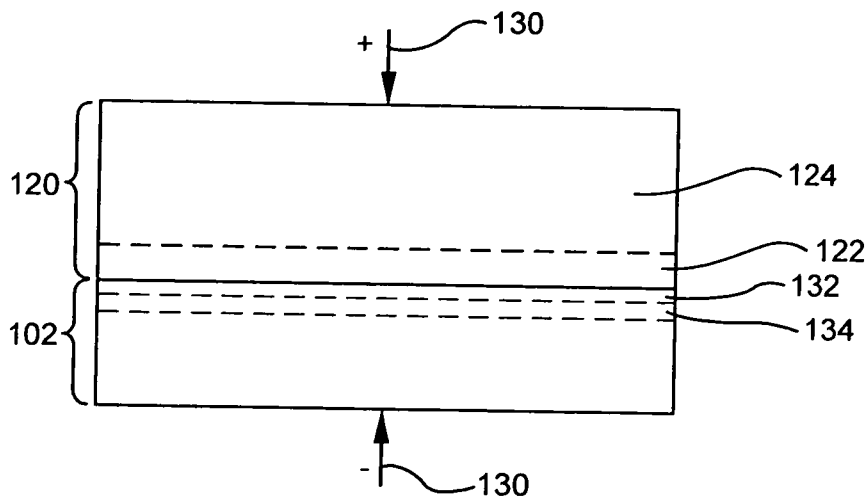
第3圖



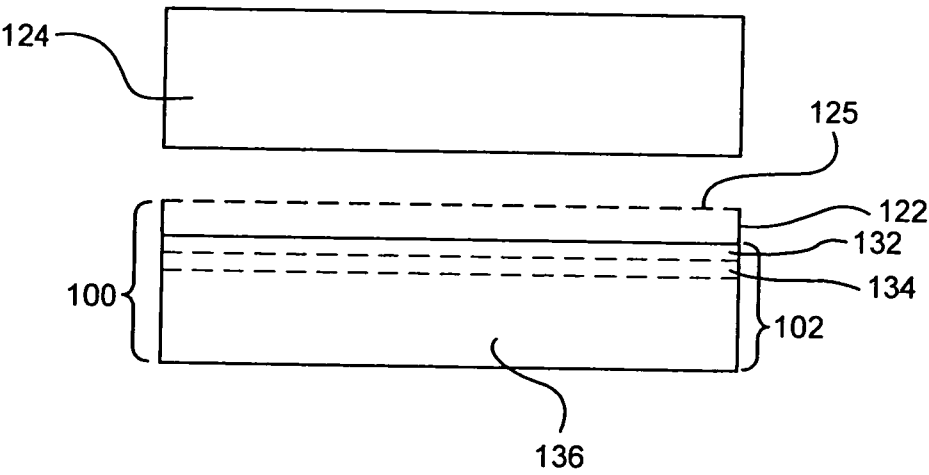
第4圖



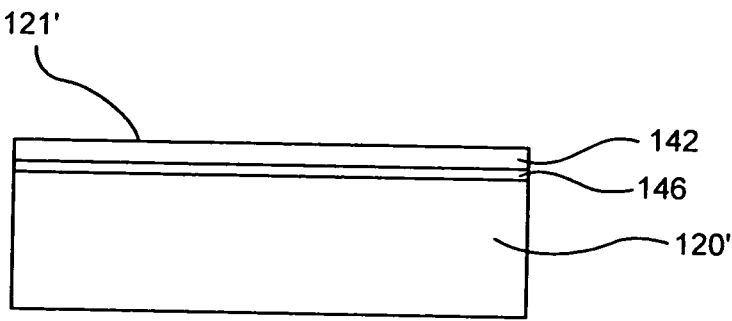
第5圖



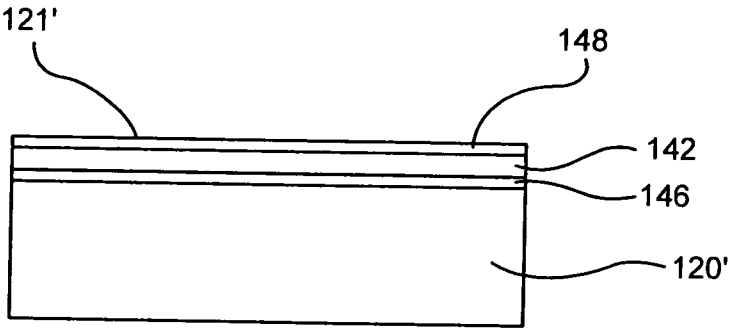
第6圖



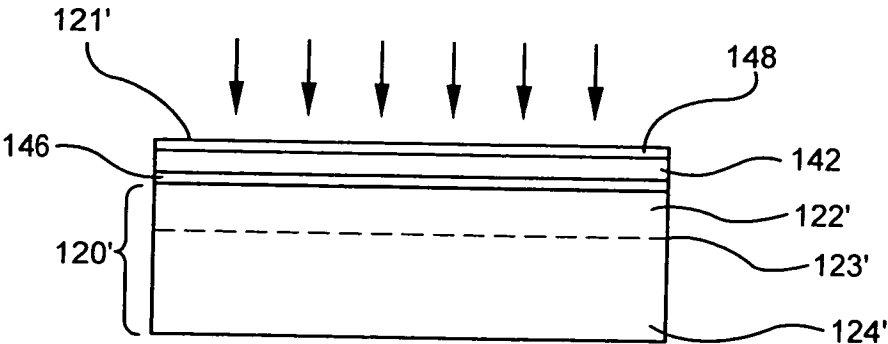
第7圖



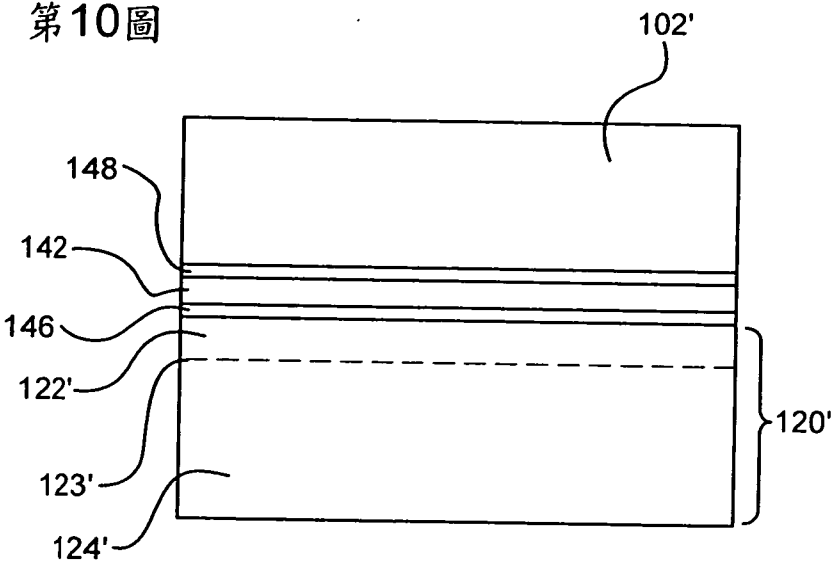
第8圖



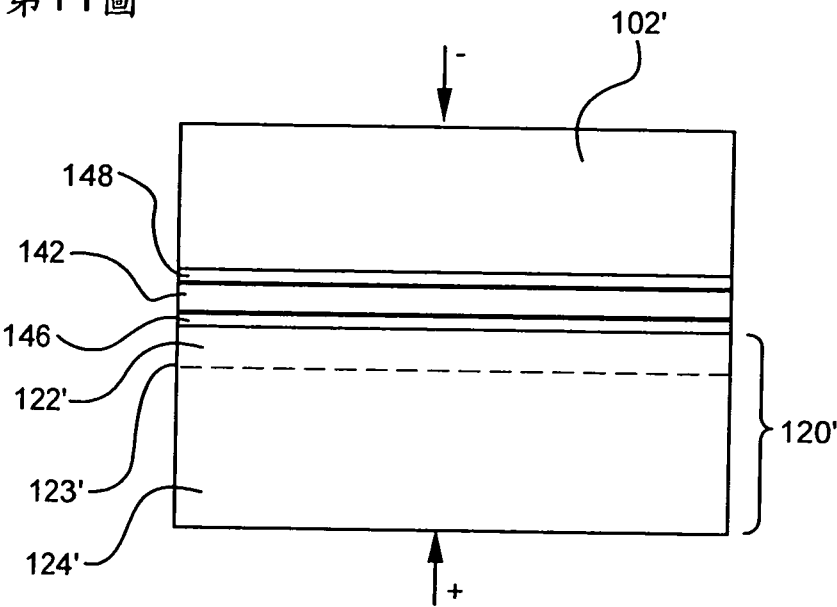
第9圖



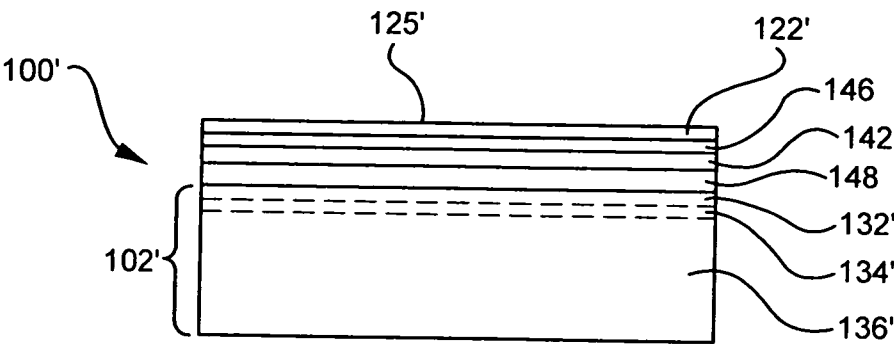
第10圖



第11圖

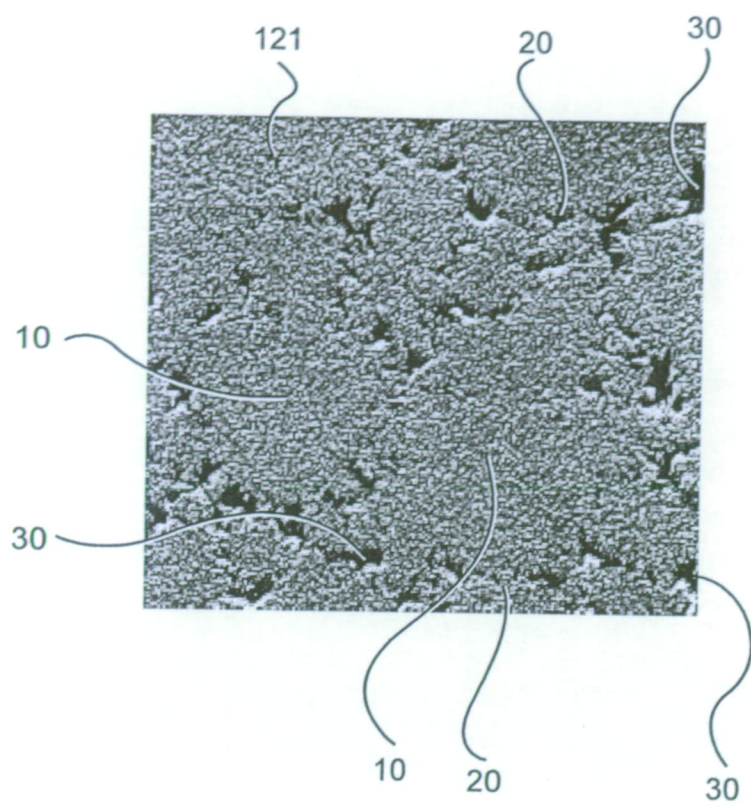


第12圖

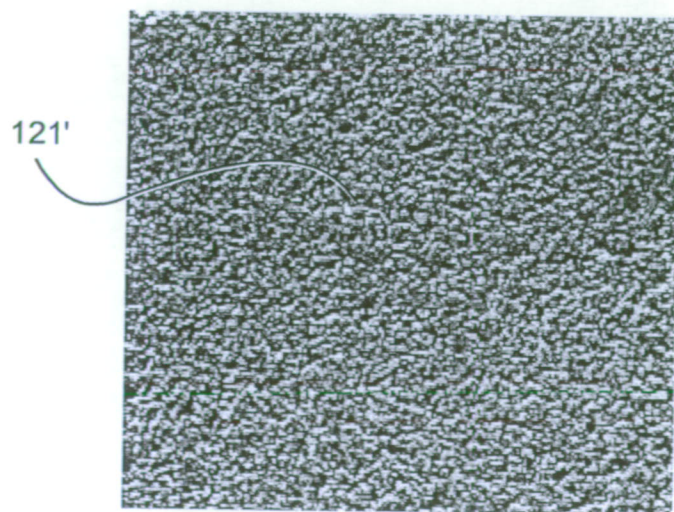


第13圖

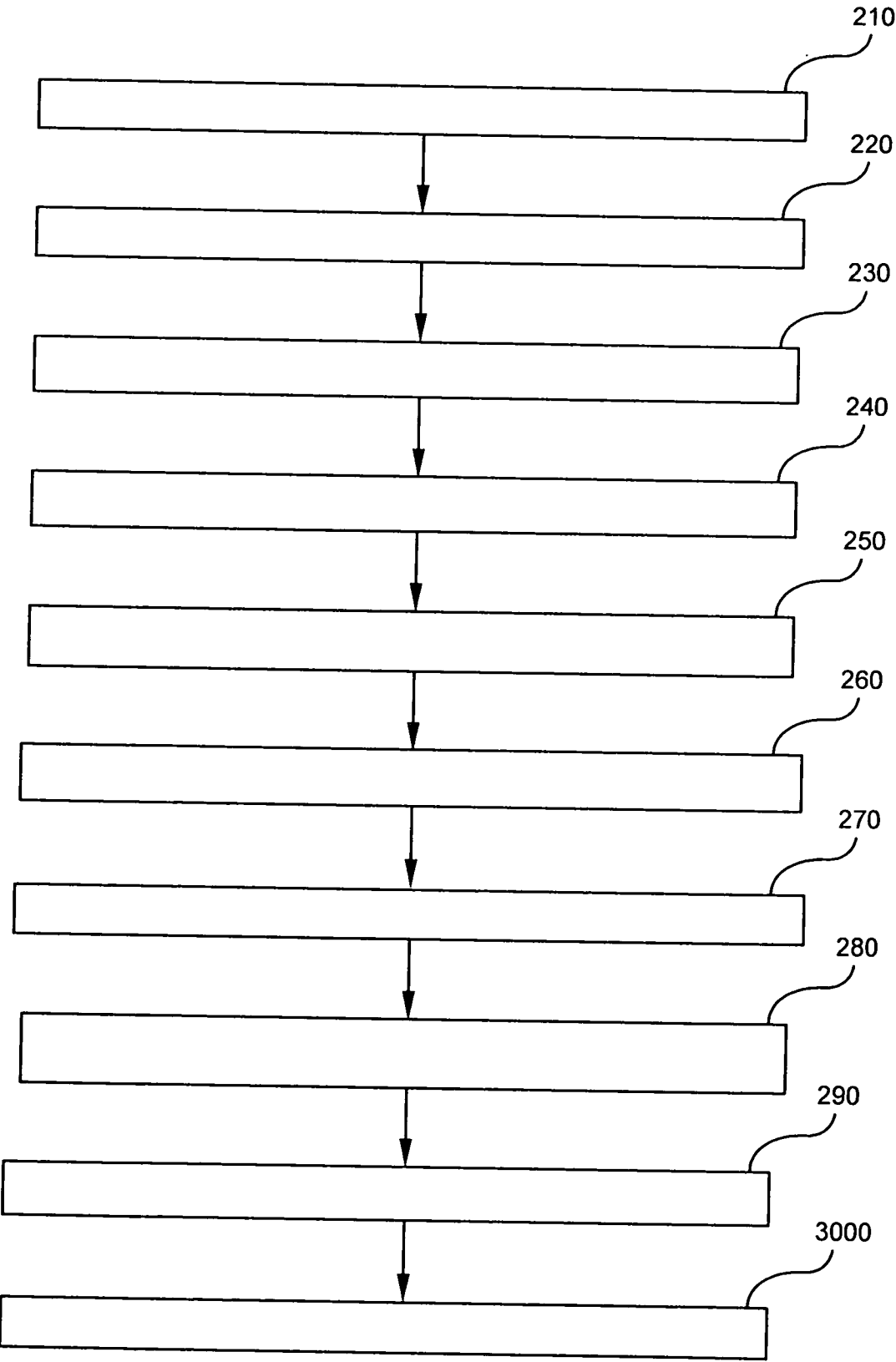
6/8



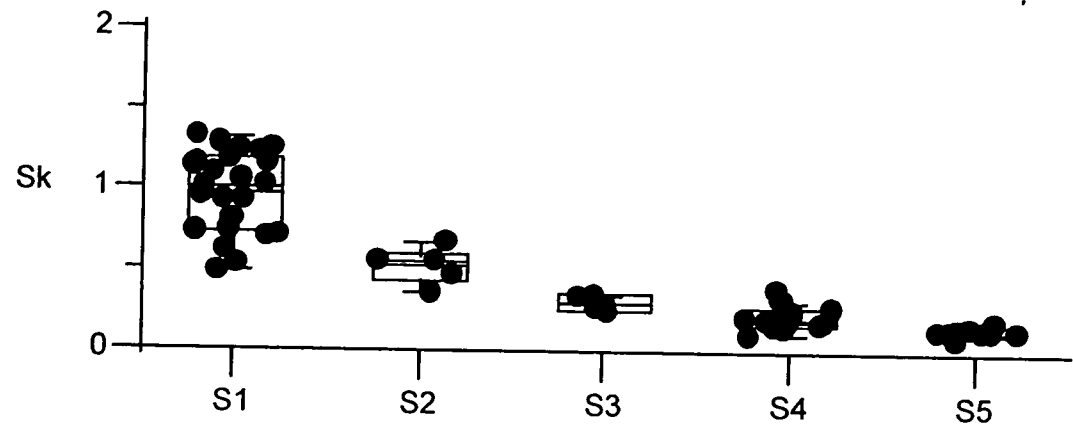
第14圖



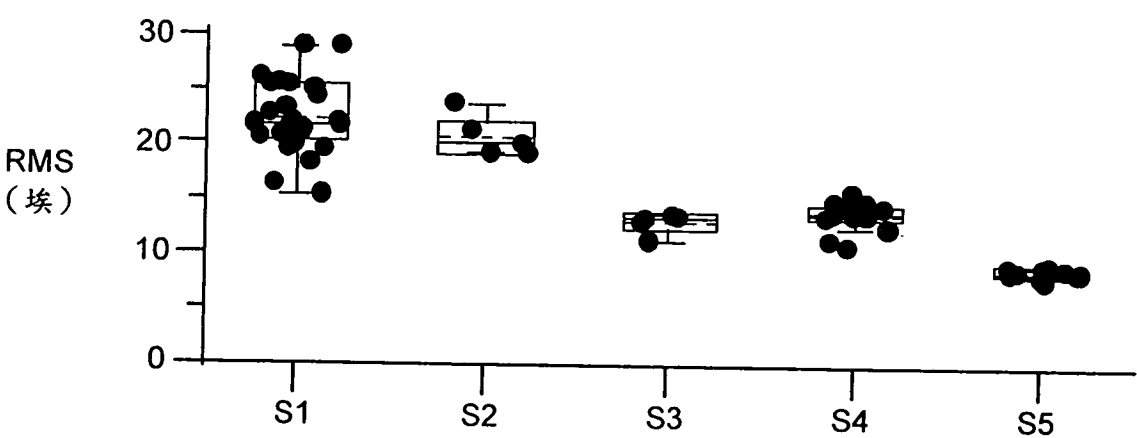
第15圖



第16圖



第17圖



第18圖

