

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-523133
(P2004-523133A)

(43) 公表日 平成16年7月29日(2004.7.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 G 4/38	HO 1 G 4/38 A	5 E 0 8 2
HO 1 G 9/26	HO 1 G 9/00 5 2 1	

審査請求 有 予備審査請求 未請求 (全 80 頁)

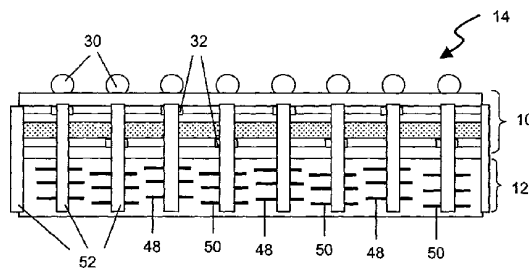
(21) 出願番号	特願2003-525865 (P2003-525865)	(71) 出願人	500047848 エイブイエックス コーポレーション アメリカ合衆国 29578-0867 サウスカロライナ州 マートル ビーチ エイブイエックス ドライブ 2200 ピー. オー. ボックス 867
(86) (22) 出願日	平成14年9月5日 (2002.9.5)	(74) 代理人	100077481 弁理士 谷 義一
(85) 翻訳文提出日	平成15年5月6日 (2003.5.6)	(74) 代理人	100088915 弁理士 阿部 和夫
(86) 国際出願番号	PCT/US2002/028100	(72) 発明者	ジョン エル. ガルバニ アメリカ合衆国 29575 サウスカロ ライナ州 サーフサイド ビーチ ターキ ー リッジ ロード 1450ピー
(87) 国際公開番号	W02003/021614		
(87) 国際公開日	平成15年3月13日 (2003.3.13)		
(31) 優先権主張番号	60/317, 356		
(32) 優先日	平成13年9月5日 (2001.9.5)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	10/234, 972		
(32) 優先日	平成14年9月4日 (2002.9.4)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 カスケードコンデンサ

(57) 【要約】

高周波数応用分野およびその他の環境で使用される多層カスケードコンデンサを開示する。このコンデンサは、複数のコンデンサ構成部品 (10) またはその複数の態様を集積パッケージ中に含むことができる。これらの構成部品としては、例えば、薄膜BGA構成部品、インターデジタル型コンデンサ (IDC) 構成、二重層電気化学コンデンサ、単層コンデンサなどがある。本発明の例示的な実施形態は、少なくとも特定の態様の薄膜BGA技術および/またはIDC型構成を含むことが好ましい。所与のキャパシタンス値を維持しながらESLの低下を促進する取付けおよび相互接続のためのフィーチャを設ける。さらなる利点としては、広い動作周波数範囲にわたって、低いESLと、減結合性能とが得られることが挙げられる。さらに詳細には、本開示の技術は、キロヘルツから数ギガヘルツまでの周波数範囲にわたって機能することができ、広い範囲のキャパシタンス値をとることを特徴とすることもできる例示的なコンデンサを提供する。本発明のさらなる開示の特徴は、様々な厚さの誘電体層 (22) を組み込み、特定の構成に関連する共



【特許請求の範囲】

【請求項 1】

多層コンデンサであって、
基板と、

前記基板をほぼ覆う第 1 の電極層と、

それぞれが第 1 の直径を有する第 1 の複数の貫通孔を画定する、前記第 1 の電極層をほぼ覆う第 1 の絶縁層と、

それぞれが前記第 1 の直径以上の第 2 の直径を有する第 2 の複数の貫通孔を画定する、前記第 1 の絶縁層をほぼ覆う抵抗層と、

それぞれが前記第 2 の直径以上の第 3 の直径を有する第 3 の複数の貫通孔を画定する、前記抵抗層をほぼ覆う第 2 の電極層であり、前記第 1、第 2 および第 3 の複数の貫通孔がそれぞれ同心円状に配列され、それぞれが複数の貫通孔トリプレットを形成する、第 2 の電極層と、

前記貫通孔トリプレットのうち選択されたものの中を通る第 1 の複数の導電性パイアであり、それぞれが前記第 1 の電極層に接続され、前記第 2 の電極層には接触しないように設けられた第 1 の複数の導電性パイアとを含むことを特徴とする多層コンデンサ。

【請求項 2】

それぞれ対応する前記複数の貫通孔トリプレットから横方向にずれた第 4 の複数の貫通孔を画定する、前記第 2 の電極層をほぼ覆う第 2 の絶縁層と、

前記第 2 の電極層にそれぞれ接続された、前記第 4 の複数の貫通孔のうち選択されたものの中を通る第 2 の複数の導電性パイアとをさらに含むことを特徴とする請求項 1 に記載の多層コンデンサ。

【請求項 3】

前記基板が外側周縁部を有し、

前記第 1 および第 2 の電極層がそれぞれ、実質的に連続した部分と、前記連続した部分から前記基板の前記外側周縁部に延びる複数のタブ部分とを含むことを特徴とする請求項 1 に記載の多層コンデンサ。

【請求項 4】

複数のはんだ球をさらに含み、各はんだ球が、前記第 1 および第 2 の複数の導電性パイアのうち選択したものの一部分に取り付けられることを特徴とする請求項 3 に記載の多層コンデンサ。

【請求項 5】

前記第 1 の複数の導電性パイアがそれぞれ第 1 および第 2 の端部を有することを特徴とし、前記第 1 の複数の導電性パイアそれぞれの選択された端部が、前記第 1 の電極層と接することを特徴とする請求項 1 に記載の多層コンデンサ。

【請求項 6】

多層構成部品の等価直列抵抗 (E S R) を調節する方法であって、

絶縁層で分離された少なくとも第 1 および第 2 の電極層を含む多層構成部品を作製するステップと、

絶縁層と第 1 または第 2 の電極層の一方との間に抵抗層を設けるステップと、

抵抗層の有効抵抗を変化させることによって前記構成部品の E S R を調節するステップとを含むことを特徴とする方法。

【請求項 7】

前記調節ステップが、

第 1 または第 2 の電極層の一方に、複数の貫通孔を穿孔するステップと、

複数の貫通孔のうち選択したものの直径を調節することによって、穿孔された電極層の被覆範囲が抵抗層の有効抵抗を変化させることにより、抵抗層の有効抵抗を変化させるステップとを含むことを特徴とする請求項 6 に記載の方法。

【請求項 8】

前記調節ステップが、

10

20

30

40

50

抵抗層の厚さを調節することによって抵抗層の有効抵抗を変化させるステップをさらに含むことを特徴とする請求項 6 に記載の方法。

【請求項 9】

前記調節ステップが、
抵抗層の組成を調節することによって抵抗層の有効抵抗を変化させることを特徴とする請求項 6 に記載の方法。

【請求項 10】

多層構成部品の共振特性を調節する方法であって、
連続的に積み重ねた複数の電極層を有する多層構成部品を作製するステップと、
各電極層に挟まれた別個の絶縁層を設けるステップと、
別個の絶縁層のうち選択されたものの厚さを様々に変化させることにより、多層構成部品の共振特性を調節するステップとを含むことを特徴とする方法。

10

【請求項 11】

前記変化させるステップが、
別個の絶縁層に、層ごとに連続的に変化する厚さを持たせるステップを含むことを特徴とする請求項 10 に記載の多層構成部品の共振特性を調節する方法。

【請求項 12】

前記変化させるステップが、
別個の絶縁層に、あるパターンに従って層ごとに変化する厚さを持たせるステップを含むことを特徴とする請求項 10 に記載の多層構成部品の共振特性を調節する方法。

20

【請求項 13】

前記変化させるステップが、
別個の絶縁層に、層ごとに整合されて変化する厚さを持たせるステップを含むことを特徴とする請求項 10 に記載の多層構成部品の共振特性を調節する方法。

【請求項 14】

多層コンデンサであって、
基板と、
前記基板をほぼ覆う第 1 の電極層と、
前記第 1 の電極層をほぼ覆い、それぞれ第 1 の直径を有する第 1 の複数の貫通孔を画定する第 1 の絶縁層と、
前記第 1 の絶縁層をほぼ覆い、それぞれ前記第 1 の直径以上の第 2 の直径を有する第 2 の複数の貫通孔を画定する第 2 の電極層であり、前記第 1 および第 2 の複数の貫通孔がそれぞれ同心円状に配列され、それぞれ複数の貫通孔対を形成する、第 2 の電極層と、
前記貫通孔対のうち選択されたものの中を通る第 1 の複数の導電性ビアであり、それぞれが前記第 1 の電極層に接続され、前記第 2 の電極層には接触しないように設けられた第 1 の複数の導電性ビアとを含み、
前記基板が外側周縁部を有し、
前記第 1 および第 2 の電極層がそれぞれ、実質的に連続した部分と、前記連続した部分から前記基板の前記外側周縁部に延びる複数のタブ部分とを含むことを特徴とする多層コンデンサ。

30

40

【請求項 15】

それぞれ対応する前記複数の貫通孔対から横方向にずれた第 3 の複数の貫通孔を画定する、前記第 2 の電極層をほぼ覆う第 2 の絶縁層と、前記第 2 の電極層にそれぞれ接続された、前記第 3 の複数の貫通孔のうち選択されたものの中を通る第 2 の複数の導電性ビアとをさらに含むことを特徴とする請求項 14 に記載の多層コンデンサ。

【請求項 16】

複数のはんだ球をさらに含み、各はんだ球が、前記第 1 および第 2 の複数の導電性ビアのうち選択したものの一部分に取り付けられることを特徴とする請求項 15 に記載の多層コンデンサ。

【請求項 17】

50

前記第 1 の直径以上で前記第 2 の直径以下の第 3 の直径をそれぞれ有する、前記複数の貫通孔対とそれぞれ同心円状に配列された第 3 の複数の貫通孔を画定する、前記第 1 の絶縁層をほぼ覆う抵抗層をさらに含むことを特徴とする請求項 14 に記載の多層コンデンサ。

【請求項 18】

前記第 1 の複数の導電性バイアがそれぞれ第 1 および第 2 の端部を有することを特徴とし、前記第 1 の複数の導電性バイアそれぞれの選択された端部が、前記第 1 の電極層と接することを特徴とする請求項 14 に記載の多層コンデンサ。

【請求項 19】

カスケードコンデンサであって、

外側周縁部を有する基板と、

前記基板上に積み重ねられ、絶縁層で互いに分離された、複数の縁部をそれぞれ有する第 1 および第 2 の電極層であり、前記絶縁層および前記第 2 の電極層がそれぞれ複数の貫通孔を画定する、第 1 および第 2 の電極層と、

前記それぞれの複数の貫通孔のうち選択されたものの中を通り、前記第 1 の電極層に接続された、複数の導電性バイアと、

交互配置された電極層の外部構成部品への結合が容易になるようにインターデジタル型に交互に配列された、前記第 1 および第 2 の電極層の選択された縁部から前記基板の前記外側周縁部にそれぞれ延びる第 1 および第 2 の複数のタブと を含む第 1 の多層コンデンサ

、それぞれが絶縁層で互いに分離された、それぞれ複数の縁部を有する第 1 および第 2 の複数の電極層と、

前記第 1 および第 2 の複数の電極層の交互配置された電極の外部構成部品への結合が容易になるようにインターデジタル型に交互に配列された、前記第 1 および第 2 の複数の電極層のうち選択された電極層の選択された縁部から前記第 1 の多層コンデンサの前記基板の外側周縁部に向かって延びる第 1 および第 2 の複数のタブと

を含む第 2 の多層コンデンサ、ならびに

前記第 1 の多層コンデンサの前記第 1 および第 2 の複数のタブのうち選択されたものを、前記第 2 の多層コンデンサの前記第 1 および第 2 の複数のタブのうち選択されたものに結合する、複数の導電性ランドを含むことを特徴とするカスケードコンデンサ。

【請求項 20】

前記複数の導電性ランドのうち選択されたものに結合された少なくとも 1 つの表面実装コンデンサをさらに含むことを特徴とする請求項 19 に記載のカスケードコンデンサ。

【請求項 21】

一对の表面実装コンデンサが、前記複数の導電性ランドのうち選択されたものに結合されることを特徴とする請求項 20 に記載のカスケードコンデンサ。

【請求項 22】

前記複数の導電性ランドのうち選択されたものに結合された単層コンデンサをさらに含むことを特徴とする請求項 19 に記載のカスケードコンデンサ。

【請求項 23】

前記複数の導電性ランドのうち選択されたものに結合された少なくとも 1 つの表面実装コンデンサをさらに含むことを特徴とする請求項 19 に記載のカスケードコンデンサ。

【請求項 24】

一对の表面実装コンデンサが、前記複数の導電性ランドのうち選択されたものに結合されることを特徴とする請求項 23 に記載のカスケードコンデンサ。

【請求項 25】

前記第 1 の多層コンデンサを複数含み、

前記第 2 の多層コンデンサを複数含み、前記複数の第 1 の多層コンデンサの各多層コンデンサがそれぞれ、前記複数の第 2 の多層コンデンサの前記多層コンデンサの 1 つと個別にカスケード結合されて、複数のカスケードコンデンサセクションを形成し、

前記カスケードコンデンサセクションのそれぞれと結合された共通コンデンサをさらに含

10

20

30

40

50

むことを特徴とする請求項 19 に記載のカスケードコンデンサ。

【請求項 26】

前記複数のカスケードコンデンサセクションが、前記共通コンデンサ上に物理的に並列に取り付けられることを特徴とする請求項 25 に記載のカスケードコンデンサ。

【請求項 27】

前記共通コンデンサが二重層コンデンサであることを特徴とする請求項 25 に記載のカスケードコンデンサ。

【請求項 28】

前記共通コンデンサが単一の電気化学コンデンサであることを特徴とする請求項 25 に記載のカスケードコンデンサ。

【請求項 29】

前記複数の導電性パイアがそれぞれ、前記第 1 の多層コンデンサの第 1 の電極層に接続され、前記それぞれの複数の貫通孔のうち選択されたものの中を、前記第 1 の多層コンデンサの第 2 の電極層と接触しないようにして通ることを特徴とする請求項 19 に記載のカスケードコンデンサ。

【請求項 30】

前記第 1 の多層コンデンサの前記絶縁層によって画定される前記複数の貫通孔が、第 1 の直径を有して形成され、
前記第 1 の多層コンデンサの前記第 2 の電極層によって画定される前記複数の貫通孔が、前記第 1 の直径以上の第 2 の直径を有して形成され、前記第 1 および第 2 の複数の貫通孔が、それぞれ同心円状に配列され、複数の貫通孔対を形成していることを特徴とする請求項 21 に記載のカスケードコンデンサ。

【請求項 31】

前記複数の導電性ランドのうち選択されたものに結合された少なくとも 1 つの追加のコンデンサをさらに含み、前記少なくとも 1 つの追加のコンデンサが、表面実装コンデンサ、単層コンデンサ、二重層コンデンサ、電気化学コンデンサ、セラミックコンデンサ、およびタンタルコンデンサからなる一群から選択されることを特徴とする請求項 19 に記載のカスケードコンデンサ。

【請求項 32】

前記第 2 の多層コンデンサの前記絶縁層の別個の絶縁層の厚さを層ごとに変化させて、前記カスケードコンデンサの共振特性を調節することを特徴とする請求項 19 に記載のカスケードコンデンサ。

【請求項 33】

前記第 2 の多層コンデンサの選択された別個の絶縁層の厚さが層ごとに連続的に変化していることを特徴とする請求項 32 に記載のカスケードコンデンサ。

【請求項 34】

前記第 2 の多層コンデンサの選択された別個の絶縁層の厚さが、あるパターンに従って層ごとに変化していることを特徴とする請求項 32 に記載のカスケードコンデンサ。

【請求項 35】

前記第 2 の多層コンデンサの選択された別個の絶縁層の厚さが、層ごとに変化していることを特徴とする請求項 32 に記載のカスケードコンデンサ。

【請求項 36】

多層コンデンサであって、
連続的に積み重ねられた、複数の縁部をそれぞれ有する複数の電極層および複数の絶縁層と、
前記複数の電極層のそれぞれの選択された縁部から延び、前記多層コンデンサの選択された側面で露出する、インターデジタル型に交互に配列された複数のタブと、
前記最上部電極層および前記隣接するその下の絶縁層を穿孔し、前記その次の連続する電極層を露出させることによってそれぞれ形成された第 1 および第 2 の複数の貫通孔と、
それぞれが前記第 1 および第 2 の複数の貫通孔のうち選択されたものの中を通り、前記露

10

20

30

40

50

出した電極層に接続される第1の複数の導電性バイアと、
前記複数のタブのうち選択されたものを結合する複数の導電性ランドとを含むことを特徴とする多層コンデンサ。

【請求項37】

前記複数の導電性ランドのうち選択されたものに結合された少なくとも1つの追加のコンデンサをさらに含み、前記少なくとも1つの追加のコンデンサが、表面実装コンデンサ、単層コンデンサ、二重層コンデンサ、電気化学コンデンサ、セラミックコンデンサ、およびタンタルコンデンサからなる一群から選択されることを特徴とする請求項36に記載の多層コンデンサ。

【請求項38】

一对の追加のコンデンサが、前記複数の導電性ランドのうち選択されたものに結合されることを特徴とする請求項37に記載の多層コンデンサ。

10

【請求項39】

前記複数の導電性ランドのうち選択されたものに結合された単層コンデンサをさらに含むことを特徴とする請求項36に記載の多層コンデンサ。

【請求項40】

前記複数の導電性ランドのうち選択されたものに結合された少なくとも1つの表面実装コンデンサをさらに含むことを特徴とする請求項39に記載の多層コンデンサ。

【請求項41】

一对の表面実装コンデンサが、前記複数の導電性ランドのうち選択されたものに結合されることを特徴とする請求項40に記載の多層コンデンサ。

20

【請求項42】

カスケードコンデンサセクションをそれぞれ形成する少なくとも1つの追加の多層コンデンサと、
カスケードコンデンサセクションのそれぞれと結合された共通コンデンサとをさらに含むことを特徴とする請求項36に記載の多層コンデンサ。

【請求項43】

カスケードコンデンサセクションが、前記共通コンデンサ上に物理的に並列に取り付けられることを特徴とする請求項42に記載の多層コンデンサ。

【請求項44】

前記共通コンデンサが二重層コンデンサであることを特徴とする請求項42に記載の多層コンデンサ。

30

【請求項45】

前記共通コンデンサが単一の電気化学コンデンサであることを特徴とする請求項42に記載の多層コンデンサ。

【請求項46】

前記最上部電極層を穿孔することによって形成された前記第1の複数の貫通孔がそれぞれ第1の直径を有し、

前記隣接するその下の絶縁層を穿孔することによって形成された前記第2の複数の貫通孔がそれぞれ第1の直径以上の第2の直径を有することを特徴とする請求項36に記載の多層コンデンサ。

40

【請求項47】

前記最上部電極層と前記隣接するその下の絶縁層との間に抵抗層をさらに含むことを特徴とする請求項36に記載の多層コンデンサ。

【請求項48】

前記絶縁層のうち選択されたものの厚さを層ごとに変化させて、前記多層コンデンサの共振特性を調節することを特徴とする請求項36に記載の多層コンデンサ。

【請求項49】

前記絶縁層のうち選択されたものの厚さが層ごとに連続的に変化していることを特徴とする請求項48に記載の多層コンデンサ。

50

【請求項 50】

前記絶縁層のうち選択されたものの厚さが、あるパターンに従って層ごとに変化していることを特徴とする請求項 48 に記載の多層コンデンサ。

【請求項 51】

前記絶縁層のうち選択されたものの厚さが、層ごとに変化していることを特徴とする請求項 48 に記載の多層コンデンサ。

【発明の詳細な説明】

【0001】

(優先権主張)

本願は、参照によりあらゆる目的のために本明細書に組み込む、U S S N 6 0 / 3 1 7 3 5 6 を付与された「C a s c a d e C a p a c i t o r」と題する、本願と同じ発明者等による、2001年9月5日に既に出願された米国仮特許出願の特典を主張するものである。

【0002】

(発明の背景)

本発明は一般に、高周波の応用分野など、ある周波数範囲の応用分野で使用される、多層カスケードコンデンサに関する。さらに詳細には、本発明は、モノリシックパッケージに設けられた複数のコンデンサ構成部品に関する。本発明では、高いキャパシタンス、低い等価直列インダクタンス (E S L)、低いまたは同調可能な等価直列抵抗 (E S R) など、改善および/または理想化された性能特性を有するデバイスを作製するための相互接続フィーチャおよび取付けフィーチャを利用する。

【0003】

最新技術の応用分野は多様化しているので、効率のよい電子構成部品と、その中で使用される集積回路とが必要とされるようになってきている。このような最新技術の応用分野としては、無線通信、警報システム、レーダシステム、回線交換、整合ネットワーク、およびその他の多くの分野があり、コンデンサは、フィルタリング、減結合、バイパス、およびその他の様々な最新技術分野の側面で使用される基本的な構成要素である。集積回路の速度および実装密度が劇的に向上すると、とりわけ減結合コンデンサ技術の進歩が必要となる。高キャパシタンス減結合コンデンサが現在の多くの応用分野の高周波数を受けるときには、性能特性はますます重要となる。このような幅広い応用分野においてコンデンサは必須であるので、それらが精密かつ効率的であることはきわめて重要である。したがって、コンデンサの性能特性を改善するために、コンデンサ設計の数多くの側面が注目されてきた。

【0004】

このようにコンデンサ環境が驚くほど多様であるということは、コンデンサがいくつかの異なる動作周波数を受けることが多いということである。衛星やGPS、携帯電話の分野を含めた多くの無線通信システム、ならびに高速プロセッサの分野では、高い動作周波数に適應することができるコンデンサ技術が必要とされている。一般に高い動作周波数範囲に適應するようになされたコンデンサ技術の例が、米国特許第6208501B1号 (I n g a l l s 他)、第6023408号 (S c h a p e r)、第5886867号 (C h i v u k u l a 他)、第5576926号 (M o n s o r n o)、および第5220482号 (T a k e m u r a 他) に開示されている。多くの場合、コンデンサは、このような高周波数の応用分野、またはその他のより低い周波数の応用分野の一方を対象として設計され、両方に対応するようには設計されない。したがって、広い範囲の周波数にわたって理想的な動作と両立する多様な能力を有するコンデンサが必要とされている。何らかの限られた周波数範囲内で良好に動作することができるコンデンサの例は、米国特許第6184574B1号 (B i s s e y)、第6038122号 (B e r g s t e d t 他)、および第5786978号 (M i z u n o) に見ることができる。

【0005】

コンデンサは、様々な動作周波数を受けると同時に、様々な動作温度にも

さらされる可能性がある。所与の温度における許容性能は、コンデンサの形成に使用した誘電材料のキャパシタンスの温度係数に関係することが多い。様々な温度で所望のコンデンサ動作を可能にする既存の技法の1つは、様々な誘電材料で形成したコンデンサを積層するものである。この積層技法の例は、米国特許第5799379号および第5517385号(Galvagni他)に見ることができる。

【0006】

実際のコンデンサは、理論的には存在しないこともある固有抵抗値を有する。コンデンサのこの付加的な性質は、しばしば等価直列抵抗(ESR)と呼ばれる。できる限り理論上の動作に近い動作をするコンデンサを作成することが望ましいので、一般にはESRの低いコンデンサが好ましい。ESRを最低限に抑える必要があることは、減結合コンデンサの分野で特に明らかである。ESRが高くなると、所与のキャパシタンス値に対してリップル電圧およびワット損が増大する。これは、コンデンサのRC時定数に関係し、低いコンデンサのESRが必要とされる1つの要因となっている。低ESRをもたらすよう設計されたコンデンサの例が、米国特許第6226170B1号(Nelison他)に開示されている。

10

【0007】

コンデンサ性能の改善を実現するもう1つの方法は、デバイスのインダクタンスを低下させることである。したがって、減結合コンデンサの場合には、回路効率を維持するために低い等価直列インダクタンス(ESL)を実現することが好ましい。また、減結合コンデンサの自己インダクタンスおよび相互インダクタンスを低下させるコンデンサ設計を実施することが好ましいこともある。米国特許第6038121号(Naito他)および米国特許第6034864号(Naito他)には、磁束を打ち消し、ESLを低下させるように設計された例示的なコンデンサ構成が示されている。

20

【0008】

電流路を短縮すると、自己インダクタンスを低下させることになる。電流はしばしばコンデンサの全長を移動しなければならないので、コンデンサ構造の長い方の端部に成端すると、電流路が短縮されることになる。隣り合うコンデンサ電極の電流が反対方向に流れると、コンデンサの相互インダクタンスが低下することになる。インターデジタル形コンデンサの技術で利用されるような複数の端子も、インダクタンス値を低下させる。米国特許第5880925号(Dupre他)および第6243253B1号(Dupre他)には、前述の低インダクタンス特性のうちいくつかを提供する多層コンデンサが開示されている。これらDupreの特許で論じられている基本構成は、以下でインターデジタル形コンデンサ(IDC)と呼ぶ多層コンデンサの1タイプに相当する。

30

【0009】

減結合コンデンサのESLを低下させるもう1つの手法は、端子構成および実装システムによって生じる相互接続誘導を最小限に抑えることである。いくつかの既知の成端方式は高いインダクタンスを特徴とし、構成要素間の間隔をあまり接近させることができないことが多い。したがって、低ESLを有し、かつ集積回路の構成要素密度を高める一助となる効率的な成端方式が必要とされている。米国特許第6104597号(Konushi)および米国特許第4439813号(Dougherty他)では、薄膜コンデンサ技術を使用して、基板に取り付けられる例示的なコンデンサを提供している。

40

【0010】

既知の成端方式では、内部の柱状電極と接続する孔配列をその中に有する電極板を利用する。このようにすることで、ESLがさらに低い省スペースの相互接続方式が提供されるが、コンデンサ電極中の孔配列は有効面積を減少させるので、構造全体のキャパシタンスは低下する。これらのクリアランス孔を備えた層の数が増えて、クリアランス孔が多くなりすぎると、短絡の問題が生じる一因となる。このような成端方式の例は、ヨーロッパ特許出願第1115129A2号(AhikoおよびIshigara)に見ることができる。したがって、低いインダクタンスならびに高いキャパシタンスを実現する成端方式が必要とされている。

50

【0011】

所望の動作を容易にするために改善の必要がある可能性のある、多くの様々なコンデンサの性能特性がある。上記で言及し論じた特性のうち、選択されるものとしては、低いESL、低いESRその他の形態のインダクタンス、高いキャパシタンス、広い動作周波数範囲、効率的な成端方式などがある。このように、これら所望の特性の多くまたは全てを単一のモノリシック構造で達成すると、有用な容量性構造が得やすくなる。様々な態様および代替の特徴がコンデンサ技術の分野では既知であるが、本明細書で論じる改善した性能特性の全てを包括的に集約した設計は出現していない。

【0012】

本明細書においてここまで引用したもの以外の例示的な背景技術の参考文献としては、
10 米国特許第5831810号(Bird他)、第5811868号(Bertin他)、
および第5599757号(Wilson他)がある。

【0013】

前述の全ての米国特許の開示は、参照により本願に完全に組み込まれる。

【0014】

(発明の概要)

本発明は、コンデンサ技術の特定の態様に関する前述およびその他の欠点のいくつかを認識し、これらに対処するものである。したがって、概して言えば、本明細書に開示する技術の主要な目的は、広い周波数範囲にわたってコンデンサ性能を改善することである。さらに詳細に言えば、本明細書に開示する多層カスケードコンデンサの実施形態は、広い周
20 波数範囲にわたって好ましい動作特性および様々なフレキシビリティを提供するものである。

【0015】

本発明の別の目的は、複数の構成部品、および集積コンデンサパッケージにおけるそれらの相当の利点を提供することである。複数の構成部品を様々な組み合わせることで、コンデンサ設計と、それによりもたらされる性能とがフレキシブルになる。この集積構造は、
。 並列に配列され相互接続された、スタック状の複数のコンデンサを提供することができる。

【0016】

本技術の別の目的は、所望のキャパシタンス値および動作周波数を含めた、広範囲の動作
30 条件に適応するコンデンサ構成を提供することである。可能な構成は、 $0.5\mu\text{F}$ から1F超のキャパシタンス範囲および数kHzから数GHzの動作周波数範囲を実現できることが好ましい。

【0017】

本開示の技術の別の目的は、本発明の多層カスケードコンデンサのESRおよびESLに関する。本明細書に開示の実施形態は、低ESLおよび低ESRの両方を特徴とすることが好ましい。ESRは、選択したコンデンサ構成およびその調節可能な態様に応じて所望のレベルに同調可能にすることもできる。

【0018】

本開示の技術の別の目的は、有利な相互接続フィーチャによって取り付けられたスタック
40 状構成部品を有するカスケードコンデンサを提供することである。この取付けおよび相互接続フィーチャは、一般に構造の高いキャパシタンス値を維持しながら、低インダクタンスおよびその他の利点を提供することが好ましい。本発明では、内部電極の接続または外部電極の接続あるいはその両方を任意に選択できるので、汎用性のある端子構成がもたらされる。

【0019】

本発明の多層カスケードコンデンサの別の目的は、エポキシ製成型品にカプセル化して、そこに設けられたコンデンサと任意のワイヤボンドまたはその他の接続手段とを任意選択でさらに保護することができるモノリシック構造を提供することである。

【0020】

本発明の別の目的は、本発明のカスケードコンデンサの多層部分に、調節可能な厚さを有する誘電体層を任意選択で設けることである。様々な構成で、隣り合う誘電体層に様々な厚さを持たせることができ、したがって特定の構成に係る共振曲線を拡大することができる。

【0021】

開示の技術のさらに別の目的および利点については、本明細書の詳細な説明において述べる。あるいは、本明細書の詳細な説明を読めば当業者には明らかであろう。また、参照により、開示の技術の趣旨および範囲を逸脱することなく、開示の技術の様々な実施形態および用法において具体的に図示、参照および考察した特徴およびステップに対して様々な修正および変更を加えることができることも当業者なら理解されたい。このような変更としては、図示、参照または考察した手段や特徴、材料、またはステップの代わりに、それらと等価な手段や特徴、材料、またはステップを用いること、ならびに様々な部品、特徴またはステップなどの機能、動作または位置を入れ換えることなどが含まれるが、これらに限定されるわけではない。

10

【0022】

さらに、本技術の様々な実施形態ならびに様々な現在好ましい実施形態は、本開示の特徴、ステップまたはエレメントあるいはそれらの均等物の様々な組合せまたは構成を含むことができる（図面に明示していない、もしくは詳細な説明に記載していない特徴またはステップの組合せあるいはそれらの構成も含む）。本発明の第1の例示的な実施形態は、連続的に積み重ねた構成で設けた基板、第1の電極層、第1の絶縁層および第2の電極層を含む多層コンデンサに関する。次いで、電極層の選択した部分に電気的に接続されるように、導電性ビアも設ける。第1および第2の電極層ならびに絶縁層は全て、それぞれの直径を有する複数の貫通孔を画定し、導電性ビアはこれらの貫通孔に通すことができる。

20

【0023】

この第1の例示的な実施形態は、様々な追加の特徴を組み込むことができる。このような特徴の1つは、第1の絶縁層と第2の電極層の間に設けた抵抗層に相当し、この抵抗層も、導電性ビアを通すことができる複数の貫通孔を画定することができる。この例示的な実施形態のさらに別の考えられる特徴は、基板が外側周縁部を有することを特徴とし、第1および第2の電極層が、それぞれの実質的に連続した部分と、それぞれの連続した部分から基板の外側周縁部に延びる複数のタブ部分とを有することを特徴とすることに関する。さらに別の任意選択の特徴としては、追加の絶縁層、および/または選択した導電性ビアに取り付けられたはんだ球がある。

30

【0024】

本発明の第2の例示的な実施形態は、第1の多層コンデンサと、第2の多層コンデンサと、各多層コンデンサの選択した部分を結合する複数の導電性ランドとを含むカスケードコンデンサに相当する。各多層コンデンサは、それぞれ電極と絶縁層の組合せで形成される。電極層の選択した縁部からそれぞれ複数のタブが延びることができる。第1の多層コンデンサの選択された層は、複数の貫通孔を画定することができ、導電性ビアをこれらの貫通孔に通して、特定の電極層への電気接続を形成することができる。

40

【0025】

本開示の技術のこの第2の例示的な実施形態にさらに関連して、例えば表面実装コンデンサ、単層コンデンサ、二重層コンデンサ、電気化学コンデンサ、セラミックコンデンサ、タンタルコンデンサ、および/またはそれらから選択したものの組合せなどの追加のコンデンサを、カスケードコンデンサ実施形態の導電性ランドに結合することもできる。さらに特化した実施形態では、複数のカスケードコンデンサを共通コンデンサに結合することもできる。さらに特化した実施形態は、カスケードコンデンサ中の第2の多層コンデンサの個別の絶縁層の厚さを層ごとに変化させて、デバイスの共振特性を調節するように構成することができる。

【0026】

50

本発明の第3の例示的な実施形態は、連続的に積み重ねられた複数の電極層および絶縁層と、各電極層の選択された縁部から延びて多層コンデンサの選択された側面で露出する複数のタブと、最上部電極層および隣接するその下の絶縁層を穿孔することによって形成した複数の貫通孔と、選択した貫通孔を通る複数の導電性パイアと、複数のタブのうち選択したものを結合する複数の導電性ランドとを含む多層コンデンサに関する。これらのタブは、インターデジタル型に配列されることが好ましく、貫通孔は、多層コンデンサの連続するその次の電極層を露出させるように形成されることが好ましい。

【0027】

本発明の追加の実施形態は、同様に、開示の多層カスケードコンデンサ実施形態の特定の態様を形成する方法論にも関する。この方法論の第1の例示的な実施形態は、多層構成部品の等価直列抵抗 (ESR) を調節する方法に相当する。この方法は、絶縁層で分離された第1および第2の電極層を少なくとも含む多層構成部品を作製するステップと、絶縁層と第1または第2の電極層の一方との間に抵抗層を設けるステップと、抵抗層の有効抵抗を変化させることによって構成部品の ESR を調節するステップとを含むことができる。さらに詳細には、有効抵抗は、抵抗層の組成または厚さを調節することによって変化させることもできる。別法として、有効抵抗は、電極層の1つを貫通する複数の貫通孔を形成し、次いでこれらの貫通孔のうち選択したもののそれぞれの直径を調節して抵抗層の被覆範囲を変化させることによって変化させることもできる。

10

【0028】

本発明による方法論のさらに別の例示的な実施形態は、多層構成部品の共振特性を調節する方法に関する。この方法は、連続的に積み重ねられた複数の電極層を有する多層構成部品を作製するステップと、各電極層の間に挟まれた別個の絶縁層を設けるステップと、別個の絶縁層のうち選択したものの厚さを層ごとに変化させることによって多層構成部品の共振特性を調節するステップとを含むことが好ましい。この変化させるステップは、例えば、層ごとに厚さを連続的に変化させる、厚さをあるパターンで変化させる、および/または厚さを整合して変化させることによって行うことができる。

20

【0029】

この概要部では必ずしも明記していないが、本発明のさらに別の実施形態は、上記の要約した本発明の目的記載部分で言及した特徴または部分、および/あるいはその他のかたちで本願で論じる特徴または部分の態様の様々な組合せを含み、かつ組み込むことができる。

30

【0030】

当業者なら、本明細書の残りの部分を読めば、以上その他の実施形態の特徴および態様がよりよく分かるであろう。

【0031】

当業者を対象とする、その最良の実施の形態を含む本開示の技術の完全かつ実施可能な説明を、添付の図面を参照する本明細書に記載する。

【0032】

本明細書および添付の図面を通じて繰り返し使用される参照符は、本開示の技術の同様または類似の特徴または要素を表すものである。

40

【0033】

(図面の詳細な説明)

発明の概要の節で既に述べたように、本発明は、広い周波数範囲にわたってコンデンサ性能を改善することに関するものである。さらに詳細には、開示のカスケードコンデンサは、広い動作周波数範囲にわたって、高キャパシタンス、低ESLおよび/または同調可能なESRを提供することが好ましい。

【0034】

本発明のカスケードコンデンサは、集積コンデンサパッケージ中に設けられた複数の構成部品を含むことができる。例示的なカスケードコンデンサは、薄膜BGAコンデンサや、IDC構造、単層コンデンサ、二重層電気化学コンデンサ、表面実装タンタルコンデンサ

50

、多層コンデンサ（MLC）など、多くの様々な構成部品を含むことができる。あるいは、選択したコンデンサ構成部品の特定の態様を組み合わせ、単一のモノリシックコンデンサ構造を形成することもできる。本技術の好ましい実施形態では、少なくとも2つのこれらの構成部品の態様を、それらを集積した構造に組み込む。

【0035】

2つの好ましい構成部品は、図1Aに示すような薄膜BGAコンデンサおよびインターデジタル形コンデンサ（IDC）である。薄膜BGA技法は、低ESLおよび同調可能なESRを提供し、電子プリント配線板（PWB）またはセラミックパッケージに取り付ける手段を提供する。第1の例示的な実施形態は、図1Bおよび図3Aに示すような、薄膜BGAデバイスと並列に電気接続するIDC型構成部品を含む。この例示的な組合せは、2つの減結合レベルを備えたカスケードコンデンサを実現する。

10

【0036】

同様の減結合機能を提供する本開示によるカスケードコンデンサの第2の例示的な実施形態は、図2A、図2Bおよび図3Bに示すような、BGA技法をIDCの最上層に取り入れた厚膜構造である。この例示的なカスケードコンデンサ構成およびその他の例示的なカスケードコンデンサ構成は、数キロヘルツから1ギガヘルツまでの周波数範囲にわたる広帯域減結合を実現することができる。選択した構成について可能なキャパシタンス値は、単一の薄膜BGA/IDCの組合せで約0.5 μ Fから約50 μ Fの範囲となる。

【0037】

図4Aおよび図4Bは、本発明の選択した実施形態の例示的な成端方式を示す図である。このような端子配列では、選択した実施形態に追加の構成部品を電氣的に接続することが可能である。前述の第1または第2の例示的な実施形態のいずれかと組み合わせるこのような追加の構成部品としては、表面実装タンタルコンデンサ、多層コンデンサ、または単層コンデンサなどがある。

20

【0038】

図5Aは、この実施形態およびその他の実施形態をプリント配線板またはその他の適当な表面に取り付けるための例示的なフィーチャに注目した、本発明のカスケードコンデンサ技術の別の例示的な実施形態を示す図である。図5Bは、前述の第1または第2の例示的な実施形態あるいはその他の実施形態と単一の電気化学コンデンサとを組み合わせ、全体のキャパシタンスを向上させたカスケードコンデンサを作製する、本発明のさらに別の例示的な実施形態を示す図である。

30

【0039】

以下では一括して図6と称する図6Aから図6Eは、本発明の様々なカスケードコンデンサの多層部分に応じて適用される誘電体層および電極層の様々な構成を示す図である。図7は、選択したコンデンサ構成部品およびそれらの組合せについて有効な一般的なキャパシタンスの範囲を示す図である。図8Aおよび図8Bは、本発明の選択した実施形態に関連する選択した性能特性を説明するのに役立つインピーダンス曲線を示す図である。

【0040】

これらの例示的な実施形態はそれぞれ、本発明を制限するためのものではないことに留意されたい。ある実施形態の一部として図示または説明した特徴を、別の実施形態の諸態様と組み合わせ使用して、さらに別の実施形態を生み出すこともできる。さらに、特定のフィーチャを、同じまたは同様の機能を実行する明示的には述べていない同様のデバイスまたはフィーチャと置き換えることもできる。

40

【0041】

これらの図面は、一定の比率で描かれたものではないことを理解されたい。また、各図面中の選択された要素が、同じ図面中のその他の要素と同じ比率では描かれていないことがあることも理解されたい。さらに、本明細書で論じる実施形態の特定の要素を形成する例示的な物質として列挙した材料は、単に例として挙げたものに過ぎず、いかなる意味においても実施したコンデンサの特定の組成を限定するものではない。新たに改良された材料が設計および/または作成された場合には、それらの物質と本明細書に開示の技術とを組

50

み合わせることが予想されることを理解されたい。

【0042】

次に、本発明のカスケードコンデンサ技術の現在好ましい実施形態について詳細に述べる。図面を参照すると、図1Aおよび図1Bは、第1の例示的なカスケードコンデンサの実施形態に関する。図1Aは、本発明のカスケードコンデンサ技術の選択した実施形態に従って使用される薄膜BGAコンデンサ構成部品10を示す図である。第1の絶縁層18をその上に堆積させる基板16が設けられる。基板16を形成するために使用することができる適当な材料の例としては、ケイ素、ガラスセラミック、アルミナ、窒化アルミニウム、炭化ケイ素、酸化亜鉛、BaTiO₃、パリスタセラミック、ペロブスカイトセラミック、酸化物セラミック、非酸化物セラミック、またはその他の高温不活性材料がある。上記に列挙した適当な基板材料のうち、選択した応用分野での使用に好ましいものとして選択されるものとしては、ガラス、ガラスセラミック、またはシリコンのウェハがある。平坦化層と呼ばれることもある絶縁材料18についても、適当な材料を選択することができる。バッファ型絶縁層が、抵抗性、半導電性、または導電性の特徴を有する基板材料とともに使用するのに好ましいことがある。その他の特定の材料を選択して、全体的に粗面の基板材料とともに使用することもできる。基板16と絶縁層18の好ましい組合せの例としては、二酸化ケイ素絶縁層を備えたシリコンベース基板がある。

10

【0043】

底部電極層20は、絶縁層18より上方に配列される。底部電極層20を形成するために使用できる適当な物質の例としては、白金、金、ニッケル、パラジウム、ルテニウム、イリジウム、酸化ルテニウム、酸化イリジウム、その他の適当な導電性材料、あるいはこれらの物質から選択したものの組合せまたは合金がある。特定の応用分野で使用するのに好ましい本発明による底部電極層を形成する上述の適当な材料から選択される材料は、白金、金、またはニッケルに相当することがある。BGA構成部品10および/またはその他の本発明の実施形態を形成するために使用される選択された材料のいくつかの組合せでは、絶縁層18と底部電極20の間に接着層が必要となる。このような接着層(参照番号なし)は、例えば、二酸化チタン、チタン、タンタル、クロム、窒化タンタル、窒化チタン、ニクロム、チタン/タングステン、またはマグネシウムなどの物質を含むことができる。好ましくは、適当な接着層は、スパッタリングしたチタンを酸化する、または酸素中でチタンを反応性スパッタリングすることによって二酸化チタンを形成することにより、二酸化チタンで形成することもできる。

20

30

【0044】

一連のタブ32は、各タブ32がBGA構成部品10の外側表面に向かって延びるように、電極層20の周縁部から延びる。誘電体層22は、底部電極層20を覆って配置され、いくつかの実施形態では、誘電体層22と底部電極層20の間に任意選択の導電性酸化物バッファ層(参照番号なし)を用いることもある。誘電体層22を形成するために使用できる適当な物質の例としては、PbZrTiO₃(PZTと呼ばれることもある)、PNZT、PLZT、PbMg_{1/3}Nb_{2/3}O₃-PbTiO₃(PMN-PTと呼ばれることもある)、SrBaTiO₃、BaTiO₃、SrTiO₃、Bi₂SrTa₂O₉、多結晶セラミックペロブスカイト、多結晶リラクサ型強磁性セラミック酸化物、二酸化ケイ素、Si₃N₄、酸窒化ケイ素、Al₂O₃、Ta₂O₅、多結晶タングステンブロンズ、多結晶チタン酸ピスマス、およびその他の適当な誘電体材料がある。PZTおよびPNZTは、選択された応用分野で好ましい誘電体材料として一般に利用される。

40

【0045】

最上部電極層24にも、概ね構成部品10の縁部に向かって延びるタブ32がついている。最上部電極24を形成するために使用できる適当な物質の例としては、銅、ニッケル、アルミニウム、パラジウム、金、銀、白金、鉛、スズ、これらの元素から選択したものの組合せ、またはその他の適当な導電性物質がある。誘電体層22と最上部電極層24の間に、バリヤ層34を設けることが好ましい。層34の性質によって、BGA構成部品10が一般により低いリーク電流とより高い信頼性とを特徴とすることを保証する。この後者

50

の特徴は、通常、抵抗性バリア層 34 の厚さおよび / または最上部電極 24 が覆う範囲を容易に調節して、同調可能な制御された内部抵抗を提供することができることによって可能となる。最終的にもたらされる回路において電位リングを回避するために、コンデンサ構成部品では、一般に小さいが同調可能な ESR は、無視できる ESR より望ましいことが多い。層 34 は、本発明の技術のコンデンサ実施形態にさらなる利点をもたらす。このような利点としては、金属電極層が誘電体層またはその他の層中に拡散することを防止すること、誘電体物質を介した短絡または導通の可能性を低減すること、電極の接着を促進すること、コンデンサデバイスの極性を変化させること、またはデバイスの自己加熱を促進することなどがある。抵抗性バリア層 34 で一般に使用される物質の例としては、チタン、タンタル、クロム、窒化チタン、チタン / タングステン、タングステン、マグネシウム、およびその他の当技術分野で容易に理解および認識される物質がある。バリア層 34 の特定の実施形態で使用するものが好ましいその他の物質の例としては、窒化タンタル、ニクロム、ケイ化クロム、およびその他の抵抗性化合物がある。

10

【0046】

次いで、一般にパッシベーション層とも呼ばれる第 2 の絶縁層 36 を、最上部電極層 24 に当てる。このパッシベーション層 36 は、その下にあるコンデンサの各層を保護し、構成部品を電氣的に安定にする助けとなる。パッシベーション層 36 に適した例示的な材料は、窒化ケイ素 (Si_3N_4)、二酸化ケイ素 (SiO_2)、酸窒化ケイ素 (SiON)、および $\text{Si}_x\text{H}_y\text{C}_z\text{O}_w\text{N}_v$ で表される様々な不定比化合物などの無機材料の薄膜から選択することができる。あるいは、パッシベーション層 36 は、ポリイミド、エポキシ、またはベンゾシクロブテン (BCB) などの有機ポリマーの様々な膜で構成する、あるいは無機材料層と有機材料層の組合せとして構成することもできる。

20

【0047】

最上部電極層 24 は、底部電極 20 への接続経路に非接触孔を提供するための円形開口 26 のアレイを有する。同様の孔アレイを、抵抗性バリア層 34 にも設ける。抵抗性バリア層 34 の対応する孔よりも大きな孔 26 を導電性層 24 に設けることにより (図 1B に示す)、抵抗性バリア層 34 の露出部分が大きくなる。抵抗性バリア層の露出部分が大きくなると、デバイスの ESR が大きくなり、このことは選択されたカスケードコンデンサ構成の同調可能抵抗を実証している。コンデンサ構成部品 10 には導電性バイア 28 および 29 が挿入され、これらは隣接するものどうしが交互に最上部電極 24 と底部電極 20 に接触する。その後、はんだ球 30 を導電性バイア 28 および 29 の各端部に取り付け、端子フィーチャを設けることができる。基板 16 上に全ての層を堆積させると、薄膜 BGA 構成部品 10 がもたらされる。

30

【0048】

本発明の第 1 の実施形態 14 は、薄膜 BGA 構成部品 10 と、多層 IDC 構成部品 12 とを含む。BGA 構成部品 10 の超低 ESL および高周波数性能特性と、IDC 構成部品 12 のより大きなキャパシタンスとを組み合わせることにより、減結合機能を有効に発揮する周波数範囲を拡大する。薄膜 BGA 技法を多層 IDC 以外の構成部品とともに使用して、さらに別のカスケード構造を形成することもできる。

【0049】

通常 IDC は、電極層および誘電体層の多層配列に相当することができる。このような多層配列の部分展開図を図 2A に示す。好ましくは、各電極層は、平行に配列され、各層からタブ 48 および 50 が延び、交互に重なった電極層から延びる電極タブがそれぞれ柱状に整列するようになっている。インターデジタル型端子がこのように配列されることにより、電極構成は一般に低い ESL を有することになる。電流は、チップ構成部品のより短い距離を進行し、それによりデバイスの自己誘導が低下することが好ましい。IDC の電極配列は、第 1 のセットの正極板から流れ出た電流が隣接する負極板のセットに沿って反対方向に戻るようになっている。このように電流が反対方向に流れることにより、隣り合う電流が同じ方向に流れることによって生じる誘導がかなり低減される。

40

【0050】

50

図3Aは、BGA構成部品10をIDC構成部品12に接続するフィーチャを有するカスケードコンデンサ実施形態14を示す図である。これらの構成部品の選択した側面に沿ってランド52を形成し、タブ32ならびにIDCタブ48および50によって形成される端子を接続することができる。別法として、2組のランド52を設けて、一方のセットをBGA構成部品10用、もう一方のセットをIDC構成部品12用にもできる。その後、これら2組のランドを対合させて、図3Cに示すように、一体化された側面端子セットを形成することができる。外側ランドを形成するプロセスは、コンデンサの技術分野の当業者には既知の比較的簡単な技法で実施される。その他の端子フィーチャとしては、導電性バイア28および29に取り付けることができるはんだ球30またはその他のはんだ要素がある。はんだ球30を形成する材料の例としては、スズ鉛合金、スズ銅銀合金、スズ銅合金、スズ銀合金、スズビスマス合金、スズ銀ビスマス合金、スズ銀ビスマス銅合金、スズアンチモン合金、スズ銀銅アンチモン合金、およびその他の適当な物質がある。はんだ材料30の流れを制御する助けとなるように、はんだ球30の下に任意選択のアンダーパンプ金属を追加することが好ましいことが多い。図2Bは、このようなボールリミッティング金属(BLM)38の、本発明の技術の例示的な実施形態に対する相対位置を示す図である。BLM38として使用される例示的な物質は、銅、ニッケル、金、銀、スズ、鉛、これらの金属元素から選択したものを組み合わせて作成した合金、およびその他のはんだ付け可能な表面を備えた導電性金属の組合せに相当することができる。特定の応用分野で好ましい例示的な特定のBLM材料としては、ニッケル/金層または銅/ニッケル/金層がある。この場合、はんだ要素30を、本開示の技術の実施形態により有用に適用し、その後、カスケードコンデンサ実施形態をPWBに接続するために利用することができる。

10

20

【0051】

図2A、図2B、および図3Bは、図1Aおよび図1Bを参照して説明した第1の例示的な実施形態と同様の電気的性質をもたらす、本発明の第2の例示的な実施形態に関する。この第2の実施形態40は、12などのIDC型コンデンサの最上層に厚膜型のBGA構成部品を組み込むものである。第1のセットの電極層と対応するタブ48とで、所与の極性を特徴とする端子のセットを形成し、第2のセットの電極層と対応するタブ50とで、電極48とは反対の極性を有する端子のセットを形成する。隣接する電極層の間に誘電体層44を設け、例示的なカスケードコンデンサ40を形成する。最上部電極層42は、第1の電極42に対向する第2の電極46につながる非接触経路を実現する孔26のレイを有する。導電性バイア取付け28および29を利用して、最上部の2つの電極層への交互の接続をもたらす。図2Bの詳細図では、バイア28は電極層42に接続され、バイア29は電極層46に接続される。最上部の2つの層より下方の電極層は、通常の側面端子ランド52で接続されることが好ましい。

30

【0052】

電極の成端には多くの様々なタイプがあり、これらを本開示のカスケードコンデンサの実施形態に応じて利用することができる。図3Cに示すように、コンデンサの最上部表面および底部表面の周りを囲むランド52を設けた場合には、選択した側面をガラスまたは有機物のはんだ止めでコーティングすることができる。したがって、BLMを修正して適用し、はんだ要素30をリフローイングして、コンデンサの側面に端子構造が形成されないようにしながら、前記実施形態を取り付け、かつ応力を吸収する隔離碍子を提供する働きをする、柱状構造のはんだを提供することができる。別法として、内部バイアでタブ48および50を接続することにより外部ランドを不要にすることもできる。このように、内部バイアによる相互接続または外部バイアによる相互接続の利用を任意に選択できることにより、例示的なカスケードコンデンサ構成の多様性が向上する。

40

【0053】

再度図2Aおよび図2Bを参照すると、好ましくは、最上部電極層42上に絶縁層を堆積させることができる。柱状バイア28および29にはんだ球30およびBLM38をさらに追加すると、図2Bに示すようなカスケードコンデンサ構成40がもたらされる。

50

【0054】

例示的な実施形態40(図2A、図2Bおよび図3B)ならびに例示的な実施形態14(図3A)で利用される成端方式は、多くの利点を提供する。開示の実施形態は、コンデンサの全ての電極層を貫通する孔26ならびにバイア28および29を必要としない。構成部品のキャパシタンスが、そのコンデンサの極板の面積に正比例することは既知である。したがって、コンデンサ本体の全域に孔を設けると、有効キャパシタンスが低下し、デバイスの信頼性も低下する。本発明の実施形態の選択した成端方式は、その他の成端方式より費用対効果が大きく、カスケードコンデンサ設計の全体のキャパシタンス値を低下させないので好ましい。例示的な実施形態における孔およびバイアを用いた多くの電極層への内部接続は、複雑な端子配列を生じることになるが、これは一般に低いインダクタンスを特徴とすることが分かっている。一方、図1Bおよび図2Bに示すような、少数の電極板のみへの内部接続が、信頼性のかなり高い内部端子配列をもたらすことも分かっている。ただし、これはキャパシタンスが低下するという特徴がある。したがって、本発明の端子配列の複雑さ、キャパシタンス、インダクタンスおよび信頼性の間に、両立し得ない部分があることは明らかである。これらの特徴のうち選択されるものは、特定の応用分野でより望ましいものとする事ができる。したがって、内部接続される電極層の数の変更が可能であることは、本開示の技術の範囲内となるものとする。

10

【0055】

図3Aから図3Cは、本明細書において前述したものなどの例示的なカスケードコンデンサ実施形態を示す図である。図3Aは、組み合わせさせて薄膜BGA/IDCカスケードコンデンサの第1の実施形態14を形成する全ての要素を示す図である。図3Bは、厚膜BGA/IDCカスケードコンデンサの第2の例示的な実施形態40を示す図である。1つの例示的な実施形態に関連して上記で述べた様々な特徴は、本発明のその他の実施形態にも適用することができることを理解されたい。さらに詳細には、実施形態14またはその他の実施形態に関連して述べた任意選択の層および特徴は、本開示の技術の範囲を逸脱することなく実施形態40またはその他の実施形態に適用することができ、またその逆も可能である。図3Cは、実施形態14または40のいずれかを表す例示的な実施形態54を示す図である。本明細書以下では、BGA/IDC構成部品54は、薄膜カスケードコンデンサ構造14または厚膜モノリシックカスケードコンデンサ実施形態40のいずれに相当することもあることを理解されたい。

20

30

【0056】

図4Aおよび図4Bを参照すると、例示的なカスケードコンデンサ54のための追加の端子フィーチャが示してある。正端子ランド56のうち選択したものを相互に接続する一体化正端子バー60が設けてある。負端子ランド58のうち選択したものを相互に接続する一体化負端子バー62も設けてある。端子バー60および62により、追加の構成部品を例示的なカスケードコンデンサ54に接続することが容易になる。このような端子要素60および62は、スクリーン印刷する、あるいは直接書込みによる技法またはその他の当技術分野で既知の技法を用いて画定することができる。

【0057】

本発明のカスケードコンデンサ技術の別の実施形態を図4Cに示す。この実施形態は、単層コンデンサ66と並んで配列され、本開示の技術によるBGA/IDC構成部品54と電氣的に接続された、2つのタンタルまたはセラミック製表面実装コンデンサ64を含む。このようなタンタルデバイス64を含めることで、本技術の選択された実施形態のとりうるキャパシタンス値の範囲が拡大されるので好ましい。小さな表面実装タンタルコンデンサで、高いエネルギー蓄積、高い動作周波数、および所望のESR性能を提供することが好ましい。本技術で使用される表面実装タンタルコンデンサ64の例として、AVX社製のものなどのTACマイクロチップブランドのタンタルコンデンサがある。単層コンデンサ(SLC)66は、GHz周波数範囲においても信頼できる機能性を得るために、薄膜技法を利用して例示的なコンデンサを提供することが好ましい。本発明で使用される例示的な単層コンデンサは、様々な範囲の能力を有するセラミック誘電体に付着させた金被覆

40

50

薄膜層を含むことができる。本技術で使用する単層コンデンサ66の代替の使用例としては、AVX社製のものなどのAccu-Pブランドのコンデンサがある。

【0058】

単層コンデンサ66は、図4Cに示すように、カスケードコンデンサ実施形態54に接続することができる。単層コンデンサ66の底部電極は、選択した端子バー62に取り付けられ、上部電極は、1つまたは複数のワイヤボンダ69によってもう一方の端子バー60にワイヤ接合される。端子要素60および62を設けることにより、表面実装タンタルまたは多層セラミックコンデンサ64を実施形態54に接続することが容易になる。単層コンデンサ66を含む図4Cの最終的なカスケード構成およびその他の例示的な実施形態は、個別のコンデンサ構成部品を取り付けるために使用する任意のワイヤボンダを保護するために、エポキシその他の適当な材料の成形コンパウンドでカプセル化されることが好ましい。

10

【0059】

本発明のさらに別の例示的な実施形態は、単一の表面実装タンタルコンデンサ64に取り付けられたBGA/IDC構成部品54を含む。さらに別の実施形態では、カスケード実施形態54と並列な少なくとも2つの表面実装タンタルコンデンサを含むことができる。このようなタンタルコンデンサは、単層コンデンサ66がなくても、図4Cに示す実施形態と同様に配列することができる。本技術のその他の例示的な実施形態は、タンタルコンデンサを用いずに、少なくとも1つの単層コンデンサと組み合わせて、BGA/IDC構成部品54を含むことができる。

20

【0060】

図5Aは、構成部品の1つとしてタンタルコンデンサ、単層コンデンサ、または電気化学コンデンサ68を特徴とする、本発明による例示的なカスケードコンデンサを示す図である。電気二重層コンデンサ68は、BGA/IDC構成部品54と並列に取り付けられ、電氣的に接続される。セラミックパッケージまたはPWBにカスケードコンデンサを接続するために、はんだ球30をBGA/IDC構成部品に取り付ける。多数の二重層コンデンサ54はかさばるので、図5Bに示すように、複数のBGA/IDC構成部品54を並列に単一の電気化学的構成部品68に接続すると好都合であることが多い。図5Bの例示的な実施形態は、単一の電気化学コンデンサ68の上に並べて配列された10個のBGA/IDC構成部品54を示している。

30

【0061】

例示的なカスケードコンデンサ構成に電気化学コンデンサを含めることにより、通常約0.1ファラド以上のきわめて高いキャパシタンス値を有するカスケードコンデンサが可能となる。通常の電気化学コンデンサは、整列して誘電体として機能する電気化学層を形成する水素イオンを含む。その結果生じる構造は、非常に高いキャパシタンス、およびミリオーム(m Ω)領域の超低ESRを示す。いくつかの二重層コンデンサ構成は、構成部品と関連づけられた端子を2つ有するのみである。したがって、このような電気化学的デバイス68をBGA/IDC構成部品54と接続するためには、図4Bに示すような端子要素60および62を利用することが好ましい。BGA/IDC構成部品54の正極端子は、1つにまとめて第1の端子バーに接続され、負極端子は、1つにまとめて第2の端子バーに接続される。各端子バーは、それぞれ電気化学コンデンサ68の端子に接続される。電気化学コンデンサ68は感熱性であるので、電気化学的構成部品と導電性エポキシ製のその他の構成部品との間の好ましい接続方法、すなわちはんだのリフローイングとは対照的な機械的なファスナがもたらされる。

40

【0062】

図5Aを参照すると、選択したカスケードコンデンサ構成を取り付ける例示的な位置が示してある。はんだ球30またはその他のはんだ要素は、通常は、構造54のBGA型端子部分に取り付けることができる。はんだ球30は、プリント配線板(PWB)70上の対応する取付けパッド71に取り付けることができる。取付けパッド71は、様々な回路の接続に対応するように様々に配列することができる。カスケードコンデンサ構成内の別個

50

の構成部品を接続するために、それぞれのパッドおよびはんだバンプの配列を使用することもできる。

【0063】

本発明のカスケードコンデンサ技術の特定の例示的な実施形態の利点は、これらの例示的な実施形態に存在する誘電体層の厚さを変化させることによって、また特にこれらの例示的な実施形態のIDC構成部品によってもたらされる共振特性の改善である。交互に配置された誘電体層84および電極層82の通常のパターンを、図6Aの配列72に示す。誘電体層84が一定の厚さを有するこのような配列72は、一般に狭い周波数範囲にわたって低いインピーダンスをもたらす。様々な厚さの誘電体層84を組み込む構成は、コンデンサが好ましいインピーダンス特性を示す周波数範囲を拡大する助けとなる。図6Bに示す配列74は、厚さが連続的に変化する誘電体層84を備える。図6Cおよび図6Dに示す例示的な配列76および78はそれぞれ、一定のパターンで厚さが変化する誘電体層84を備える。図6Eに示す例示的な配列80は、整合して変化する厚さを有する誘電体層84を備える。以上その他の例示的な実施形態は、一般により広い周波数範囲にわたって改善されたコンデンサ性能をもたらす。

10

【0064】

前述のように、約0.5 μ Fから1F超の範囲のキャパシタンスを有するカスケードコンデンサ実施形態を提供することは、本発明の利点である。図7は、選択したカスケードコンデンサの諸実施形態について、このような広範囲のキャパシタンス値がどのように有効となるかを示す図である。本発明のカスケードコンデンサの好ましい実施形態は、薄膜BGA構成部品10およびIDC構成部品12の少なくともいくつかの態様を含む。BGAコンデンサ10のキャパシタンス値は、通常、約10 pFから約500 nFの範囲であり、インターデジタル型コンデンサの値は、追加の誘電体層および電極層が設けられることにより、約100 nFから10 μ F以上の範囲となる。したがって、複数の態様の薄膜BGAコンデンサ10およびIDC12を組み込んだカスケードコンデンサは、IDC12によりもたらされる一般に高いキャパシタンスと、BGAコンデンサ10によりもたらされる一般に低いインダクタンスとを特徴とする。単層コンデンサ66は、約0.1 pFから約1 nFのキャパシタンス範囲を維持しながら、さらに高い動作周波数範囲を示す。タンタルコンデンサは、約1 μ Fから約1 mFのキャパシタンス範囲を示しながら、将来的に実現する可能性のあるカスケードコンデンサの実施形態にさらなる利点をもたらす。複数の態様の二重層電気化学コンデンサ68を含むカスケードコンデンサは、一般に高いキャパシタンスを特徴とする。したがって、二重層コンデンサ68は、一般に、約1 mFから約1 Fのキャパシタンスを有する。したがって、特定のコンデンサの態様を選択して組み合わせ、様々な潜在的なキャパシタンス値を有するカスケードコンデンサの実施形態を生み出すことができる。多層表面実装コンデンサを使用することもでき、これらは10、12および64の範囲をカバーする。

20

30

【0065】

図8Aおよび図8Bは、本発明の選択した実施形態に対応する例示的なインピーダンス曲線を示す図である。図8Aおよび図8Bは、どのようにすれば、様々なコンデンサの態様を組み合わせ、広い周波数範囲にわたって望ましい性能を有する例示的なカスケードコンデンサを形成することができるかを示す図である。図8Aは、個別のコンデンサ構成部品について、動作周波数に対するインピーダンス値を示している。これらの構成部品は、インターデジタル型デバイスなどの多層コンデンサ構成部品、および電気化学コンデンサやタンタルコンデンサなどのバルクコンデンサを含む。受動デバイスまたはその他の回路構成部品には、しばしば電圧調整モジュールを組み込むことができ、この電圧調整モジュールからも構造全体にインピーダンス値が加えられる。カスケードコンデンサが、図8Aに示すインピーダンス曲線を有する全ての上記構成部品の複数の態様を組み込んでいる場合には、デバイス全体のインピーダンス曲線は、図8Bの「正味Z」曲線と同様になることになる。選択した特徴を組み合わせることにより、約1 KHzから約1 GHzの周波数範囲にわたって一般に低いインピーダンスを示すデバイスを形成することができる。この

40

50

例示的なデータでは、約 5 ~ 10 m の目標インピーダンスが一般に達成される。

【0066】

特定の実施形態に関連して本発明について詳細に説明したが、当業者なら、前述の内容を理解すれば、これらの実施形態の改変形態、変更形態、および均等物を容易に生み出すことができることを理解されたい。したがって、本開示の範囲は、限定ではなく例示を目的としたものであり、本開示は、当業者なら容易に思いつく本発明の修正、変更および/または追加を含むことを排除しない。

【図面の簡単な説明】

【図1A】

本発明の第1の例示的な実施形態に関する図であり、本発明の特定の実施形態に従って使用される例示的な薄膜ボルトグリッドアレイ(BGA)コンデンサ構成の部分展開図である。 10

【図1B】

本発明の第1の例示的な実施形態に関する図であり、図1Aに示すような薄膜BGA構成部品とインターデジタル型コンデンサ(IDC)構成部品とを含む、本発明のカスケードコンデンサ技術の例示的な実施形態を示す図である。

【図2A】

本発明の第2の例示的な実施形態に関する図であり、本発明のコンデンサ技術の第2の例示的な実施形態の部分展開図である。

【図2B】

本発明の第2の例示的な実施形態に関する図であり、図2Aに示すものなどの本発明の第2の例示的な実施形態の詳細図である。 20

【図3A】

本発明のカスケードコンデンサ技術の例示的な実施形態を示す図である。

【図3B】

本発明のカスケードコンデンサ技術の例示的な実施形態を示す図である。

【図3C】

本発明のカスケードコンデンサ技術の例示的な実施形態を示す図である。

【図4A】

例示的な端子フィーチャに注目した、本発明の例示的な実施形態を示す図である。 30

【図4B】

例示的な端子フィーチャに注目した、本発明の例示的な実施形態を示す図である。

【図4C】

選択した追加の構成部品が並列に接続されて、本開示の技術によるカスケードコンデンサのさらに別の実施形態を形成している、本発明の例示的な実施形態を示す図である。

【図5A】

プリント配線板またはその他の適当な表面上に取り付けるための手段を有する、本発明の技術の例示的なカスケードコンデンサを示す図である。

【図5B】

本発明によるカスケード構造を複数レベル備えた例示的なカスケードコンデンサを示す図である。 40

【図6A】

本発明のカスケードコンデンサ設計の多層部分の例示的な構成を示す図であり、一定の厚さを有する誘電体層を備えた例示的な多層配列に対応する図である。

【図6B】

本発明のカスケードコンデンサ設計の多層部分の例示的な構成を示す図であり、様々な厚さを有する誘電体層を備えた例示的な多層コンデンサ配列に対応する図である。

【図6C】

本発明のカスケードコンデンサ設計の多層部分の例示的な構成を示す図であり、様々な厚さを有する誘電体層を備えた例示的な多層コンデンサ配列に対応する図である。 50

【図 6 D】

本発明のカスケードコンデンサ設計の多層部分の例示的な構成を示す図であり、様々な厚さを有する誘電体層を備えた例示的な多層コンデンサ配列に対応する図である。

【図 6 E】

本発明のカスケードコンデンサ設計の多層部分の例示的な構成を示す図であり、様々な厚さを有する誘電体層を備えた例示的な多層コンデンサ配列に対応する図である。

【図 7】

本発明のカスケードコンデンサ技術による構成部品の選択した組合せについて有効なキャパシタンスの例示的な範囲を示す図である。

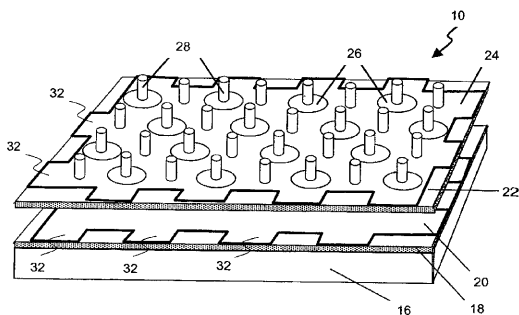
【図 8 A】

本発明の選択した実施形態に対応する例示的なインピーダンス曲線を示す図である。

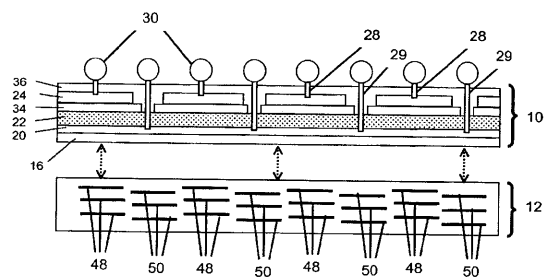
【図 8 B】

本発明の選択した実施形態に対応する例示的なインピーダンス曲線を示す図である。

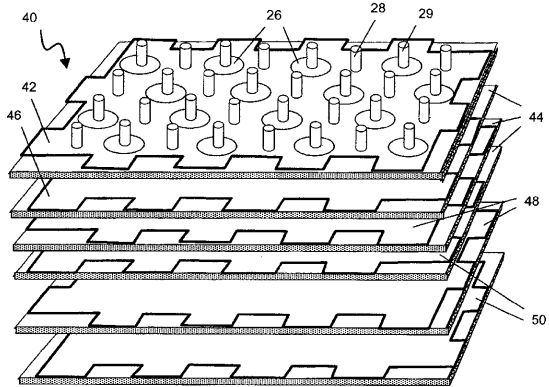
【図 1 A】



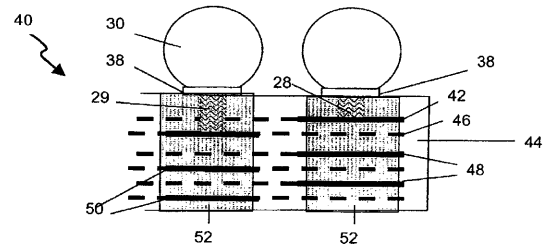
【図 1 B】



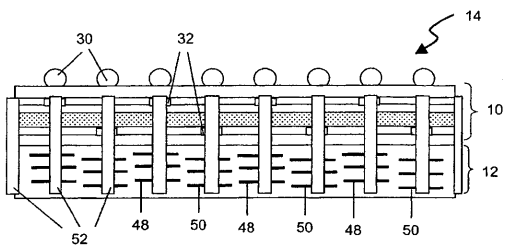
【 図 2 A 】



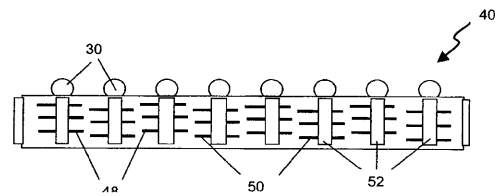
【 図 2 B 】



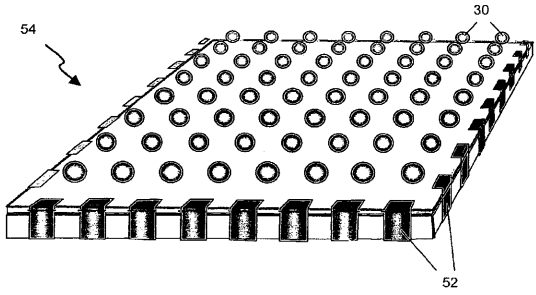
【 図 3 A 】



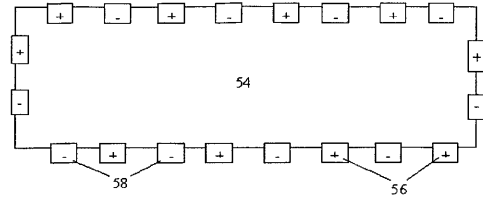
【 図 3 B 】



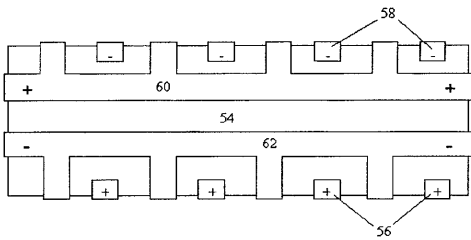
【 図 3 C 】



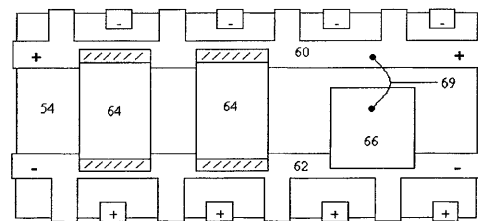
【 図 4 A 】



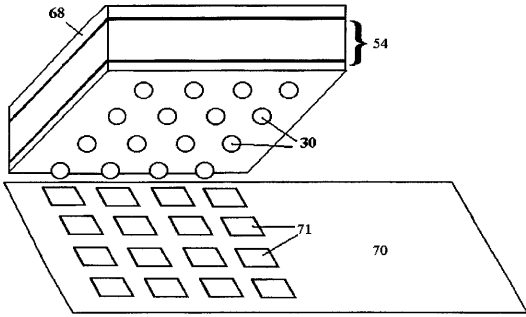
【 図 4 B 】



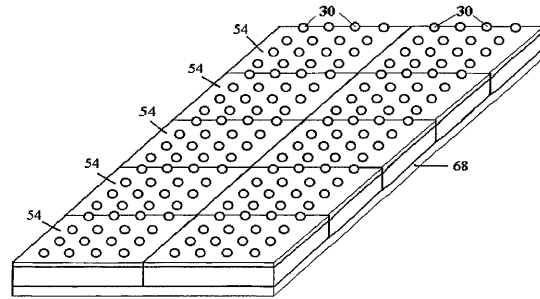
【 図 4 C 】



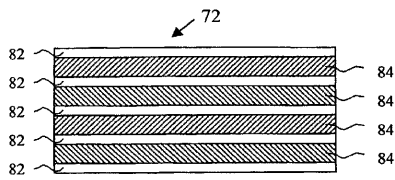
【 図 5 A 】



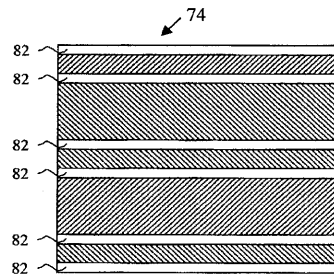
【 図 5 B 】



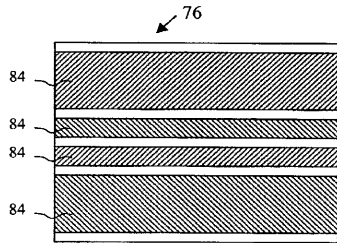
【 図 6 A 】



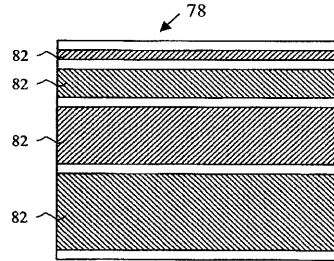
【 図 6 B 】



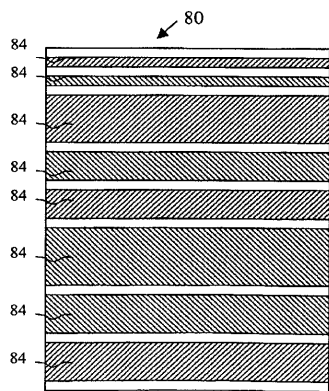
【図 6 C】



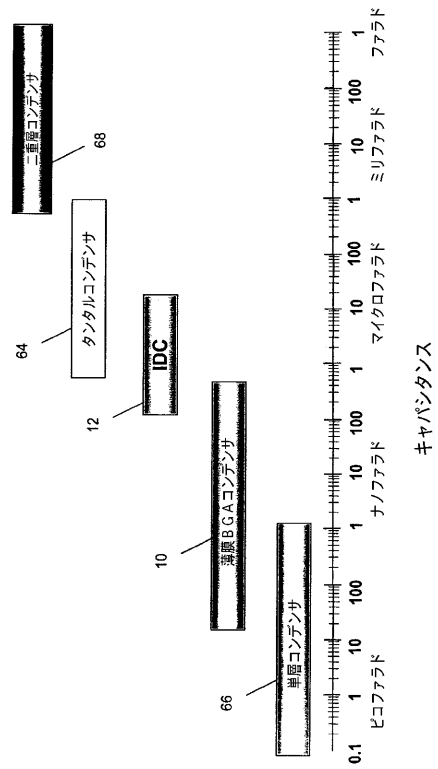
【図 6 D】



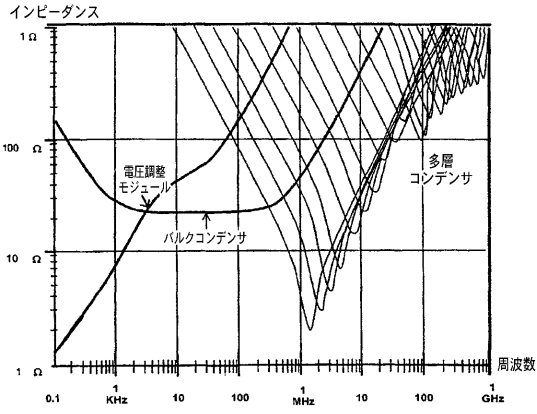
【図 6 E】



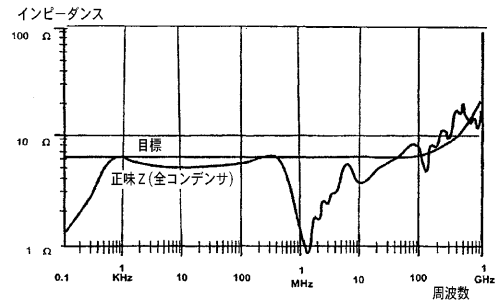
【図 7】



【 図 8 A 】



【 図 8 B 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
13 March 2003 (13.03.2003)

PCT

(10) International Publication Number
WO 03/021614 A1

(51) International Patent Classification: H01G 4/00, 29588 (US), KORONY, Gheorghe; 4 Sioux Trail, Myrtle Beach, SC 29588 (US).

(21) International Application Number: PCT/US02/28100 (74) Agent: MOOSE, Richard, M., Dorothy & Manning, P.A., P.O. Box 1449, Greenville, SC 29602-1449 (US).

(22) International Filing Date: 5 September 2002 (05.09.2002) (81) Designated States (national): AI, AG, AL, AM, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI, GM, GR, GU, HD, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, NI, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

(25) Filing Language: English

(26) Publication Language: English

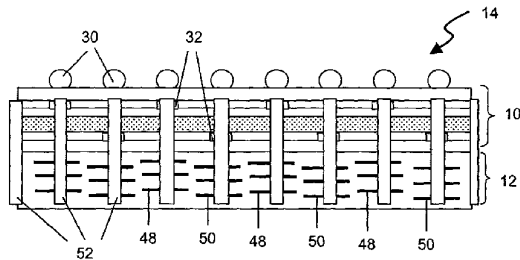
(30) Priority Data: 60/317,356 5 September 2001 (05.09.2001) US Not furnished 4 September 2002 (04.09.2002) US (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI patent (BF, BJ, CI, CG, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).

(71) Applicant: AVX CORPORATION [US/US]; 801 17th Avenue South, Myrtle Beach, SC 29577 (US).

(72) Inventors: GALVAGNI, John, L.; 1450B Turkey Ridge Road, Surfside Beach, SC 29575 (US). HEISTAND, Robert, II; 3511 Brampton Drive, Myrtle Beach, SC Published: with international search report

[Continued on next page]

(54) Title: CASCADE CAPACITOR



WO 03/021614 A1

(57) Abstract: Multi-layer and cascade capacitors for use in high frequency applications and other environments are disclosed. The subject capacitor may comprise multiple capacitor components (10) or aspects thereof in an integrated package. Such components may include, for example thin film BGA components, interdigitated capacitor (IDC) configurations, double layer electrochemical capacitors, single layer capacitors and others. Exemplary embodiments of the present subject matter preferably encompass at least certain aspects of thin film BGA techniques and/or IDC-style configurations. Features for attachment and interconnection are provided that facilitate low ESL while maintaining a given capacitance value. Additional advantages include low ESL and decoupling performance over a broad band of operational frequencies. More particularly, the presently disclosed technology provides for exemplary capacitors that may function over a frequency range from kilohertz up to several gigahertz, and that may also be characterized by a wide range of capacitance values. An additionally disclosed feature of the present subject matter is to incorporate dielectric layers (22) of varied thicknesses to broaden the resonance curve associated with a particular configuration.

WO 03/021614 A1 

before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments *For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCI Gazette.*

WO 03/021614

PCT/US02/28100

1

UNITED STATES PATENT APPLICATION

TITLE: CASCADE CAPACITOR**PRIORITY CLAIM**

This application claims the benefit of previously filed U.S. Provisional Patent Application with the same inventors as present, entitled "Cascade Capacitor," assigned USSN 60/317,356, filed September 5, 2001, and which is incorporated herein by reference for all purposes.

BACKGROUND OF THE INVENTION

The present subject matter generally concerns multi-layer and cascade capacitors for use in a range of frequency applications including high frequency applications, and more particularly concerns multiple capacitor components provided in monolithic packages. The present subject matter utilizes interconnect and attachment features to create devices with improved and/or idealized performance characteristics, including high capacitance, low equivalent series inductance (ESL), and low or tunable equivalent series resistance (ESR).

The diversity of modern technical applications creates a need for efficient electronic components and integrated circuits for use therein. Capacitors are a fundamental component used for filtering, decoupling, bypassing and other aspects of such modern applications which may include wireless communications, alarm systems, radar systems, circuit switching, matching networks, and many other applications. A dramatic increase in the speed and packing density of integrated circuits requires advancements in decoupling capacitor technology in

WO 03/021614

PCT/US02/28100

2

particular. When high-capacitance decoupling capacitors are subjected to the high frequencies of many present applications, performance characteristics become increasingly more important. Since capacitors are fundamental to such a wide variety of applications, their precision and efficiency is imperative. Many specific aspects of capacitor design have thus been a focus for improving the performance characteristics of capacitors.

The incredible variety of capacitor environments implies that capacitors are often subjected to a number of different operating frequencies. Many wireless communications systems, including satellite, GPS, and cellular applications, as well as high speed processor applications require capacitor technology that can accommodate high frequencies of operation. Examples of capacitor technology that are designed to accommodate a generally higher frequency range of operation are disclosed in U.S. Patent Nos. 6,208,501 B1 (Ingalls et al.); 6,023,408 (Schaper); 5,886,867 (Chivukula et al.); 5,576,926 (Monsorno); and 5,220,482 (Takemura et al.). Capacitors are often designed either for such high frequency applications or for other lower frequency applications, but not both. Thus, a need exists for capacitors with diverse capabilities that are compatible with ideal operation over a wide range of frequencies. Examples of capacitors that may operate well in some limited range of frequencies can be found in U.S. Patent Nos. 6,184,574 B1 (Bissey); 6,038,122 (Bergstedt et al.); and 5,786,978 (Mizuno).

Just as capacitors may be subjected to different frequencies of operation, so might they be subjected to different temperatures of operation. Acceptable performance at a given temperature often relates to the temperature coefficient of capacitance of the dielectric

WO 03/021614

PCT/US02/28100

3

material used to form the capacitor. An existing technique that allows for desired capacitor operation at different temperatures involves stacking capacitors formed with different dielectric materials. Examples of this stacking technique can be found in U.S. Patent Nos. 5,799,379 and 5,517,385 (Galvagni et al.).

An actual capacitor has an inherent resistance value that may not exist in a theoretical situation. This additional property of a capacitor is often referred to as equivalent series resistance (ESR). It is desired to create a capacitor that operates as close to theoretical operation as possible, and thus capacitors with low ESR are generally preferred. The need for minimal ESR is especially evident in decoupling capacitor applications. Increased ESR can increase the ripple voltage and power dissipation for a given capacitance value. This is related to the RC time constant of a capacitor and contributes to the need for low capacitor ESR. An example of a capacitor designed to offer low ESR is disclosed in U.S. Patent No. 6,226,170 B1 (Nellison et al.).

Another way to achieve improved capacitor performance is by lowering the inductance of the device. Thus, it is preferred for decoupling capacitors to provide low equivalent series inductance (ESL) in order to maintain circuit efficiency. It may also be preferred to implement a capacitor design that reduces the self and mutual inductance of decoupling capacitors. U.S. Patent No. 6,038,121 (Naito et al.) and U.S. Patent No. 6,034,864 (Naito et al.) show exemplary capacitor configurations that are designed to cancel magnetic flux and reduce ESL.

Reducing the current path will lower self inductance. Since the current often has to travel the

WO 03/021614

PCT/US02/28100

4

entire length of the capacitor, termination on the longer ends of the structure will reduce the current path. If the current in adjacent capacitor electrodes flows in opposite directions it will reduce the mutual inductance in a capacitor. Multiple terminations as utilized in interdigitated capacitor technology also lower the inductance value. U.S. Patent Nos. 5,880,925 (DuPré et al.) and 6,243,253 B1 (DuPré et al.) disclose multilayer capacitors that offer some of the aforementioned lower inductance characteristics. The basic configuration discussed in these DuPré patents corresponds to a type of multilayer capacitor hereafter referred to as an interdigitated capacitor (IDC).

Another approach to lowering the ESL of a decoupling capacitor is to minimize interconnect induction that results from termination configurations and mounting systems. Certain known termination schemes are characterized by high inductance and often prohibit very close spacing between components. Thus, an efficient termination scheme is desired that has low ESL and that facilitates high component density for integrated circuits. Thin film capacitor technology is used to provide exemplary capacitors for mounting on a substrate in U.S. Patent No. 6,104,597 (Konushi) and U.S. Patent No. 4,439,813 (Dougherty et al.).

Known termination schemes utilize electrode plates with hole arrangements therein to connect with internal columnar electrodes. Such arrangement provides a space-saving interconnect scheme with lowered ESL, but the hole arrangements in the capacitor electrodes reduce the overall capacitance of the structure by decreasing the effective area. An excess of these clearance holes can also contribute to shorting problems as the number of layers with them increases. An example of such a

WO 03/021614

PCT/US02/28100

5

termination scheme can be found in European Patent Application 1,115,129 A2 (Ahiko and Ishigara.). Thus, a need exists for a termination scheme that provides low inductance as well as high capacitance.

5 There are many different performance characteristics of a capacitor for which improvement may be sought to facilitate desired operation. Selected of such characteristics as mentioned and discussed above may include low ESR, low ESL and other forms of inductance,
10 high capacitance, broad frequency range of operation, efficient termination scheme and others. Achieving many or all of these desired characteristics in a single monolithic structure would thus facilitate a beneficial capacitive structure. While various aspects and
15 alternative features are known in the field of capacitor technology, no one design has emerged that generally integrates all of the improved performance characteristics as discussed herein.

Exemplary background references in addition to those already cited in the specification include U.S. Patent
20 Nos. 5,831,810 (Bird et al.); 5,811,868 (Bertin et al.); and 5,599,757 (Wilson et al.).

The disclosures of all the foregoing United States patents are hereby fully incorporated into this
25 application by reference thereto.

BRIEF SUMMARY OF THE INVENTION

The present subject matter recognizes and addresses various of the foregoing shortcomings, and others concerning certain aspects of capacitor technology.
30 Thus, broadly speaking, a principal object of the presently disclosed technology is improved capacitor performance over a wide range of frequencies. More particularly, the disclosed multi-layer and cascade capacitor embodiments offer preferred operating

WO 03/021614

PCT/US02/28100

6

characteristics and a variety of flexibility over a wide frequency range.

Another object of the present subject matter is to provide multiple components and corresponding advantages thereof in an integrated capacitor package. Varied combinations of the multiple components offers flexibility in the capacitor design and resulting performance. The integrated structure may provide a plurality of stacked capacitors arranged and interconnected in parallel.

Yet another object of the subject technology is to provide capacitor configurations that accommodate a wide range of operating conditions, including desired capacitance value and frequency of operation. Preferably, possible configurations can provide a capacitance range from 0.5 μ F to over 1 F and an operating frequency range from several KHz to several GHz.

A still further object of the presently disclosed technology relates to the ESR and ESL of the subject multi-layer and cascade capacitors. The embodiments disclosed herein are preferably characterized by both low ESL and low ESR. The ESR may also be tunable to a desired level in accordance with selected capacitor configurations and adjustable aspects thereof.

It is another object of the presently disclosed technology to provide a cascade capacitor whose stacked components are attached by advantageous interconnect features. Such attachment and interconnect features preferably offer low inductance and other advantages while maintaining a generally high capacitance value of the structure. The option of internal and/or external electrode connections in accordance with the present

WO 03/021614

PCT/US02/28100

7

subject matter provides versatile termination configurations.

5 It is another object of the subject multi-layer and cascade capacitors to provide a monolithic structure that can be encapsulated in an epoxy molding to offer optional additional protection of the capacitor and any wire bonds or other connection means provided thereon.

10 It is yet another object of the present subject matter to optionally provide dielectric layers in multilayer portions of the subject cascade capacitor that have adjustable thickness. Different configurations can provide adjacent dielectric layers with varied thickness, thus broadening the resonance curve associated with a particular configuration.

15 Additional objects and advantages of the disclosed technology are set forth in, or will be apparent to those of ordinary skill in the art from, the detailed description herein. Also, it should be further appreciated by those of ordinary skill in the art that
20 modifications and variations to the specifically illustrated, referenced, and discussed features and steps hereof may be practiced in various embodiments and uses of the disclosed technology without departing from the spirit and scope thereof, by virtue of present reference thereto. Such variations may include, but are not
25 limited to, substitution of equivalent means and features, materials, or steps for those shown, referenced, or discussed, and the functional, operational, or positional reversal of various parts,
30 features, steps, or the like.

Still further, it is to be understood that different embodiments, as well as different presently preferred embodiments, of this technology may include various combinations or configurations of presently disclosed

WO 03/021614

PCT/US02/28100

8

features, steps, or elements, or their equivalents (including combinations of features or steps or configurations thereof not expressly shown in the figures or stated in the detailed description). A first
5 exemplary embodiment of the present subject matter relates to a multi-layer capacitor comprising a substrate, a first electrode layer, a first insulating layer, and a second electrode layer provided in a successively stacked configuration. Electrically
10 conductive vias are then also provided for electrical connection to selected portions of the electrode layers. The first and second electrode layers and the insulating layer all define respective pluralities of through-holes having respective diameters thereof through which the
15 conductive vias may pass.

A variety of additional features may be incorporated with such first exemplary embodiment. One such feature corresponds to a resistive layer provided between the first insulating layer and the second electrode layer,
20 wherein such resistive layer may also define a plurality of through-holes through which the conductive vias may pass. Yet another potential feature of such exemplary embodiment regards the substrate being characterized by an outer perimeter and the first and second electrode
25 layers being characterized by respective substantially continuous portions and a plurality of tab portions extending from the respective continuous portions to the outer perimeter of the substrate. Still further optional features include additional insulating layers and/or
30 solder balls attached to selected conductive vias.

A second exemplary embodiment of the present subject matter corresponds to a cascade capacitor comprising a first multi-layer capacitor, a second multi-layer capacitor and a plurality of electrically conductive

WO 03/021614

PCT/US02/28100

9

lands coupling selected portions of the respective multi-layer capacitors. Each multi-layer capacitor is formed by a respective combination of electrode and insulating layers. Respective pluralities of tabs may extend from selected edges of the electrode layers. Selected layers of the first multi-layer capacitor may define through-holes through which conductive vias may pass to form electrical connections to certain electrode layers.

With further reference to such second exemplary embodiment of the disclosed technology, additional capacitors, such as for example a surface mount capacitor, a single layer capacitor, a double layer capacitor, an electro-chemical capacitor, a ceramic capacitor, a tantalum capacitor, and/or selected combinations thereof, may also be coupled to conductive lands of the cascade capacitor embodiment. In more particular embodiments, a plurality of cascade capacitors may be coupled to a common capacitor. Still further particular embodiments may be formed such that the thickness among distinct insulating layers of the second multi-layer capacitor in the cascade capacitor are varied to adjust the resonance characteristics of the device.

A third exemplary embodiment of the present subject matter concerns a multi-layer capacitor comprising a plurality of electrode layers and insulating layers stacked successively, a plurality of tabs extending from selected edges of respective electrode layers and exposed on selected sides of the multi-layer capacitor, a plurality of through-holes formed by and perforating the top-most electrode layer and the adjacent underlying insulating layer, a plurality of conductive vias passing through selected through-holes, and a plurality of electrically conductive lands coupling selected of the plurality of tabs. The tabs may preferably be arranged

WO 03/021614

PCT/US02/28100

10

in an interdigitated fashion, and the through-holes are preferably formed to expose the next successive electrode layer of the multi-layer capacitor.

Additional embodiments of the present subject matter equally concern methodology in forming certain aspects of the disclosed multi-layer and cascade capacitor embodiments. A first exemplary embodiment of such methodology corresponds to a method for adjusting the equivalent series resistance (ESR) of a multi-layer component. The method may comprise such steps as producing a multi-layer component including at least first and second electrode layers separated by an insulating layer, providing a resistive layer between the insulating layer and one of the first or second electrode layers, and adjusting the ESR of the component by varying the effective resistance of the resistive layer. More particularly, the effective resistance may be varied by adjusting the composition or thickness of the resistive layer. Alternatively, the effective resistance may be varied by forming a plurality of through-holes perforating one of the electrode layers and by then adjusting the respective diameters of selected of the through-holes to vary the extent of coverage on the resistive layer.

A further exemplary embodiment of methodology in accordance with the present subject matter relates to a method of adjusting the resonance characteristics of a multi-layer component. Such method preferably comprises the steps of producing a multi-layer component having a plurality of successively stacked electrode layers, providing separate insulating layers sandwiched between each of the electrode layers, and varying the thickness among selected of the separate insulating layers whereby the resonance characteristics of the multi-layer

WO 03/021614

PCT/US02/28100

11

component are adjusted. Such varying step may be accomplished for example with continuous thickness variation, with patterned thickness variation, and/or with matched variable thickness variation among layers.

5 Additional embodiments of the present subject matter, not necessarily expressed in this summarized section, may include and incorporate various combinations of aspects of features or parts referenced in the summarized objectives above, and/or features or parts as
10 otherwise discussed in this application.

Those of ordinary skill in the art will better appreciate the features and aspects of such embodiments, and others, upon review of the remainder of the specification.

15 **BRIEF DESCRIPTION OF THE DRAWINGS**

A full and enabling description of the presently disclosed technology, including the best mode thereof, directed to one of ordinary skill in the art, is set forth in the specification, which makes reference to the
20 appended figures, in which:

Figures 1A and 1B relate to a first exemplary embodiment of the present subject matter; in which

Figure 1A displays a partially exploded view of an exemplary thin film ball grid array (BGA) capacitor configuration for use in accordance with certain
25 embodiments of the present subject matter;

Figure 1B displays an exemplary embodiment of the subject cascade capacitor technology, comprising a thin film BGA component such as that displayed in Figure 1A
30 and an interdigitated capacitor (IDC) component;

Figures 2A and 2B relate to a second exemplary embodiment of the present subject matter; in which

WO 03/021614

PCT/US02/28100

12

Figure 2A illustrates a partially exploded view of a second exemplary embodiment of the subject capacitor technology;

5 Figure 2B displays a detailed view of a second exemplary embodiment of the present subject matter, such as that illustrated in Figure 2A;

Figures 3A through 3C, respectively, show varied illustrations of exemplary embodiments of the subject cascade capacitor technology;

10 Figures 4A and 4B display exemplary embodiments of the present subject matter, with a focus on exemplary termination features;

Figure 4C illustrates an exemplary embodiment of the present subject matter with selected additional components connected in parallel to form a yet further embodiment of a cascade capacitor in accordance with the presently disclosed technology;

15 Figure 5A illustrates an exemplary cascade capacitor of the present technology with means for mounting on a printed wire board or other appropriate surface;

Figure 5B depicts an exemplary cascade capacitor with multiple levels of cascaded structures in accordance with the present subject matter;

25 Figures 6A through 6E represent exemplary configurations for multilayered portions of the subject cascade capacitor designs; in which

Figure 6A corresponds to an exemplary multilayer arrangement with dielectric layers having fixed thickness;

30 Figures 6B, 6C, 6D and 6E, respectively, correspond to exemplary multilayer capacitor arrangements with dielectric layers having varied thickness;

Figure 7 illustrates an exemplary range of capacitance values available for selected combinations of

WO 03/021614

PCT/US02/28100

13

components in accordance with the subject cascade capacitor technology; and

Figures 8A and 8B display exemplary impedance curves corresponding to selected embodiments of the present subject matter.

Repeat use of reference characters throughout the present specification and appended drawings is intended to represent same or analogous features or elements of the disclosed technology.

DETAILED DESCRIPTION OF THE DRAWINGS

As referenced in the Brief Summary of the Invention section, supra, the present subject matter is directed towards improved capacitor performance over a wide range of frequencies. More particularly, the disclosed cascade capacitor preferably offers large capacitance, low ESL and/or tunable ESR over a wide frequency range of operation.

The subject cascade capacitor may comprise multiple components that are provided in an integrated capacitor package. Exemplary cascade capacitors may comprise many different components, including thin film BGA capacitors, IDC structures, single layer capacitors, double-layer electrochemical capacitors, surface mount tantalum capacitors, multilayer capacitors (MLCs) and others. Alternatively, certain aspects of selected capacitor components may be combined to form a single monolithic capacitor structure. Preferred embodiments of the subject technology incorporate aspects of at least two of these components into their integrated structure.

Two preferred components are thin film BGA capacitors, such as that illustrated in Figure 1A, and interdigitated capacitors (IDCs). Thin film BGA techniques offer low ESL and tunable ESR, and offer a means for attaching to an electronic printed wire board

WO 03/021614

PCT/US02/28100

14

(PWB) or ceramic package. A first exemplary embodiment comprises an IDC style component for electrically connecting in parallel with a thin film BGA device, such as displayed in Figures 1B and 3A. Such exemplary combination provides a cascade capacitor with two levels of decoupling.

A second exemplary embodiment of a cascade capacitor in accordance with the present disclosure that offers similar decoupling capabilities is a thick film construction that incorporates BGA techniques into the top layer of an IDC, such as disclosed in Figures 2A, 2B and 3B. This and other exemplary cascade capacitor configurations can provide broadband decoupling over a frequency range from kilohertz up to a gigahertz. Possible capacitance values for selected configurations might range from about 0.5 μF to about 50 μF for a single thin film BGA/IDC combination.

Figures 4A and 4B illustrate an exemplary termination scheme for selected embodiments of the present subject matter. Such a termination arrangement allows for electrical connection of additional components with the selected embodiments. Such additional components for combination with either of the aforementioned first or second exemplary embodiments may include surface mount tantalum capacitors, multilayer capacitors or single layer capacitors.

Figure 5A illustrates another exemplary embodiment of the subject cascade capacitor technology, with a focus towards exemplary features for attaching such an embodiment and other embodiments to a printed wire board or other appropriate surface. Figure 5B displays yet another exemplary embodiment of the present subject matter that incorporates either of the aforementioned first or second exemplary embodiments or others with a

WO 03/021614

PCT/US02/28100

15

single electrochemical capacitor to create a cascade capacitor with increased overall capacitance.

5 Figures 6A through 6E, hereafter collectively referred to as Figure 6, display varied configurations of dielectric layers and electrode layers for application in accordance with multilayer portions of the subject cascade capacitors. Figure 7 illustrates general capacitance ranges that may be available for selected capacitor components and combinations thereof. Figures 10 8A and 8B display impedance curves that help illustrate selected performance characteristics associated with selected embodiments of the present subject matter.

15 It should be noted that each of the exemplary embodiments should not insinuate limitations of the present subject matter. Features illustrated or described as part of one embodiment may be used in combination with aspects of another embodiment to yield yet further embodiments. Additionally, certain features may be interchanged with similar devices or features not 20 expressly mentioned which perform the same or similar function.

25 It should be appreciated that the figures are not drawn to scale. Also, it should be appreciated that selected elements of each figure may not be represented in proportion to other elements in that figure. In addition, materials that are listed as exemplary substances for forming certain elements of the embodiments as discussed herein are merely presented as 30 examples, and should in no way limit the specific composition of the capacitor embodiments. It should be appreciated that as newly improved materials are designed and/or created, incorporation of such substances with the technology disclosed herein will be anticipated.

WO 03/021614

PCT/US02/28100

16

Reference will now be made in detail to the presently preferred embodiments of the subject cascade capacitor technology. Referring now to the drawings, Figures 1A and 1B relate to a first exemplary cascade capacitor embodiment. Figure 1A illustrates a thin film BGA capacitor component 10 for use in accordance with selected embodiments of the subject cascade capacitor technology. A substrate 16 is provided onto which a first insulating layer 18 is deposited. Examples of suitable substances that might be used to form substrate 16 include silicon, glass ceramic, alumina, aluminum nitride, silicon carbide, zinc oxide, BaTiO₃, varistor ceramics, perovskite ceramics, oxide ceramics, non-oxide ceramics, or other high temperature inert materials. Selected of the above-listed suitable substrate materials that may be preferred for use in selected applications include glass, glass ceramic, or silicon wafer. A suitable material may also be selected for insulating layer 18, also sometimes referred to as a planarization layer. A buffer type of insulation layer may be preferred for use with substrate materials having resistive, semi-conductive or conductive characteristics. Other particular materials may be chosen to use in conjunction with generally rough substrate materials. An example of a preferred combination of substrate 16 and insulation layer 18 is a silicon-based substrate with a silicon dioxide insulating layer.

A bottom electrode layer 20 is arranged above the insulating layer 18. Examples of suitable substances that might be used to form bottom electrode layer 20 include platinum, gold, nickel, palladium, ruthenium, iridium, ruthenium oxide, iridium oxide, other suitable conductive materials, or a combination or alloy of selected of the above-references substances. Selected of

WO 03/021614

PCT/US02/28100

17

the above-listed suitable materials for forming a bottom electrode layer in accordance with the present subject matter that may be preferred for use in certain applications may correspond to platinum, gold or nickel. Some combinations of selected materials for use in forming BGA component 10 and/or other embodiments of the present subject matter require an adhesion layer in between insulating layer 18 and bottom electrode 20. Such an adhesion layer (unlabeled) may comprise such exemplary substances as titanium dioxide, titanium, tantalum, chromium, tantalum nitride, titanium nitride, nichrome, titanium/tungsten, or magnesium. A suitable adhesion layer may also preferably be formed of titanium dioxide from oxidation of sputtered titanium or reactive sputtering of titanium in oxygen to form titanium dioxide.

A series of tabs 32 extends from around the edges of electrode layer 20 such that each tab 32 extends to an outer surface of BGA component 10. A dielectric layer 22 is placed over bottom electrode layer 20, with some embodiments utilizing an optional conductive oxide buffer layer (unlabeled) in between the dielectric layer 22 and bottom electrode layer 20. Examples of suitable substances that might be used to form dielectric layer 22 include PbZrTiO_3 (also referred to as PZT), PNZT, PLZT, $\text{PbMg}_{1/3}\text{Nb}_{2/3}\text{O}_3\text{-PbTiO}_3$ (also referred to as PMN-PT), SrBaTiO_3 , BaTiO_3 , SrTiO_3 , $\text{Bi}_2\text{SrTa}_2\text{O}_9$, polycrystalline ceramic perovskites, polycrystalline relaxor ferroelectric ceramic oxides, silicon dioxide, Si_3N_4 , silicon oxynitride, Al_2O_3 , Ta_2O_5 , polycrystalline tungsten bronzes, polycrystalline bismuth titanates, and other suitable dielectric materials. PZT and PNZT are commonly employed as a preferred dielectric material for selected applications.

WO 03/021614

PCT/US02/28100

18

A top electrode layer 24 is applied, also with tabs 32 generally extending to the edges of component 10. Examples of suitable substances that may be used for forming top electrode 24 include copper, nickel, aluminum, palladium, gold, silver, platinum, lead, tin, select combinations of the aforementioned elements, or other suitable conductive substances. A barrier layer 34 is preferably provided between the dielectric layer 22 and top electrode layer 24. Properties of layer 34 ensure that BGA component 10 is characterized by generally lower leakage currents and more reliability. This latter feature is typically enabled by the fact that the thickness of the resistive barrier layer 34 and/or the extent of coverage of the top electrode 24 can be easily adjusted, providing a tunable and controlled internal resistance. A generally small but tunable ESR may often be more desirable than negligible ESR in a capacitor component to avoid potential ringing in the resultant circuit. Layer 34 offers further advantages to a capacitor embodiment of the present technology. Such advantages may include preventing diffusion of the metal electrode layers into a dielectric or other layer, reducing the chance of shorting or conduction through a dielectric substance, promoting adhesion of an electrode, altering the polarity of a capacitor device, or promoting self-heating of a device. Examples of substances commonly employed in resistive barrier layers 34 include titanium, tantalum, chromium, titanium nitride, titanium/tungsten, tungsten, magnesium and others as readily understood and appreciated in the art. Examples of other substances that may be preferred for use in certain embodiments of barrier layer 34 include tantalum nitride, nichrome, chromium silicide, and other resistive compounds.

WO 03/021614

PCT/US02/28100

19

A second insulating layer 36, also commonly referred to as a passivation layer is then applied to the top electrode layer 24. Such passivation layer 36 protects the underlying capacitor layers and helps provide electrical stability of the component. Exemplary suitable materials for passivation layer 36 may be selected from thin films of inorganic materials such as silicon nitride (Si_3N_4), silicon dioxide (SiO_2), silicon oxynitride (SiON), and various nonstoichiometric combinations designated as $\text{Si}_x\text{H}_y\text{C}_z\text{O}_w\text{N}_z$. Alternatively, passivation layer 36 may be made from various films of organic polymers including polyimides, epoxies, or benzocyclobutene (BCB), as well as combinations of layers of inorganic and organic materials.

Top electrode layer 24 has an array of circular openings 26 to provide non-contact holes for connection paths to the bottom electrode 20. A similar array of holes is provided in resistive barrier layer 34. By making the holes 26 in conductive layer 24 larger than the respective holes in resistive barrier layer 34 (as in Figure 1B), additional portions of resistive barrier layer 34 are exposed. More exposure of resistive barrier layer 34 increases the ESR of the device, exemplifying the tunable resistance of selected cascade capacitor configurations. Conductive vias 28 and 29 are inserted into capacitor component 10 with adjacent contacts alternating between top electrode 24 and bottom electrode 20. Solder balls 30 may then be attached to the respective ends of conductive vias 28 and 29 to provide termination features. Once all layers are deposited on the substrate 16, a thin film BGA component 10 is effected.

A first embodiment 14 of the present subject matter comprises a thin film BGA component 10 and a multilayer

WO 03/021614

PCT/US02/28100

20

IDC component 12. By combining the ultra-low ESL, high frequency performance characteristics of BGA component 10 with the greater capacitance of IDC component 12, the frequency range of useful decoupling functionality is expanded. Thin film BGA techniques may be utilized with components other than multilayer IDCs to form additional cascaded structures.

A typical IDC may correspond to a multilayer arrangement of electrode layers and dielectric layers. A partially exploded view of such a multilayer arrangement is shown in Figure 2A. Electrode layers are preferably arranged in parallel with tabs 48 and 50 extending from the layers such that electrode tabs extending from alternating electrode layers are aligned in respective columns. Such an arrangement of interdigitated terminals provides an electrode configuration with generally low ESL. Current preferably travels along the shorter distance of a chip component, thus lowering the self inductance of the device. The electrode arrangement of an IDC is such that current flowing out of a first set of positive plates returns in the opposite direction along a negative set of adjacent plates. Such provision of current flows in opposing directions considerably reduces inductance created by adjacent current flow in the same direction.

Figure 3A displays cascade capacitor embodiment 14 with features for connecting BGA component 10 with IDC component 12. Lands 52 may be provided along selected sides of the components to connect the terminations created by tabs 32 as well as IDC tabs 48 and 50. Alternatively, two sets of lands 52 may be provided, one set for BGA component 10 and one set for IDC component 12. These two sets of lands may then be mated to form a unified set of side terminations, such as displayed in

WO 03/021614

PCT/US02/28100

21

Figure 3C. The process of applying outside lands is effected through relatively simple techniques known to those of ordinary skill in the art of capacitor technology. Other termination features include solder balls 30 or other solder elements that may be applied to conductive vias 28 and 29. Examples of materials for forming solder balls 30 might include tin lead alloys, tin copper silver alloys, tin copper alloys, tin silver alloys, tin bismuth alloys, tin silver bismuth alloys, tin silver bismuth copper alloys, tin antimony alloys, tin silver copper antimony alloys, and other suitable substances. It is often preferred to add an optional under bump metallurgy beneath solder balls 30 to help control the flow of the solder material 30. Figure 2B displays the relative position of such ball limiting metallurgy (BLM) 38 to an exemplary embodiment of the present technology. Exemplary substances for use as BLM 38 may correspond to copper, nickel, gold, silver, tin lead, alloys formed from combinations of selected of the aforementioned metallic elements, and other combinations of conducting metals with a solderable surface. Exemplary particular BLM materials that may be preferable for certain applications include nickel-gold layers or copper-nickel-gold layers. Solder elements 30 can then be more conveniently applied to embodiments of the disclosed technology and subsequently utilized for connecting cascade capacitor embodiments to a PWB.

Figures 2A, 2B and 3B relate to a second exemplary embodiment of the present subject matter that offers similar electrical properties to the first exemplary embodiment as discussed with reference to Figures 1A and 1B. This second embodiment 40 builds a thick film version of a BGA component into the top layer of an IDC style capacitor such as 12. A first set of electrode

WO 03/021614

PCT/US02/28100

22

layers and corresponding tabs 48 form a set of terminals characterized by a given polarity and a second set of electrode layers and corresponding tabs 50 form a set of terminals with opposite polarity than the polarity of electrodes 48. Dielectric layers 44 are provided between adjacent electrode layers to form exemplary cascade capacitor 40. The top electrode layer 42 has an array of holes 26 enabling non-contact paths to the second electrode 46 which is counter to first electrode 42. Conductive via attachments 28 and 29 are then employed for providing alternating connections to the top two electrode layers. In the detailed perspective of Figure 2B, via 28 connects to electrode layer 42 and via 29 connects to electrode layer 46. Electrode layers below the top two layers are preferably connected with typical side termination lands 52.

There are many different types of electrode termination that may be utilized in accordance with presently disclosed cascade capacitor embodiments. If lands 52 are provided that wrap around the top and bottom surfaces of a capacitor, such as depicted in Figure 3C, then the selected sides can be coated with glass or organic solder-stop. A modified application of BLM is thus effected, and solder elements 30 can be reflowed to provide a columnar structure of solder that serves to mount the embodiment and provide a stress absorbing standoff, while keeping the sides of the capacitor free from termination structures. Alternatively, internal vias could connect the tabs 48 and 50 thus precluding the need for external lands. Thus, the option of utilizing internal or external via interconnection facilitates a variety of exemplary cascade capacitor configurations.

Referring again to Figures 2A and 2B, an insulating layer may then preferably be deposited onto top electrode

WO 03/021614

PCT/US02/28100

23

layer 42. Further addition of solder balls 30 and BLM 38 to columnar vias 28 and 29 effects a cascade capacitor configuration 40 such as that displayed in Figure 2B.

The termination scheme utilized in exemplary
5 embodiment 40 (Figures 2A, 2B and 3B) and exemplary
embodiment 14 (Figure 3A) provide many advantages. The
disclosed embodiments do not require the holes 26 and
vias 28 and 29 to cut through all the electrode layers of
the capacitor. It is known that capacitance of a
10 component is directly proportional to the area of its
capacitor plates. Holes throughout the capacitor body
would thus decrease the effective capacitance and reduce
the reliability of the device. Selected termination
schemes of the present embodiments are more cost
15 efficient than other termination schemes and preferably
will not decrease the overall capacitance value of a
cascade capacitor design. It is recognized that internal
connection with holes and vias to many electrode layers
in an exemplary embodiment would create a complex
20 termination arrangement, but one that is characterized by
generally low inductance. On the other hand, it is also
recognized that internal connection to only a small
number of electrode plates, such as displayed in Figure
1B and Figure 2B, provides quite a reliable internal
25 termination arrangement. However, it is characterized by
lowered capacitance. Thus, there is an evident tradeoff
among the complexity, capacitance, inductance, and
reliability of the termination arrangement of the present
subject matter. Selected of these characteristics may be
30 more desirable for certain applications, and thus it
should fall within the scope of the presently discloses
technology that variations to the number of electrode
layers that are internally connected are available.

WO 03/021614

PCT/US02/28100

24

Figures 3A through 3C display exemplary cascade capacitor embodiments such as those described in the foregoing specification. Figure 3A illustrates a view of all elements in combination to form first embodiment 14 of a thin film BGA/IDC cascade capacitor. Figure 3B illustrates second exemplary embodiment 40 of a thick film BGA/IDC cascade capacitor. It should be appreciated that various features discussed above in reference to one exemplary embodiment may still be applied to other embodiments of the present subject matter. More particularly, optional layers and features described with respect to embodiment 14 or other embodiments can be applied to embodiment 40 or other embodiments, and vice versa, while still remaining within the scope of the presently disclosed technology. Figure 3C displays an exemplary embodiment 54 that represents either embodiment 14 or 40. For the remainder of the specification, it will be understood that BGA/IDC component 54 could correspond to either the thin film cascade capacitor structure 14 or the thick film monolithic cascade capacitor embodiment 40.

Referring to Figures 4A and 4B, additional termination features for an exemplary cascade capacitor 54 are displayed. A unified positive termination bar 60 is provided that connects selected of the positive termination lands 56 together. A unified negative termination bar 62 is also provided to connect selected of the negative termination lands 58 together. Termination bars 60 and 62 facilitate the connection of additional components to exemplary cascade capacitor 54. Such termination elements 60 and 62 can be screen-printed or defined using direct write based techniques or other techniques known in the art.

WO 03/021614

PCT/US02/28100

25

Another embodiment of the subject cascade capacitor technology is displayed in Figure 4C and comprises two surface mount tantalum or ceramic capacitors 64 arranged beside a single layer capacitor 66 and electrically connected to a BGA/IDC component 54 in accordance with the presently disclosed technology. Inclusion of such a tantalum device 64 preferably extends the range of potential capacitance values of selected embodiments of the subject technology. Small surface mount tantalum capacitors preferably offer high energy storage, high frequency of operation and desired ESR performance. An example of a surface mount tantalum capacitor 64 for use in accordance with the subject technology is a TACmicrochip brand tantalum capacitor, such as that offered for sale by AVX Corporation. Single layer capacitor (SLC) 66 preferably utilizes thin film techniques to provide an exemplary capacitor for dependable functionality into the GHz frequency range. Exemplary single layer capacitors for use in accordance with the present subject matter may comprise a thin-film layer of gold metallization applied to a ceramic dielectric with varied range of capabilities. An alternate use example of a single layer capacitor 66 for use in accordance with the subject technology is an Accu-P brand capacitor, such as that offered for sale by AVX Corporation.

A single layer capacitor 66 may be connected to cascade capacitor embodiment 54 as depicted in Figure 4C. A bottom electrode of single layer capacitor 66 is attached to a selected termination bar 62 and a top electrode is wire bonded with one or more wire bonds 69 to the other termination bar 60. The provision of termination elements 60 and 62 facilitates the connection of surface mount tantalum or multilayer ceramic

WO 03/021614

PCT/US02/28100

26

capacitors 64 to embodiment 54. The final cascade configuration of Figure 4C and other exemplary embodiments that contain single layer capacitors 66 are preferably encapsulated with a molding compound of epoxy or other suitable material to protect any wire bonds used for attaching distinct capacitor components.

A still further exemplary embodiment of the present subject matter comprises a BGA/IDC component 54 attached to a single surface mount tantalum capacitor 64. Additional embodiments may comprise at least two surface mount tantalum capacitors in parallel with cascade embodiment 54. Such tantalum capacitors may be arranged similar to the embodiment displayed in Figure 4C without single layer capacitor 66. Other exemplary embodiments of the present technology might comprise a BGA/IDC component 54 in combination with at least one single layer capacitor and without tantalum capacitors.

Figure 5A displays an exemplary cascade capacitor in accordance with the present subject matter, featuring a tantalum capacitor, a single layer capacitor, or an electrochemical capacitor 68 as one of its components. An electrical double-layer capacitor 68 is mounted and electrically connected in parallel with BGA/IDC component 54. Solder balls 30 are attached to the BGA/IDC component for connecting the cascade capacitor to a ceramic package or PWB. Due to the size of many double-layer capacitors 54, it is often convenient to connect multiple BGA/IDC components 54 in parallel with a single electrochemical component 68, such as displayed in Figure 5B. The exemplary embodiment of Figure 5B displays ten BGA/IDC components 54 arranged side-by-side on top of a single electrochemical capacitor 68.

The inclusion of an electrochemical capacitor in exemplary cascade capacitor configurations enables a

WO 03/021614

PCT/US02/28100

27

cascade capacitor with exceptionally high capacitance value, typically about 0.1 Farad or greater. A typical electrochemical capacitor includes hydrogen ions that line up to form an electrochemical layer that functions as a dielectric. The resulting structure offers very high capacitance and ultra low ESR in the milli-ohm (mΩ) region. Some double-layer capacitor configurations only have two terminals associated with the component. Thus, to connect such an electrochemical device 68 with a BGA/IDC component 54, termination elements 60 and 62 such as displayed in Figure 4B may preferably be utilized. Positive polarity terminations of BGA/IDC component 54 are gathered and connected to a first termination bar and negative polarity terminations are gathered and connected to a second termination bar, each termination bar being respectively connected to terminations of the electrochemical capacitor 68. The thermally sensitive nature of electrochemical capacitors 68 yields a preferred connection method between the electrochemical component and other components of conductive epoxy or a mechanical fastener as opposed to solder reflow.

With reference to Figure 5A, an exemplary position for mounting selected cascade capacitor configurations is presented. Solder balls 30 or other solder element may typically be mounted to the BGA style termination portion of structure 54. Solder balls 30 may be applied to corresponding attachment pads 71 on printed wire board (PWB) 70. Attachment pads 71 may be arranged in a variety of ways to accommodate circuit connections. Respective pad and solder bump arrangements can also be utilized to connect distinct components within a cascade capacitor configuration.

An advantage of certain exemplary embodiments of the subject cascade capacitor technology is improved

WO 03/021614

PCT/US02/28100

28

resonancy characteristics that result from varying the thickness of dielectric layers present in such exemplary embodiments, and particularly in accordance with IDC components of such exemplary embodiments. A normal pattern of interleaved dielectric layers 84 and electrode layers 82 is displayed in arrangement 72 of Figure 6A. Such arrangement 72 with dielectric layers 84 of a fixed thickness results in low impedance over a generally narrow range of frequencies. Configurations that incorporate dielectric layers 84 with varied thicknesses help to broaden the frequency range that a capacitor exhibits preferred impedance characteristics. Arrangement 74 of Figure 6B provides dielectric layers 84 of continuously varying thickness. Exemplary arrangements 76 and 78 of Figure 6C and 6D respectively provide dielectric layers 84 with patterned thickness variation. Exemplary arrangement 80 of Figure 6E provides dielectric layers 84 with matched variable thickness. These exemplary embodiments and others provide improved capacitor performance over a generally wider frequency range.

As mentioned previously, it is an advantage of the present subject matter to provide cascade capacitor embodiments that have a capacitance ranging from about 0.5 μF to over 1 F. Figure 7 illustrates how such a broad range of capacitance values may be available for selected cascade capacitor embodiments. Preferred embodiments of the subject cascade capacitor comprise at least some aspects of a thin film BGA component 10 and an IDC component 12. Capacitance values for BGA capacitors 10 typically range from about 10 pF to about 500 nF and interdigitated capacitor values may range from about 100 nF to about 10 μF or more with the provision of additional dielectric and electrode layers. Thus, a

WO 03/021614

PCT/US02/28100

29

cascade capacitor that incorporates aspects of a thin film BGA capacitor 10 and an IDC 12 is characterized by generally high capacitance from the IDC 12 and generally low inductance from the BGA capacitor 10. A single layer capacitor 66 offers higher frequency range of operation while maintaining a capacitance range of about 0.1 pF to about 1 nF. Tantalum capacitors offer additional advantages for potential cascade capacitor embodiments while providing a general capacitance range of about 1 μ F to about 1 mF. Cascade capacitors that include aspects of a double-layer electrochemical capacitor 68 are characterized by generally high capacitance, as such a double-layer capacitor 68 generally has a capacitance from about 1 mF to about 1 F. Select combinations of certain capacitor aspects can thus combine to form a cascade capacitor embodiment with a variety of potential capacitance values. Multilayer surface mount capacitors can also be used and they cover the ranges of 10, 12 and 64.

Figures 8A and 8B display exemplary impedance curves corresponding to selected embodiments of the present subject matter. Figures 8A and 8B display how combinations of varied capacitor aspects can combine to form an exemplary cascade capacitor with desirable performance over a wide range of frequencies. Figure 8A displays impedance values versus frequency of operation for individual capacitor components. Such components include multilayer capacitor components such as an interdigitated device and bulk capacitors such as electrochemical capacitors, tantalum capacitors, or others. A voltage regulator module may often be incorporated into a passive device or other circuit component, and also offers an impedance value to the overall structure. If a cascade capacitor incorporates

WO 03/021614

PCT/US02/28100

30

aspects of all of the above components having impedance curves displayed in Figure 8A, then the overall impedance curve of the device would be similar to the "Net Z" curve of Figure 8B. By combining selected features, a device
5 can thus be formed that exhibits generally low impedance over a frequency range from about a KHz to about a GHz. For this exemplary data, a target impedance of around 5-10 mΩ is generally achieved.

While the present subject matter has been described
10 in detail with respect to specific embodiments thereof, it will be appreciated that those skilled in the art, upon attaining an understanding of the foregoing may readily produce alterations to, variations of, and equivalents to such embodiments. Accordingly, the scope
15 of the present disclosure is by way of example rather than by way of limitation, and the subject disclosure does not preclude inclusion of such modifications, variations and/or additions to the present subject matter as would be readily apparent to one of ordinary skill in
20 the art.

WO 03/021614

PCT/US02/28100

31

WHAT IS CLAIMED:

1. A multi-layer capacitor, comprising:
 - a substrate;
 - a first electrode layer generally covering said substrate;
 - 5 a first insulating layer generally covering said first electrode layer, said first insulating layer defining a first plurality of through-holes there through, said first plurality of through-holes each respectively having a first diameter thereof;
 - 10 a resistive layer generally covering said first insulating layer, said resistive layer defining a second plurality of through-holes there through, said second plurality of through-holes each respectively having a second diameter thereof greater than or equal to said first
 - 15 diameter;
 - a second electrode layer generally covering said resistive layer, said second electrode layer defining a third plurality of through-holes there through, said third plurality of through-holes each respectively having a third
 - 20 diameter thereof greater than or equal to said second diameter, said first, second and third pluralities of through-holes being respectively concentrically juxtaposed and forming respective plural through-hole triplets; and
 - a first plurality of electrically conductive vias
 - 25 passing through selected of said through-hole triplets, each of said first plurality of electrically conductive vias respectively being connected to said first electrode layer and provided in a non-contacting relationship with said second electrode layer.
2. A multi-layer capacitor as in claim 1, further comprising:

WO 03/021614

PCT/US02/28100

32

a second insulating layer generally covering said second electrode layer, said second insulating layer defining a fourth plurality of through-holes there through, said fourth plurality of through-holes being respectively offset laterally from said respective plural through-hole triplets; and

a second plurality of electrically conductive vias passing through selected of said fourth plurality of through-holes, each of said second plurality of electrically conductive vias respectively being connected to said second electrode layer.

3. A multi-layer capacitor as in claim 1, wherein:
said substrate has an outer perimeter; and
said first and second electrode layers each comprise a respective substantially continuous portion and a plurality of tab portions extending from said respective continuous portions to said outer perimeter of said substrate.

4. A multi-layer capacitor as in claim 3, further comprising:
a plurality of solder balls, wherein each solder ball is respectively applied to a portion of selected ones of said first and second pluralities of electrically conductive vias.

5. A multi-layer capacitor as in claim 1, wherein each of said first plurality of electrically conductive vias is characterized by respective first and second ends, and wherein a selected end of each of said first plurality of electrically conductive vias abuts said first electrode layer.

WO 03/021614

PCT/US02/28100

33

6. A method for adjusting the equivalent series resistance (ESR) of a multi-layer component, said method comprising the steps of:

producing a multilayer component including at least
5 first and second electrode layers separated by an
insulating layer;
providing a resistive layer between the insulating
layer and one of the first or second electrode layers; and
adjusting the ESR of the component by varying the
10 effective resistance of the resistive layer.

7. A method as in claim 6, wherein said adjusting step comprises:

perforating one of the first or second electrode
layers with a plurality of through-holes; and
5 varying the effective resistance of the resistive
layer by adjusting the diameter of selected of the
plurality of through-holes whereby the extent of coverage
of the perforated electrode layer varies the effective
resistance of the resistive layer.

8. A method as in claim 6, wherein said adjusting step comprises:

varying the effective resistance of the resistive
layer by adjusting the thickness of the resistive layer.

9. A method as in claim 6, wherein said adjusting step comprises:

varying the effective resistance of the resistive
layer by adjusting the composition of the resistive layer.

10. A method of adjusting the resonance characteristics of a multi-layer component, said method comprising the steps of:

producing a multi-layer component having a plurality
5 of successively stacked electrode layers;

WO 03/021614

PCT/US02/28100

34

providing separate insulating layers sandwiched
between each of the electrode layers; and
varying the thickness among selected of the separate
insulating layers whereby the resonance characteristics of
10 the multi-layer component are adjusted.

11. A method of adjusting the resonance
characteristics of a multi-layer component as in claim 10,
wherein said step of varying comprises:

providing separate insulating layers with continuous
5 thickness variation among layers.

12. A method of adjusting the resonance
characteristics of a multi-layer component as in claim 10,
wherein said step of varying comprises:

providing separate insulating layers with patterned
5 thickness variation among layers.

13. A method of adjusting the resonance
characteristics of a multi-layer component as in claim 10,
wherein said step of varying comprises:

providing separate insulating layers with matched
5 variable thickness variation among layers.

14. A multi-layer capacitor, comprising:

a substrate;

a first electrode layer generally covering said
substrate;

5 a first insulating layer generally covering said first
electrode layer and defining a first plurality of through-
holes there through, said first plurality of through-holes
each respectively having a first diameter thereof;

a second electrode layer generally covering said first
10 insulating layer and defining a second plurality of
through-holes there through, said second plurality of
through-holes each respectively having a second diameter

WO 03/021614

PCT/US02/28100

35

thereof greater than or equal to said first diameter, said first and second pluralities of through-holes being
15 respectively concentrically juxtaposed and forming respective plural through-hole pairs; and

a first plurality of electrically conductive vias passing through selected of said through-hole pairs, each of said first plurality of electrically conductive vias
20 being respectively connected to said first electrode layer and provided in a non-contacting relationship with said second electrode layer;

wherein said substrate has an outer perimeter; and wherein said first and second electrode layers each
25 comprise respective substantially continuous portions and a plurality of tab portions extending from said respective continuous portions to said outer perimeter of said substrate.

15. A multi-layer capacitor as in claim 14, further comprising:

a second insulating layer generally covering said second electrode layer, said second insulating layer
5 defining a third plurality of through-holes there through, said third plurality of through-holes being respectively offset laterally from said respective plural through-hole pairs; and

a second plurality of electrically conductive vias
10 passing through selected of said third plurality of through-holes, each of said second plurality of electrically conductive vias respectively being connected to said second electrode layer.

16. A multi-layer capacitor as in claim 15, further comprising:

WO 03/021614

PCT/US02/28100

36

a plurality of solder balls, wherein each solder ball is respectively applied to a portion of selected ones of said first and second pluralities of electrically conductive vias.

17. A multi-layer capacitor as in claim 14, further comprising:

a resistive layer generally covering said first insulating layer, said resistive layer defining a third plurality of through-holes there through, said third plurality of through-holes being respectively concentrically juxtaposed with said respective plural through-hole pairs, said third plurality of through-holes each respectively having a third diameter thereof greater than or equal to said first diameter and less than or equal to said second diameter.

18. A multi-layer capacitor as in claim 14, wherein each of said first plurality of electrically conductive vias is characterized by respective first and second ends, and wherein a selected end of each of said first plurality of electrically conductive vias abuts said first electrode layer.

19. A cascade capacitor, comprising:

a first multi-layer capacitor comprising:

a substrate having an outer perimeter;

first and second electrode layers stacked on said substrate and separated from each other by an insulating layer, said first and second electrode layers each having a respective plurality of edges, said insulating layer and said second electrode layer each defining a respective plurality of through-holes there through;

WO 03/021614

PCT/US02/28100

37

10 a plurality of conductive vias passing through
selected of said respective pluralities of through-holes
and connected to said first electrode layer; and
a first and second plurality of tabs extending
15 respectively from selected edges of said first and second
electrode layers to said outer perimeter of said substrate,
said first and said second plurality of tabs arranged in
alternate interdigitated fashion to facilitate coupling of
alternate electrode layers to external components;
a second multi-layer capacitor comprising:
20 first and second pluralities of electrode layers,
each layer of said first and second pluralities of
electrode layers separated from each other by an insulating
layer, each electrode layer having a respective plurality
of edges; and
25 first and second pluralities of tabs extending
from selected edges of selected electrode layers of said
respective first and second pluralities of electrode layers
to the outer perimeter of said substrate of said first
multi-layer capacitor, said first and said second
30 pluralities of tabs arranged in alternate interdigitated
fashion to facilitate coupling of alternate electrodes of
said first and second pluralities of electrode layers to
external components; and
a plurality of electrically conductive lands coupling
35 selected of said first and second plurality of tabs of said
first multi-layer capacitor to selected of said first and
second pluralities of tabs of said second multi-layer
capacitor.
20. A cascade capacitor as in claim 19, further
comprising:
at least one surface mount capacitor coupled to

WO 03/021614

PCT/US02/28100

38

selected of said plurality of electrically conductive
5 lands.

21. A cascade capacitor as in claim 20, wherein a pair of surface mount capacitors is coupled to selected of said plurality of electrically conductive lands.

22. A cascade capacitor as in claim 19, further comprising:

a single layer capacitor coupled to selected of said plurality of electrically conductive lands.

23. A cascade capacitor as in claim 19, further comprising:

at least one surface mount capacitor coupled to selected of said plurality of electrically conductive
5 lands.

24. A cascade capacitor as in claim 23, wherein a pair of surface mount capacitors is coupled to selected of said plurality of electrically conductive lands.

25. A cascade capacitor as in claim 19, further comprising:

a plurality of said first multi-layer capacitors;
a plurality of said second multi-layer capacitors,
5 each multi-layer capacitor of said plurality of first multi-layer capacitors respectively coupled individually in cascade with one of said multi-layer capacitors of said plurality of second multi-layer capacitors to form a plurality of cascade capacitor sections; and

10 a common capacitor coupled with each of said respective cascade capacitor sections.

26. A cascade capacitor as in claim 25, wherein said plurality of cascade capacitor sections are physically mounted in parallel on said common capacitor.

WO 03/021614

PCT/US02/28100

39

27. A cascade capacitor as in claim 25, wherein said common capacitor is a double layer capacitor.

28. A cascade capacitor as in claim 25, wherein said common capacitor is single electrochemical capacitor.

29. A cascade capacitor as in claim 19, wherein each of said plurality of conductive vias is respectively connected to the first electrode layer of said first multi-layer capacitor and passes through selected of said
5 respective pluralities of through-holes in a non-contacting relationship with the second electrode layer of said first multi-layer capacitor.

30. A cascade capacitor as in claim 21, wherein:
said plurality of through-holes defined by said insulating layer of said first multi-layer capacitor are formed having a first diameter thereof; and
5 said plurality of through-holes defined by said second electrode layer of said first multi-layer capacitor are formed having a second diameter thereof greater than or equal to said first diameter and wherein said first and second pluralities of through-holes are further
10 characterized as being respectively concentrically juxtaposed and forming respective plural through-hole pairs.

31. A cascade capacitor as in claim 19, further comprising:

at least one additional capacitor coupled to selected of said plurality of electrically conductive lands, wherein
5 said at least one additional capacitor is selected from the group consisting of a surface mount capacitor, a single layer capacitor, a double layer capacitor, an electrochemical capacitor, a ceramic capacitor, and a tantalum capacitor.

WO 03/021614

PCT/US02/28100

40

32. A cascade capacitor as in claim 19, wherein the thickness of distinct insulating layers of said insulating layers of said second multi-layer capacitor is varied among layers to adjust the resonance characteristics of said cascade capacitor.

33. A cascade capacitor as in claim 32, wherein selected distinct insulating layers in said second multi-layer capacitor are varied with continuous thickness variation among layers.

34. A cascade capacitor as in claim 32, wherein selected distinct insulating layers in said second multi-layer capacitor are varied with patterned thickness variation among layers.

35. A cascade capacitor as in claim 32, wherein selected distinct insulating layers in said second multi-layer capacitor are varied with variable thickness variation among layers.

36. A multi-layer capacitor, comprising:

a plurality of electrode layers and insulating layers stacked successively, said electrode layers each having a respective plurality of edges;

a plurality of tabs extending from selected edges of respective of said plurality of electrode layers and exposed on selected sides of said multi-layer capacitor, said respective pluralities of tabs arranged in alternate interdigitated fashion;

first and second pluralities of through-holes respectively formed by and perforating said top-most electrode layer and said adjacent underlying insulating layer and exposing said next successive electrode layer;

a first plurality of conductive vias, each passing

WO 03/021614

PCT/US02/28100

41

15 through selected of said first and second pluralities of
through-holes and connected to the exposed electrode layer;
and

a plurality of electrically conductive lands coupling
selected of said plurality of tabs.

37. A multi-layer capacitor as in claim 36, further
comprising:

at least one additional capacitor coupled to selected
of said plurality of electrically conductive lands, wherein
5 said at least one additional capacitor is selected from the
group consisting of a surface mount capacitor, a single
layer capacitor, a double layer capacitor, an electro-
chemical capacitor, a ceramic capacitor, and a tantalum
capacitor.

38. A multi-layer capacitor as in claim 37, wherein a
pair of additional capacitors is coupled to selected of
said plurality of electrically conductive lands.

39. A multi-layer capacitor as in claim 36, further
comprising:

a single layer capacitor coupled to selected of said
plurality of electrically conductive lands.

40. A multi-layer capacitor as in claim 39, further
comprising:

at least one surface mount capacitor coupled to
selected of said plurality of electrically conductive
5 lands.

41. A multi-layer capacitor as in claim 40, wherein a
pair of surface mount capacitors is coupled to selected of
said plurality of electrically conductive lands.

42. A multi-layer capacitor as in claim 36, further
comprising:

WO 03/021614

PCT/US02/28100

42

at least one additional multi-layer capacitor, each
said multi-layer capacitor forming a cascade capacitor
5 section; and

a common capacitor coupled with each of the cascade
capacitor sections.

43. A multi-layer capacitor as in claim 42, wherein
the cascade capacitor sections are physically mounted in
parallel on said common capacitor.

44. A multi-layer capacitor as in claim 42, wherein
said common capacitor is a double layer capacitor.

45. A multi-layer capacitor as in claim 42, wherein
said common capacitor is a single electrochemical
capacitor.

46. A multi-layer capacitor as in claim 36, wherein:
each of said first plurality of through-holes formed
by and perforating said top-most electrode layer
respectively has a first diameter thereof; and

5 each of said second plurality of through-holes formed
by and perforating said adjacent underlying insulating
layer respectively has a second diameter thereof greater
than or equal to said first diameter.

47. A multi-layer capacitor as in claim 36, further
comprising:

a resistive layer between said top-most electrode
layer and said adjacent underlying insulating layer.

48. A multi-layer capacitor as in claim 36, wherein
the thickness of selected of said insulating layers is
varied among layers to adjust the resonance characteristics
of said multi-layer capacitor.

49. A multi-layer capacitor as in claim 48, wherein
selected of said insulating layers are varied with
continuous thickness variation among layers.

WO 03/021614

PCT/US02/28100

43

50. A multi-layer capacitor as in claim 48, wherein selected of said insulating layers are varied with patterned thickness variation among layers.

51. A multi-layer capacitor as in claim 48, wherein selected of said insulating layers are varied with variable thickness variation among layers.

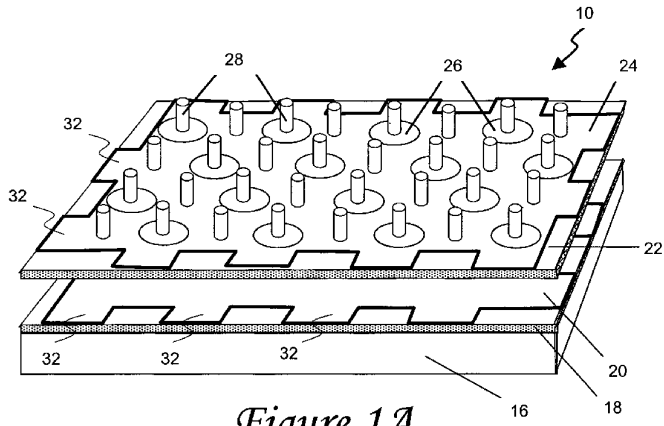


Figure 1A

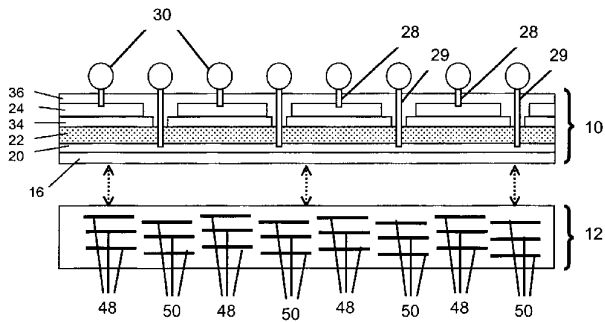


Figure 1B

WO 03/021614

2/8

PCT/US02/28100

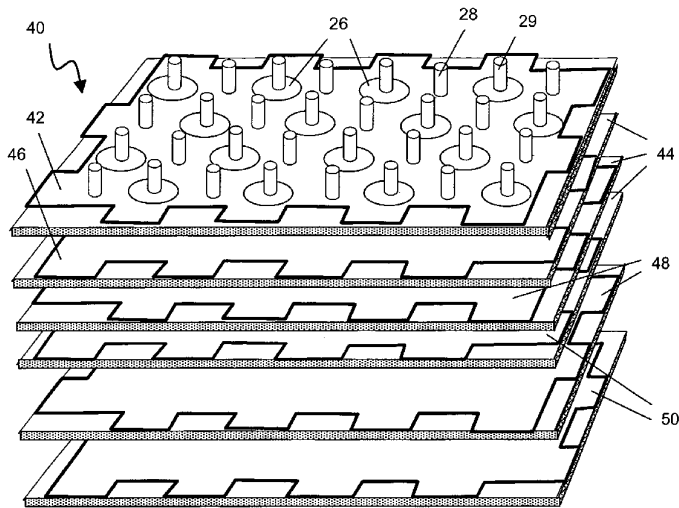


Figure 2A

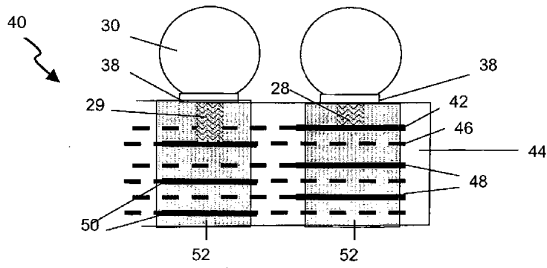


Figure 2B

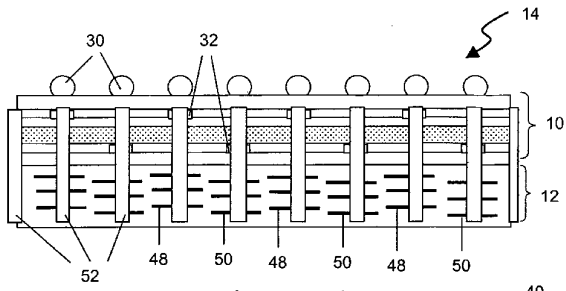


Figure 3A

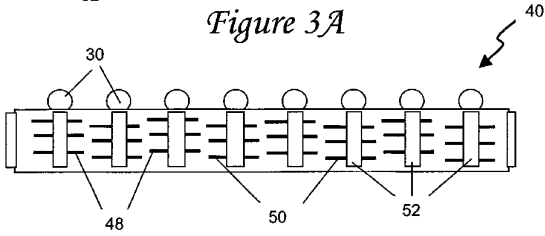


Figure 3B

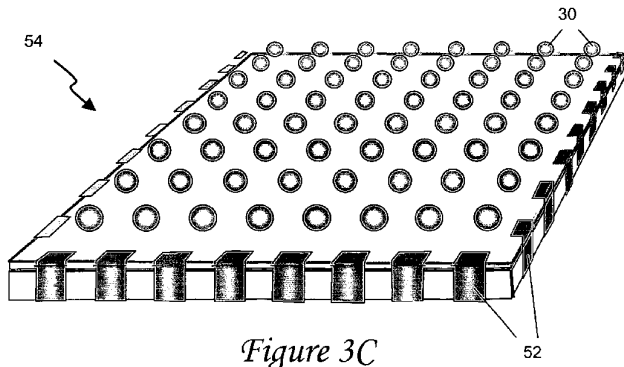


Figure 3C

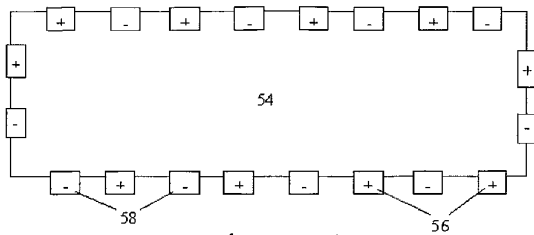


Figure 4A

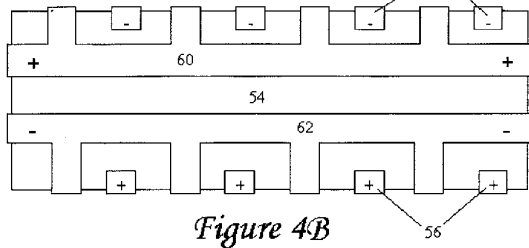


Figure 4B

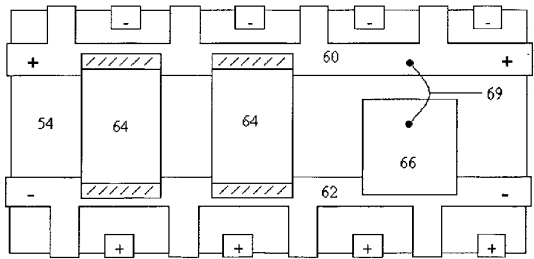
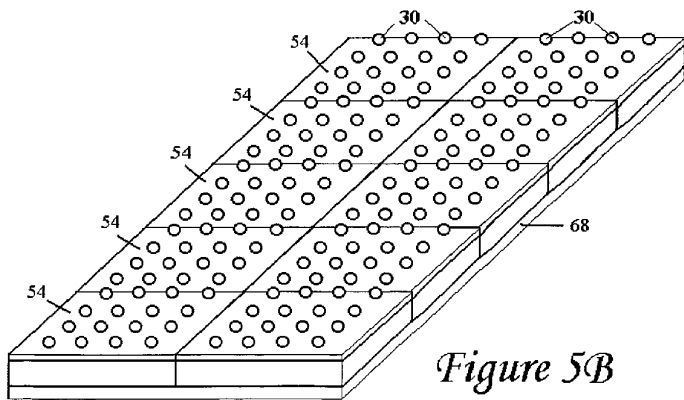
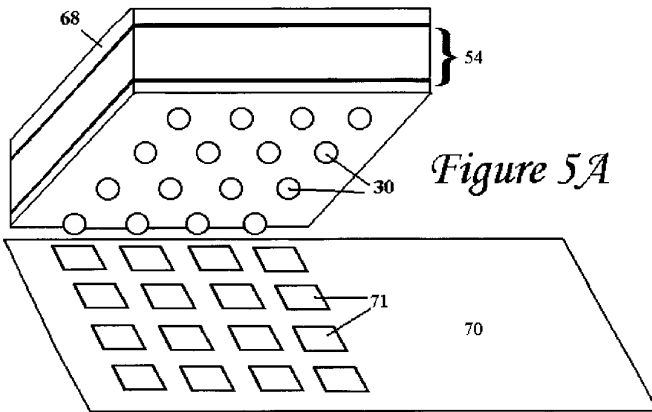


Figure 4C



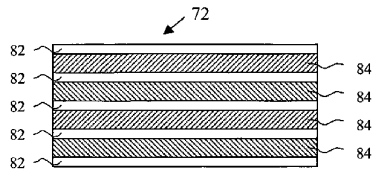


Figure 6A

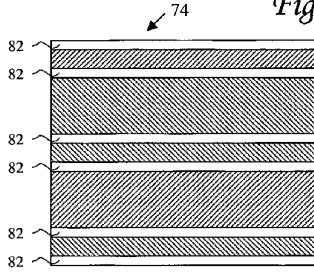


Figure 6B

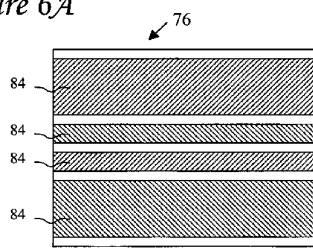


Figure 6C

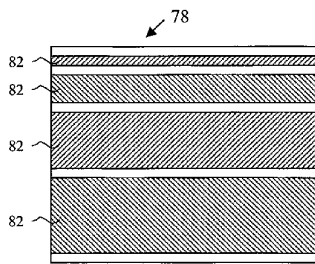


Figure 6D

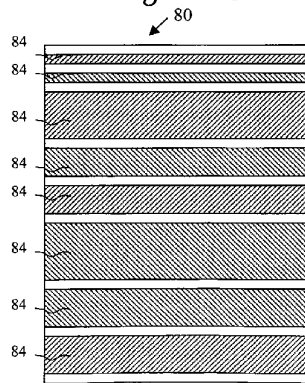


Figure 6E

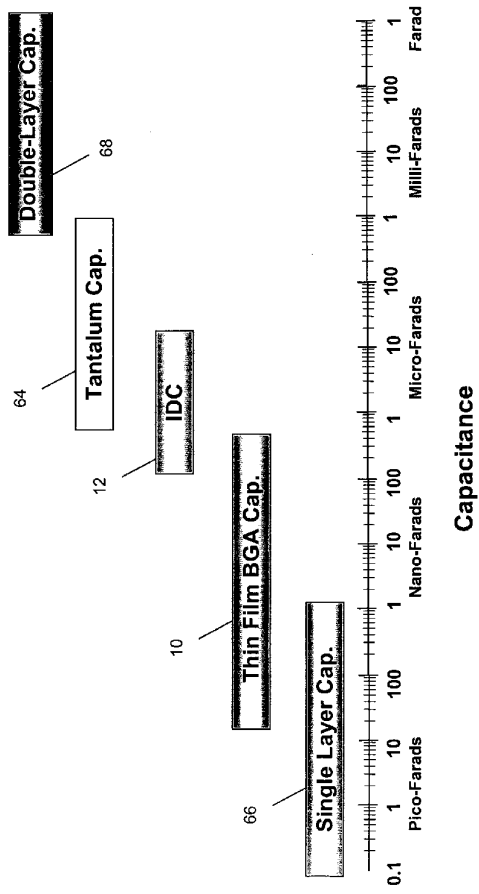


Figure 7

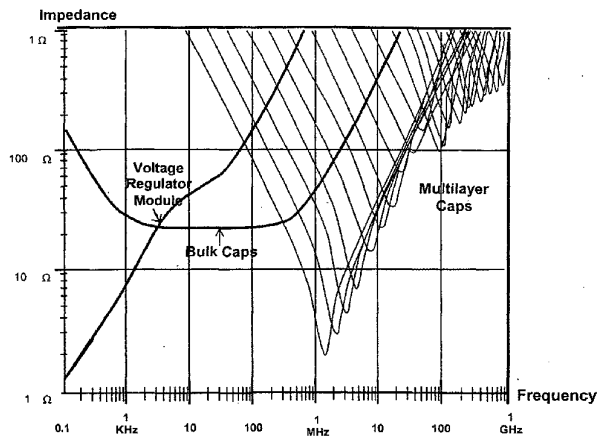


Figure 8A

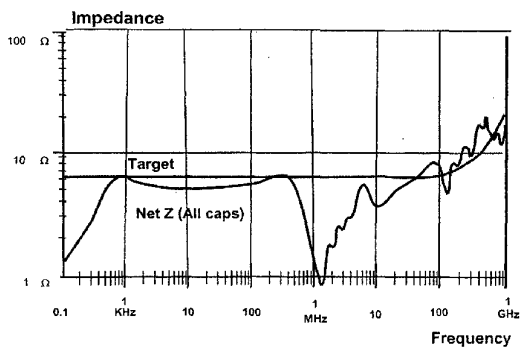


Figure 8B

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US02/28100		
A. CLASSIFICATION OF SUBJECT MATTER				
IPC(7) : H 01 G 4/00, 4/228, 4/06, 4/20, 4/38 US CL : 361/306.1, 306.3, 309, 311, 312, 313, 328, 321.2, 29/25.41, 25.42 According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols) U.S. : 361/306.1, 306.3, 309, 311, 312, 313, 328, 321.2, 29/25.41, 25.42				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched none				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A,P	US 6,370,011 B1 (NAITO et al) 9 April 2002 (09.04.02), see entire document.	1-51		
A	US 6,03,864 A (NAITO et al) 07 March 2000 (07.03.02), see entire document.	1-51		
A	US 4,831,494 A (Arnold et al) 16 May 1989 (16.05.89), see entire document.	1-51		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.				
* Special categories of cited documents: <table border="0" style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> "A" documents defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top;"> "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			"A" documents defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
"A" documents defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of actual completion of the international search 09 October 2002 (09.10.2002)	Date of mailing of the international search report 02 JAN 2003			
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20521 Facsimile No. (703)305-3230	Authorized officer: Anthony Dinkins <i>(Signature)</i> Telephone No. (703) 308-1782			

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 ロバート ヘイスタンド ザ セカンド

アメリカ合衆国 29588 サウスカロライナ州 マートル ビーチ ブランプトン ドライブ
3611

(72)発明者 ゲオルグ コロニー

アメリカ合衆国 29588 サウスカロライナ州 マートル ビーチ シウス トレイル 4
Fターム(参考) 5E082 AA05 AB03 BB07 BC14 CC03 CC05 EE04 EE23 EE35 FG46
LL13

【要約の続き】

振曲線を拡大することである。