

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5806863号  
(P5806863)

(45) 発行日 平成27年11月10日(2015.11.10)

(24) 登録日 平成27年9月11日(2015.9.11)

(51) Int.Cl.

F 1

<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/36</b>
<b>H04N</b>	<b>1/04</b>	<b>(2006.01)</b>	<b>HO4N</b>	<b>1/04</b>
<b>G09G</b>	<b>3/34</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/34</b>
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/20</b>
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/20</b>

請求項の数 5 (全 61 頁) 最終頁に続く

(21) 出願番号	特願2011-139766 (P2011-139766)
(22) 出願日	平成23年6月23日 (2011.6.23)
(65) 公開番号	特開2012-73585 (P2012-73585A)
(43) 公開日	平成24年4月12日 (2012.4.12)
審査請求日	平成26年4月2日 (2014.4.2)
(31) 優先権主張番号	特願2010-150885 (P2010-150885)
(32) 優先日	平成22年7月1日 (2010.7.1)
(33) 優先権主張国	日本国 (JP)
(31) 優先権主張番号	特願2010-150908 (P2010-150908)
(32) 優先日	平成22年7月1日 (2010.7.1)
(33) 優先権主張国	日本国 (JP)
(31) 優先権主張番号	特願2010-197806 (P2010-197806)
(32) 優先日	平成22年9月3日 (2010.9.3)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	黒川 義元 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	池田 隆之 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	中村 直行

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法

## (57) 【特許請求の範囲】

## 【請求項 1】

異なる色を呈する複数の光源のそれぞれが点滅を繰り返し且つ  $m$  行 ( $m$  は、4 以上の自然数) に配設された複数の表示画素毎に印加される電圧に応じて配向状態が制御される液晶素子を用いて複数の色を呈する光のそれぞれの透過を制御することで画素部に画像を形成すると共に、 $x$  行 ( $x$  は、4 以上の自然数) に配設された複数の撮像画素毎に可視光領域の光が照射されることで光電流が生じるフォトダイオードを用いて撮像を行う液晶表示装置の駆動方法であって、

第 1 のサンプリング期間において、第 1 の領域に含まれる 1 行目の表示画素乃至  $k$  行目 ( $k$  は、 $m / 2$  未満の自然数) の表示画素に対する第 1 の色を呈する光の透過を制御するための画像信号の供給、及び第 2 の領域に含まれる ( $k + 1$ ) 行目の表示画素乃至  $2k$  行目の表示画素に対する前記第 1 の色を呈する光の透過を制御するための画像信号の供給を並行して行い、

前記第 1 のサンプリング期間後の期間である第 1 の点灯期間において、前記異なる色を呈する複数の光源の少なくとも一つが点灯することで前記画素部に前記第 1 の色を呈する光を照射し、

前記第 1 の点灯期間に含まれる期間である撮像期間において、前記第 1 の領域に含まれる 1 行目の撮像画素乃至  $z$  行目 ( $z$  は、 $x / 2$  未満の自然数) の撮像画素における撮像、及び前記第 2 の領域に含まれる ( $z + 1$ ) 行目の撮像画素乃至  $2z$  行目の撮像画素における撮像を並行して行い、

10

20

第2のサンプリング期間において、前記第1の領域に含まれる1行目の表示画素乃至k行目の表示画素に対する第2の色を呈する光の透過を制御するための画像信号の供給、及び前記第2の領域に含まれる( $k+1$ )行目の表示画素乃至 $2k$ 行目の表示画素に対する前記第2の色を呈する光の透過を制御するための画像信号の供給を並行して行い、

前記第2のサンプリング期間後の期間である第2の点灯期間において、前記異なる色を呈する複数の光源の少なくとも一つが点灯することで前記画素部に前記第2の色を呈する光を照射し、

前記第2の点灯期間に含まれる期間である撮像期間において、前記第1の領域に含まれる1行目の撮像画素乃至 $z$ 行目の撮像画素における撮像、及び前記第2の領域に含まれる( $z+1$ )行目の撮像画素乃至 $2z$ 行目の撮像画素における撮像を並行して行い、

第3のサンプリング期間において、前記第1の領域に含まれる1行目の表示画素乃至k行目の表示画素に対する第3の色を呈する光の透過を制御するための画像信号の供給、及び前記第2の領域に含まれる( $k+1$ )行目の表示画素乃至 $2k$ 行目の表示画素に対する前記第3の色を呈する光の透過を制御するための画像信号の供給を並行して行い、

前記第3のサンプリング期間後の期間である第3の点灯期間において、前記異なる色を呈する複数の光源の少なくとも一つが点灯することで前記画素部に前記第3の色を呈する光を照射し、

前記第3の点灯期間に含まれる期間である撮像期間において、前記第1の領域に含まれる1行目の撮像画素乃至 $z$ 行目の撮像画素における撮像、及び前記第2の領域に含まれる( $z+1$ )行目の撮像画素乃至 $2z$ 行目の撮像画素における撮像を並行して行い、

前記第1の色、前記第2の色、及び前記第3の色の反射光によるカラー画像を撮像することを特徴とする液晶表示装置の駆動方法。

#### 【請求項2】

請求項1において、

前記第1のサンプリング期間と前記第1の点灯期間の間に、前記異なる色を呈する複数の光源の全てが消灯する第1の消灯期間が設けられることを特徴とする液晶表示装置の駆動方法。

#### 【請求項3】

請求項1又は請求項2において、

前記第1の点灯期間と、前記第2のサンプリング期間の間に、前記異なる色を呈する複数の光源の全てが消灯する第2の消灯期間が設けられることを特徴とする液晶表示装置の駆動方法。

#### 【請求項4】

請求項3において、

前記第2の消灯期間において、コモン反転駆動を行うことを特徴とする液晶表示装置の駆動方法。

#### 【請求項5】

請求項3において、

前記第1の点灯期間及び前記第2の消灯期間に、赤外線による撮像を行うことを特徴とする液晶表示装置の駆動方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、液晶表示装置の駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行い、且つ該表示に用いられる光に対する被読み取り物の反射光量を検出することで撮像を行うことが可能な液晶表示装置に関する。

##### 【背景技術】

##### 【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定色を呈

10

20

30

40

50

する波長の光のみを透過するカラーフィルター（例えば、赤（R）、緑（G）、青（B））を有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、それぞれが異なる色を呈する光を発光する複数の光源（例えば、赤（R）、緑（G）、青（B））が設けられる。そして、当該複数の光源のそれぞれが点滅を繰り返し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に一画素の面積を分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に表示期間を時間分割することで所望の色を形成する方式である。

## 【0003】

10

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、当該カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

## 【0004】

20

当該液晶表示装置の画素部において、表示のみならず撮像を行う液晶表示装置も開発されている。例えば、特許文献1では、フィールドシーケンシャル方式によって表示を行うとともに被読み取り物からの反射光量を検出することでカラー画像の撮像が可能な液晶表示装置が開示されている。

## 【先行技術文献】

## 【特許文献】

## 【0005】

## 【特許文献1】特開平11-008741号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

30

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、各画素に対する画像信号の入力頻度を向上させる必要がある。例えば、赤（R）、緑（G）、青（B）の3色のいずれか一を呈する光を発光する3種の光源を備えた液晶表示装置をフィールドシーケンシャル方式で表示させる場合、カラーフィルター方式によって表示を行う液晶表示装置と比較し、各画素に対する画像信号の入力頻度を少なくとも3倍にする必要がある。具体的に述べると、フレーム周波数が60Hzである場合、カラーフィルター方式によって表示を行う液晶表示装置では各画素に対する画像信号の入力を1秒間に60回行う必要があるのに対し、当該3種の光源を備えた液晶表示装置をフィールドシーケンシャル方式によって表示させる場合、各画素に対する画像信号の入力を1秒間に180回行う必要がある。

## 【0007】

40

また、液晶表示装置の画素部において被読み取り物からの反射光量を検出することで撮像を行う場合、外光の影響を極力排除することが望ましい。そのため、当該液晶表示装置がフィールドシーケンシャル方式によって表示を行う場合、特定の色を呈する光の光源が点灯している期間内において撮像が完了するように撮像期間を短期化することが望ましい。

## 【0008】

一方、画像信号の入力頻度の向上及び撮像期間の短期化を行うためには、液晶表示装置を構成する各素子の高速応答性が要求される。具体的には、各画素に設けられるトランジスタの移動度の向上などが要求される。しかしながら、これらの素子の特性を向上させる

50

ことは容易ではない。また、撮像期間が短期化すると撮像の検出精度が低下する可能性がある。

#### 【0009】

他方、当該液晶表示装置においてフレーム周波数を低減することで、画像信号の入力頻度の低減及び十分な撮像期間の確保を図ることも可能である。しかしながら、この場合はカラーブレイクなどの表示劣化が顕在化するという問題がある。

#### 【0010】

そこで、本発明の一態様は、画像信号の入力頻度の向上及び十分な撮像期間の確保を図ることで、当該液晶表示装置の画質を向上させること及び撮像の検出精度を向上させることを目的の一とする。

10

#### 【課題を解決するための手段】

#### 【0011】

上述した目的は、液晶表示装置の画素部において、マトリクス状に配設された画素のうち、複数行に配設された画素に対する画像信号の供給を並行して行うこと及びマトリクス状に配設された画素のうち、複数行に配設された画素においての撮像を並行して行うことによって達成することができる。

#### 【0012】

すなわち、本発明の一態様は、異なる色を呈する複数の光源のそれぞれが点滅を繰り返し且つ $m$ 行 $n$ 列（ $m$ 、 $n$ は、4以上の自然数）に配設された複数の表示画素毎に印加される電圧に応じて配向状態が制御される液晶素子を用いて複数の色を呈する光のそれぞれの透過を制御することで画素部に画像を形成すると共に、 $x$ 行 $y$ 列（ $x$ 、 $y$ は、4以上の自然数）に配設された複数の撮像画素毎に可視光領域の光が照射されることで光電流が生じるフォトダイオードを用いて撮像を行う液晶表示装置の駆動方法であって、第1のサンプリング期間において、第1の領域に含まれる1行目に配設された $n$ 個の表示画素乃至 $k$ 行目（ $k$ は、 $m/2$ 未満の自然数）に配設された $n$ 個の表示画素に対する第1の色を呈する光の透過を制御するための画像信号の供給、及び第2の領域に含まれる $(k+1)$ 行目に配設された $n$ 個の表示画素乃至 $2k$ 行目に配設された $n$ 個の表示画素に対する第1の色を呈する光の透過を制御するための画像信号の供給を並行して行い、第1のサンプリング期間後の期間である点灯期間において、異なる色を呈する複数の光源の少なくとも一つが点灯することで画素部に第1の色を呈する光を照射し、点灯期間に含まれる期間である撮像期間において、第1の領域に含まれる1行目に配設された $y$ 個の撮像画素乃至 $z$ 行目（ $z$ は、 $x/2$ 未満の自然数）に配設された $y$ 個の撮像画素における撮像、及び第2の領域に含まれる $(z+1)$ 行目に配設された $y$ 個の撮像画素乃至 $2z$ 行目に配設された $y$ 個の撮像画素における撮像を並行して行うことを特徴とする液晶表示装置の駆動方法である。

20

#### 【0013】

また、異なる色を呈する複数の光源のそれぞれが点滅を繰り返し且つ $m$ 行 $n$ 列（ $m$ 、 $n$ は、4以上の自然数）に配設された複数の表示画素毎に印加される電圧に応じて配向状態が制御される液晶素子を用いて複数の色を呈する光のそれぞれの透過を制御することで画素部に画像を形成すると共に、 $x$ 行 $y$ 列（ $x$ 、 $y$ は、4以上の自然数）に配設された複数の撮像画素毎に可視光領域の光が照射されることで光電流が生じるフォトダイオードを用いて撮像を行う液晶表示装置の駆動方法であって、サンプリング期間において、1行目に配設された $n$ 個の表示画素乃至 $k$ 行目（ $k$ は、 $m/2$ 未満の自然数）に配設された $n$ 個の表示画素に対する第1の色を呈する光の透過を制御するための画像信号の供給、及び $(k+1)$ 行目に配設された $n$ 個の表示画素乃至 $2k$ 行目に配設された $n$ 個の表示画素に対する第2の色を呈する光の透過を制御するための画像信号の供給を並行して行い、サンプリング期間内の期間であり、且つ第1の領域に含まれる1行目に配設された $n$ 個の表示画素乃至 $s$ 行目（ $s$ は、 $k/2$ 以下の自然数）に配設された $n$ 個の表示画素に対する第1の色を呈する光の透過を制御するための画像信号の供給、及び第2の領域に含まれる $(k+1)$ 行目に配設された $n$ 個の表示画素乃至 $(k+s)$ 行目に配設された $n$ 個の表示画素に対する第2の色を呈する光の透過を制御するための画像信号の供給が終了した後の期間であ

30

40

50

る点灯期間において、1行目乃至s行目用光源から照射される第1の色を呈する光の透過を1行目に配設されたn個の表示画素乃至s行目に配設されたn個の表示画素のそれぞれにおいて制御し、且つ(k+1)行目乃至(k+s)行目用光源から照射される第2の色を呈する光の透過を(k+1)行目乃至(k+s)行目用に配設されたn個の表示画素のそれぞれにおいて制御し、点灯期間に含まれる期間である撮像期間において、第1の領域に含まれる1行目に配設されたy個の撮像画素乃至v行目(vは、x/4以下の自然数)に配設されたy個の撮像画素における撮像、及び第2の領域に含まれる(w+1)行目(wは、2v以上x/2以下の自然数)に配設されたy個の撮像画素乃至(w+v)行目に配設されたy個の撮像画素における撮像を並行して行うことを特徴とする液晶表示装置の駆動方法も本発明の一態様である。

10

## 【発明の効果】

## 【0014】

本発明の一態様の液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対する画像信号の供給を並行して行うことが可能である。加えて、マトリクス状に配設された画素のうち、複数行に配設された画素における撮像を並行して行うことが可能である。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させること及び十分な撮像期間の確保が可能になる。その結果、当該液晶表示装置は、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるカラーブレイクなどの表示劣化を抑制し、画質を向上させること及び撮像の検出精度を向上させることが可能である。

20

## 【図面の簡単な説明】

## 【0015】

【図1】液晶表示装置の構成例を示す図。

【図2】(A)～(C)画素の構成例を示す図。

【図3】(A)走査線駆動回路の構成例を示す図、(B)走査線駆動回路の動作の一例を示す図。

【図4】(A)画像信号線駆動回路の構成例を示す図、(B)画像信号線駆動回路の動作の一例を示す図。

【図5】撮像素子駆動回路の構成例を示す図。

【図6】撮像素子駆動回路の動作の一例を示す図。

30

【図7】撮像素子駆動回路の動作の一例を示す図。

【図8】(A)検出回路の構成例を示す図、(B)検出回路の動作の一例を示す図。

【図9】(A)撮像素子の構成例を示す図、(B)撮像素子の動作の一例を示す図。

【図10】(A)バックライトの構成例を示す図、(B)バックライトの動作の一例を示す図。

【図11】液晶表示装置の動作の一例を説明する図。

【図12】(A)、(B)液晶表示装置の動作の一例を説明する図。

【図13】液晶表示装置の動作の一例を説明する図。

【図14】液晶表示装置の動作の一例を説明する図。

【図15】(A)～(D)トランジスタの具体例を示す図。

40

【図16】画素のレイアウトの具体例を示す上面図。

【図17】画素のレイアウトの具体例を示す断面図。

【図18】(A)～(F)電子機器の一例を示す図。

【図19】(A)、(B)トランジスタの構成を説明する図。

【図20】Vthの算出方法を説明する図。

【図21】(A)～(C)光負バイアス試験結果を示す図。

【図22】(A)走査線駆動回路の動作の一例を示す図、(B)信号線駆動回路の動作の一例を示す図。

【図23】撮像素子駆動回路の動作の一例を示す図。

【図24】撮像素子駆動回路の動作の一例を示す図。

50

- 【図25】液晶表示装置の動作の一例を説明する図。  
 【図26】液晶表示装置の動作の一例を説明する図。  
 【図27】液晶表示装置の動作の一例を説明する図。  
 【図28】液晶表示装置の動作の一例を説明する図。  
 【図29】バックライトの構成例を示す図。  
 【図30】液晶表示装置の動作の一例を説明する図。  
 【図31】液晶表示装置の動作の一例を説明する図。  
 【図32】液晶表示装置の動作の一例を説明する図。  
 【図33】液晶表示装置の動作の一例を説明する図。  
 【図34】(A)走査線駆動回路の動作の一例を示す図、(B)画像信号線駆動回路の動作の一例を示す図。 10  
 【図35】撮像素子駆動回路の動作の一例を示す図。  
 【図36】撮像素子駆動回路の動作の一例を示す図。  
 【図37】液晶表示装置の動作の一例を説明する図。  
 【図38】液晶表示装置の動作の一例を説明する図。  
 【図39】液晶表示装置の動作の一例を説明する図。  
 【図40】液晶表示装置の動作の一例を説明する図。  
 【図41】液晶表示装置の動作の一例を説明する図。  
 【図42】液晶表示装置の動作の一例を説明する図。  
 【図43】液晶表示装置の動作の一例を説明する図。 20

**【発明を実施するための形態】**

**【0016】**

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

**【0017】**

**(実施の形態1)**

本実施の形態では、本発明の一態様の液晶表示装置について図1～図11を参照して説明する。 30

**【0018】**

**<液晶表示装置の構成例>**

図1は、液晶表示装置の構成例を示す図である。図1に示す液晶表示装置は、画素部10と、走査線駆動回路11と、画像信号線駆動回路12と、撮像素子駆動回路16と、検出回路17と、各々が平行又は略平行に配設され、且つ走査線駆動回路11によって電位が制御されるm本(mは、3以上の自然数)の走査線13と、各々が平行又は略平行に配設され、且つ画像信号線駆動回路12によって電位が制御される、n本(nは、2以上の自然数)の画像信号線141、n本の画像信号線142、及びn本の画像信号線143と、各々が平行又は略平行に配設され、且つ撮像素子駆動回路16によって電位が制御されるm本のリセット信号線18と、各々が平行又は略平行に配設され、且つ撮像素子駆動回路16によって電位が制御されるm本の読み出し信号線19と、各々が平行又は略平行に配設され、且つ検出回路17において電位が判別される、n本の撮像信号線201、n本の撮像信号線202、及びn本の撮像信号線203と、を有する。 40

**【0019】**

さらに、画素部10は、3つの領域(領域101～領域103)に分割され、領域毎にマトリクス状に配設された複数の画素を有する。なお、ここでは、領域101は、1行目乃至k行目(kは、m/2未満の自然数)に配設された走査線13、1行目乃至k行目に配設されたリセット信号線18、及び1行目乃至k行目に配設された読み出し信号線19を含む領域であり、領域102は、(k+1)行目乃至2k行目に配設された走査線13、(k+1)行目乃至2k行目に配設されたリセット信号線18、及び(k+1)行目乃 50

至 $2k$ 行目に配設された読み出し信号線19を含む領域であり、領域103は、( $2k+1$ )行目乃至 $m$ 行目に配設された走査線13、( $2k+1$ )行目乃至 $m$ 行目に配設されたリセット信号線18、及び( $2k+1$ )行目乃至 $m$ 行目に配設された読み出し信号線19を含む領域であるとする。また、各走査線13、各リセット信号線18、及び各読み出し信号線19は、画素部10においてマトリクス状( $m$ 行 $n$ 列)に配設された複数の画素のうち、いずれかの行に配設された $n$ 個の画素に電気的に接続される。また、各画像信号線141及び各撮像信号線201は、領域101においてマトリクス状に配設された複数の画素のうち、いずれかの列に配設された複数の画素に電気的に接続される。また、各画像信号線142及び各撮像信号線202は、領域102においてマトリクス状に配設された複数の画素のうち、いずれかの列に配設された複数の画素に電気的に接続される。また、各画像信号線143及び各撮像信号線203は、領域103においてマトリクス状に配設された複数の画素のうち、いずれかの列に配設された複数の画素に電気的に接続される。  
10

#### 【0020】

図2(A)～(C)は、画素の回路構成例を示す図である。具体的には、図2(A)は、領域101に配設された画素151の回路構成例を示す図であり、図2(B)は、領域102に配設された画素152の回路構成例を示す図であり、図2(C)は、領域103に配設された画素153の回路構成例を示す図である。

#### 【0021】

図2(A)に示す画素151は、ゲートが走査線13に電気的に接続され、ソース及びドレインの一方が画像信号線141に電気的に接続されたトランジスタ1511と、一方の電極がトランジスタ1511のソース及びドレインの他方に電気的に接続され、他方の電極が容量電位を供給する配線(容量配線ともいう)に電気的に接続された容量素子1512と、一方の電極(画素電極ともいう)がトランジスタ1511のソース及びドレインの他方並びに容量素子1512の一方の電極に電気的に接続され、他方の電極(対向電極ともいう)が対向電位を供給する配線に電気的に接続された液晶素子1513と、アノードがリセット信号線18に電気的に接続されたフォトダイオード1514と、ゲートがフォトダイオード1514のカソードに電気的に接続され、ソース及びドレインの一方が固定電位を供給する配線(固定電位線ともいう)に電気的に接続されたトランジスタ1515と、ゲートが読み出し信号線19に電気的に接続され、ソース及びドレインの一方がトランジスタ1515のソース及びドレインの他方に電気的に接続され、ソース及びドレインの他方が撮像信号線201に電気的に接続されたトランジスタ1516と、を有する。なお、画素151においては、トランジスタ1511、容量素子1512、及び液晶素子1513によって表示素子が構成され、フォトダイオード1514、トランジスタ1515、及びトランジスタ1516によって撮像素子が構成される。  
20  
30

#### 【0022】

図2(B)に示す画素152及び図2(C)に示す画素153も回路構成自体は、図2(A)に示す画素151と同一である。ただし、図2(B)に示す画素152では、トランジスタ1521のソース及びドレインの一方が画像信号線141ではなく画像信号線142に電気的に接続される点、及びトランジスタ1526のソース及びドレインの他方が撮像信号線201ではなく撮像信号線202に電気的に接続される点が図2(A)に示す画素151と異なり、図2(C)に示す画素153では、トランジスタ1531のソース及びドレインの一方が信号線141ではなく信号線143に電気的に接続される点、及びトランジスタ1536のソース及びドレインの他方が撮像信号線201ではなく撮像信号線203に電気的に接続される点が図2(A)に示す画素151と異なる。  
40

#### 【0023】

<走査線駆動回路11の構成例>

図3(A)は、図1に示す液晶表示装置が有する走査線駆動回路11の構成例を示す図である。図3(A)に示す走査線駆動回路11は、 $m$ 個の出力端子を有するシフトレジスタ110と、第1及び第2の入力端子並びに出力端子を有するANDゲート111\_1乃至ANDゲート111\_mと、を有する。なお、ANDゲート111\_a(aは、 $m$ 以下

の奇数)は、第1の入力端子がシフトレジスタ110のa番目の出力端子に電気的に接続され、第2の入力端子が走査線駆動回路用第1のパルス幅制御信号(GPWC1)を供給する配線に電気的に接続され、出力端子が画素部10においてa行目に配設された走査線13\_aに電気的に接続される。また、ANDゲート111\_b(bは、m以下の偶数)は、第1の入力端子がシフトレジスタ110のb番目の出力端子に電気的に接続され、第2の入力端子が走査線駆動回路用第2のパルス幅制御信号(GPWC2)を供給する配線に電気的に接続され、出力端子が画素部10においてb行目に配設された走査線13\_bに電気的に接続される。

#### 【0024】

シフトレジスタ110は、外部から入力される走査線駆動回路用スタートパルス(GSP)としてハイレベルの電位を示す信号が入力されることで、1番目の出力端子乃至m番目の出力端子において順次ハイレベルの電位を出力する機能を有する。なお、シフトレジスタ110では、走査線駆動回路用クロック信号(GCK)1/2周期毎にハイレベルの電位を出力する出力端子が切り替わることとする。すなわち、シフトレジスタ110において、走査線駆動回路用クロック信号(GCK)1/2周期毎にハイレベルの電位を示す信号のシフトが行われ、当該信号がm個の出力端子から順次出力される。また、シフトレジスタ110は、外部から入力される走査線駆動回路用クロック信号(GCK)の供給が停止されることで、当該信号のシフトを中断する機能を有する。

#### 【0025】

上述した走査線駆動回路11の動作例について図3(B)を参照して説明する。なお、図3(B)には、走査線駆動回路用スタートパルス(GSP)、走査線駆動回路用クロック信号(GCK)、シフトレジスタ110が有するm個の出力端子から出力される信号(SR110out)、走査線駆動回路用第1のパルス幅制御信号(GPWC1)、走査線駆動回路用第2のパルス幅制御信号(GPWC2)、及び走査線13\_1乃至走査線13\_mの電位を示している。

#### 【0026】

図3(B)に示す動作例においては、サンプリング期間(t1)以前に、シフトレジスタ110には少なくとも3回ハイレベルの電位を示す走査線駆動回路用スタートパルス(GSP)が入力される。具体的には、サンプリング期間(t1)において、シフトレジスタ110の1番目の出力端子乃至k番目の出力端子が順次ハイレベルの電位を出力し、且つ(k+1)番目の出力端子乃至2k番目の出力端子が順次ハイレベルの電位を出力し、且つ(2k+1)番目の出力端子乃至m番目の出力端子が順次ハイレベルの電位を出力するように走査線駆動回路用スタートパルス(GSP)が入力される。

#### 【0027】

これにより、サンプリング期間(t1)において、ANDゲート111\_1乃至ANDゲート111\_mのそれぞれは、シフトレジスタ110のm個の出力端子から出力される信号のいずれかと、走査線駆動回路用第1のパルス幅制御信号(GPWC1)又は走査線駆動回路用第2のパルス幅制御信号(GPWC2)との論理積を出力する。すなわち、サンプリング期間(t1)において、1行目に配設された走査線13\_1乃至k行目に配設された走査線13\_kに対して順次ハイレベルの電位が供給され、且つ(k+1)行目に配設された走査線13\_k+1乃至2k行目に配設された走査線13\_2kに対して順次ハイレベルの電位が供給され、且つ(2k+1)行目に配設された走査線13\_2k+1乃至m行目に配設された走査線13\_mに対して順次ハイレベルの電位が供給される。なお、各走査線にハイレベルの電位が供給される期間(水平走査期間)は、走査線駆動回路用第1のパルス幅制御信号(GPWC1)又は走査線駆動回路用第2のパルス幅制御信号(GPWC2)がハイレベルの電位を示す期間(パルス幅)と同等である。このように、サンプリング期間(t1)において、走査線駆動回路11は、走査線駆動回路用クロック信号(GCK)1/2周期毎に異なる3行に配設された走査線に対して同時にハイレベルの電位を供給することが可能である。

#### 【0028】

10

20

30

40

50

次いで、サンプリング期間 ( $t_2$ )において、走査線駆動回路 1 1に対する走査線駆動回路用クロック信号 (GCK)、走査線駆動回路用第 1 のパルス幅制御信号 (GPWC1)、及び走査線駆動回路用第 2 のパルス幅制御信号 (GPWC2) の供給が停止される。具体的には、これらの信号を供給する配線にロウレベルの電位が供給される。これにより、シフトレジスタ 1 1 0におけるハイレベルの電位を示す信号のシフトが中断され、且つ走査線 1 3 \_ 1乃至走査線 1 3 \_ mにはロウレベルの電位が供給される。

#### 【0029】

図 3 (B) に示す動作例においては、以降の期間において上述した動作と同様の動作を行う。すなわち、当該動作例においては、走査線駆動回路用クロック信号 (GCK) 1 / 2 周期毎に特定の 3 行に配設された走査線に対してハイレベルの電位が供給される期間と、すべての走査線に対してロウレベルの電位が供給される期間とが繰り返される。

10

#### 【0030】

##### <画像信号線駆動回路 1 2 の構成例 >

図 4 (A) は、図 1 に示す液晶表示装置が有する画像信号線駆動回路 1 2 の構成例を示す図である。図 4 (A) に示す画像信号線駆動回路 1 2 は、n 個の出力端子を有するシフトレジスタ 1 2 0 と、トランジスタ 1 2 1 \_ 1 乃至トランジスタ 1 2 1 \_ n と、トランジスタ 1 2 2 \_ 1 乃至トランジスタ 1 2 2 \_ n と、トランジスタ 1 2 3 \_ 1 乃至トランジスタ 1 2 3 \_ n と、を有する。なお、トランジスタ 1 2 1 \_ s (s は、n 以下の自然数) は、ゲートがシフトレジスタ 1 2 0 が有する s 番目の出力端子に電気的に接続され、ソース及びドレインの一方が第 1 の画像信号 (DATA1) を供給する配線に電気的に接続され、ソース及びドレインの他方が画素部 1 0 において s 列目に配設された画像信号線 1 4 1 \_ s に電気的に接続される。また、トランジスタ 1 2 2 \_ s は、ゲートがシフトレジスタ 1 2 0 が有する s 番目の出力端子に電気的に接続され、ソース及びドレインの一方が第 2 の画像信号 (DATA2) を供給する配線に電気的に接続され、ソース及びドレインの他方が画素部 1 0 において s 列目に配設された画像信号線 1 4 2 \_ s に電気的に接続される。また、トランジスタ 1 2 3 \_ s は、ゲートがシフトレジスタ 1 2 0 が有する s 番目の出力端子に電気的に接続され、ソース及びドレインの一方が第 3 の画像信号 (DATA3) を供給する配線に電気的に接続され、ソース及びドレインの他方が画素部 1 0 において s 列目に配設された画像信号線 1 4 3 \_ s に電気的に接続される。

20

#### 【0031】

30

図 4 (B) は、第 1 の画像信号 (DATA1) 乃至第 3 の画像信号 (DATA3) を供給する配線が供給する画像信号のタイミングの一例を示す図である。図 4 (B) に示すように、第 1 の画像信号 (DATA1) を供給する配線は、サンプリング期間 ( $t_1$ )において、1 行目に配設された画素乃至 k 行目に配設された画素用の赤 (R) を呈する光の透過を制御するための画像信号 (dataR(1 ~ k)) を供給し、サンプリング期間 ( $t_3$ )において、1 行目に配設された画素乃至 k 行目に配設された画素用の緑 (G) を呈する光の透過を制御するための画像信号 (dataG(1 ~ k)) を供給し、サンプリング期間 ( $t_5$ )において、1 行目に配設された画素乃至 k 行目に配設された画素用の青 (B) を呈する光の透過を制御するための画像信号 (dataB(1 ~ k)) を供給し、その他のサンプリング期間 ( $t_2$ 、 $t_4$ 、 $t_6$ )において、画像信号を供給しない。また、第 2 の画像信号 (DATA2) を供給する配線は、サンプリング期間 ( $t_1$ )において、( $k + 1$ ) 行目に配設された画素乃至 2k 行目に配設された画素用の赤 (R) を呈する光の透過を制御するための画像信号 (dataR(k + 1 ~ 2k)) を供給し、サンプリング期間 ( $t_3$ )において、( $k + 1$ ) 行目に配設された画素乃至 2k 行目に配設された画素用の緑 (G) を呈する光の透過を制御するための画像信号 (dataG(k + 1 ~ 2k)) を供給し、サンプリング期間 ( $t_5$ )において、( $k + 1$ ) 行目に配設された画素乃至 2k 行目に配設された画素用の青 (B) を呈する光の透過を制御するための画像信号 (dataB(k + 1 ~ 2k)) を供給し、その他のサンプリング期間 ( $t_2$ 、 $t_4$ 、 $t_6$ )において、画像信号を供給しない。また、第 3 の画像信号 (DATA3) を供給する配線は、サンプリング期間 ( $t_1$ )において、(2k + 1) 行目に配設された画素乃至 m 行目

40

50

に配設された画素用の赤( R )を呈する光の透過を制御するための画像信号( dataR ( 2k + 1 m ) )を供給し、サンプリング期間( t3 )において、( 2k + 1 )行目に配設された画素乃至m行目に配設された画素用の緑( G )を呈する光の透過を制御するための画像信号( dataG ( 2k + 1 m ) )を供給し、サンプリング期間( t5 )において、( 2k + 1 )行目に配設された画素乃至m行目に配設された画素用の青( B )を呈する光の透過を制御するための画像信号( dataB ( 2k + 1 m ) )を供給し、その他のサンプリング期間( t2 、 t4 、 t6 )において、画像信号を供給しない。

### 【 0032 】

< 画像信号の書き込みについて >

上述した走査線駆動回路 11 及び画像信号線駆動回路 12 を有する液晶表示装置においては、サンプリング期間( t1 )において、1行目に配設されたn個の画素からk行目に配設されたn個の画素までに対する赤( R )を呈する光の透過を制御するための画像信号の供給( 1行目乃至k行目の画素に対する赤( R )の画像信号の入力 )と、( k + 1 )行目に配設されたn個の画素から2k行目に配設されたn個の画素までに対する赤( R )を呈する光の透過を制御するための画像信号の供給( ( k + 1 )行目乃至2k行目の画素に対する赤( R )の画像信号の入力 )と、( 2k + 1 )行目に配設されたn個の画素からm行目に配設されたn個の画素までに対する赤( R )を呈する光の透過を制御するための画像信号の供給( ( 2k + 1 )行目乃至m行目の画素に対する赤( R )の画像信号の入力 )と、を並行して行うことが可能である。同様に、サンプリング期間( t3 )において、1行目乃至k行目の画素に対する緑( G )の画像信号の入力と、( k + 1 )行目乃至2k行目の画素に対する緑( G )の画像信号の入力と、( 2k + 1 )行目乃至m行目の画素に対する緑( G )の画像信号の入力と、を並行して行うこと、及び、サンプリング期間( t5 )において、1行目乃至k行目の画素に対する青( B )の画像信号の入力と、( k + 1 )行目乃至2k行目の画素に対する青( B )の画像信号の入力と、( 2k + 1 )行目乃至m行目の画素に対する青( B )の画像信号の入力と、を並行して行うことが可能である。

### 【 0033 】

< 撮像素子駆動回路 16 の構成例 >

図5は、図1に示す液晶表示装置が有する撮像素子駆動回路 16 の構成例を示す図である。図5に示す撮像素子駆動回路 16 は、m個の出力端子を有するシフトレジスタ 161 及びシフトレジスタ 162 と、第1及び第2の入力端子並びに出力端子を有するANDゲート 163\_1 乃至 ANDゲート 163\_m 及び ANDゲート 164\_1 乃至 164\_m と、を有する。

### 【 0034 】

なお、ANDゲート 163\_a ( a は、m以下の奇数 ) は、第1の入力端子がシフトレジスタ 161 の a 番目の出力端子に電気的に接続され、第2の入力端子が撮像素子駆動回路用第1のパルス幅制御信号( IPWC1 )を供給する配線に電気的に接続され、出力端子が画素部 10 において a 行目に配設されたリセット信号線 18\_a に電気的に接続される。また、ANDゲート 163\_b ( b は、m以下の偶数 ) は、第1の入力端子がシフトレジスタ 161 の b 番目の出力端子に電気的に接続され、第2の入力端子が撮像素子駆動回路用第2のパルス幅制御信号( IPWC2 )を供給する配線に電気的に接続され、出力端子が画素部 10 において b 行目に配設されたリセット信号線 18\_b に電気的に接続される。また、ANDゲート 164\_a は、第1の入力端子がシフトレジスタ 162 の a 番目の出力端子に電気的に接続され、第2の入力端子が撮像素子駆動回路用第3のパルス幅制御信号( IPWC3 )を供給する配線に電気的に接続され、出力端子が画素部 10 において a 行目に配設された読み出し信号線 19\_a に電気的に接続される。また、ANDゲート 164\_b は、第1の入力端子がシフトレジスタ 162 の b 番目の出力端子に電気的に接続され、第2の入力端子が撮像素子駆動回路用第4のパルス幅制御信号( IPWC4 )を供給する配線に電気的に接続され、出力端子が画素部 10 において b 行目に配設された読み出し信号線 19\_b に電気的に接続される。

### 【 0035 】

10

20

30

40

50

シフトレジスタ161は、外部から入力されるリセット信号線駆動回路用スタートパルス(Reset SP)としてハイレベルの電位を示す信号が入力されることで、1番目の出力端子乃至m番目の出力端子において順次ハイレベルの電位を出力する機能を有する。なお、シフトレジスタ161では、リセット信号線駆動回路用クロック信号(Reset CK)1/2周期毎にハイレベルの電位を出力する出力端子が切り替わることとする。すなわち、シフトレジスタ161において、リセット信号線駆動回路用クロック信号(Reset CK)1/2周期毎にハイレベルの電位を示す信号のシフトが行われ、当該信号がm個の出力端子から順次出力される。また、シフトレジスタ161は、外部から入力されるリセット信号線駆動回路用クロック信号(Reset CK)の供給が停止されることで、当該信号のシフトを中断する機能を有する。同様に、シフトレジスタ162は、外部から入力される読み出し信号線駆動回路用スタートパルス(Read SP)としてハイレベルの電位を示す信号が入力されることで、1番目の出力端子乃至m番目の出力端子において順次ハイレベルの電位を出力する機能を有する。なお、シフトレジスタ162では、読み出し信号線駆動回路用クロック信号(Read CK)1/2周期毎にハイレベルの電位を出力する出力端子が切り替わることとする。また、シフトレジスタ162は、外部から入力される読み出し信号線駆動回路用クロック信号(Read CK)の供給が停止されることで、当該信号のシフトを中断する機能を有する。

#### 【0036】

上述した撮像素子駆動回路16の動作例について図6、7を参照して説明する。なお、図6には、リセット信号線駆動回路用スタートパルス(Reset SP)、リセット信号線駆動回路用クロック信号(Reset CK)、シフトレジスタ161が有するm個の出力端子から出力される信号(SR161out)、撮像素子駆動回路用第1のパルス幅制御信号(IPWC1)、撮像素子駆動回路用第2のパルス幅制御信号(IPWC2)、及びリセット信号線18\_1乃至リセット信号線18\_mの電位を示している。また、図7には、読み出し信号線駆動回路用スタートパルス(Read SP)、読み出し信号線駆動回路用クロック信号(Read CK)、シフトレジスタ162が有するm個の出力端子から出力される信号(SR162out)、撮像素子駆動回路用第3のパルス幅制御信号(IPWC3)、撮像素子駆動回路用第4のパルス幅制御信号(IPWC4)、及び読み出し信号線19\_1乃至読み出し信号線19\_mの電位を示している。

#### 【0037】

サンプリング期間(t1)において、撮像素子駆動回路16に対するリセット信号線駆動回路用クロック信号(Reset CK)、撮像素子駆動回路用第1のパルス幅制御信号(IPWC1)、及び撮像素子駆動回路用第2のパルス幅制御信号(IPWC2)の供給が停止される(図6参照)。具体的には、これらの信号を供給する配線にロウレベルの電位が供給される。これにより、シフトレジスタ161において、ハイレベルの電位を示す信号のシフトが中断され、且つリセット信号線18\_1乃至リセット信号線18\_mにはロウレベルの電位が供給される。なお、サンプリング期間(t1)において、シフトレジスタ161のk番目の出力端子、2k番目の出力端子及びm番目の出力端子からはハイレベルの電位が出力される。

#### 【0038】

次いで、サンプリング期間(t2)の前期において、撮像素子駆動回路16に対してリセット信号線駆動回路用スタートパルス(Reset SP)及びリセット信号線駆動回路用クロック信号(Reset CK)が供給される。そのため、シフトレジスタ161の1番目の出力端子を起点として、リセット信号線駆動回路用クロック信号(Reset CK)1/2周期毎にハイレベルの電位を示す信号のシフトが行われる。また、当該シフトと並行して、(k+1)番目の出力端子を起点としたハイレベルの電位を示す信号のシフト、及び(2k+1)番目の出力端子を起点としたハイレベルの電位を示す信号のシフトが行われる。なお、撮像素子駆動回路16に対するリセット信号線駆動回路用クロック信号(Reset CK)の供給は、シフトレジスタ161のk番目の出力端子、及び2k番目の出力端子及びm番目の出力端子がハイレベルの電位を出力する時点において停止する。

また、撮像素子駆動回路 16 に対してリセット信号線駆動回路用クロック信号 (Reset CK) が供給される期間と同じ期間において、撮像素子駆動回路 16 に対して撮像素子駆動回路用第1のパルス幅制御信号 (IPWC1) 及び撮像素子駆動回路用第2のパルス幅制御信号 (IPWC2) が供給される。ここで、ANDゲート 163\_1 乃至 ANDゲート 163\_m のそれぞれは、シフトレジスタ 161 の m 個の出力端子から出力される信号のいずれかと、撮像素子駆動回路用第1のパルス幅制御信号 (IPWC1) 又は撮像素子駆動回路用第2のパルス幅制御信号 (IPWC2) との論理積を出力する。すなわち、サンプリング期間 (t2) の前期において、1行目に配設されたリセット信号線 18\_1 乃至 k 行目に配設されたリセット信号線 18\_k に対して順次ハイレベルの電位が供給され、且つ (k+1) 行目に配設されたリセット信号線 18\_(k+1) 乃至 2k 行目に配設されたリセット信号線 18\_(2k) に対して順次ハイレベルの電位が供給され、且つ (2k+1) 行目に配設されたリセット信号線 18\_(2k+1) 乃至 m 行目に配設されたリセット信号線 18\_m に対して順次ハイレベルの電位が供給される。なお、各リセット信号線にハイレベルの電位が供給される期間は、撮像素子駆動回路用第1のパルス幅制御信号 (IPWC1) 又は撮像素子駆動回路用第2のパルス幅制御信号 (IPWC2) がハイレベルの電位を示す期間 (パルス幅) と同等である。このように、サンプリング期間 (t2)において、撮像素子駆動回路 16 は、リセット信号線駆動回路用クロック信号 (Reset CK) 1/2 周期毎に異なる 3 行に配設されたリセット信号線に対してハイレベルの電位を供給することが可能である。別言すると、1行目乃至 k 行目の画素に対するリセット信号の走査と、(k+1) 行目乃至 2k 行目の画素に対するリセット信号の走査と、(2k+1) 行目乃至 m 行目の画素に対するリセット信号の走査と、を並行して行うことが可能である。10  
20

#### 【0039】

次いで、サンプリング期間 (t2) の後期において、撮像素子駆動回路 16 に対するリセット信号線駆動回路用クロック信号 (Reset CK) 、撮像素子駆動回路用第1のパルス幅制御信号 (IPWC1) 、及び撮像素子駆動回路用第2のパルス幅制御信号 (IPWC2) の供給が停止された状態が維持される。そのため、シフトレジスタ 161 におけるハイレベルの電位を示す信号のシフトが中断された状態が維持され、且つリセット信号線 18\_1 乃至 リセット信号線 18\_m にはロウレベルの電位が供給された状態が維持される。30

#### 【0040】

以降の期間においては、上述した動作と同様の動作を繰り返す事とする。すなわち、当該動作例においては、リセット信号線駆動回路用クロック信号 (Reset CK) 1/2 周期毎に特定の 3 行に配設されたリセット信号線に対してハイレベルの電位が供給される期間と、すべてのリセット信号線に対してロウレベルの電位が供給される期間とが繰り返されることとする。

#### 【0041】

また、サンプリング期間 (t1)において、撮像素子駆動回路 16 に対する読み出し信号線駆動回路用クロック信号 (Read CK) 、撮像素子駆動回路用第3のパルス幅制御信号 (IPWC3) 、及び撮像素子駆動回路用第4のパルス幅制御信号 (IPWC4) の供給が停止される（図7参照）。具体的には、これらの信号を供給する配線にロウレベルの電位が供給される。これにより、シフトレジスタ 162 におけるハイレベルの電位を示す信号のシフトが中断され、且つ読み出し信号線 19\_1 乃至 読み出し信号線 19\_m にはロウレベルの電位が供給される。なお、サンプリング期間 (t1)において、シフトレジスタ 162 の k 番目の出力端子、2k 番目の出力端子及び m 番目の出力端子からはハイレベルの電位が出力される。40

#### 【0042】

次いで、サンプリング期間 (t2) の前期において、撮像素子駆動回路 16 に対する読み出し信号線駆動回路用クロック信号 (Read CK) 、撮像素子駆動回路用第3のパルス幅制御信号 (IPWC3) 、及び撮像素子駆動回路用第4のパルス幅制御信号 (IPWC4) の供給が再開される（図7参照）。具体的には、これらの信号を供給する配線にハイレベルの電位が供給される。これにより、シフトレジスタ 162 におけるロウレベルの電位を示す信号のシフトが再開され、且つ読み出し信号線 19\_1 乃至 読み出し信号線 19\_m にはハイレベルの電位が供給される。50

C4) の供給が停止された状態が維持される。そのため、シフトレジスタ162におけるハイレベルの電位を示す信号のシフトが中断された状態が維持され、且つ読み出し信号線19\_1乃至読み出し信号線19\_mにはロウレベルの電位が供給された状態が維持される。

#### 【0043】

次いで、サンプリング期間(t2)の後期において、撮像素子駆動回路16に対して読み出し信号線駆動回路用スタートパルス(ReadSP)及び読み出し信号線駆動回路用クロック信号(ReadCK)が供給される。そのため、シフトレジスタ162の1番目の出力端子を起点として、読み出し信号線駆動回路用クロック信号(ReadCK)1/2周期毎にハイレベルの電位を示す信号のシフトが行われる。また、当該シフトと並行して、(k+1)番目の出力端子を起点としたハイレベルの電位を示す信号のシフト、及び(2k+1)番目の出力端子を起点としたハイレベルの電位を示す信号のシフトが行われる。なお、撮像素子駆動回路16に対する読み出し信号線駆動回路用クロック信号(ReadCK)の供給は、シフトレジスタ162のk番目の出力端子、2k番目の出力端子及びm番目の出力端子がハイレベルの電位を出力する時点において停止する。また、撮像素子駆動回路16に対して読み出し信号線駆動回路用クロック信号(ReadCK)が供給される期間と同じ期間において、撮像素子駆動回路16に対して撮像素子駆動回路用第3のパルス幅制御信号(IPWC3)及び撮像素子駆動回路用第4のパルス幅制御信号(IPWC4)が供給される。ここで、ANDゲート164\_1乃至ANDゲート164\_mのそれぞれは、シフトレジスタ162のm個の出力端子から出力される信号のいずれかと、撮像素子駆動回路用第3のパルス幅制御信号(IPWC3)又は撮像素子駆動回路用第4のパルス幅制御信号(IPWC4)との論理積を出力する。すなわち、サンプリング期間(t2)の後期において、1行目に配設された読み出し信号線19\_1乃至k行目に配設された読み出し信号線19\_kに対して順次ハイレベルの電位が供給され、且つ(k+1)行目に配設された読み出し信号線19\_k+1乃至2k行目に配設された読み出し信号線19\_2kに対して順次ハイレベルの電位が供給され、且つ(2k+1)行目に配設された読み出し信号線19\_2k+1乃至m行目に配設された読み出し信号線19\_mに対して順次ハイレベルの電位が供給される。なお、各読み出し信号線にハイレベルの電位が供給される期間は、撮像素子駆動回路用第3のパルス幅制御信号(IPWC3)又は撮像素子駆動回路用第4のパルス幅制御信号(IPWC4)がハイレベルの電位を示す期間(パルス幅)と同等である。このように、サンプリング期間(t2)において、撮像素子駆動回路16は、読み出し信号線駆動回路用クロック信号(ReadCK)1/2周期毎に異なる3行に配設された読み出し信号線に対してハイレベルの電位を供給することが可能である。別言すると、1行目乃至k行目の画素に対する読み出し信号の走査と、(k+1)行目乃至2k行目の画素に対する読み出し信号の走査と、(2k+1)行目乃至m行目の画素に対する読み出し信号の走査と、を並行して行うことが可能である。

#### 【0044】

図7に示す動作例においては、以降の期間において上述した動作と同様の動作を繰り返す事とする。すなわち、当該動作例においては、読み出し信号線駆動回路用クロック信号(ReadCK)1/2周期毎に特定の3行に配設された読み出し信号線に対してハイレベルの電位が供給される期間と、すべての読み出し信号線に対してロウレベルの電位が供給される期間とが繰り返されることとする。

#### 【0045】

<検出回路17の構成例>

図8(A)は、図1に示す液晶表示装置が有する検出回路17の構成例を示す図である。図8(A)に示す検出回路17は、3n個の入力端子を有する撮像信号判別回路170と、トランジスタ171\_1乃至トランジスタ171\_nと、トランジスタ172\_1乃至トランジスタ172\_nと、トランジスタ173\_1乃至トランジスタ173\_nと、を有する。なお、撮像信号判別回路170の3n個の入力端子の各々は、撮像信号線20\_1\_1乃至撮像信号線20\_1\_n、撮像信号線20\_2\_1乃至撮像信号線20\_2\_n、及

10

20

30

40

50

び撮像信号線 203\_1 乃至撮像信号線 203\_n のいずれかに電気的に接続される。また、トランジスタ 171\_v (v は、n 以下の自然数) は、ゲートがプリチャージ信号 (Pre-charge) を供給する配線に電気的に接続され、ソース及びドレインの一方が固定電位 (Const) を供給する配線に電気的に接続され、ソース及びドレインの他方が画素部 10 において v 列目に配設された撮像信号線 201\_v に電気的に接続される。また、トランジスタ 172\_v は、ゲートがプリチャージ信号 (Pre-charge) を供給する配線に電気的に接続され、ソース及びドレインの一方が固定電位 (Const) を供給する配線に電気的に接続され、ソース及びドレインの他方が画素部 10 において v 列目に配設された撮像信号線 202\_v に電気的に接続される。また、トランジスタ 173\_v は、ゲートがプリチャージ信号 (Pre-charge) を供給する配線に電気的に接続され、ソース及びドレインの一方が固定電位 (Const) を供給する配線に電気的に接続され、ソース及びドレインの他方が画素部 10 において v 列目に配設された撮像信号線 203\_v に電気的に接続される。

#### 【0046】

図 8 (B) は、プリチャージ信号 (Pre-charge) を供給する配線の電位を示す図である。図 8 (B) に示すようにプリチャージ信号 (Pre-charge) は、撮像素子駆動回路 16 に対するリセット信号線駆動回路用スタートパルス (Reset SP) の入力に先立ってハイレベルの電位となる期間を有する信号である。これにより、トランジスタ 171\_1 乃至トランジスタ 171\_n、トランジスタ 172\_1 乃至トランジスタ 172\_n、及びトランジスタ 173\_1 乃至トランジスタ 173\_n がオン状態となり、撮像信号線 201\_1 乃至撮像信号線 201\_n、撮像信号線 202\_1 乃至撮像信号線 202\_n、及び撮像信号線 203\_1 乃至撮像信号線 203\_n の電位を固定電位 (Const) とすることができます。

#### 【0047】

なお、撮像信号判別回路 170 は、撮像信号線 201\_1 乃至撮像信号線 201\_n、撮像信号線 202\_1 乃至撮像信号線 202\_n、及び撮像信号線 203\_1 乃至撮像信号線 203\_n のそれぞれの電位を判別することが可能な回路である。具体的には、撮像信号判別回路 170 は、OP アンプ及び A/D コンバータなどを用いて構成することができる。

#### 【0048】

##### <撮像素子における撮像について>

上述した液晶表示装置の各画素に設けられた撮像素子における動作について以下に説明する。図 9 (A) は、撮像素子の一例を示す回路図である。具体的には、図 9 (A) に示す撮像素子は、図 2 (A) に示した画素 151 が有する撮像素子を抜粋した回路図である。そのため、図 9 (A) の回路図に関する説明は、前述の説明を援用することとする。なお、図 9 (A) に示す回路図において、フォトダイオード 1514 のカソード及びトランジスタ 1515 が電気的に接続するノードをノード A として以下説明する。また、ここでは、トランジスタ 1515 のソース及びドレインの一方は、ハイレベルの固定電位を供給する配線に電気的に接続されることとする。

#### 【0049】

図 9 (B) は、図 9 (A) に示す撮像素子の動作の一例を示す図である。図 9 (B) に示す動作例においては、まず、期間 (I1) 以前に、検出回路 17 によって撮像信号線 201 の電位がロウレベルの電位となるように制御される。次いで、期間 (I1) において、リセット信号線 18 にハイレベルの電位が供給され、ノード A の電位がハイレベルの電位に上昇する。次いで、期間 (I2) において、リセット信号線 18 の電位がロウレベルに下降する。これにより、フォトダイオード 1514 には逆バイアスが印加される。この時、フォトダイオード 1514 では、照射される光の照度に応じて光電流が生じるため、ノード A の電位は、フォトダイオード 1514 に照射される光の照度に応じて下降する。次いで、期間 (I3) において、読み出し信号線 19 にハイレベルの電位が供給される。これにより、トランジスタ 1516 がオン状態となる。そのため、撮像信号線 201 の電

10

20

30

40

50

位は、トランジスタ 1515 の状態によって変化する。具体的には、期間 (I3) におけるトランジスタ 1515 の電流駆動能力が高い状態であれば撮像信号線 201 の電位は大きく上昇し、低い状態であれば撮像信号線 201 の電位はそれほど上昇しない。ここで、当該電流駆動能力は、ノード A の電位に依存する。すなわち、当該電流駆動能力は、フォトダイオード 1514 に照射される光の照度に依存する。これにより、期間 (I3) 以降に検出回路 17 において撮像信号線 201 の電位を判別することによって、期間 (I2) においてフォトダイオード 1514 に照射された光の照度を検出することが可能である。すなわち、当該撮像素子における撮像を行うこと可能である。

#### 【0050】

##### <バックライトの構成例>

図 10 (A) は、図 1 に示す液晶表示装置の画素部 10 の後方に設けられるバックライト 21 の構成例を示す図である。図 10 (A) に示すバックライトは、赤 (R)、緑 (G)、青 (B) のいずれか一色を呈する光を発光する 3 種の光源を備えたバックライトユニット 210 がマトリクス状に配設されている。なお、当該光源としては、発光ダイオード (LED)などを適用することが可能である。図 10 (B) は、バックライト 21 において点灯される光のタイミングの一例を示す図である。図 10 (B) に示す動作においては、バックライト 21 では、サンプリング期間 ( $t_2$ ) において赤 (R) 色を呈する光の点灯が行われ、サンプリング期間 ( $t_4$ ) において緑 (G) 色を呈する光の点灯が行われ、サンプリング期間 ( $t_6$ ) において青 (B) 色を呈する光の点灯が行われ、それ以外のサンプリング期間 ( $t_1, t_3, t_5$ ) においては点灯自体が行われない (バックライト 21 が消灯される)。

#### 【0051】

##### <液晶表示装置の動作例>

図 11 は、上述した液晶表示装置の動作例を示す図である。なお、図 11 には、サンプリング期間 ( $t_1$ ) ~ サンプリング期間 ( $t_6$ ) において、バックライト 21 (BL21) が点灯する光、並びに画素部 10 において 1 行目に配設された n 個の画素乃至 m 行目に配設された n 個の画素に対する画像信号の入力、リセット信号の入力、及び読み出し信号の入力が行われるタイミングを示している。具体的には、図 11 において、1 至 m は、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表し、1 点鎖線は、該当する行においてリセット信号が入力されるタイミングを表し、2 点鎖線は、該当する行において読み出し信号が入力されるタイミングを表している。また、図 11 において、リセット信号が入力されてから読み出し信号が入力されるまで (1 点鎖線と 2 点鎖線の間隔) が撮像期間に相当する。

#### 【0052】

図 11 に示すように、上述した液晶表示装置においては、サンプリング期間 ( $t_1$ ) において、1 行目に配設された n 個の画素 151 から k 行目に配設された n 個の画素 151 を行毎に順次選択し、且つ ( $k + 1$ ) 行目に配設された n 個の画素 152 から 2k 行目に配設された n 個の画素 152 を行毎に順次選択し、且つ ( $2k + 1$ ) 行目に配設された n 個の画素 153 から m 行目に配設された n 個の画素 153 を行毎に順次選択することで、各画素に赤 (R) を呈する光の透過を制御するための画像信号を入力することが可能である。同様に、当該液晶表示装置は、サンプリング期間 ( $t_3$ ) において、各画素に緑 (G) を呈する光の透過を制御するための画像信号を入力し、サンプリング期間 ( $t_5$ ) において、各画素に青 (B) を呈する光の透過を制御するための画像信号を入力することが可能である。

#### 【0053】

さらに、当該液晶表示装置においては、サンプリング期間 ( $t_2$ ) において、バックライト 21 から赤 (R) を呈する光が画素部 10 に対して照射され、サンプリング期間 ( $t_4$ ) において、バックライト 21 から緑 (G) を呈する光が画素部 10 に対して照射され、サンプリング期間 ( $t_6$ ) において、バックライト 21 から青 (B) を呈する光が画素部 10 に対して照射される。

10

20

30

40

50

**【 0 0 5 4 】**

さらに、当該液晶表示装置においては、サンプリング期間(  $t_2$  、  $t_4$  、  $t_6$  )において、1行目に配設された  $n$  個の画素 151 から  $k$  行目に配設された  $n$  個の画素 151 における撮像を順次行い、且つ(  $k + 1$  )行目に配設された  $n$  個の画素 152 から  $2k$  行目に配設された  $n$  個の画素 152 における撮像を順次行い、且つ(  $2k + 1$  )行目に配設された  $n$  個の画素 153 から  $m$  行目に配設された  $n$  個の画素 153 における撮像を順次行うことが可能である。

**【 0 0 5 5 】**

<本実施の形態で開示される液晶表示装置について>

本実施の形態で開示される液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。加えて、マトリクス状に配設された画素のうち、複数行に配設された画素において同時に撮像を行うことが可能である。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させること及び十分な撮像期間の確保が可能になる。その結果、当該液晶表示装置は、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるカラーブレイクなどの表示劣化を抑制し、画質を向上させること及び撮像の検出精度を向上させることができある。

**【 0 0 5 6 】**

<変形例>

上述した液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

**【 0 0 5 7 】**

例えば、上述した液晶表示装置においては、画素部を3つの領域に分割する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部を3以外の複数の領域に分割する構成とすることが可能である。なお、自明ではあるが、当該領域数を変化させる場合、当該領域数と同数の画像信号線及び撮像信号線を設ける必要などがあることを付記する。

**【 0 0 5 8 】**

また、上述した液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成( 図2( A ) ~ ( C ) 参照)について示したが、当該容量素子を設けない構成とすることも可能である。この場合、画素の開口率を向上させることができある。また、画素部に延在する容量配線を削除することができるため、画素部に延在する各種配線の高速駆動が可能となる。

**【 0 0 5 9 】**

また、上述した液晶表示装置においては、各画素に表示素子及び撮像素子が設けられる構成( 図2( A ) ~ ( C ) 参照)について示したが、表示素子を有する表示画素と、撮像素子を有する撮像画素とが独立して設けられる構成とすることも可能である。具体的には、画素部に、 $m$  行  $n$  列に配設された表示画素と、 $x$  行  $y$  列(  $x$  は、 $m$  以外の自然数、 $y$  は、 $n$  以外の自然数)に配設された撮像画素とを設ける構成とすることも可能である。

**【 0 0 6 0 】**

また、上述した液晶表示装置においては、サンプリング期間(  $t_2$  、  $t_4$  、  $t_6$  )において画素部に対して特定の色を呈する光を供給する構成( 図10( B )、 11 参照)について示したが、本発明の液晶表示装置の動作は、当該構成に限定されない。例えば、サンプリング期間(  $t_2$  、  $t_4$  、  $t_6$  )の初期において、バックライトの点灯を行わない期間( 消灯期間 )を設ける構成( 図12( A ) 参照)とすることが可能である。これにより、サンプリング期間(  $t_1$  、  $t_3$  、  $t_5$  )の末期において画像信号が入力される画素( 例えば、画素部において  $k$  行目、  $2k$  行目及び  $m$  行目に配設された画素 )が有する液晶素子の応答時間を確保することができる。すなわち、当該画素における光漏れを抑制することができる。なお、当該消灯期間を設ける場合、正確な撮像を行うため当該消灯期間後にリセット信号の走査を開始することが好ましい。

10

20

30

40

50

## 【0061】

また、サンプリング期間(  $t_2$  、  $t_4$  、  $t_6$  )の末期において、バックライトの点灯を行わない期間( 消灯期間 )を設ける構成( 図 12 ( B ) 参照 )とすることが可能である。これにより、当該液晶表示装置が有する液晶素子の他方の電極( 対向電極 )に与えられる対向電位の極性を反転する( コモン反転 )期間を確保することができる。なお、一般的な液晶表示装置においては、液晶素子の劣化を抑制するため該液晶素子に印加される電圧を特定の期間毎に反転すること( 画素に入力される画像信号が特定の期間毎に、対向電位よりも高い電位及び対向電位よりも低い電位となるように切り替えること )が多い。ここで、コモン反転駆動を行うことにより画像信号の電圧振幅を低減することが可能である。なお、図 12 ( B ) では、サンプリング期間(  $t_2$  、  $t_4$  、  $t_6$  )のすべてにおいて、当該消灯期間を設ける構成について示したが、特定のサンプリング期間においてのみ当該消灯期間を設ける構成とすることも可能である。例えば、画素部において 1 枚の画像が形成される期間毎に当該消灯期間を設ける構成とすることも可能である。なお、当該消灯期間を設ける場合、正確な撮像を行うため当該消灯期間前に読み出し信号の走査を終了することが好ましい。

## 【0062】

また、上述した液晶表示装置においては、バックライトが画素部に対して赤( R )、緑( G )、及び青( B )のそれぞれの色を呈する光を順次照射する構成( 図 10 ( B )、11、12 ( A )、( B ) 参照 )について示したが、本発明の液晶表示装置において、バックライトの点灯順は限定されない( 赤( R )、緑( G )、及び青( B )を任意の順番で点灯させることができ )。また、バックライトにおいて赤( R )、緑( G )、及び青( B )を呈する光の発光が可能な光源を同時に点灯させることで、白( W )を呈する光を生成し、該白( W )を呈する光を画素部に対して照射する構成( 図 13 参照 )とすることが可能である。また、画素部において画像を形成した後に黒を挿入する期間( 黒挿入期間 )を設ける構成( 図 14 参照 )とすることも可能である。黒挿入期間を設けることにより、カラーブレイクを抑制することができる。また、特定色を呈する光を他の色を呈する光よりも多く画素部に対して照射する構成とすることが可能である。具体的には、視感度の低い青( B )を呈する光を、視感度の高い緑( G )よりも多く画素部に対して照射する構成とすることなどが可能である。

## 【0063】

また、上述した液晶表示装置においては、バックライトユニットが赤( R )、緑( G )、及び青( B )を呈する光の発光が可能な 3 種の光源を備える構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、特定の色を呈する光の光源の複数種を任意に組み合わせてバックライトユニットを構成することができる。例えば、赤( R )、緑( G )、青( B )、白( W )、若しくは赤( R )、緑( G )、青( B )、黄( Y )の 4 種の光源を組み合わせて用いること、又は補色の関係にある複数の色を組み合わせて用いることなどが可能である。なお、バックライトユニットが白( W )を呈する光を発光する光源を有する場合は、白( W )を呈する光を混色によって形成するのではなく、当該光源を用いて白( W )を呈する光を形成することができる。当該光源は、発光効率が高いため、当該光源を用いてバックライトユニットを構成することで、消費電力を低減することができる。また、バックライトユニットが補色の関係にある光の 2 種の光源を有する場合( 例えば、青( B )と黄( Y )を呈する光の 2 種の光源を有する場合 )当該 2 色を呈する光を混色することで白( W )を呈する光を形成することも可能である。さらに、淡色の赤( R )、緑( G )、及び青( B )、並びに濃色の赤( R )、緑( G )、及び青( B )の 6 種の光源を組み合わせて用いること、又は赤( R )、緑( G )、青( B )、シアン( C )、マゼンタ( M )、黄色( Y )の 6 種の光源を組み合わせて用いることなども可能である。このように、より多種の光源を組み合わせることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることができる。

## 【0064】

10

20

30

40

50

なお、上述した変形例において述べた構成の複数を、図1～図11を参照して説明した液晶表示装置に対して適用することも可能である。

#### 【0065】

##### (実施の形態2)

本実施の形態では、実施の形態1に示した液晶表示装置とは異なる本発明の一態様の液晶表示装置の動作について図22～図28を参照して説明する。

#### 【0066】

##### <液晶表示装置の構成例>

本実施の形態の液晶表示装置として、実施の形態1に示した液晶表示装置(図1、図2参照)を適用することができる。よって、ここでは、実施の形態1の説明を援用することとする。

10

#### 【0067】

##### <走査線駆動回路の構成例>

本実施の形態の液晶表示装置が有する走査線駆動回路として、実施の形態1に示した液晶表示装置が有する走査線駆動回路11(図3(A)参照)を適用することができる。よって、走査線駆動回路の構成に関しては実施の形態1の説明を援用することとする。

#### 【0068】

本実施の形態における走査線駆動回路11の動作例について図22(A)を参照して説明する。なお、図22(A)には、走査線駆動回路用スタートパルス(GSP)、走査線駆動回路用クロック信号(GCK)、シフトレジスタ110が有するm個の出力端子から出力される信号(SR110out)、走査線駆動回路用第1のパルス幅制御信号(GPWC1)、走査線駆動回路用第2のパルス幅制御信号(GPWC2)、及び走査線13\_1乃至走査線13\_mの電位を示している。

20

#### 【0069】

図22(A)に示す動作例においては、サンプリング期間(t1)直前に、シフトレジスタ110にハイレベルの電位を示す走査線駆動回路用スタートパルス(GSP)が入力される。これにより、サンプリング期間(t1)において、シフトレジスタ110の1番目の出力端子乃至k番目の出力端子から順次ハイレベルの電位が出力される。また、ANDゲート111\_1乃至ANDゲート111\_kのそれぞれは、1行目に配設された走査線13\_1乃至k行目に配設された走査線13\_kに対して順次ハイレベルの電位を供給する。なお、各走査線にハイレベルの電位が供給される期間(水平走査期間)は、走査線駆動回路用第1のパルス幅制御信号(GPWC1)又は走査線駆動回路用第2のパルス幅制御信号(GPWC2)がハイレベルの電位を示す期間(パルス幅)と同等である。

30

#### 【0070】

次いで、サンプリング期間(t2)直前(サンプリング期間(t1)の最後)に、シフトレジスタ110にハイレベルの電位を示す走査線駆動回路用スタートパルス(GSP)が入力される。これにより、サンプリング期間(t2)において、シフトレジスタ110の1番目の出力端子乃至k番目の出力端子、及び(k+1)番目の出力端子乃至2k番目の出力端子から順次ハイレベルの電位が出力される。また、ANDゲート111\_1乃至ANDゲート111\_kのそれぞれは、1行目に配設された走査線13\_1乃至k行目に配設された走査線13\_kに対して順次ハイレベルの電位を供給し、ANDゲート111\_k+1乃至ANDゲート111\_2kのそれぞれは、(k+1)行目に配設された走査線13\_k+1乃至2k行目に配設された走査線13\_2kに対して順次ハイレベルの電位を供給する。

40

#### 【0071】

次いで、サンプリング期間(t3)直前(サンプリング期間(t2)の最後)に、シフトレジスタ110にハイレベルの電位を示す走査線駆動回路用スタートパルス(GSP)が入力される。これにより、サンプリング期間(t3)において、シフトレジスタ110の1番目の出力端子乃至k番目の出力端子、(k+1)番目の出力端子乃至2k番目の出力端子、及び(2k+1)番目の出力端子乃至m番目の出力端子から順次ハイレベルの電

50

位が出力される。また、ANDゲート $111\_1$ 乃至ANDゲート $111\_k$ のそれぞれは、1行目に配設された走査線 $13\_1$ 乃至 $k$ 行目に配設された走査線 $13\_k$ に対して順次ハイレベルの電位を供給し、ANDゲート $111\_k+1$ 乃至ANDゲート $111\_2k$ のそれぞれは、( $k+1$ )行目に配設された走査線 $13\_k+1$ 乃至 $2k$ 行目に配設された走査線 $13\_2k$ に対して順次ハイレベルの電位を供給し、ANDゲート $111\_2k+1$ 乃至ANDゲート $111\_m$ のそれぞれは、( $2k+1$ )行目に配設された走査線 $13\_2k+1$ 乃至 $m$ 行目に配設された走査線 $13\_m$ に対して順次ハイレベルの電位を供給する。

#### 【0072】

次いで、サンプリング期間( $t_4$ )において、シフトレジスタ $110$ の( $k+1$ )番目の出力端子乃至 $2k$ 番目の出力端子、及び( $2k+1$ )番目の出力端子乃至 $m$ 番目の出力端子から順次ハイレベルの電位が出力される。また、ANDゲート $111\_k+1$ 乃至ANDゲート $111\_2k$ のそれぞれは、( $k+1$ )行目に配設された走査線 $13\_k+1$ 乃至 $2k$ 行目に配設された走査線 $13\_2k$ に対して順次ハイレベルの電位を供給し、ANDゲート $111\_2k+1$ 乃至ANDゲート $111\_m$ のそれぞれは、( $2k+1$ )行目に配設された走査線 $13\_2k+1$ 乃至 $m$ 行目に配設された走査線 $13\_m$ に対して順次ハイレベルの電位を供給する。10

#### 【0073】

次いで、サンプリング期間( $t_5$ )において、シフトレジスタ $110$ の( $2k+1$ )番目の出力端子乃至 $m$ 番目の出力端子から順次ハイレベルの電位が出力される。また、ANDゲート $111\_2k+1$ 乃至ANDゲート $111\_m$ のそれぞれは、( $2k+1$ )行目に配設された走査線 $13\_2k+1$ 乃至 $m$ 行目に配設された走査線 $13\_m$ に対して順次ハイレベルの電位を供給する。20

#### 【0074】

<画像信号線駆動回路の構成例>

本実施の形態の液晶表示装置が有する画像信号線駆動回路として、実施の形態1に示した液晶表示装置が有する画像信号線駆動回路12(図4(A)参照)を適用することができる。よって、画像信号線駆動回路の構成に関しては実施の形態1の説明を援用することとする。

#### 【0075】

本実施の形態における画像信号線駆動回路12の動作例について図22(B)を参照して説明する。なお、図22(B)は、第1の画像信号(DATA1)乃至第3の画像信号(DATA3)を供給する配線が供給する画像信号のタイミングの一例を示す図である。

#### 【0076】

図22(B)に示すように、第1の画像信号(DATA1)を供給する配線は、サンプリング期間( $t_1$ )において、1行目に配設された画素乃至 $k$ 行目に配設された画素用の赤(R)を呈する光の透過を制御するための画像信号(dataR( $1\_k$ ))を供給する。また、サンプリング期間( $t_2$ )において、1行目に配設された画素乃至 $k$ 行目に配設された画素用の緑(G)を呈する光の透過を制御するための画像信号(dataG( $1\_k$ ))を供給する。また、サンプリング期間( $t_3$ )において、1行目に配設された画素乃至 $k$ 行目に配設された画素用の青(B)を呈する光の透過を制御するための画像信号(dataB( $1\_k$ ))を供給する。第2の画像信号(DATA2)を供給する配線は、サンプリング期間( $t_2$ )において、( $k+1$ )行目に配設された画素乃至 $2k$ 行目に配設された画素用の赤(R)を呈する光の透過を制御するための画像信号(dataR( $k+1\_2k$ ))を供給する。また、サンプリング期間( $t_3$ )において、( $k+1$ )行目に配設された画素乃至 $2k$ 行目に配設された画素用の緑(G)を呈する光の透過を制御するための画像信号(dataG( $k+1\_2k$ ))を供給する。また、サンプリング期間( $t_4$ )において、( $k+1$ )行目に配設された画素乃至 $2k$ 行目に配設された画素用の青(B)を呈する光の透過を制御するための画像信号(dataB( $k+1\_2k$ ))を供給する。第3の画像信号(DATA3)を供給する配線は、サンプリング期間( $t_3$ 40

50

)において、(2k+1)行目に配設された画素乃至m行目に配設された画素用の赤(R)を呈する光の透過を制御するための画像信号(dataR(2k+1~m))を供給する。また、サンプリング期間(t4)において、(2k+1)行目に配設された画素乃至m行目に配設された画素用の緑(G)を呈する光の透過を制御するための画像信号(dataG(2k+1~m))を供給する。また、サンプリング期間(t5)において、(2k+1)行目に配設された画素乃至m行目に配設された画素用の青(B)を呈する光の透過を制御するための画像信号(dataB(2k+1~m))を供給する。

#### 【0077】

<画像信号の書き込みについて>

本実施の形態の液晶表示装置においては、赤(R)を呈する光の透過を制御するための画像信号の供給(画素部に対する赤(R)の画像信号の入力)と、緑(G)を呈する光の透過を制御するための画像信号の供給(画素部に対する緑(G)の画像信号の入力)と、青(B)を呈する光の透過を制御するための画像信号の供給(画素部に対する青(B)の画像信号の入力)と、が重畠する期間(サンプリング期間(t3))を設けることが可能である。

10

#### 【0078】

<撮像素子駆動回路の構成例>

本実施の形態の液晶表示装置が有する撮像素子駆動回路として、実施の形態1に示した液晶表示装置が有する撮像素子駆動回路16(図5参照)を適用することができる。よって、撮像素子駆動回路の構成に関しては実施の形態1の説明を援用することとする。

20

#### 【0079】

本実施の形態における撮像素子信号線駆動回路16の動作例について図23、24を参照して説明する。なお、図23には、リセット信号線駆動回路用スタートパルス(ResetSP)、リセット信号線駆動回路用クロック信号(ResetCK)、シフトレジスタ161が有するm個の出力端子から出力される信号(SR161out)、撮像素子駆動回路用第1のパルス幅制御信号(IPWC1)、撮像素子駆動回路用第2のパルス幅制御信号(IPWC2)、及びリセット信号線18\_1乃至リセット信号線18\_mの電位を示している。また、図24には、読み出し信号線駆動回路用スタートパルス(ReadSP)、読み出し信号線駆動回路用クロック信号(ReadCK)、シフトレジスタ162が有するm個の出力端子から出力される信号(SR162out)、撮像素子駆動回路用第3のパルス幅制御信号(IPWC3)、撮像素子駆動回路用第4のパルス幅制御信号(IPWC4)、及び読み出し信号線19\_1乃至読み出し信号線19\_mの電位を示している。

30

#### 【0080】

始めに、図23を参照して撮像素子駆動回路16によるリセット信号線18\_1~18\_mの駆動の一例について述べる。

#### 【0081】

まず、サンプリング期間(t1)において、撮像素子駆動回路16に対してハイレベルの電位を示す信号がリセット信号線駆動回路用スタートパルス(ResetSP)として供給される。なお、当該信号は、後述するバックライトが有する1行目乃至t行目用バックライトユニット(ここでは、tは、k/4とする)が点灯する期間(点灯期間)内において、撮像素子駆動回路16に供給されることとする。これにより、シフトレジスタ161の1番目の出力端子を起点として、リセット信号線駆動回路用クロック信号(ResetCK)1/2周期毎にハイレベルの電位を示す信号のシフトが行われる。ここで、ANDゲート163\_1乃至ANDゲート163\_mのそれぞれは、シフトレジスタ161のm個の出力端子から出力される信号のいずれかと、撮像素子駆動回路用第1のパルス幅制御信号(IPWC1)又は撮像素子駆動回路用第2のパルス幅制御信号(IPWC2)との論理積を出力する。すなわち、サンプリング期間(t1)において、1行目に配設されたりセット信号線18\_1を起点としたハイレベルの電位を示す信号のシフトが行われる。

40

50

**【0082】**

次いで、サンプリング期間（ $t_2$ ）において、撮像素子駆動回路16に対してハイレベルの電位を示す信号がリセット信号線駆動回路用スタートパルス（ResetSP）として供給される。なお、当該信号は、後述するバックライトが有する（ $k+1$ ）行目乃至（ $k+t$ ）行目用バックライトユニットが点灯する期間（点灯期間）内であり、且つサンプリング期間（ $t_1$ ）において開始されたハイレベルの電位を示す信号のシフトがシフトレジスタ161のk番目の出力端子まで達した段階で、撮像素子駆動回路16に供給されることとする。これにより、シフトレジスタ161の（ $k+1$ ）番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、1番目の出力端子を起点としたハイレベルの電位を示す信号のシフトとが並行して行われる。すなわち、サンプリング期間（ $t_2$ ）において、（ $k+1$ ）行目に配設されたリセット信号線 $18\_k+1$ 以降におけるハイレベルの電位を示す信号のシフトと、1行目に配設されたリセット信号線 $18\_1$ を起点としたハイレベルの電位を示す信号のシフトとが並行して行われる。10

**【0083】**

次いで、サンプリング期間（ $t_3$ ）において、撮像素子駆動回路16に対してハイレベルの電位を示す信号がリセット信号線駆動回路用スタートパルス（ResetSP）として供給される。なお、当該信号は、後述するバックライトが有する（ $2k+1$ ）行目乃至（ $2k+t$ ）行目用バックライトユニットが点灯する期間（点灯期間）内であり、且つサンプリング期間（ $t_2$ ）において開始されたハイレベルの電位を示す信号のシフトがシフトレジスタ161のk番目の出力端子まで達した段階で、撮像素子駆動回路16に供給されることとする。これにより、シフトレジスタ161の（ $2k+1$ ）番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、（ $k+1$ ）番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、1番目の出力端子を起点としたハイレベルの電位を示す信号のシフトとが並行して行われる。すなわち、サンプリング期間（ $t_3$ ）において、（ $2k+1$ ）行目に配設されたリセット信号線 $18\_2k+1$ 以降におけるハイレベルの電位を示す信号のシフトと、（ $k+1$ ）行目に配設されたリセット信号線 $18\_k+1$ 以降におけるハイレベルの電位を示す信号のシフトと、1行目に配設されたリセット信号線 $18\_1$ を起点としたハイレベルの電位を示す信号のシフトとが並行して行われる。20

**【0084】**

次いで、サンプリング期間（ $t_4$ ）において、サンプリング期間（ $t_1$ ）において開始されたハイレベルの電位を示す信号のシフトが完了する（m行目に配設されたリセット信号線 $18\_m$ にハイレベルの電位が供給される）までの期間においては、ハイレベルの電位を示す3つの信号のシフトが並行して行われる。そして、当該期間以降においては、ハイレベルの電位を示す2つの信号のシフトがシフトレジスタ161内において並行して行われる。30

**【0085】**

次いで、サンプリング期間（ $t_5$ ）において、サンプリング期間（ $t_2$ ）において開始されたハイレベルの電位を示す信号のシフトが完了する（m行目に配設されたリセット信号線 $18\_m$ にハイレベルの電位が供給される）までの期間においては、ハイレベルの電位を示す2つの信号のシフトが並行して行われる。そして、当該期間以降においては、ハイレベルの電位を示す1つの信号のシフトがシフトレジスタ161内において行われる。40

**【0086】**

続いて、図24を参照して撮像素子駆動回路16による読み出し信号線 $19\_1 \sim 19\_m$ の駆動の一例について述べる。

**【0087】**

まず、サンプリング期間（ $t_1$ ）において、撮像素子駆動回路16に対してハイレベルの電位を示す信号が読み出し信号線駆動回路用スタートパルス（ReadSP）として供給される。なお、当該信号は、後述するバックライトが有する1行目乃至t行目用バックライトユニットが点灯する期間（点灯期間）内であり、且つサンプリング期間（ $t_1$ ）に50

おけるリセット信号線駆動回路用スタートパルス (Reset S P) が供給された後において、撮像素子駆動回路 16 に供給されることとする。これにより、シフトレジスタ 16 2 の 1 番目の出力端子を起点として、読み出し信号線駆動回路用クロック信号 (Read C K) 1 / 2 周期毎にハイレベルの電位を示す信号のシフトが行われる。ここで、AND ゲート 164\_1 乃至 AND ゲート 164\_m のそれぞれは、シフトレジスタ 16 2 の m 個の出力端子から出力される信号のいずれかと、撮像素子駆動回路用第 3 のパルス幅制御信号 (IPWC3) 又は撮像素子駆動回路用第 4 のパルス幅制御信号 (IPWC4) との論理積を出力する。すなわち、サンプリング期間 (t1) において、1 行目に配設された読み出し信号線 19\_1 を起点としたハイレベルの電位を示す信号のシフトが行われる。

#### 【0088】

次いで、サンプリング期間 (t2) において、撮像素子駆動回路 16 に対してハイレベルの電位を示す信号が読み出し信号線駆動回路用スタートパルス (Read S P) として供給される。なお、当該信号は、後述するバックライトが有する (k+1) 行目乃至 (k+t) 行目用バックライトユニットが点灯する期間（点灯期間）内であり、且つサンプリング期間 (t2) におけるリセット信号線駆動回路用スタートパルス (Reset S P) が供給された後において、撮像素子駆動回路 16 に供給されることとする。これにより、シフトレジスタ 16 2 の (k+1) 番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、1 番目の出力端子を起点としたハイレベルの電位を示す信号のシフトとが並行して行われる。すなわち、サンプリング期間 (t2) において、(k+1) 行目に配設された読み出し信号線 19\_k+1 以降におけるハイレベルの電位を示す信号のシフトと、1 行目に配設された読み出し信号線 19\_1 を起点としたハイレベルの電位を示す信号のシフトとが並行して行われる。

#### 【0089】

次いで、サンプリング期間 (t3) において、撮像素子駆動回路 16 に対してハイレベルの電位を示す信号が読み出し信号線駆動回路用スタートパルス (Read S P) として供給される。なお、当該信号は、後述するバックライトが有する (2k+1) 行目乃至 (2k+t) 行目用バックライトユニットが点灯する期間（点灯期間）内であり、且つサンプリング期間 (t3) におけるリセット信号線駆動回路用スタートパルス (Reset S P) が供給された後において、撮像素子駆動回路 16 に供給されることとする。これにより、シフトレジスタ 16 2 の (2k+1) 番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、(k+1) 番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、1 番目の出力端子を起点としたハイレベルの電位を示す信号のシフトとが並行して行われる。すなわち、サンプリング期間 (t3) において、(2k+1) 行目に配設された読み出し信号線 19\_2k+1 以降におけるハイレベルの電位を示す信号のシフトと、(k+1) 行目に配設された読み出し信号線 19\_k+1 以降におけるハイレベルの電位を示す信号のシフトと、1 行目に配設された読み出し信号線 19\_1 を起点としたハイレベルの電位を示す信号のシフトとが並行して行われる。

#### 【0090】

次いで、サンプリング期間 (t4) において、サンプリング期間 (t1) において開始されたハイレベルの電位を示す信号のシフトが完了する (m 行目に配設された読み出し信号線 19\_m にハイレベルの電位が供給される) までの期間においては、ハイレベルの電位を示す 3 つの信号のシフトが並行して行われる。そして、当該期間以降においては、ハイレベルの電位を示す 2 つの信号のシフトがシフトレジスタ 16 2 内において並行して行われる。

#### 【0091】

次いで、サンプリング期間 (t5) において、サンプリング期間 (t2) において開始されたハイレベルの電位を示す信号のシフトが完了する (m 行目に配設された読み出し信号線 19\_m にハイレベルの電位が供給される) までの期間においては、ハイレベルの電位を示す 2 つの信号のシフトが並行して行われる。そして、当該期間以降においては、ハイレベルの電位を示す 1 つの信号のシフトがシフトレジスタ 16 2 内において行われる。

10

20

30

40

50

**【 0 0 9 2 】**

&lt;検出回路の構成例&gt;

本実施の形態の液晶表示装置が有する検出回路として、実施の形態1に示した液晶表示装置が有する検出回路17(図8(A)参照)を適用することができる。よって、検出回路の構成に関しては実施の形態1の説明を援用することとする。

**【 0 0 9 3 】**

&lt;バックライトの構成例&gt;

本実施の形態の液晶表示装置が有するバックライトとして、実施の形態1に示した液晶表示装置が有するバックライト21(図10(A)参照)を適用することができる。よって、バックライトの構成に関しては実施の形態1の説明を援用することとする。

10

**【 0 0 9 4 】**

&lt;液晶表示装置の動作例&gt;

図25は、上述した液晶表示装置の動作例を示す図である。なお、図25には、サンプリング期間( $t_1$ )～サンプリング期間( $t_5$ )において、バックライト21が有する1行目乃至 $t$ 行目用バックライトユニット～( $2k + 3t + 1$ )行目乃至 $m$ 行目用バックライトユニットにおいて点灯される光のタイミング、並びに画素部10において1行目に配設された $n$ 個の画素乃至 $m$ 行目に配設された $n$ 個の画素に対する画像信号の入力、リセット信号の入力、及び読み出し信号の入力が行われるタイミングを示している。具体的には、図25において、1乃至 $m$ は、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表し、1点鎖線は、該当する行においてリセット信号が入力されるタイミングを表し、2点鎖線は、該当する行において読み出し信号が入力されるタイミングを表している。また、図25において、リセット信号が入力されてから読み出し信号が入力されるまで(1点鎖線と2点鎖線の間隔)が撮像期間に相当する。

20

**【 0 0 9 5 】**

図25に示すように、上述した液晶表示装置においては、複数の行に配設された画素に対する画像信号の供給を並行して行うことが可能である。具体的には、サンプリング期間( $t_3$ )において、1行目に配設された $n$ 個の画素 $151$ から $k$ 行目に配設された $n$ 個の画素 $151$ を行毎に順次選択し青(B)を呈する光の透過を制御するための画像信号を入力すること、( $k + 1$ )行目に配設された $n$ 個の画素 $152$ から $2k$ 行目に配設された $n$ 個の画素 $152$ を行毎に順次選択し緑(G)を呈する光の透過を制御するための画像信号を入力すること、及び( $2k + 1$ )行目に配設された $n$ 個の画素 $153$ から $m$ 行目に配設された $n$ 個の画素 $153$ を行毎に順次選択することで赤(R)を呈する光の透過を制御するための画像信号を入力することを並行して行うことが可能である。加えて、サンプリング期間( $t_3$ )内において、1行目に配設された $n$ 個の画素 $151$ 乃至 $t$ 行目に配設された $n$ 個の画素 $151$ に対する青(B)を呈する光の透過を制御するための画像信号が入力された後に、1行目乃至 $t$ 行目用バックライトユニットにおいて青(B)を呈する光を点灯させること、( $k + 1$ )行目に配設された $n$ 個の画素 $152$ 乃至( $k + t$ )行目に配設された $n$ 個の画素 $152$ に対する緑(G)を呈する光の透過を制御するための画像信号が入力された後に、( $k + 1$ )行目乃至( $k + t$ )行目用バックライトユニットにおいて緑(G)を呈する光を点灯させること、及び( $2k + 1$ )行目に配設された $n$ 個の画素 $153$ 乃至( $2k + t$ )行目に配設された $n$ 個の画素 $153$ に対する赤(R)を呈する光の透過を制御するための画像信号が入力された後に、( $2k + 1$ )行目乃至( $2k + t$ )行目用バックライトユニットにおいて赤(R)を呈する光を点灯させることが可能である。

30

**【 0 0 9 6 】**

さらに、上述した液晶表示装置においては、複数の行に配設された画素における撮像を並行して行うことが可能である。具体的には、サンプリング期間( $t_3$ )内であって、1行目乃至 $t$ 行目用バックライトユニットにおいて青(B)を呈する光が点灯される期間において、1行目に配設された $n$ 個の画素 $151$ 乃至 $t$ 行目に配設された $n$ 個の画素 $151$ における青(B)を呈する光に関する撮像、( $k + 1$ )行目乃至( $k + t$ )行目用バックライトユニットにおいて緑(G)を呈する光が点灯される期間において、( $k + 1$ )行目用バックライトユニットにおいて赤(R)を呈する光を点灯させることができる。

40

50

に配設された  $n$  個の画素 152 乃至  $(k + t)$  行目に配設された  $n$  個の画素 152 における緑 (G) を呈する光に関する撮像、及び  $(2k + 1)$  行目乃至  $(2k + t)$  行目用バックライトユニットにおいて赤 (R) を呈する光が点灯される期間において、 $(2k + 1)$  行目に配設された  $n$  個の画素 153 乃至  $(2k + t)$  行目に配設された  $n$  個の画素 153 における赤 (R) を呈する光に関する撮像を並行して行うことが可能である。

#### 【0097】

<本実施の形態で開示される液晶表示装置について>

本実施の形態で開示される液晶表示装置は、マトリクス状に配設された画素のうち、複数の行に配設された画素に対する画像信号の供給を並行して行うことが可能である。加えて、本実施の形態で開示される液晶表示装置は、マトリクス状に配設された画素のうち、複数の行に配設された画素における撮像を並行して行うことが可能である。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させること及び十分な撮像期間の確保が可能になる。その結果、当該液晶表示装置は、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるカラーブレイクなどの表示劣化を抑制し、画質を向上させること及び撮像の検出精度を向上させることが可能である。

10

#### 【0098】

<変形例>

上述した液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。例えば、実施の形態 1 において変形例として述べた内容を本実施の形態の液晶表示装置に適用することが可能である。

20

#### 【0099】

また、上述した液晶表示装置においては、画素部の特定領域に配設された画素に対する画像信号の書き込み後に、当該特定領域に対して光を照射する構成（図 25 参照）について示したが、本発明の液晶表示装置の動作は、当該構成に限定されない。例えば、当該特定領域に対する画像信号の書き込み後に、当該特定領域用のバックライトユニットの点灯を行わない期間（消灯期間）を設ける構成（図 26 参照）とすることも可能である。これにより、当該特定領域に画像信号が供給される期間の末期において画像信号が入力される画素（例えば、画素部において  $t$  行目、 $2t$  行目、 $3t$  行目、及び  $k$  行目などに配設された画素）が有する液晶素子の応答時間を確保することができる。すなわち、当該画素における光漏れを抑制することが可能である。なお、当該消灯期間を設ける場合、外光の影響を低減するため当該消灯期間後にリセット信号の走査を開始することが好ましい。

30

#### 【0100】

また、上述した液晶表示装置においては、バックライトが画素部に対して赤 (R)、緑 (G)、及び青 (B) の 3 色を呈する光を順次照射する構成（図 25、26 参照）について示したが、本発明の液晶表示装置において、バックライトの点灯順は限定されない（赤 (R)、緑 (G)、及び青 (B) を任意の順番で点灯させることができ）。また、バックライトにおいて赤 (R)、緑 (G)、及び青 (B) を呈する光の発光が可能な光源を同時に点灯させることで、白 (W) を呈する光を生成し、該白 (W) を呈する光を画素部に対して照射する構成（図 27 参照）とすることが可能である。また、画素部において画像を形成した後に黒を挿入する期間（黒挿入期間）を設ける構成（図 28 参照）とすることも可能である。黒挿入期間を設けることにより、カラーブレイクを抑制することが可能である。また、当該黒挿入期間において、液晶表示装置が有する液晶素子の他方の電極（対向電極）に与えられる対向電位の極性を反転（コモン反転駆動）することも可能である。なお、一般的の液晶表示装置においては、液晶素子の劣化を抑制するため該液晶素子に印加される電圧を特定の期間毎に反転すること（画素に入力される画像信号が特定の期間毎に、対向電位よりも高い電位及び対向電位よりも低い電位となるように切り替えること）が多い。ここで、コモン反転駆動を行うことにより画像信号の電圧振幅を低減することができる。また、特定色を呈する光を他の色を呈する光よりも多く画素部に対して照射する構成とすることが可能である。具体的には、視感度の低い青 (B) を呈する光を、視感度の高い緑 (G) よりも多く画素部に対して照射する構成とすることなどが可能である。

40

50

**【 0 1 0 1 】**

なお、実施の形態 1において変形例として述べた構成と、本実施の形態において変形例として述べた構成とを、本実施の形態の液晶表示装置に対して適用することも可能である。

**【 0 1 0 2 】**

( 実施の形態 3 )

本実施の形態では、実施の形態 1 又は 2 に示した液晶表示装置とは異なる本発明の一様の液晶表示装置の動作について図 29～図 33 を参照して説明する。

**【 0 1 0 3 】**

< 液晶表示装置の構成例 >

本実施の形態の液晶表示装置として、実施の形態 1 に示した液晶表示装置（図 1、図 2 参照）を適用することができる。よって、ここでは、実施の形態 1 の説明を援用することとする。

**【 0 1 0 4 】**

< 走査線駆動回路の構成例 >

本実施の形態の液晶表示装置が有する走査線駆動回路として、実施の形態 1 に示した液晶表示装置が有する走査線駆動回路 11（図 3（A）参照）を適用することができる。よって、走査線駆動回路の構成に関しては実施の形態 1 の説明を援用することとする。また、走査線駆動回路の動作として、実施の形態 2 に示した走査線駆動回路の動作（図 22（A）参照）を適用することができる。よって、走査線駆動回路の動作に関しては実施の形態 2 の説明を援用することとする。

20

**【 0 1 0 5 】**

< 画像信号線駆動回路の構成例 >

本実施の形態の液晶表示装置が有する画像信号線駆動回路として、実施の形態 1 に示した液晶表示装置が有する画像信号線駆動回路 12（図 4（A）参照）を適用することができる。よって、画像信号線駆動回路の構成に関しては実施の形態 1 の説明を援用することとする。また、画像信号線駆動回路の動作として、実施の形態 2 に示した動作（図 22（B）参照）を適用することができる。よって、画像信号線駆動回路の動作に関しては実施の形態 2 の説明を援用することとする。

30

**【 0 1 0 6 】**

< 摄像素子駆動回路の構成例 >

本実施の形態の液晶表示装置が有する撮像素子駆動回路として、実施の形態 1 に示した液晶表示装置が有する撮像素子駆動回路 16（図 5 参照）を適用することができる。よって、撮像素子駆動回路の構成に関しては実施の形態 1 の説明を援用することとする。また、撮像素子駆動回路の動作として、実施の形態 2 に示した動作（図 23、24 参照）を適用することができる。よって、撮像素子駆動回路の動作に関しては実施の形態 2 の説明を援用することとする。

**【 0 1 0 7 】**

< 検出回路の構成例 >

本実施の形態の液晶表示装置が有する検出回路として、実施の形態 1 に示した液晶表示装置が有する検出回路 17（図 8（A）参照）を適用することができる。よって、検出回路の構成に関しては実施の形態 1 の説明を援用することとする。

40

**【 0 1 0 8 】**

< バックライトの構成例 >

図 29 は、図 1 に示す液晶表示装置の画素部 10 の背後に設けられるバックライトの構成例を示す図である。図 29 に示すバックライトは、マトリクス状に配設された複数のバックライトユニット 40 を有する。なお、バックライトユニット 40 は、赤（R）を呈する光の光源、緑（G）を呈する光の光源、及び青（B）を呈する光の光源、並びに赤外線（IR）領域の波長を含む光の光源を有する。なお、当該赤外光線（IR）領域の波長を含む光は、画素が有する液晶素子の配向状態に依存することなく当該画素を透過する光で

50

ある。換言すると、当該液晶表示装置は、画素において黒表示を行っている状態においても赤外線が当該画素を透過するように偏光板などの選択がなされた液晶表示装置である。

#### 【0109】

また、複数のバックライトユニット40における光源の点滅は、バックライト制御回路41によって制御される。なお、ここでは、バックライト制御回路41は、m行n列に配設された複数の画素のうちt行n列（ここで、tは、 $k/4$ とする）に配設された画素に対して光を照射するためのバックライトユニット群42毎に、光源の点滅を制御できる。すなわち、当該バックライト制御回路41は、1行目乃至t行目用バックライトユニット群～（ $2k+3t+1$ ）行目乃至m行目用バックライトユニット群において点灯される光を独立に制御できる。さらに、バックライト制御回路41は、バックライトユニット群42に含まれるバックライトユニット40が有する4種の光源のそれぞれの点灯を独立に制御することが可能である。また、当該光源としては、LED（Light-Emitting Diode）などを適用することが可能である。10

#### 【0110】

##### <液晶表示装置の駆動方法の例>

次いで、本実施の形態の液晶表示装置の駆動方法の例について図30～図33を参照して説明する。具体的には、上述した構成を有する液晶表示装置において表示及び撮像の少なくとも一方を行う際の動作について説明する。

#### 【0111】

##### <動作例1>

20

図30は、フィールドシーケンシャル方式による表示と、可視光及び赤外線を用いた撮像とを並行して行う際の動作例を示す図である。なお、図30には、サンプリング期間（t1）～サンプリング期間（t5）において、バックライトが有する1行目乃至t行目用バックライトユニット群～（ $2k+3t+1$ ）行目乃至m行目用バックライトユニット群において点灯される光のタイミング、並びに画素部10において1行目に配設されたn個の画素乃至m行目に配設されたn個の画素に対する画像信号の入力、リセット信号の入力、及び読み出し信号の入力が行われるタイミングを示している。具体的には、図30において、1乃至mは、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表し、1点鎖線は、該当する行においてリセット信号が入力されるタイミングを表し、2点鎖線は、該当する行において読み出し信号が入力されるタイミングを表している。また、図30において、リセット信号が入力されてから読み出し信号が入力されるまで（1点鎖線と2点鎖線の間隔）が撮像期間に相当する。30

#### 【0112】

図30に示すように、上述した液晶表示装置においては、複数の行に配設された画素に対する画像信号の供給を並行して行うことが可能である。具体的には、サンプリング期間（t3）において、1行目に配設されたn個の画素151からk行目に配設されたn個の画素151を行毎に順次選択し、青（B）を呈する光の透過を制御するための画像信号を入力すること、（k+1）行目に配設されたn個の画素152から2k行目に配設されたn個の画素152を行毎に順次選択し、緑（G）を呈する光の透過を制御するための画像信号を入力すること、及び（2k+1）行目に配設されたn個の画素153からm行目に配設されたn個の画素153を行毎に順次選択し、赤（R）を呈する光の透過を制御するための画像信号を入力することを並行して行うことが可能である。40

#### 【0113】

加えて、サンプリング期間（t1）乃至サンプリング期間（t3）のそれれにおいて、特定領域に対する特定色を呈する光の透過を制御するための画像信号の入力が完了した後に当該特定領域用バックライトユニット群において当該特定色を呈する光の光源を点灯させることが可能である。例えば、サンプリング期間（t3）内において、1行目に配設されたn個の画素151乃至t行目に配設されたn個の画素151に対する青（B）を呈する光の透過を制御するための画像信号が入力された後に、1行目乃至t行目用バックライトユニット群において青（B）を呈する光の光源及び赤外線（IR）領域の波長を含む

50

光の光源を点灯させること、(k+1)行目に配設されたn個の画素152乃至(k+t)行目に配設されたn個の画素152に対する緑(G)を呈する光の透過を制御するための画像信号が入力された後に、(k+1)行目乃至(k+t)行目用バックライトユニット群において緑(G)を呈する光の光源及び赤外線(IR)領域の波長を含む光の光源を点灯させること、及び(2k+1)行目に配設されたn個の画素153乃至(2k+t)行目に配設されたn個の画素153に対する赤(R)を呈する光の透過を制御するための画像信号が入力された後に、(2k+1)行目乃至(2k+t)行目用バックライトユニット群において赤(R)を呈する光の光源及び赤外線(IR)領域の波長を含む光の光源を点灯させることが可能である。

## 【0114】

10

さらに、上述した液晶表示装置においては、複数の行に配設された画素における撮像を並行して行うことが可能である。具体的には、サンプリング期間(t3)内であって、1行目乃至t行目用バックライトユニットにおいて青(B)を呈する光の光源及び赤外線(IR)領域の波長を含む光の光源が点灯される期間において、1行目に配設されたn個の画素151乃至t行目に配設されたn個の画素151における青(B)を呈する光及び赤外線(IR)領域の波長を含む光を用いた撮像、(k+1)行目乃至(k+t)行目用バックライトユニットにおいて緑(G)を呈する光の光源及び赤外線(IR)領域の波長を含む光の光源が点灯される期間において、(k+1)行目に配設されたn個の画素152乃至(k+t)行目に配設されたn個の画素152における緑(G)を呈する光及び赤外線(IR)領域の波長を含む光を用いた撮像、及び(2k+1)行目乃至(2k+t)行目用バックライトユニットにおいて赤(R)を呈する光の光源及び赤外線(IR)領域の波長を含む光の光源が点灯される期間において、(2k+1)行目に配設されたn個の画素153乃至(2k+t)行目に配設されたn個の画素153における赤(R)を呈する光及び赤外線(IR)領域の波長を含む光を用いた撮像を並行して行うことが可能である。

## 【0115】

20

なお、図30においては、赤外線(IR)領域に含まれる波長を含んだ光の光源が、可視光源と同期して点灯される構成について示したが、それらの点灯は同期しなくてもよい。例えば、図31に示すように、可視光源が点灯しない期間においても赤外線(IR)領域に含まれる波長を含んだ光の光源を点灯させる構成とすることも可能である。

## 【0116】

30

図30又は図31に示す動作例では、マトリクス状に配設された画素のうち、複数の行に配設された画素に対する画像信号の供給を並行して行う。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることができるとなる。その結果、当該液晶表示装置におけるカラーブレイクなどの表示劣化を抑制し、画質を向上させることができる。

## 【0117】

また、図30又は図31に示す動作例では、マトリクス状に配設された撮像画素のうち、複数行に配設された撮像画素における撮像を並行して行う。これにより、十分な撮像期間の確保が可能になる。その結果、当該液晶表示装置における検出精度を向上させることができるものである。

40

## 【0118】

また、図30又は図31に示す動作例では、赤(R)を呈する光の反射光の撮像、緑(G)を呈する光の反射光の撮像、及び青(B)を呈する反射光の撮像を行う。これにより、カラー画像の撮像が可能になる。

## 【0119】

また、図30又は図31に示す動作例では、赤外線を利用して撮像を行う。これにより、当該液晶表示装置の表示画像に制約されることなく(黒表示を行っている画素においても)撮像を行うことが可能になる。

## 【0120】

50

## &lt;動作例2&gt;

本実施の形態の液晶表示装置の動作例として、実施の形態2において図25を参照して説明した動作例を適用することが可能である。なお、図25に示す動作例は、図30に示す動作例と比較して、撮像において赤外線（IR）領域の波長を含む光を用いない点が異なるが、その他の点については図30に示す動作例と同じであると表現することができる。

## 【0121】

なお、図25においては可視光を用いた撮像を行う構成について示したが、当該撮像を行わない構成とすることも可能である。すなわち、上述した撮像機能付き液晶表示装置を表示に特化した装置として利用することも可能である。例えば、撮像素子駆動回路16に対して、サンプリング期間（t1）～サンプリング期間（t3）においてリセット信号線駆動回路用スタートパルス（ResetSP）及び読み出し信号線駆動回路用スタートパルス（ReadSP）としてハイレベルの電位を示す信号を入力しなければ、当該撮像機能付き液晶表示装置を表示に特化した装置として利用することができる。10

## 【0122】

## &lt;動作例3&gt;

図32は、赤外線（IR）領域の波長を含む光を用いた撮像のみを行う際の動作例を示す図である。例えば、走査線駆動回路11に対してサンプリング期間（t1）～サンプリング期間（t3）において、走査線駆動回路用スタートパルス（GSP）としてハイレベルの電位を示す信号を入力せず、且つ、撮像素子駆動回路16に対して、サンプリング期間（t1）内のみにおいてリセット信号線駆動回路用スタートパルス（ResetSP）及び読み出し信号線駆動回路用スタートパルス（ReadSP）としてハイレベルの電位を示す信号を入力し、サンプリング期間（t2）及びサンプリング期間（t3）においてはそれらが入力されないように制御すれば図32に示す動作を行うことが可能である。20

## 【0123】

図32に示す動作例では、赤外線を利用して撮像を行う。これにより、当該液晶表示装置の表示画像に制約されることなく（黒表示を行っている画素においても）撮像を行うことが可能になる。

## 【0124】

## &lt;動作例4&gt;

図33は、バックライトにおいていずれの光源も点灯させない状態において撮像のみを行う際の動作例を示す図である。なお、図33に示す動作例は、図32に示す動作例と比較して、撮像において赤外線（IR）領域の波長を含む光を用いない点が異なるが、その他の点については図32に示す動作例と同じである。30

## 【0125】

図33に示す動作例で取得される撮像データは、外光のみに依存するデータとなる。

## 【0126】

## &lt;本実施の形態の液晶表示装置の駆動方法&gt;

本実施の形態の液晶表示装置では、上述した動作例1乃至動作例4の動作及び動作例2において撮像を行わない動作（単に液晶表示装置として機能させる動作）を適宜組み合わせて動作させることができある。例えば、当該液晶表示装置が、動作例2において撮像を行わない動作を繰り返し行い、撮像が必要となった時だけ動作例1、動作例2、又は動作例3の動作を行うように動作させることができる。40

## 【0127】

また、本実施の形態の液晶表示装置では、動作例1、動作例2、又は動作例3において取得された撮像データと、動作例4において取得された撮像データとの差分データを生成することができる。ここで、当該液晶表示装置が有する撮像素子において取得される前者のデータは、バックライトが有する少なくとも一つの光源が発光する光が被読み取り物によって反射され当該撮像素子に入射する光のみならず当該撮像素子に入射する外光に依存するデータとなり、後者のデータは、当該撮像素子に入射する外光のみに依存するデ50

ータとなる。そのため、両者の差分データを生成することで、外光の影響が低減された撮像データを取得することが可能となる。これにより、当該液晶表示装置における撮像の検出精度を向上させることができある。例えば、当該液晶表示装置がタッチパネルとして利用される場合におけるタッチ入力の検出精度を向上させることができある。

**【 0 1 2 8 】**

<変形例>

上述した液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。例えば、実施の形態 1 又は 2 において変形例として述べた内容を本実施の形態の液晶表示装置に適用することが可能である。

**【 0 1 2 9 】**

また、上述した液晶表示装置においては、各画素に撮像素子が一つ設けられる構成（図 2（A）～（C）参照）について示したが、各画素に撮像素子を複数設ける構成とする事も可能である。例えば、各画素に可視光用の撮像素子と、赤外線用の撮像素子とを設ける構成とすることも可能である。この場合、可視光の撮像データと、赤外線の撮像データとが別途取得でき、それぞれの撮像データを正確に取得することが可能となる。

**【 0 1 3 0 】**

また、上述した液晶表示装置においては、バックライトユニットとして赤（R）、緑（G）、又は青（B）を呈する光の光源及び赤外線（IR）領域の波長を含む光の光源を横に直線的に並べる構成（図 2 9 参照）について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該 4 種の光源を四角配置しても良いし、当該 4 種の光源を縦に直線的に並べてもよいし、それぞれを別途設けてもよい。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成（図 2 9 参照）について示したが、当該バックライトとしてエッジライト方式のバックライトを適用することも可能である。また、上述した液晶表示装置においては、可視光源を直下型方式で配置し、且つ赤外線光源をエッジライト方式で配置すること、又は可視光源をエッジライト方式で配置し、且つ赤外線光源を直下型方式で配置することも可能である。

**【 0 1 3 1 】**

なお、上述した変形例において述べた構成の複数を、本実施の形態の液晶表示装置に対して適用することも可能である。

**【 0 1 3 2 】**

本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

**【 0 1 3 3 】**

(実施の形態 4 )

本実施の形態では、実施の形態 1 乃至 3 とは異なる液晶表示装置の動作について図 3 4 ～図 4 3 を参照して説明する。

**【 0 1 3 4 】**

<液晶表示装置の構成例>

本実施の形態の液晶表示装置として、実施の形態 1 に示した液晶表示装置（図 1、図 2 参照）を適用することができる。よって、ここでは、実施の形態 1 の説明を援用することとする。

**【 0 1 3 5 】**

<走査線駆動回路の構成例>

本実施の形態の液晶表示装置が有する走査線駆動回路として、実施の形態 1 に示した液晶表示装置が有する走査線駆動回路 1 1（図 3（A）参照）を適用することができる。よって、走査線駆動回路の構成に関しては実施の形態 1 の説明を援用することとする。ただし、本実施の形態の液晶表示装置においては、走査線駆動回路 1 1 の動作が実施の形態 1 に示した走査線駆動回路 1 1 の動作とは異なる。

**【 0 1 3 6 】**

本実施の形態の走査線駆動回路 1 1 の動作例について図 3 4（A）を参照して説明する

10

20

30

40

50

。なお、図34(A)には、走査線駆動回路用スタートパルス(GSP)、走査線駆動回路用クロック信号(GCK)、シフトレジスタ110が有するm個の出力端子から出力される信号(SR110out)、走査線駆動回路用第1のパルス幅制御信号(GPWC1)、走査線駆動回路用第2のパルス幅制御信号(GPWC2)、及び走査線13\_1乃至走査線13\_mの電位を示している。

#### 【0137】

図34(A)に示す動作例においては、サンプリング期間(t1)以前に、シフトレジスタ110には少なくとも3回ハイレベルの電位を示す信号が走査線駆動回路用スタートパルス(GSP)として入力される。具体的には、サンプリング期間(t1)において、シフトレジスタ110の1番目の出力端子乃至k番目の出力端子が順次ハイレベルの電位を出力し、且つ(k+1)番目の出力端子乃至2k番目の出力端子が順次ハイレベルの電位を出力し、且つ(2k+1)番目の出力端子乃至m番目の出力端子が順次ハイレベルの電位を出力するように走査線駆動回路用スタートパルス(GSP)が入力される。  
10

#### 【0138】

これにより、サンプリング期間(t1)において、ANDゲート111\_1乃至ANDゲート111\_mのそれぞれは、シフトレジスタ110のm個の出力端子から出力される信号のいずれかと、走査線駆動回路用第1のパルス幅制御信号(GPWC1)又は走査線駆動回路用第2のパルス幅制御信号(GPWC2)との論理積を出力する。すなわち、サンプリング期間(t1)において、1行目に配設された走査線13\_1乃至k行目に配設された走査線13\_kに対して順次ハイレベルの電位(選択信号)が供給され、且つ(k+1)行目に配設された走査線13\_k+1乃至2k行目に配設された走査線13\_2kに対して順次ハイレベルの電位(選択信号)が供給され、且つ(2k+1)行目に配設された走査線13\_2k+1乃至m行目に配設された走査線13\_mに対して順次ハイレベルの電位(選択信号)が供給される。なお、各走査線にハイレベルの電位が供給される期間(水平走査期間)は、走査線駆動回路用第1のパルス幅制御信号(GPWC1)又は走査線駆動回路用第2のパルス幅制御信号(GPWC2)がハイレベルの電位を示す期間と同等である。このように、サンプリング期間(t1)において、走査線駆動回路11は、走査線駆動回路用クロック信号(GCK)1/2周期毎に異なる3行に配設された3n個の画素に対して同時に選択信号を供給することが可能である。  
20

#### 【0139】

サンプリング期間(t2)及びサンプリング期間(t3)においても、走査線駆動回路11は、サンプリング期間(t1)と同じ動作を行う。すなわち、走査線駆動回路11は、サンプリング期間(t2)及びサンプリング期間(t3)においても、走査線駆動回路用クロック信号(GCK)1/2周期毎に異なる3行に配設された3n個の画素に対して選択信号を供給することが可能である。なお、サンプリング期間(t2)及びサンプリング期間(t3)の直前には、再度ハイレベルの電位を示す信号が走査線駆動回路用スタートパルス(GSP)として入力されている。  
30

#### 【0140】

次いで、サンプリング期間(t4)及びサンプリング期間(t5)において、走査線駆動回路11に対する走査線駆動回路用クロック信号(GCK)、走査線駆動回路用第1のパルス幅制御信号(GPWC1)、及び走査線駆動回路用第2のパルス幅制御信号(GPWC2)の供給が停止される。具体的には、これらの信号を供給する配線にロウレベルの電位が供給される。これにより、シフトレジスタ110におけるハイレベルの電位を示す信号のシフトが中断され、且つ走査線13\_1乃至走査線13\_mにはロウレベルの電位(非選択信号)が供給される。  
40

#### 【0141】

##### <画像信号線駆動回路の構成例>

本実施の形態の液晶表示装置が有する画像信号線駆動回路として、実施の形態1に示した液晶表示装置が有する画像信号線駆動回路12(図4(A)参照)を適用することができる。よって、画像信号線駆動回路の構成に関しては実施の形態1の説明を援用すること  
50

とする。ただし、本実施の形態の液晶表示装置においては、画像信号線駆動回路12に入力される第1の画像信号(DATA1)を供給する配線乃至第3の画像信号(DATA3)を供給する配線が供給する画像信号のタイミングが実施の形態1に示した液晶表示装置とは異なる。

#### 【0142】

図34(B)は、第1の画像信号(DATA1)を供給する配線乃至第3の画像信号(DATA3)を供給する配線が供給する画像信号の一例を示す図である。図34(B)に示すように、第1の画像信号(DATA1)を供給する配線は、サンプリング期間(t1)において、1行目に配設された画素乃至k行目に配設された画素用の赤(R)を呈する光の透過を制御するための画像信号(dataR(1 k))を供給する。  
また、サンプリング期間(t2)において、1行目に配設された画素乃至k行目に配設された画素用の緑(G)を呈する光の透過を制御するための画像信号(dataG(1 k))を供給する。また、サンプリング期間(t3)において、1行目に配設された画素乃至k行目に配設された画素用の青(B)を呈する光の透過を制御するための画像信号(dataB(1 k))を供給する。第2の画像信号(DATA2)を供給する配線は、サンプリング期間(t1)において、(k+1)行目に配設された画素乃至2k行目に配設された画素用の青(B)を呈する光の透過を制御するための画像信号(dataB(k+1 2k))を供給する。また、サンプリング期間(t2)において、(k+1)行目に配設された画素乃至2k行目に配設された画素用の赤(R)を呈する光の透過を制御するための画像信号(dataR(k+1 2k))を供給する。また、サンプリング期間(t3)において、(k+1)行目に配設された画素乃至2k行目に配設された画素用の緑(G)を呈する光の透過を制御するための画像信号(dataG(k+1 2k))を供給する。第3の画像信号(DATA3)を供給する配線は、サンプリング期間(t1)において、(2k+1)行目に配設された画素乃至m行目に配設された画素用の緑(G)を呈する光の透過を制御するための画像信号(dataG(2k+1 m))を供給する。また、サンプリング期間(t2)において、(2k+1)行目に配設された画素乃至m行目に配設された画素用の青(B)を呈する光の透過を制御するための画像信号(dataB(2k+1 m))を供給する。また、サンプリング期間(t3)において、(2k+1)行目に配設された画素乃至m行目に配設された画素用の赤(R)を呈する光の透過を制御するための画像信号(dataR(2k+1 m))を供給する。

#### 【0143】

##### <画像信号の書き込みについて>

本実施の形態の液晶表示装置においては、赤(R)を呈する光の透過を制御するための画像信号の供給(画素部に対する赤(R)の画像信号の入力)と、緑(G)を呈する光の透過を制御するための画像信号の供給(画素部に対する緑(G)の画像信号の入力)と、青(B)を呈する光の透過を制御するための画像信号の供給(画素部に対する青(B)の画像信号の入力)と、を同一の期間(サンプリング期間(t1)乃至サンプリング期間(t3))内において行うことが可能である。

#### 【0144】

##### <撮像素子駆動回路の構成例>

本実施の形態の液晶表示装置が有する撮像素子駆動回路として、実施の形態1に示した液晶表示装置が有する撮像素子駆動回路16(図5参照)を適用することができる。よって、撮像素子駆動回路の構成に関しては実施の形態1の説明を援用することとする。ただし、本実施の形態の液晶表示装置においては、撮像素子駆動回路16の動作が実施の形態1に示した撮像素子駆動回路16の動作とは異なる。

#### 【0145】

撮像素子駆動回路16の動作例について図35、36を参照して説明する。なお、図35には、リセット信号線駆動回路用スタートパルス(Reset SP)、リセット信号線駆動回路用クロック信号(Reset CK)、シフトレジスタ161が有するm個の出力端子から出力される信号(SR161out)、撮像素子駆動回路用第1のパルス幅制御

10

20

30

40

50

信号( I P W C 1 )、撮像素子駆動回路用第2のパルス幅制御信号( I P W C 2 )、及びリセット信号線 1 8 \_ 1 乃至リセット信号線 1 8 \_ m の電位を示している。また、図36には、読み出し信号線駆動回路用スタートパルス( R e a d S P )、読み出し信号線駆動回路用クロック信号( R e a d C K )、シフトレジスタ 1 6 2 が有するm個の出力端子から出力される信号( S R 1 6 2 o u t )、撮像素子駆動回路用第3のパルス幅制御信号( I P W C 3 )、撮像素子駆動回路用第4のパルス幅制御信号( I P W C 4 )、及び読み出し信号線 1 9 \_ 1 乃至読み出し信号線 1 9 \_ m の電位を示している。

#### 【 0 1 4 6 】

始めに、図35を参照して撮像素子駆動回路 1 6 によるリセット信号線 1 8 \_ 1 ~ 1 8 \_ m の駆動の一例について述べる。

10

#### 【 0 1 4 7 】

図35に示す動作例においては、サンプリング期間( t 1 )以前に、シフトレジスタ 1 6 1 には少なくとも2回ハイレベルの電位を示す信号がリセット信号線駆動回路用スタートパルス( R e s e t S P )として入力される。また、サンプリング期間( t 1 )においてもシフトレジスタ 1 6 1 に対してハイレベルの電位を示す信号がリセット信号線駆動回路用スタートパルス( R e s e t S P )として入力される。具体的には、サンプリング期間( t 1 )において、シフトレジスタ 1 6 1 の1番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、シフトレジスタ 1 6 1 の( k + 1 )番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、シフトレジスタ 1 6 1 の( 2 k + 1 )番目の出力端子以降におけるハイレベルの電位を示す信号のシフトとが並行して行われるようリセット信号線駆動回路用スタートパルス( R e s e t S P )が入力される。

20

#### 【 0 1 4 8 】

これにより、サンプリング期間( t 1 )において、A N D ゲート 1 6 3 \_ 1 乃至 A N D ゲート 1 6 3 \_ m のそれぞれは、シフトレジスタ 1 6 1 のm個の出力端子から出力される信号のいずれかと、撮像素子駆動回路用第1のパルス幅制御信号( I P W C 1 )又は撮像素子駆動回路用第2のパルス幅制御信号( I P W C 2 )との論理積を出力する。すなわち、サンプリング期間( t 1 )において、1行目に配設されたリセット信号線 1 8 \_ 1 から次行以降のリセット信号線の電位が順次ハイレベルの電位となり、且つ( k + 1 )行目に配設されたリセット信号線 1 8 \_ k + 1 から次行以降のリセット信号線の電位が順次ハイレベルの電位となり、且つ( 2 k + 1 )行目に配設されたリセット信号線 1 8 \_ 2 k + 1 から次行以降のリセット信号線の電位が順次ハイレベルの電位となる。

30

#### 【 0 1 4 9 】

サンプリング期間( t 2 )及びサンプリング期間( t 3 )においても、シフトレジスタ 1 6 1 は、サンプリング期間( t 1 )と同じ動作を行う。

#### 【 0 1 5 0 】

次いで、サンプリング期間( t 4 )において、シフトレジスタ 1 6 1 に対するリセット信号線駆動回路用クロック信号( R e s e t C K )、撮像素子駆動回路用第1のパルス幅制御信号( I P W C 1 )、及び撮像素子駆動回路用第2のパルス幅制御信号( I P W C 2 )の供給が停止される。具体的には、これらの信号を供給する配線にロウレベルの電位が供給される。なお、これらの信号の供給停止は、リセット信号線 1 8 \_ k 、リセット信号線 1 8 \_ 2 k 、及びリセット信号線 1 8 \_ m に対してハイレベルの電位の供給が完了した段階において行う。これにより、シフトレジスタ 1 6 1 におけるハイレベルの電位を示す信号のシフトが中断され、且つリセット信号線 1 8 \_ 1 乃至リセット信号線 1 8 \_ m にはロウレベルの電位が供給される。

40

#### 【 0 1 5 1 】

続いて、図36を参照して撮像素子駆動回路 1 6 による読み出し信号線 1 9 \_ 1 ~ 1 9 \_ m の駆動の一例について述べる。

#### 【 0 1 5 2 】

図36に示す動作例においては、サンプリング期間( t 1 )以前に、シフトレジスタ 1 6 2 には少なくとも2回ハイレベルの電位を示す信号が読み出し信号線駆動回路用スター

50

トパルス(ReadSP)として入力される。また、サンプリング期間( $t_1$ )においてもシフトレジスタ162に対してハイレベルの電位を示す信号が読み出し信号線駆動回路用スタートパルス(ReadSP)として入力される。具体的には、サンプリング期間( $t_1$ )において、シフトレジスタ162の1番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、シフトレジスタ162の( $k+1$ )番目の出力端子以降におけるハイレベルの電位を示す信号のシフトと、シフトレジスタ162の( $2k+1$ )番目の出力端子以降におけるハイレベルの電位を示す信号のシフトとが並行して行われるように読み出し信号線駆動回路用スタートパルス(ReadSP)が入力される。なお、サンプリング期間( $t_1$ )において、シフトレジスタ162に対してハイレベルの電位を示す信号が読み出し信号線駆動回路用スタートパルス(ReadSP)として入力されるタイミングは、シフトレジスタ161に対してハイレベルの電位を示す信号がリセット信号線駆動回路用スタートパルス(ResetSP)として入力された後となるようにする。  
10

#### 【0153】

これにより、サンプリング期間( $t_1$ )において、ANDゲート164\_1乃至ANDゲート164\_mのそれぞれは、シフトレジスタ162のm個の出力端子から出力される信号のいずれかと、撮像素子駆動回路用第3のパルス幅制御信号(IPWC3)又は撮像素子駆動回路用第4のパルス幅制御信号(IPWC4)との論理積を出力する。すなわち、サンプリング期間( $t_1$ )において、1行目に配設された読み出し信号線19\_1から次行以降の読み出し信号線の電位が順次ハイレベルの電位となり、且つ( $k+1$ )行目に配設された読み出し信号線19\_k+1から次行以降の読み出し信号線の電位が順次ハイレベルの電位となり、且つ( $2k+1$ )行目に配設された読み出し信号線19\_2k+1から次行以降の読み出し信号線の電位が順次ハイレベルの電位となる。  
20

#### 【0154】

サンプリング期間( $t_2$ )及びサンプリング期間( $t_3$ )においても、シフトレジスタ162は、サンプリング期間( $t_1$ )と同じ動作を行う。

#### 【0155】

次いで、サンプリング期間( $t_4$ )において、シフトレジスタ162に対する読み出し信号線駆動回路用クロック信号(ReadCK)、撮像素子駆動回路用第3のパルス幅制御信号(IPWC3)、及び撮像素子駆動回路用第4のパルス幅制御信号(IPWC4)の供給が停止される。具体的には、これらの信号を供給する配線にロウレベルの電位が供給される。なお、これらの信号の供給停止は、読み出し信号線19\_k、読み出し信号線19\_2k、及び読み出し信号線19\_mに対してハイレベルの電位の供給が完了した段階において行われる。これにより、シフトレジスタ162におけるハイレベルの電位を示す信号のシフトが中断され、且つ読み出し信号線19\_1乃至読み出し信号線19\_mにはロウレベルの電位が供給される。  
30

#### 【0156】

<液晶表示装置の駆動方法の例>

次いで、本実施の形態の液晶表示装置の駆動方法の例について図37～図41を参照して説明する。具体的には、本実施の形態の液晶表示装置において表示及び撮像の少なくとも一方を行う際の動作について説明する。  
40

#### 【0157】

<動作例1>

図37は、フィールドシーケンシャル方式による表示と、可視光及び赤外線を用いた撮像とを並行して行う際の動作例を示す図である。なお、図37には、サンプリング期間( $t_1$ )～サンプリング期間( $t_5$ )において、バックライトが有する1行目乃至 $t$ 行目用バックライトユニット群～( $2k+3t+1$ )行目乃至 $m$ 行目用バックライトユニット群において点灯される光のタイミング、並びに画素部10において1行目に配設されたn個の画素乃至 $m$ 行目に配設されたn個の画素に対する画像信号の入力、リセット信号の入力、及び読み出し信号の入力が行われるタイミングを示している。具体的には、図37において、1乃至 $m$ は、行数を表し、実線は、該当する行において画像信号が入力されるタイ  
50

ミングを表し、1点鎖線は、該当する行においてリセット信号が入力されるタイミングを表し、2点鎖線は、該当する行において読み出し信号が入力されるタイミングを表している。また、図37において、リセット信号が入力されてから読み出し信号が入力されるまで（1点鎖線と2点鎖線の間隔）が撮像期間に相当する。

#### 【0158】

図37に示すように、上述した液晶表示装置においては、サンプリング期間（t1）乃至サンプリング期間（t3）のそれぞれにおいて複数の行に配設された画素に対する画像信号の供給を並行して行うことが可能である。例えば、サンプリング期間（t3）において、1行目に配設されたn個の画素151からk行目に配設されたn個の画素151を行毎に順次選択し、青（B）を呈する光の透過を制御するための画像信号を入力すること、（k+1）行目に配設されたn個の画素152から2k行目に配設されたn個の画素152を行毎に順次選択し、緑（G）を呈する光の透過を制御するための画像信号を入力すること、及び（2k+1）行目に配設されたn個の画素153からm行目に配設されたn個の画素153を行毎に順次選択し、赤（R）を呈する光の透過を制御するための画像信号を入力することを並行して行うことが可能である。10

#### 【0159】

加えて、サンプリング期間（t1）乃至サンプリング期間（t3）のそれぞれにおいて、特定領域に対する特定色を呈する光の透過を制御するための画像信号の入力が完了した後に当該特定領域用バックライトユニット群において当該特定色を呈する光の光源を点灯させることができある。例えば、サンプリング期間（t3）内において、1行目に配設されたn個の画素151乃至t行目に配設されたn個の画素151に対する青（B）を呈する光の透過を制御するための画像信号が入力された後に、1行目乃至t行目用バックライトユニット群において青（B）を呈する光の光源及び赤外線（IR）領域の波長を含む光の光源を点灯させること、（k+1）行目に配設されたn個の画素152乃至（k+t）行目に配設されたn個の画素152に対する緑（G）を呈する光の透過を制御するための画像信号が入力された後に、（k+1）行目乃至（k+t）行目用バックライトユニット群において緑（G）を呈する光の光源及び赤外線（IR）領域の波長を含む光の光源を点灯させること、及び（2k+1）行目に配設されたn個の画素153乃至（2k+t）行目に配設されたn個の画素153に対する赤（R）を呈する光の透過を制御するための画像信号が入力された後に、（2k+1）行目乃至（2k+t）行目用バックライトユニット群において赤（R）を呈する光の光源及び赤外線（IR）領域の波長を含む光の光源を点灯させることができある。20

#### 【0160】

さらに、上述した液晶表示装置においては、サンプリング期間（t1）乃至サンプリング期間（t3）のそれぞれにおいて複数の行に配設された画素における撮像を並行して行うことが可能である。例えば、サンプリング期間（t3）内であって、1行目乃至t行目用バックライトユニットにおいて青（B）を呈する光の光源及び赤外線（IR）領域の波長を含む光の光源が点灯される期間において、1行目に配設されたn個の画素151乃至t行目に配設されたn個の画素151における青（B）を呈する光及び赤外線（IR）領域の波長を含む光を用いた撮像、（k+1）行目乃至（k+t）行目用バックライトユニットにおいて緑（G）を呈する光の光源及び赤外線（IR）領域の波長を含む光の光源が点灯される期間において、（k+1）行目に配設されたn個の画素152乃至（k+t）行目に配設されたn個の画素152における緑（G）を呈する光及び赤外線（IR）領域の波長を含む光を用いた撮像、及び（2k+1）行目乃至（2k+t）行目用バックライトユニットにおいて赤（R）を呈する光の光源及び赤外線（IR）領域の波長を含む光の光源が点灯される期間において、（2k+1）行目に配設されたn個の画素153乃至（2k+t）行目に配設されたn個の画素153における赤（R）を呈する光及び赤外線（IR）領域の波長を含む光を用いた撮像を並行して行うことが可能である。40

#### 【0161】

なお、図37においては、赤外線（IR）領域に含まれる波長を含んだ光の光源が、可50

視光源と同期して点灯される構成について示したが、それらの点灯は同期しなくてもよい。例えば、図38に示すように、可視光源が点灯しない期間においても赤外線（IR）領域に含まれる波長を含んだ光の光源を点灯させる構成とすることも可能である。

#### 【0162】

図37又は図38に示す動作例では、マトリクス状に配設された画素のうち、複数の行に配設された画素に対する画像信号の供給を並行して行う。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることができるとなる。その結果、当該液晶表示装置におけるカラーブレイクなどの表示劣化を抑制し、画質を向上させることができる。

#### 【0163】

また、図37又は図38に示す動作例では、マトリクス状に配設された撮像画素のうち、複数行に配設された撮像画素における撮像を並行して行う。これにより、十分な撮像期間の確保が可能になる。その結果、当該液晶表示装置における検出精度を向上させることができる。

#### 【0164】

また、図37又は図38に示す動作例では、赤（R）を呈する光の反射光の撮像、緑（G）を呈する光の反射光の撮像、及び青（B）を呈する反射光の撮像を行う。これにより、カラー画像の撮像が可能になる。

#### 【0165】

また、図37又は図38に示す動作例では、赤外線を利用して撮像を行う。これにより、当該液晶表示装置の表示画像に制約されることなく（黒表示を行っている画素においても）撮像を行うことが可能になる。

#### 【0166】

また、図37又は図38に示す動作例では、実施の形態1乃至3に示す動作例と比較して、全行の撮像に必要とされる期間を短縮することが可能となる。したがって、被読み取り物が高速に移動する場合などにおいて、当該被読み取り物を歪みなく正確に撮像することが可能となる。

#### 【0167】

##### <動作例2>

図39は、フィールドシーケンシャル方式による表示と、可視光を用いた撮像とを並行して行う際の動作例を示す図である。なお、図39に示す動作例は、図37に示す動作例と比較して、撮像において赤外線（IR）領域の波長を含む光を用いない点が異なるが、その他の点については図37に示す動作例と同じである。そのため、図39に示す動作例と図37に示す動作例との共通点に関する詳細な説明は、前述の説明を援用することとする。

#### 【0168】

なお、図39においては可視光を用いた撮像を行う構成について示したが、当該撮像を行わない構成とすることも可能である。すなわち、上述した撮像機能付き液晶表示装置を表示に特化した装置として利用することも可能である。例えば、撮像素子駆動回路16に対して、サンプリング期間（t1）以前及びサンプリング期間（t1）～サンプリング期間（t3）においてリセット信号線駆動回路用スタートパルス（ResetSP）及び読み出し信号線駆動回路用スタートパルス（ReadSP）としてハイレベルの電位を示す信号を入力しなければ、当該撮像機能付き液晶表示装置を表示に特化した装置として利用することができる。

#### 【0169】

##### <動作例3>

図40は、赤外線（IR）領域の波長を含む光を用いた撮像のみを行う際の動作例を示す図である。例えば、走査線駆動回路11に対して、サンプリング期間（t1）以前及びサンプリング期間（t1）～サンプリング期間（t3）において、走査線駆動回路用スタートパルス（GSP）としてハイレベルの電位を示す信号を入力せず、且つ、撮像素子駆

10

20

30

40

50

動回路 16 に対して、サンプリング期間 (t1) 内に開始される、1 行目に配設されたリセット信号線 18\_1、(k+1) 行目に配設されたリセット信号線 18\_k+1、及び (2k+1) 行目に配設されたリセット信号線 18\_2k+1 を起点としたハイレベルの電位を示す信号のシフト、並びに 1 行目に配設された読み出し信号線 19\_1、(k+1) 行目に配設された読み出し信号線 19\_k+1、及び (2k+1) 行目に配設された読み出し信号線 19\_2k+1 を起点としたハイレベルの電位を示す信号のシフトのみが行われるように制御すれば図 40 に示す動作を行うことが可能である。

#### 【0170】

図 40 に示す動作例では、赤外線を利用して撮像を行う。これにより、当該液晶表示装置の表示画像に制約されることなく（黒表示を行っている画素においても）撮像を行うことが可能になる。10

#### 【0171】

また、図 40 に示す動作例では、図 32 に示す動作例と比較して、全行の撮像に必要とされる期間を短縮することが可能となる。したがって、被読み取り物が高速に移動する場合などにおいて、当該被読み取り物を歪みなく正確に撮像することが可能となる。

#### 【0172】

<動作例 4>

図 41 は、バックライトにおいていずれの光源も点灯させない状態において撮像のみを行う際の動作例を示す図である。なお、図 41 に示す動作例は、図 40 に示す動作例と比較して、撮像において赤外線 (IR) 領域の波長を含む光を用いない点が異なるが、その他の点については図 40 に示す動作例と同じである。20

#### 【0173】

図 41 に示す動作例で取得される撮像データは、外光のみに依存するデータとなる。

#### 【0174】

<変形例>

上述した液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

#### 【0175】

例えば、実施の形態 1 乃至 3 のいずれかにおいて変形例として述べた内容を本実施の形態の液晶表示装置に適用することも可能である。30

#### 【0176】

また、本実施の形態の液晶表示装置においては、赤外線 (IR) 領域の波長を含む光の光源の点滅を特定領域毎に制御する構成（図 37 乃至図 41 参照）について示したが、当該赤外線 (IR) 領域の波長を含む光の光源の点滅をバックライト全面において制御することも可能である。赤外線 (IR) 領域の波長を含む光の光源の点滅をバックライト全面において制御する場合の具体例を図 42 及び図 43 に示す。なお、図 42 及び図 43 に示す動作例においては、可視光源の点滅は特定領域毎に制御される。また、図 42 は、赤外線 (IR) 領域の波長を含む光の光源の点滅をバックライト全面において制御した場合において、図 37 又は図 38 に示す動作と同様の表示及び撮像を行った際の動作を示す図であり、図 43 は、赤外線 (IR) 領域の波長を含む光の光源の点滅をバックライト全面において制御した場合において、図 42 に示す動作と同様の撮像を行った際の動作を示す図である。なお、図 43 中の「VL」は、可視光源を表している。40

#### 【0177】

なお、上述した変形例において述べた構成の複数を、本実施の形態の液晶表示装置に対して適用することも可能である。

#### 【0178】

本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

#### 【0179】

(本明細書で開示される液晶表示装置の具体的な構成例)

10

20

30

40

50

以下では、上述した液晶表示装置の具体的な構成例について説明する。

**【0180】**

<トランジスタの具体例>

まず、上述した液晶表示装置の画素部又は各種回路に用いられるトランジスタの具体例について図15を参照して説明する。なお、当該液晶表示装置において、画素部及び各種回路のそれぞれに設けられるトランジスタは、同一構成を有するトランジスタを適用してもよいし、それぞれ毎に異なる構成を有するトランジスタを適用してもよい。

**【0181】**

図15(A)に示すトランジスタ2450は、基板2400上にゲート層2401が形成され、ゲート層2401上にゲート絶縁層2402が形成され、ゲート絶縁層2402上に半導体層2403が形成され、半導体層2403上に、ソース層2405a、及びドレイン層2405bが形成されている。また、半導体層2403、ソース層2405a、及びドレイン層2405b上に絶縁層2407が形成されている。また、絶縁層2407上に保護絶縁層2409を形成してもよい。トランジスタ2450は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

**【0182】**

図15(B)に示すトランジスタ2460は、基板2400上にゲート層2401が形成され、ゲート層2401上にゲート絶縁層2402が形成され、ゲート絶縁層2402上に半導体層2403が形成され、半導体層2403上にチャネル保護層2406が形成され、チャネル保護層2406及び半導体層2403上に、ソース層2405a、及びドレイン層2405bが形成されている。また、ソース層2405a、及びドレイン層2405b上に保護絶縁層2409を形成してもよい。トランジスタ2460は、チャネル保護型(チャネルトップ型ともいう)と呼ばれるボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

**【0183】**

図15(C)に示すトランジスタ2470は、基板2400上に下地層2436が形成され、下地層2436上に半導体層2403が形成され、半導体層2403、及び下地層2436上に、ソース層2405a、及びドレイン層2405bが形成され、半導体層2403、ソース層2405a、及びドレイン層2405b上にゲート絶縁層2402が形成され、ゲート絶縁層2402上にゲート層2401が形成されている。また、ゲート層2401上に保護絶縁層2409を形成してもよい。トランジスタ2470は、トップゲート構造のトランジスタの一つである。

**【0184】**

図15(D)に示すトランジスタ2480は、基板2400上に、第1のゲート層2411が形成され、第1のゲート層2411上に第1のゲート絶縁層2413が形成され、第1のゲート絶縁層2413上に半導体層2403が形成され、半導体層2403、及び第1のゲート絶縁層2413上に、ソース層2405a、及びドレイン層2405bが形成されている。また、半導体層2403、ソース層2405a、及びドレイン層2405b上に第2のゲート絶縁層2414が形成され、第2のゲート絶縁層2414上に第2のゲート層2412が形成されている。また、第2のゲート層2412上に保護絶縁層2409を形成してもよい。

**【0185】**

トランジスタ2480は、トランジスタ2450とトランジスタ2470を併せた構造を有する。第1のゲート層2411と第2のゲート層2412を電気的に接続して一つのゲート層として機能させることができる。また、第1のゲート層2411と第2のゲート層2412のうち、どちらか一方を単に「ゲート」と呼び、他方を「バックゲート」と呼ぶことがある。なお、トランジスタ2480において、バックゲートの電位を変化させることで、ゲートの電位によってスイッチングを制御する際のトランジスタ2480のしきい値電圧を変化させることができる。

**【0186】**

10

20

30

40

50

なお、基板 2400 としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI 基板、ガラス基板、石英基板、表面に絶縁層が設けられた導電性基板、又はプラスチック基板、貼り合わせフィルム、繊維状の材料を含む紙、若しくは基材フィルムなどの可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミニウムホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。

#### 【0187】

また、ゲート層 2401 及び第 1 のゲート層 2411 としては、アルミニウム（Al）、銅（Cu）、チタン（Ti）、タンタル（Ta）、タンクステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

#### 【0188】

また、ゲート絶縁層 2402、第 1 のゲート絶縁層 2413、第 2 のゲート絶縁層 2414 としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が 55~65 原子%、窒素が 1~20 原子%、シリコンが 25~35 原子%、水素が 0.1~10 原子% の範囲において、合計 100 原子% となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が 15~30 原子%、窒素が 20~35 原子%、Si が 25~35 原子%、水素が 15~25 原子% の範囲において、合計 100 原子% となるように各元素を任意の濃度で含むものをいう。

#### 【0189】

また、半導体層 2403 としては、シリコン（Si）若しくはゲルマニウム（Ge）などの周期表第 14 族元素を主構成元素とする材料、シリコングルマニウム（SiGe）若しくはガリウムヒ素（GaAs）などの化合物、酸化亜鉛（ZnO）若しくはインジウム（In）及びガリウム（Ga）を含む酸化亜鉛などの酸化物、又は半導体特性を示す有機化合物などの半導体材料を適用することができる。また、これらの半導体材料からなる層の積層構造を適用することもできる。

#### 【0190】

さらに、半導体層 2403 としてシリコン（Si）を適用する場合、当該半導体層 2403 の結晶状態は限定されない。すなわち、アモルファスシリコン、微結晶シリコン、多結晶シリコン、及び単結晶シリコンのいずれかを半導体層 2403 として適用することができる。なお、微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm<sup>-1</sup> よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm<sup>-1</sup> とアモルファスシリコンを示す 480 cm<sup>-1</sup> の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダンギングボンド）を終端するため水素またはハロゲンを少なくとも 1 原子% またはそれ以上含んでいる。さらに、ヘリウム、アルゴン、クリプトン、またはネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。

#### 【0191】

また、半導体層 2403 として酸化物（酸化物半導体）を適用する場合、四元系金属酸化物である In-Sn-Ga-Zn-O 系、三元系金属酸化物である In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、二元系金属酸化物である In-Ga-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、Zn-Mg-O 系、S

10

20

30

40

50

$In - Mg - O$  系、 $In - Mg - O$  系、または単元系金属酸化物である  $In - O$  系、 $Sn - O$  系、 $Zn - O$  系などを用いることができる。また、上記酸化物半導体に  $SiO_2$  を含んでもよい。ここで、例えば、 $In - Ga - Zn - O$  系酸化物半導体とは、少なくとも  $In$  と  $Ga$  と  $Zn$  を含む酸化物であり、その組成比に特に制限はない。また、 $In$  と  $Ga$  と  $Zn$  以外の元素を含んでもよい。

#### 【0192】

また、酸化物半導体として、化学式  $InMO_3 (ZnO)_m (m > 0)$  で表記される薄膜を用いることができる。ここで、Mは、 $Ga$ 、 $Al$ 、 $Mn$  および  $Co$  から選ばれた一または複数の金属元素を示す。例えばMとして、 $Ga$ 、 $Ga$  および  $Al$ 、 $Ga$  および  $Mn$ 、または  $Ga$  および  $Co$  などを選択することができる。10

#### 【0193】

また、酸化物半導体として  $In - Zn - O$  系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$  (モル数比に換算すると  $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$ )、好ましくは  $In : Zn = 20 : 1 \sim 1 : 1$  (モル数比に換算すると  $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$ )、さらに好ましくは  $In : Zn = 1.5 : 1 \sim 1.5 : 1$  (モル数比に換算すると  $In_2O_3 : ZnO = 3 : 4 \sim 1.5 : 2$ ) とする。例えば、 $In - Zn - O$  系酸化物半導体の形成に用いるターゲットは、原子数比が  $In : Zn : O = X : Y : Z$  のとき、 $Z > 1.5X + Y$  とする。

#### 【0194】

また、ソース層 2405a、ドレイン層 2405b、及び第2のゲート層 2412としては、アルミニウム ( $Al$ )、銅 ( $Cu$ )、チタン ( $Ti$ )、タンタル ( $Ta$ )、タンゲステン ( $W$ )、モリブデン ( $Mo$ )、クロム ( $Cr$ )、ネオジム ( $Nd$ )、スカンジウム ( $Sc$ ) から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。20

#### 【0195】

また、ソース層 2405a、ドレイン層 2405b (これらと同じ層で形成される配線層を含む) となる導電膜は導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム ( $In_2O_3$ )、酸化スズ ( $SnO_2$ )、酸化亜鉛 ( $ZnO$ )、酸化インジウム酸化スズ合金 ( $In_2O_3 - SnO_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金 ( $In_2O_3 - ZnO$ ) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。30

#### 【0196】

なお、チャネル保護層 2406としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

#### 【0197】

また、絶縁層 2407としては、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。40

#### 【0198】

また、保護絶縁層 2409としては、窒化シリコン、窒化アルミニウム、窒化酸化シリコン、窒化酸化アルミニウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

#### 【0199】

また、下地層 2436としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

#### 【0200】

なお、半導体層 2403として酸化物半導体を適用する場合、該酸化物半導体に接する50

絶縁層（ここでは、ゲート絶縁層 2402、絶縁層 2407、チャネル保護層 2406、下地層 2436、第1のゲート絶縁層 2413、第2のゲート絶縁層 2414 が相当する）としては、第13族元素および酸素を含む絶縁材料を用いることが好ましい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体に接する絶縁層に用いることで、酸化物半導体との界面の状態を良好に保つことができる。

#### 【0201】

第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上のものを示す。10

#### 【0202】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁層を形成する場合に、絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁層の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。20

#### 【0203】

また、半導体層 2403 として酸化物半導体を適用する場合、該酸化物半導体に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法またはイオンドーピング法を用いて行ってもよい。30

#### 【0204】

例えば、当該絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成を  $\text{Ga}_2\text{O}_x$  ( $X = 3+$ 、 $0 < X < 1$ ) とすることができる。

#### 【0205】

また、当該絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成を  $\text{Al}_2\text{O}_x$  ( $X = 3+$ 、 $0 < X < 1$ ) とすることができる。

#### 【0206】

また、当該絶縁層として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を  $\text{Ga}_x\text{Al}_{2-x}\text{O}_3+$  ( $0 < X < 2$ 、 $0 < X < 1$ ) とすることができる。40

#### 【0207】

酸素ドープ処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体層を I 型化または I 型に限りなく近い酸化物半導体とすることができます。50

## 【0208】

なお、半導体層2403として酸化物半導体を適用する場合において、半導体層2403に接する絶縁層のうち、上層に位置する絶縁層及び下層に位置する絶縁層の一方のみを化学量論的組成比より酸素が多い領域を有する絶縁層とすることもできるが、両方の絶縁層を化学量論的組成比より酸素が多い領域を有する絶縁層とすることが好ましい。化学量論的組成比より酸素が多い領域を有する絶縁層を、半導体層2403に接する絶縁層の、上層及び下層に位置する絶縁層に用い、半導体層2403を挟む構成とすることで、上記効果をより高めることができる。

## 【0209】

また、半導体層2403として酸化物半導体を適用する場合において、半導体層2403の上層または下層に用いる絶縁層は、上層と下層で同じ構成元素を有する絶縁層としても良いし、異なる構成元素を有する絶縁層としても良い。例えば、上層と下層とも、組成が $Ga_2O_x$  ( $X = 3 + , 0 < X < 1$ ) の酸化ガリウムとしても良いし、上層と下層の一方を組成が $Ga_2O_x$  ( $X = 3 + , 0 < X < 1$ ) の酸化ガリウムとし、他方を組成が $Al_2O_x$  ( $X = 3 + , 0 < X < 1$ ) の酸化アルミニウムとしても良い。

## 【0210】

また、半導体層2403として酸化物半導体を適用する場合において、半導体層2403に接する絶縁層は、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良い。例えば、半導体層2403の上層に組成が $Ga_2O_x$  ( $X = 3 + , 0 < X < 1$ ) の酸化ガリウムを形成し、その上に組成が $Ga_xAl_{2-x}O_{3+x}$  ( $0 < X < 2, 0 < X < 1$ ) の酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を形成してもよい。なお、半導体層2403の下層を、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良いし、半導体層2403の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良い。

## 【0211】

ここで、半導体層として酸化物半導体が適用されたトランジスタ951、及び半導体層として酸化物半導体が適用され且つバックゲートを備えたトランジスタ952を作製し、光負バイアス試験前後でのしきい値電圧(V<sub>th</sub>)変化量を評価した結果を示す。

## 【0212】

まず、図19(A)を用いてトランジスタ951の積層構成及び作製方法について説明する。基板900上に、下地層936として、CVD法により窒化シリコン膜(厚さ200nm)と酸化窒化シリコン膜(厚さ400nm)の積層膜を形成した。次に、下地層936上に、スパッタ法により窒化タンタル膜(厚さ30nm)と、タンゲステン膜(厚さ100nm)の積層膜を成膜し、選択的にエッチングしてゲート層901を形成した。

## 【0213】

次に、ゲート層901上に、ゲート絶縁層902として、高密度プラズマCVD法により酸化窒化シリコン層(厚さ30nm)を形成した。

## 【0214】

次に、ゲート絶縁層902上に、スパッタ法によりIn-Ga-Zn-O系金属酸化物ターゲットを用いて、酸化物半導体膜(厚さ30nm)を形成した。続いて、酸化物半導体膜を選択的にエッチングし、島状の酸化物半導体層903を形成した。

## 【0215】

次に、窒素雰囲気下、450℃で60分間の第1の加熱処理を行った。

## 【0216】

次に、酸化物半導体層903上にチタン膜(厚さ100nm)、アルミニウム膜(厚さ200nm)、及びチタン膜(厚さ100nm)の積層膜をスパッタ法により成膜し、選択的にエッチングしてソース層905a及びドレイン層905bを形成した。

## 【0217】

次に、窒素雰囲気下、300℃で60分間の第2の加熱処理を行った。

## 【0218】

10

20

30

40

50

次に、酸化物半導体層 903 の一部に接し且つソース層 905a 及びドレイン層 905b 上に形成される絶縁層 907 として、スパッタ法により酸化シリコン膜（厚さ 300 nm）を形成し、絶縁層 907 上に、絶縁層 908 として、ポリイミド樹脂層（厚さ 1.5 μm）を形成した。

【0219】

次に、窒素雰囲気下、250℃で60分間の第3の加熱処理を行った。

【0220】

次に、絶縁層 908 上に絶縁層 909 として、ポリイミド樹脂層（厚さ 2.0 μm）を形成した。

【0221】

次に、窒素雰囲気下、250℃で60分間の第4の加熱処理を行った。

10

【0222】

図19(B)に示すトランジスタ 952 は、トランジスタ 951 と同様に作製することができる。なお、トランジスタ 951 とは、絶縁層 908 と絶縁層 909 の間にバックゲート層 912 が形成されている点が異なる。バックゲート層 912 は、絶縁層 908 上に、チタン膜（厚さ 100 nm）、アルミニウム膜（厚さ 200 nm）、及びチタン膜（厚さ 100 nm）の積層膜をスパッタ法により成膜し、選択的にエッチングすることで形成した。なお、バックゲート層 912 は、ソース層 905a と電気的に接続される。

【0223】

また、トランジスタ 951 及びトランジスタ 952 とも、チャネル長は 3 μm、チャネル幅は 20 μm とした。

20

【0224】

続いて、トランジスタ 951 及びトランジスタ 952 に対して行った光負バイアス試験について説明する。

【0225】

光負バイアス試験は加速試験の一種であり、光が照射されている環境下におけるトランジスタの特性変化を、短時間で評価することができる。特に、光負バイアス試験におけるトランジスタの  $V_{th}$  の変化量は、信頼性を調べるための重要な指標となる。光負バイアス試験において、 $V_{th}$  の変化量が少ないほど、信頼性が高いトランジスタであるといえる。光負バイアス試験の前後における  $V_{th}$  の変化量は、1V以下が好ましく、0.5V以下がさらに好ましい。

30

【0226】

具体的には、光負バイアス試験は、トランジスタが形成されている基板の温度（基板温度）を一定に維持し、トランジスタのソース及びドレインを同電位とし、光を照射しながら、ゲートにソース及びドレインよりも低い電位を一定時間印加することで行う。

【0227】

光負バイアス試験の強度は、光照射条件、基板温度、ゲート絶縁層に加えられる電界強度、電界印加時間により決定することができる。ゲート絶縁層に加えられる電界強度は、ゲートと、ソース及びドレインとの電位差をゲート絶縁層の厚さで除して決定される。例えば、厚さが 100 nm のゲート絶縁層に印加する電界強度を  $2 \text{MV/cm}$  としたい場合は、電位差を 20V とすればよい。

40

【0228】

なお、光が照射されている環境下において、ソース及びドレインの電位よりも高い電位をゲートに印加して行う試験を光正バイアス試験というが、光正バイアス試験よりも、光負バイアス試験の方が、トランジスタの特性変動が起きやすいため、ここでは光負バイアス試験にて評価している。

【0229】

ここでは、光負バイアス試験における基板温度を室温（25℃）とし、ゲート絶縁層 902 に印加する電界強度を  $2 \text{MV/cm}$  とし、光照射及び電界印加時間を 1 時間として行った。また、光照射の条件は、朝日分光社キセノン光源「MAX-302」を用いて、ピ

50

ーク波長 400 nm (半値幅 10 nm)、放射照度 326 μW / cm<sup>2</sup>とした。

#### 【0230】

光負バイアス試験に先立ち、まず、試験対象となるトランジスタの初期特性を測定した。ここでは、基板温度を室温(25℃)とし、ソースとドレイン間の電圧(以下、ドレン電圧またはV<sub>d</sub>という)を3Vとし、ソースとゲート間の電圧(以下、ゲート電圧またはV<sub>g</sub>という)を-5V~+5Vまで変化させた時の、ソースとドレイン間に流れる電流(以下、ドレン電流またはI<sub>d</sub>という)の変化特性、すなわちV<sub>g</sub>-I<sub>d</sub>特性を測定した。

#### 【0231】

次に、絶縁層908側から光照射を開始し、トランジスタのソース及びドレインの電位を0Vとし、トランジスタのゲート絶縁層902へ印加される電界強度が2MV/cmとなるようにゲートに負の電圧を印加した。ここでは、トランジスタのゲート絶縁層902の厚さが30nmであるため、ゲートに-6Vを印加し、そのまま1時間保持した。ここでは印加時間を1時間としたが、目的に応じて適宜時間を変更してもよい。

10

#### 【0232】

次に、電圧の印加を終了し、光を照射したまま、初期特性の測定と同じ条件でV<sub>g</sub>-I<sub>d</sub>特性を測定し、光負バイアス試験後のV<sub>g</sub>-I<sub>d</sub>特性を得た。

#### 【0233】

ここで、V<sub>th</sub>の算出方法について図20を例示して説明しておく。図20の横軸はゲート電圧をリニアスケールで示しており、縦軸はドレン電流の平方根(以下、I<sub>d</sub>ともいう)をリニアスケールで示している。曲線921は、V<sub>g</sub>-I<sub>d</sub>特性におけるI<sub>d</sub>の値を平方根で表した曲線(以下、I<sub>d</sub>曲線ともいう)である。

20

#### 【0234】

まず、測定したV<sub>g</sub>-I<sub>d</sub>曲線からI<sub>d</sub>曲線(曲線921)を求める。次に、I<sub>d</sub>曲線上の、I<sub>d</sub>曲線の微分値が最大になる点の接線924を求める。次に、接線924を延伸し、接線924上でI<sub>d</sub>が0Aとなる時のV<sub>g</sub>、すなわち接線924のゲート電圧軸切片925の値をV<sub>th</sub>として定義する。

#### 【0235】

図21に、光負バイアス試験前後におけるトランジスタ951及びトランジスタ952のV<sub>g</sub>-I<sub>d</sub>特性を示す。図21(A)及び図21(B)とも、横軸はゲート電圧(V<sub>g</sub>)で、縦軸はゲート電圧に対するドレン電流(I<sub>d</sub>)を対数目盛で示している。

30

#### 【0236】

図21(A)は、光負バイアス試験前後におけるトランジスタ951のV<sub>g</sub>-I<sub>d</sub>特性を示している。初期特性931は、光負バイアス試験前のトランジスタ951のV<sub>g</sub>-I<sub>d</sub>特性であり、試験後特性932は、光負バイアス試験後のトランジスタ951のV<sub>g</sub>-I<sub>d</sub>特性である。初期特性931のV<sub>th</sub>は、1.01Vであり、試験後特性932のV<sub>th</sub>は、0.44Vであった。

#### 【0237】

図21(B)は、光負バイアス試験前後におけるトランジスタ952のV<sub>g</sub>-I<sub>d</sub>特性を示している。また、図21(C)は、図21(B)中の部位945を拡大した図である。初期特性941は、光負バイアス試験前のトランジスタ952のV<sub>g</sub>-I<sub>d</sub>特性であり、試験後特性942は、光負バイアス試験後のトランジスタ952のV<sub>g</sub>-I<sub>d</sub>特性である。初期特性941のV<sub>th</sub>は、1.16Vであり、試験後特性942のV<sub>th</sub>は、1.10Vであった。なお、トランジスタ952のバックゲート層912はソース層905aと電気的に接続されているため、バックゲート層912とソース層905aの電位は同電位となる。

40

#### 【0238】

図21(A)において、試験後特性932は、初期特性931に比べてV<sub>th</sub>がマイナス方向に0.57V変化しており、図21(B)において、試験後特性942は、初期特性941に比べてV<sub>th</sub>がマイナス方向に0.06V変化している。トランジスタ951

50

及びトランジスタ952とも、V<sub>th</sub>の変化量は1V以下であり、信頼性が高いトランジスタであることが確認できる。また、バックゲート層912を設けたトランジスタ952は、V<sub>th</sub>の変化量が0.1V以下であり、トランジスタ951よりもさらに信頼性の高いトランジスタであることが確認できる。

#### 【0239】

##### <画素レイアウトの具体例>

次いで、上述した液晶表示装置の画素のレイアウトの具体例について図16、17を参考して説明する。なお、図16は、図2(A)に示した画素のレイアウトの上面図を示す図であり、図17は、図16に示すA-B線及びC-D線における断面図を示す図である。なお、図16に示す画素151においては、表示素子が上部に設けられ、撮像素子が下部に設けられている。また、図16においては、液晶層、対向電極などの構成は割愛している。以下、具体的な構造について図17を参照して説明する。

10

#### 【0240】

トランジスタ1511は、基板220上に絶縁層221を介して設けられた導電層222と、導電層222上に設けられた絶縁層223と、導電層222上に絶縁層223を介して設けられた半導体層224と、半導体層224の一端上に設けられた導電層225aと、半導体層224の他端上に設けられた導電層225bと、を有する。なお、導電層222は、ゲート層として機能し、絶縁層223は、ゲート絶縁層として機能し、導電層225a及び導電層225bの一方は、ソース層、他方はドレイン層として機能する。

20

#### 【0241】

容量素子1512は、基板220上に絶縁層221を介して設けられた導電層226と、導電層226上に設けられた絶縁層227と、導電層226上に絶縁層227を介して設けられた導電層228と、を有する。なお、導電層226は、容量素子1512の一方の電極として機能し、絶縁層227は、容量素子1512の誘電体として機能し、導電層228は、容量素子1512の他方の電極として機能する。また、導電層226は、導電層222と同一材料からなり、絶縁層227は、絶縁層223と同一材料からなり、導電層228は、導電層225a及び導電層225bと同一材料からなる。また、導電層226は、導電層225bと電気的に接続されている。

#### 【0242】

なお、トランジスタ1511及び容量素子1512上には、絶縁層229及び平坦化絶縁層230が設けられている。

30

#### 【0243】

液晶素子1513は、平坦化絶縁層230上に設けられた透明導電層231と、対向基板240上に設けられた透明導電層241と、透明導電層231と透明導電層241に挟持された液晶層250と、を有する。なお、透明導電層231は、液晶素子1513の画素電極として機能し、透明導電層241は、液晶素子1513の対向電極として機能する。また、透明導電層241は、導電層225b及び導電層226と電気的に接続されている。

#### 【0244】

フォトダイオード1514は、基板220上に絶縁層221及び絶縁層227を介して設けられた導電層260と、導電層260上に設けられたp型半導体層261と、p型半導体層261上に設けられたi型半導体層262と、i型半導体層262上に設けられたn型半導体層263と、を有する。なお、導電層260は、導電層225a、導電層225b、及び導電層228と同一材料からなる。

40

#### 【0245】

トランジスタ1515及びトランジスタ1516は、トランジスタ1511と同様の構造を有する。なお、トランジスタ1515のゲート層として機能する導電層264は、透明導電層265を介してn型半導体層263に電気的に接続されている。なお、導電層264は、導電層222及び導電層226と同一材料からなり、透明導電層265は、透明導電層231と同一材料からなる。

50

**【 0 2 4 6 】**

なお、透明導電層 231 と液晶層 250 の間に、または透明導電層 241 と液晶層 250 の間に、配向膜を適宜設けても良い。配向膜は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜に接するように、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで、行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜を直接形成することも可能である。

**【 0 2 4 7 】**

また、液晶層 250 を形成するために行われる液晶の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いていても良い。10

**【 0 2 4 8 】**

なお、対向基板 240 上には、画素間における液晶の配向の乱れに起因するディスクリネーションが視認されるのを防ぐため、又は、拡散した光が隣接する複数の画素に並行して入射するのを防ぐために、光を遮蔽することができる遮蔽層 242 が設けられている。遮蔽層 242 には、カーボンブラック、二酸化チタンよりも酸化数が小さい低次酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。また、クロムを用いた膜で、遮蔽層 242 を形成することも可能である。

**【 0 2 4 9 】**

透明導電層 231、透明導電層 241、及び透明導電層 265 は、例えば、酸化珪素を含む酸化インジウムスズ（ITO）、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などの透光性を有する導電材料を用いることができる。20

**【 0 2 5 0 】**

なお、図 17 では、透明導電層 231 と透明導電層 241 の間に液晶層 250 が挟持される構造を有する液晶素子 1513 を例に挙げて説明したが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。IPS 型の液晶素子やブルー相を用いた液晶素子のように、一対の電極が共に一の基板に形成されていても良い。

**【 0 2 5 1 】**

< 液晶表示装置を搭載した各種電子機器について >

以下では、上述した液晶表示装置を搭載した電子機器の例について図 18 を参照して説明する。30

**【 0 2 5 2 】**

図 18 (A) は、携帯型情報通信端末を示す図である。図 18 (A) に示す携帯型情報通信端末は、少なくとも表示撮像部 301 を具備する。また、図 18 (A) に示す携帯型情報通信端末は、例えば表示撮像部 301 に操作部 302 を設けることができる。例えば、上述した液晶表示装置を表示撮像部 301 に用いることにより、例えば指又はペンにより携帯型情報通信端末の操作又は携帯型情報通信端末への情報の入力を行うことができる。

**【 0 2 5 3 】**

図 18 (B) は、カーナビゲーションを含む情報案内端末を示す図である。図 18 (B) に示す情報案内端末は、表示撮像部 311、操作ボタン 312、及び外部入力端子 313 を具備する。例えば、上述した液晶表示装置を表示撮像部 311 に用いることにより、例えば指又はペンにより情報案内端末の操作又は情報案内端末への情報の入力を行うことができる。40

**【 0 2 5 4 】**

図 18 (C) は、ノート型パーソナルコンピュータを示す図である。図 18 (C) に示すノート型パーソナルコンピュータは、筐体 321 と、表示撮像部 322 と、スピーカ 323 と、LED ランプ 324 と、ポインティングデバイス 325 と、接続端子 326 と、キーボード 327 と、を具備する。例えば、上述した液晶表示装置を、表示撮像部 322

に用いることにより、例えば指又はペンによりノート型パソコンの操作又はノート型パソコンへの情報の入力を行うことができる。

#### 【0255】

図18(D)は、携帯型遊技機を示す図である。図18(D)に示す携帯型遊技機は、表示撮像部331と、表示撮像部332と、スピーカ333と、接続端子334と、LEDランプ335と、マイクロフォン336と、記録媒体読込部337と、操作ボタン338と、センサ339と、を有する。例えば、上述した液晶表示装置を、表示撮像部331及び表示撮像部332、又は表示撮像部331若しくは表示撮像部332に用いることにより、例えば指又はペンにより携帯型遊技機の操作又は携帯型遊技機への情報の入力を行うことができる。

10

#### 【0256】

図18(E)は、電子書籍を示す図である。図18(E)に示す電子書籍は、少なくとも筐体341と、筐体342と、表示撮像部343と、表示撮像部344と、軸部345と、を有する。

#### 【0257】

筐体341及び筐体342は、軸部345により接続され、図18(E)に示す電子書籍は、該軸部345を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことができる。また、表示撮像部343は、筐体341に組み込まれ、表示撮像部344は、筐体342に組み込まれる。また、表示撮像部343及び表示撮像部344は、互いに異なる画像を表示する構成とすること、又は両方の表示撮像部で一続きの画像を表示する構成とすることが可能である。表示撮像部343及び表示撮像部344を異なる画像を表示する構成にすることにより、例えば右側の表示撮像部(図18(E)では表示撮像部343)に文章画像を表示し、左側の表示撮像部(図18(E)では表示撮像部344)に画像を表示することができる。

20

#### 【0258】

また、図18(E)に示す電子書籍は、筐体341又は筐体342に操作部などを備えてもよい。例えば、図18(E)に示す電子書籍の構成を電源ボタン346と、操作キー347と、スピーカ348と、を有する構成にすることもできる。図18(E)に示す電子書籍は、操作キー347を用いることにより、複数の頁がある画像の頁を送ることができる。また、図18(E)に示す電子書籍の表示撮像部343及び表示撮像部344の少なくとも一方にキー・ボードやポインティングデバイスなどを設けた構成としてもよい。また、図18(E)に示す電子書籍の筐体341及び筐体342の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、又はACアダプタ又はUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを設けてもよい。さらに、図18(E)に示す電子書籍に電子辞書としての機能を持たせてもよい。

30

#### 【0259】

例えば、上述した液晶表示装置を表示撮像部343及び表示撮像部344、又は表示撮像部343若しくは表示撮像部344に用いることにより、例えば指又はペンにより電子書籍の操作又は電子書籍への情報の入力を行うことができる。

#### 【0260】

40

図18(F)は、ディスプレイを示す図である。図18(F)に示すディスプレイは、筐体351と、表示撮像部352と、スピーカ353と、LEDランプ354と、操作ボタン355と、接続端子356と、センサ357と、マイクロフォン358と、支持台359と、を有する。例えば、上述した液晶表示装置を表示撮像部352に用いることにより、例えば指又はペンによりディスプレイの操作又はディスプレイへの情報の入力を行うことができる。

#### 【符号の説明】

#### 【0261】

10

画素部

11

走査線駆動回路

50

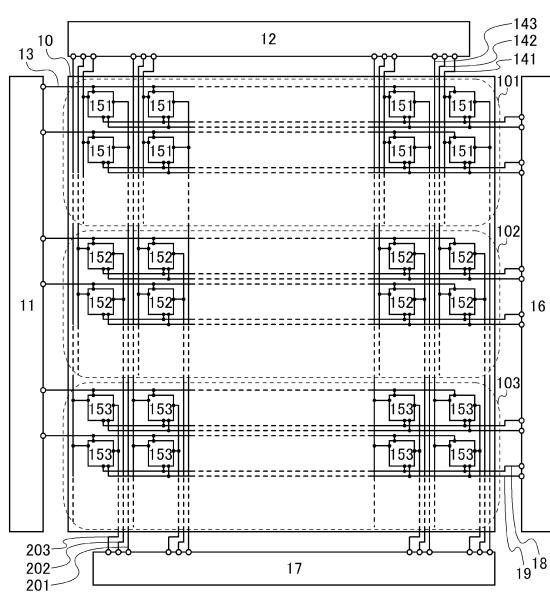
1 2	信号線駆動回路	
1 3	走査線	
1 3 _ 1 ~ 1 3 _ m	走査線	
1 6	撮像素子駆動回路	
1 7	検出回路	
1 8	リセット信号線	
1 8 _ 1 ~ 1 8 _ m	リセット信号線	
1 9	読み出し信号線	
1 9 _ 1 ~ 1 9 _ n	読み出し信号線	
2 1	バックライト	10
4 0	バックライトユニット	
4 1	バックライト制御回路	
4 2	バックライトユニット群	
1 0 1	領域	
1 0 2	領域	
1 0 3	領域	
1 1 0	シフトレジスタ	
1 1 1 _ 1 ~ 1 1 1 _ m	ANDゲート	
1 2 0	シフトレジスタ	
1 2 1 _ 1 ~ 1 2 1 _ n	トランジスタ	20
1 2 2 _ 1 ~ 1 2 2 _ n	トランジスタ	
1 2 3 _ 1 ~ 1 2 3 _ n	トランジスタ	
1 4 1	画像信号線	
1 4 1 _ 1 ~ 1 4 1 _ n	画像信号線	
1 4 2	画像信号線	
1 4 2 _ 1 ~ 1 4 2 _ n	画像信号線	
1 4 3	画像信号線	
1 4 3 _ 1 ~ 1 4 3 _ n	画像信号線	
1 5 1	画素	
1 5 2	画素	30
1 5 3	画素	
1 6 1	シフトレジスタ	
1 6 2	シフトレジスタ	
1 6 3 _ 1 ~ 1 6 3 _ n	ANDゲート	
1 6 4 _ 1 ~ 1 6 4 _ n	ANDゲート	
1 7 1 _ 1 ~ 1 7 1 _ n	トランジスタ	
1 7 2 _ 1 ~ 1 7 2 _ n	トランジスタ	
1 7 3 _ 1 ~ 1 7 3 _ n	トランジスタ	
2 0 1	撮像信号線	
2 0 1 _ 1 ~ 2 0 1 _ n	撮像信号線	40
2 0 2	撮像信号線	
2 0 2 _ 1 ~ 2 0 2 _ n	撮像信号線	
2 0 3	撮像信号線	
2 0 3 _ 1 ~ 2 0 3 _ n	撮像信号線	
2 1 0	バックライトユニット	
2 2 0	基板	
2 2 1	絶縁層	
2 2 2	導電層	
2 2 3	絶縁層	
2 2 4	半導体層	50

2 2 5 a	導電層	
2 2 5 b	導電層	
2 2 6	導電層	
2 2 7	絶縁層	
2 2 8	導電層	
2 2 9	絶縁層	
2 3 0	平坦化絶縁層	
2 3 1	透明導電層	
2 4 0	対向基板	
2 4 1	透明導電層	10
2 4 2	遮蔽層	
2 5 0	液晶層	
2 6 0	導電層	
2 6 1	p型半導体層	
2 6 2	i型半導体層	
2 6 3	n型半導体層	
2 6 4	導電層	
2 6 5	透明導電層	
3 0 1	表示撮像部	
3 0 2	操作部	20
3 1 1	表示撮像部	
3 1 2	操作ボタン	
3 1 3	外部入力端子	
3 2 1	筐体	
3 2 2	表示撮像部	
3 2 3	スピーカ	
3 2 4	L E D ランプ	
3 2 5	ポインティングデバイス	
3 2 6	接続端子	
3 2 7	キー ボード	30
3 3 1	表示撮像部	
3 3 2	表示撮像部	
3 3 3	スピーカ	
3 3 4	接続端子	
3 3 5	L E D ランプ	
3 3 6	マイクロフォン	
3 3 7	記録媒体読込部	
3 3 8	操作ボタン	
3 3 9	センサ	
3 4 1	筐体	40
3 4 2	筐体	
3 4 3	表示撮像部	
3 4 4	表示撮像部	
3 4 5	軸部	
3 4 6	電源ボタン	
3 4 7	操作キー	
3 4 8	スピーカ	
3 5 1	筐体	
3 5 2	表示撮像部	
3 5 3	スピーカ	50

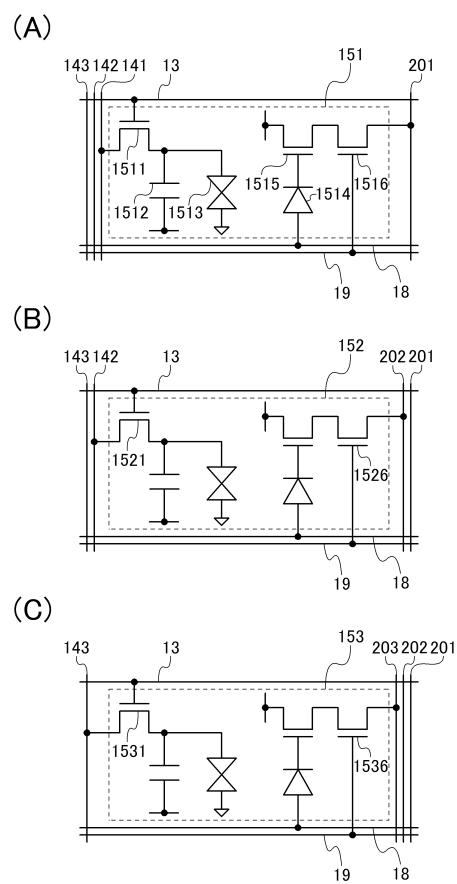
3 5 4	L E D ランプ	
3 5 5	操作ボタン	
3 5 6	接続端子	
3 5 7	センサ	
3 5 8	マイクロフォン	
3 5 9	支持台	
9 0 0	基板	
9 0 1	ゲート層	
9 0 2	ゲート絶縁層	
9 0 3	酸化物半導体層	10
9 0 5 a	ソース層	
9 0 5 b	ドレイン層	
9 0 7	絶縁層	
9 0 8	絶縁層	
9 0 9	絶縁層	
9 1 2	バックゲート層	
9 2 1	曲線	
9 2 4	接線	
9 2 5	ゲート電圧軸切片	
9 3 1	初期特性	20
9 3 2	試験後特性	
9 3 6	下地層	
9 4 1	初期特性	
9 4 2	試験後特性	
9 4 5	部位	
9 5 1	トランジスタ	
9 5 2	トランジスタ	
1 5 1 1	トランジスタ	
1 5 1 2	容量素子	
1 5 1 3	液晶素子	30
1 5 1 4	フォトダイオード	
1 5 1 5	トランジスタ	
1 5 1 6	トランジスタ	
1 5 2 1	トランジスタ	
1 5 2 6	トランジスタ	
1 5 3 1	トランジスタ	
1 5 3 6	トランジスタ	
2 4 0 0	基板	
2 4 0 1	ゲート層	
2 4 0 2	ゲート絶縁層	40
2 4 0 3	半導体層	
2 4 0 5 a	ソース層	
2 4 0 5 b	ドレイン層	
2 4 0 6	チャネル保護層	
2 4 0 7	絶縁層	
2 4 0 9	保護絶縁層	
2 4 1 1	第1のゲート層	
2 4 1 2	第2のゲート層	
2 4 1 3	第1のゲート絶縁層	
2 4 1 4	第2のゲート絶縁層	50

2 4 3 6	下地層
2 4 5 0	トランジスタ
2 4 6 0	トランジスタ
2 4 7 0	トランジスタ
2 4 8 0	トランジスタ

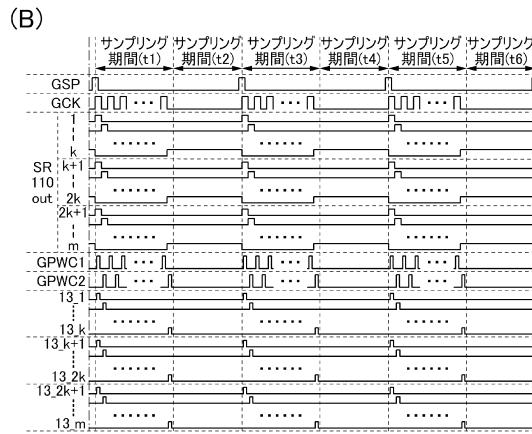
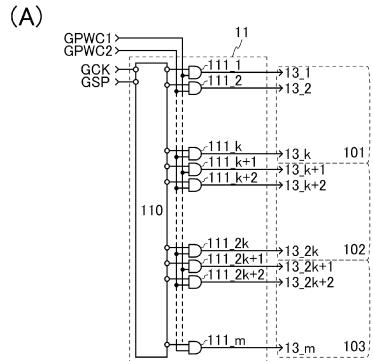
【図 1】



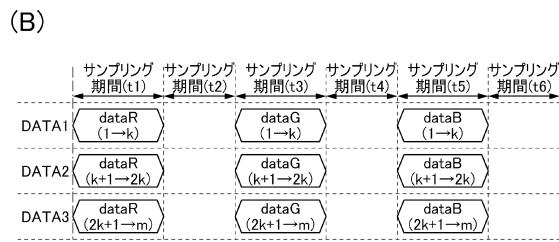
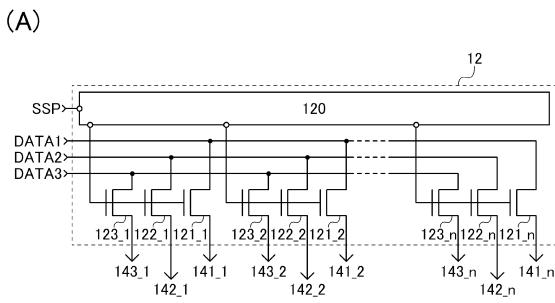
【図 2】



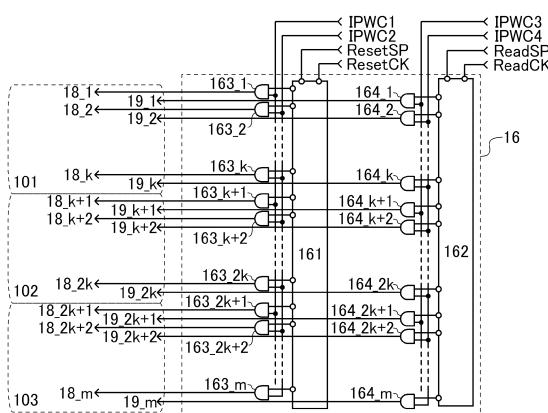
【図3】



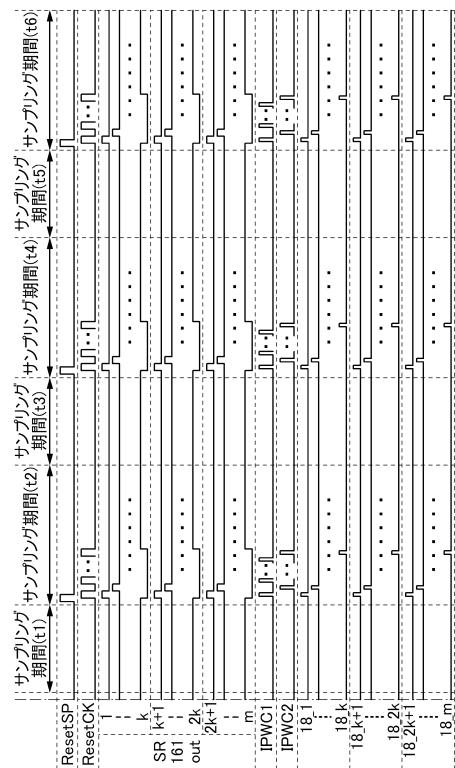
【図4】



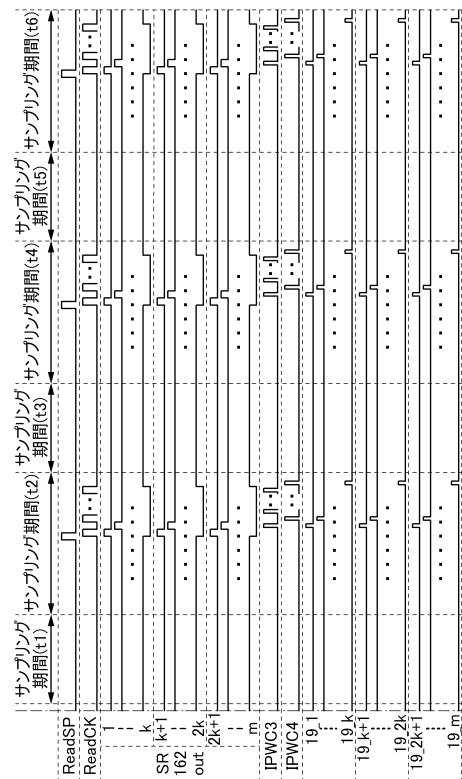
【図5】



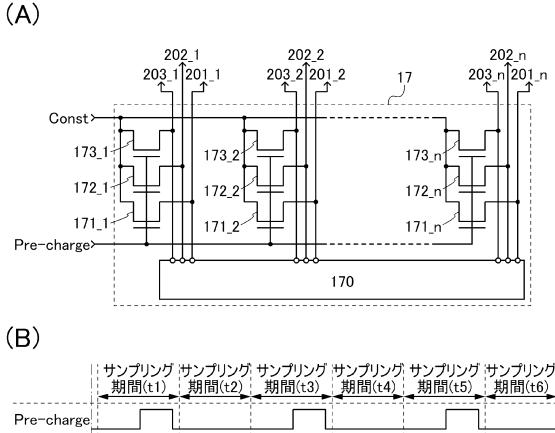
【図6】



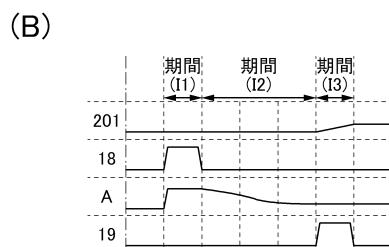
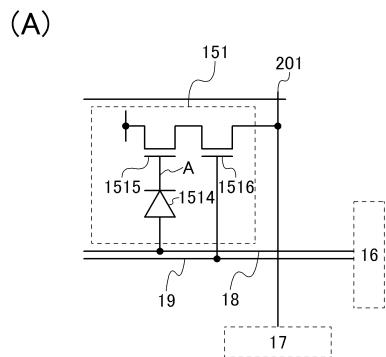
【図7】



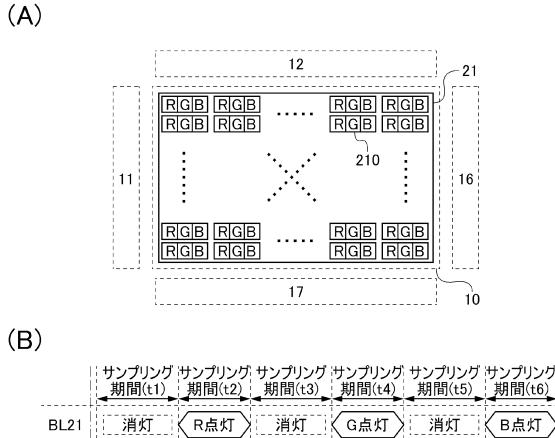
【図8】



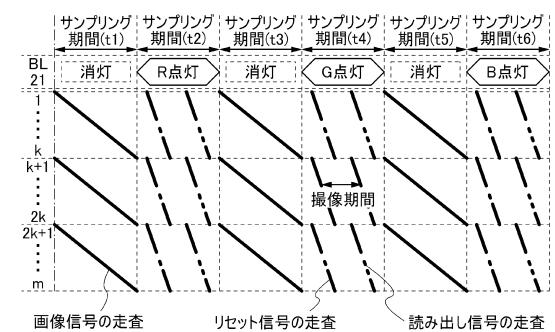
【図9】



【図10】

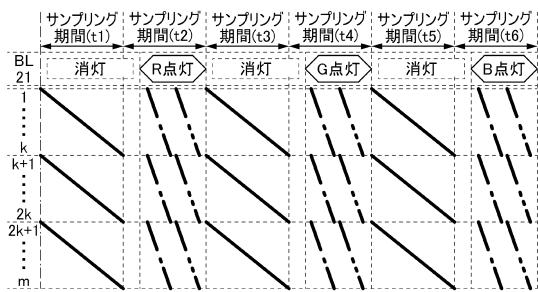


【図11】

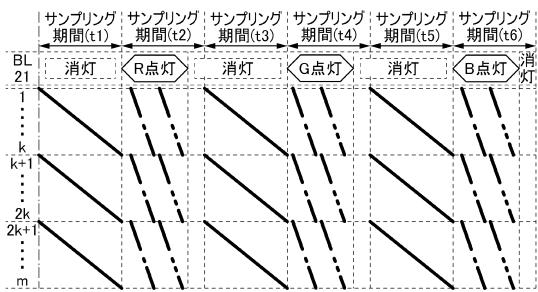


【図12】

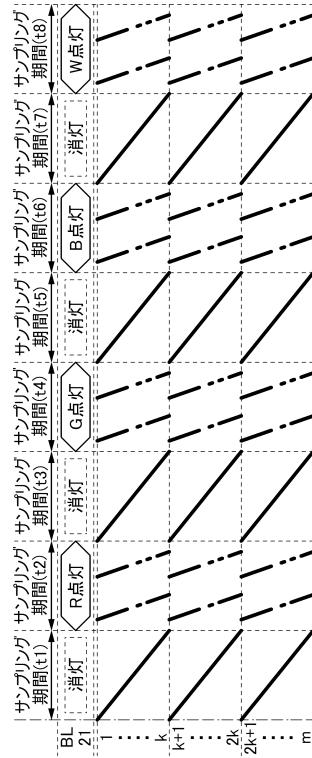
(A)



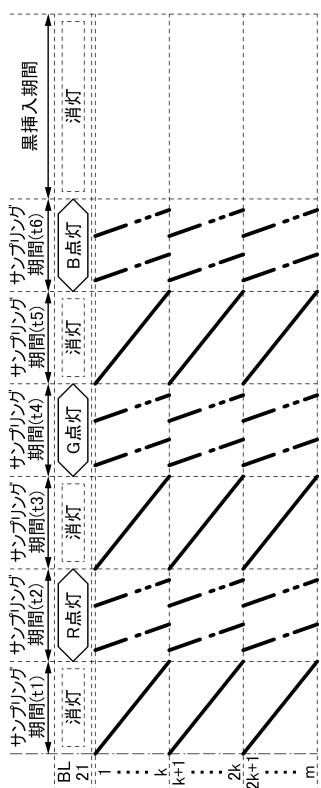
(B)



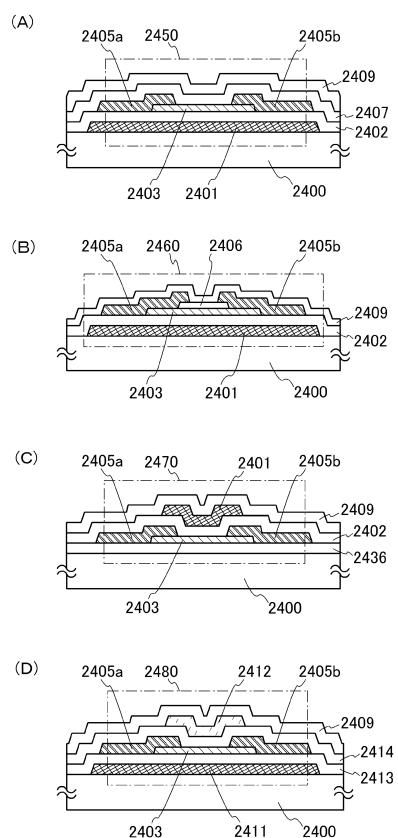
【図13】



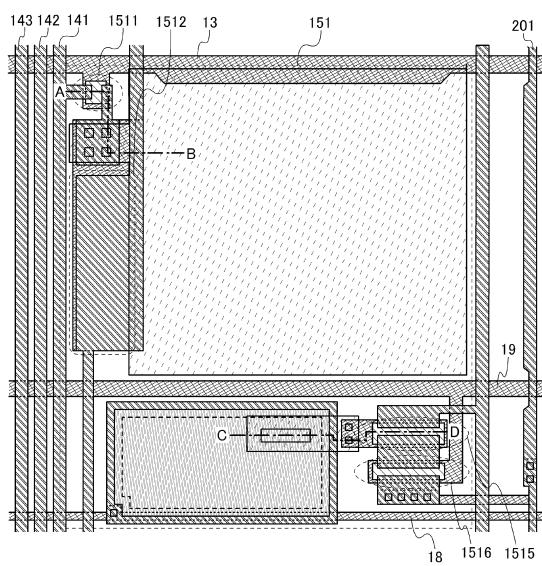
【図14】



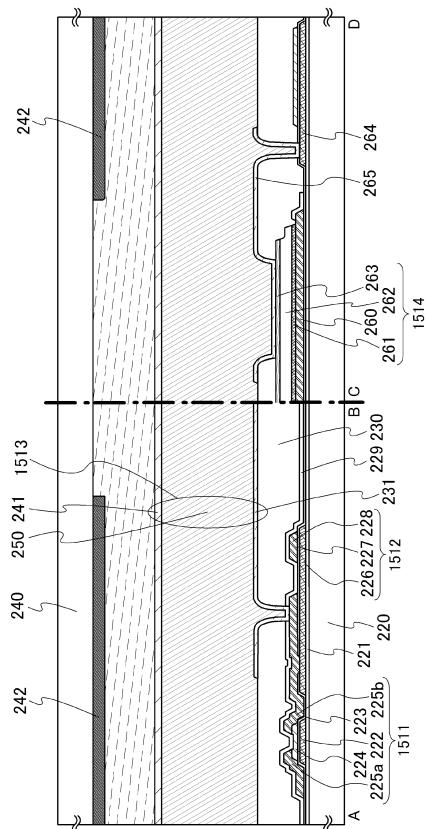
【図15】



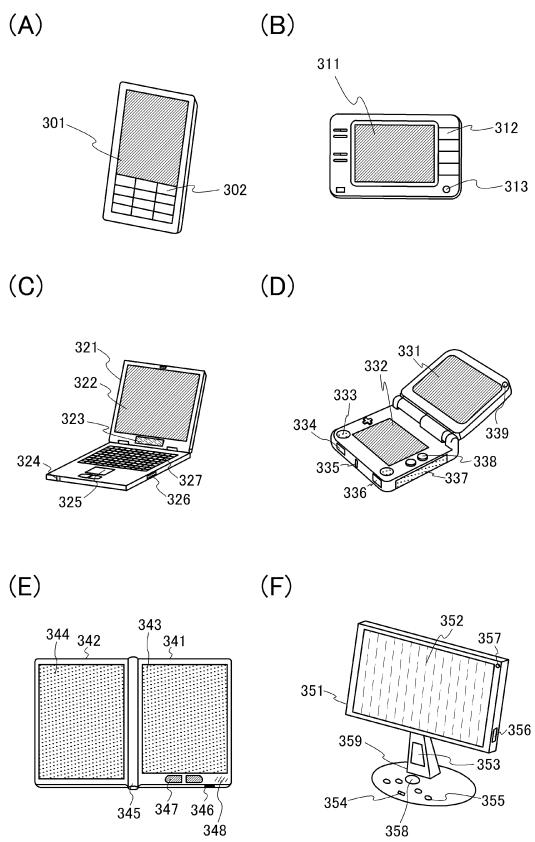
【図16】



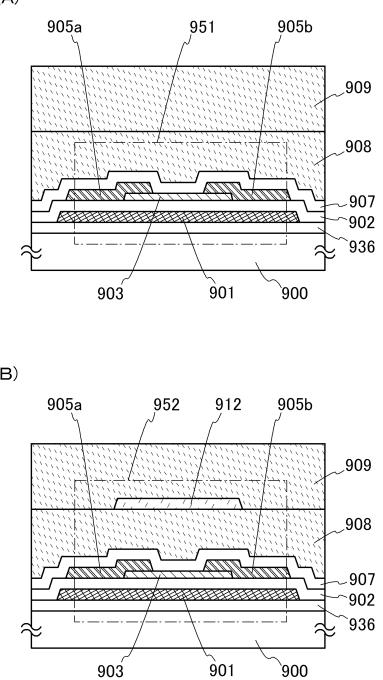
【図17】



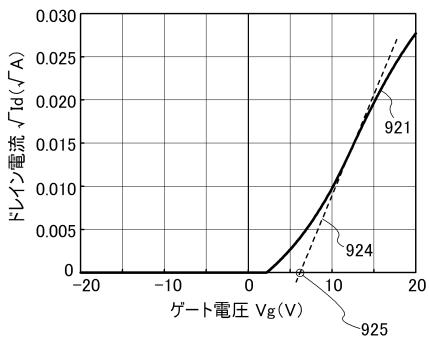
【図18】



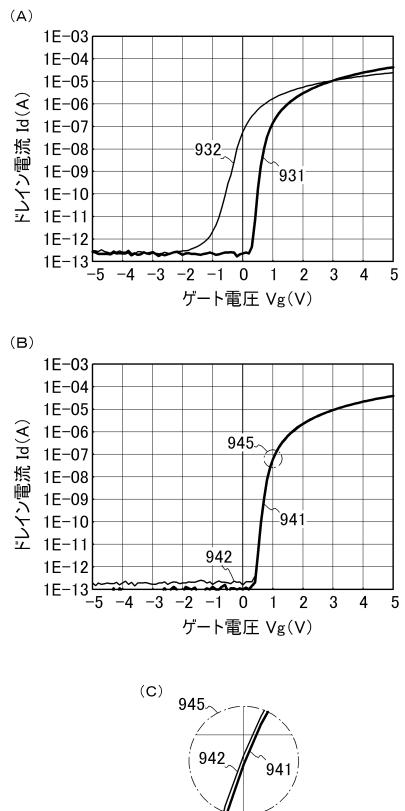
【図19】



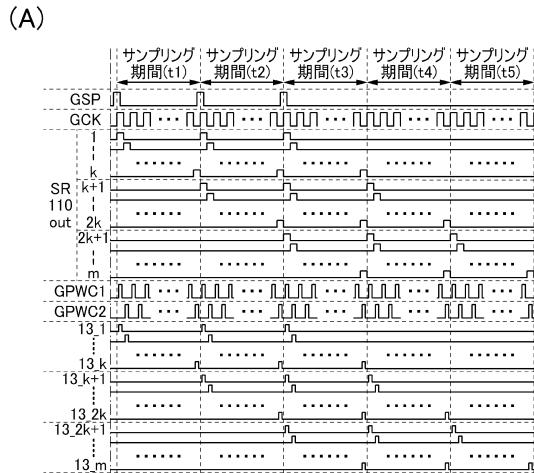
【図20】



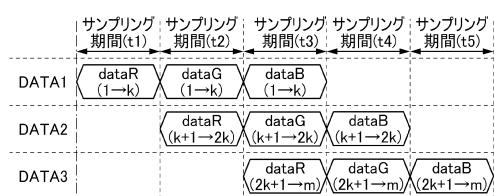
【図21】



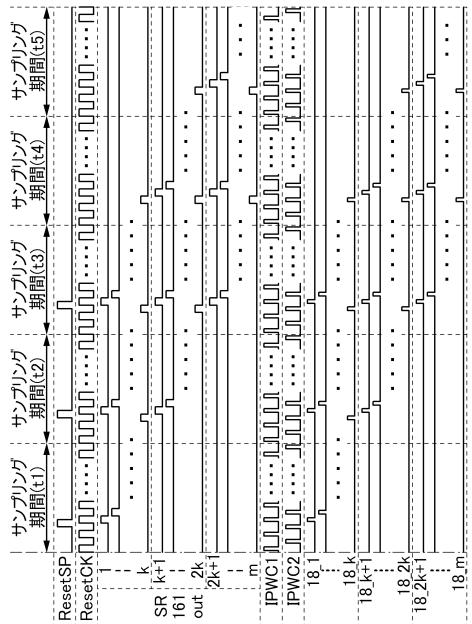
【図22】



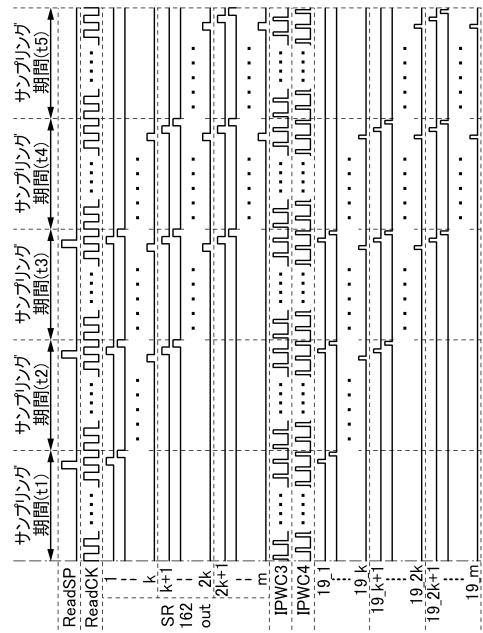
(B)



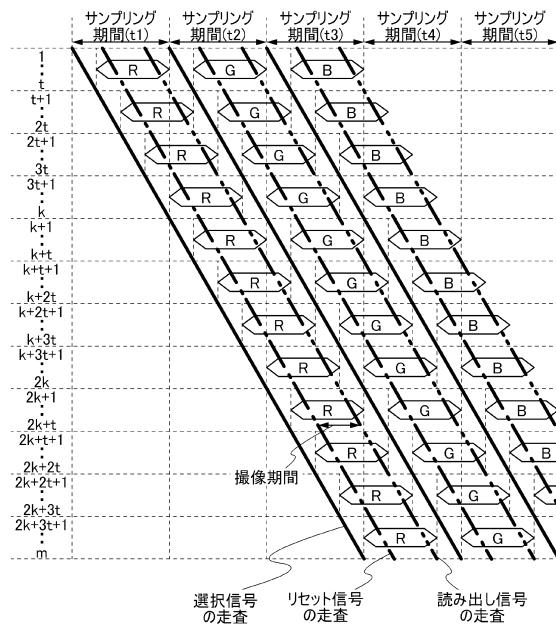
【図23】



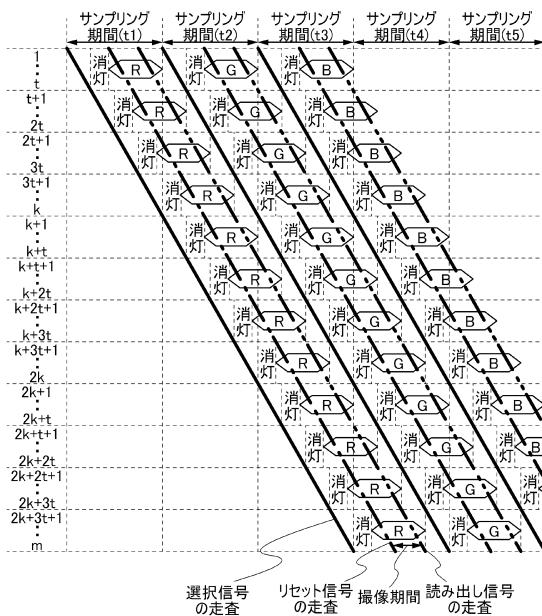
【図24】



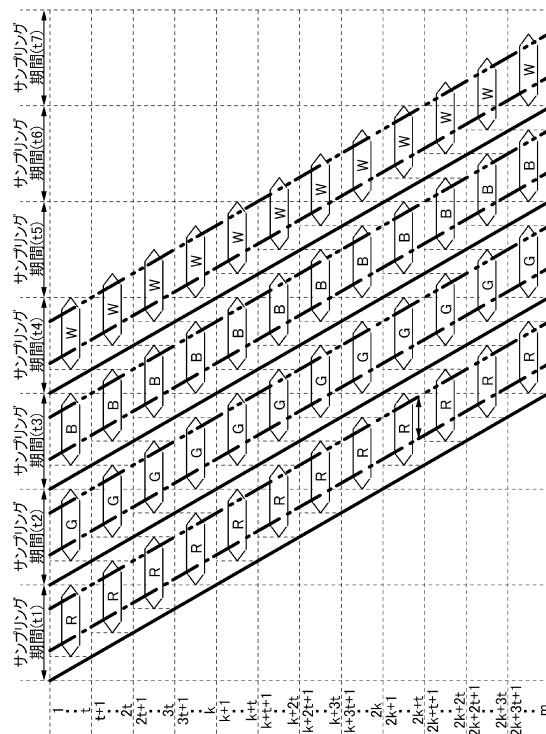
【図25】



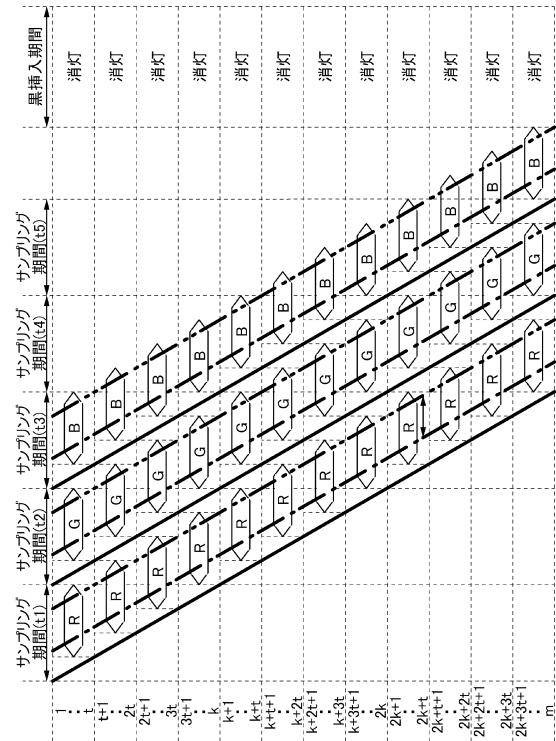
【図26】



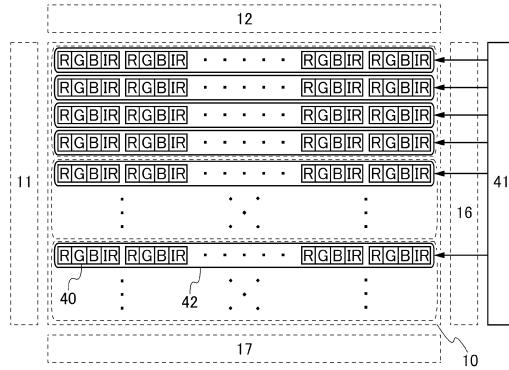
【図27】



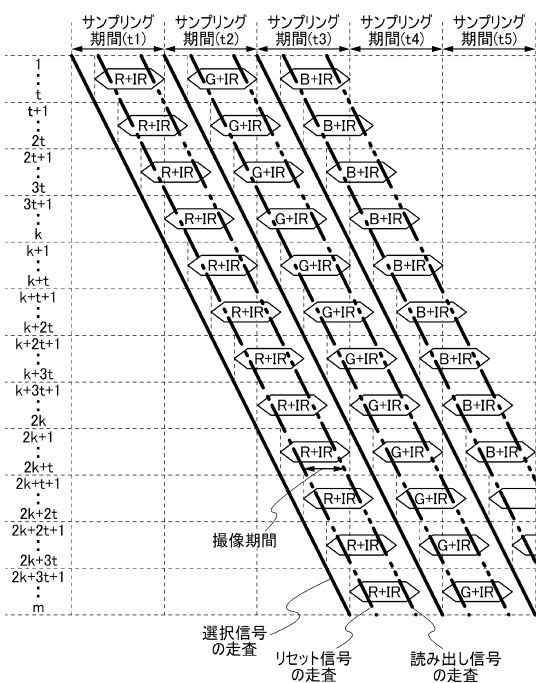
【図28】



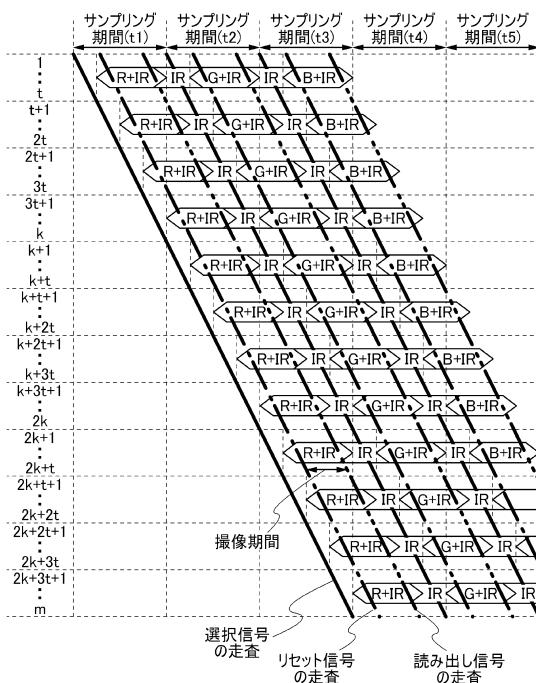
【図29】



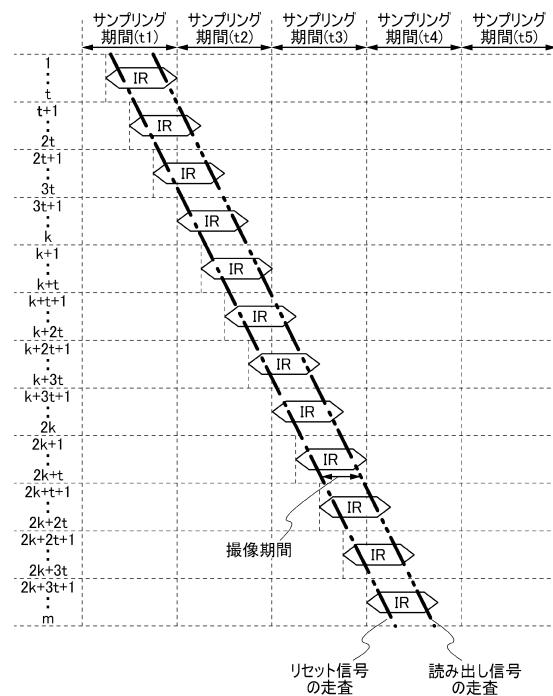
【図30】



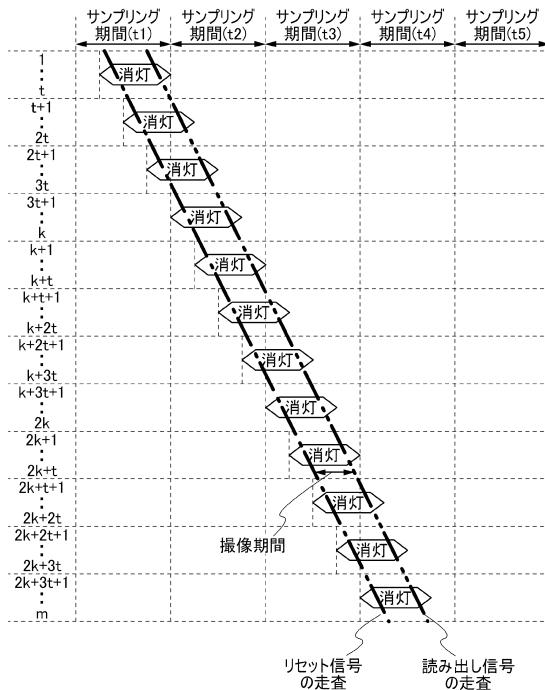
【図31】



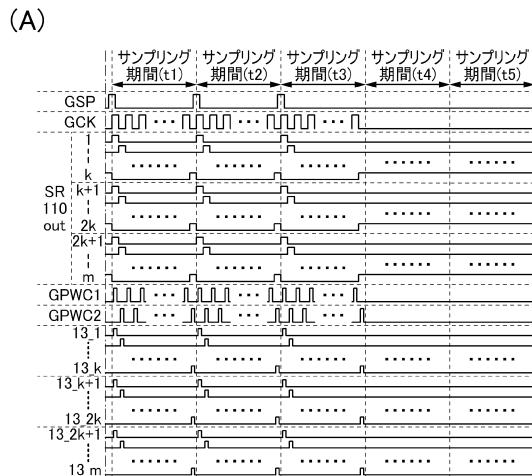
【図32】



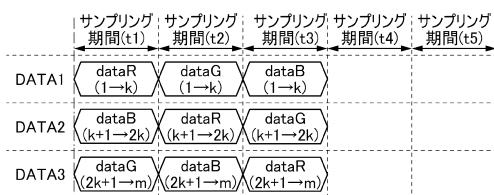
【図33】



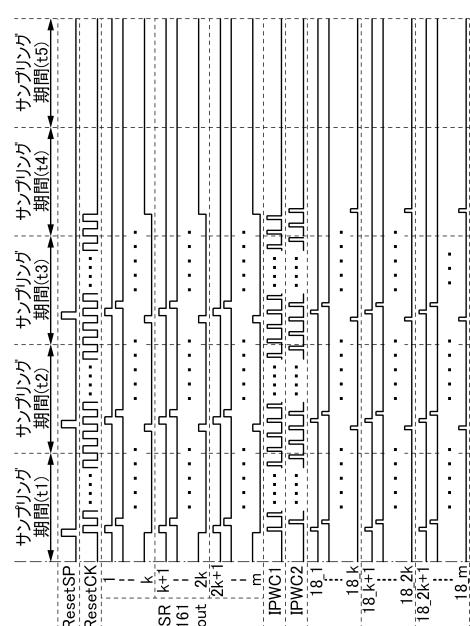
【図34】



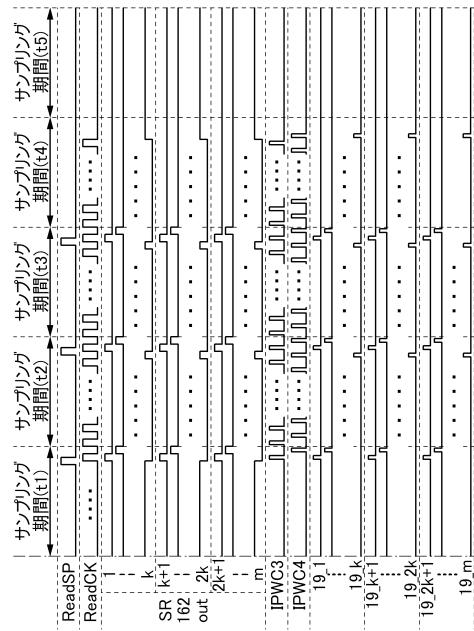
(B)



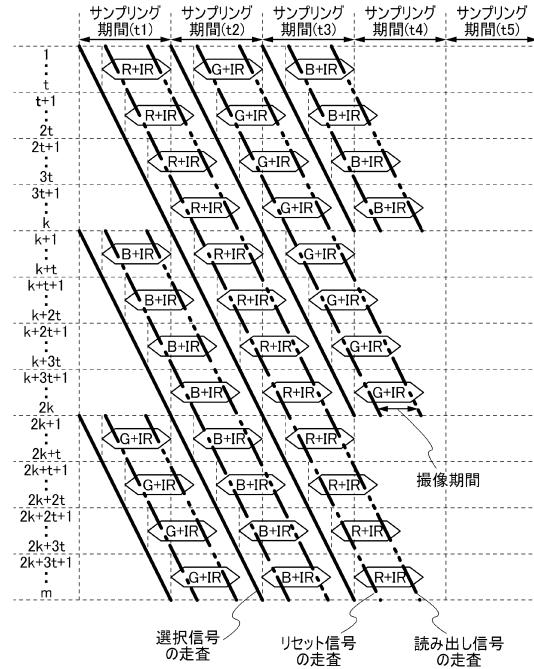
【図35】



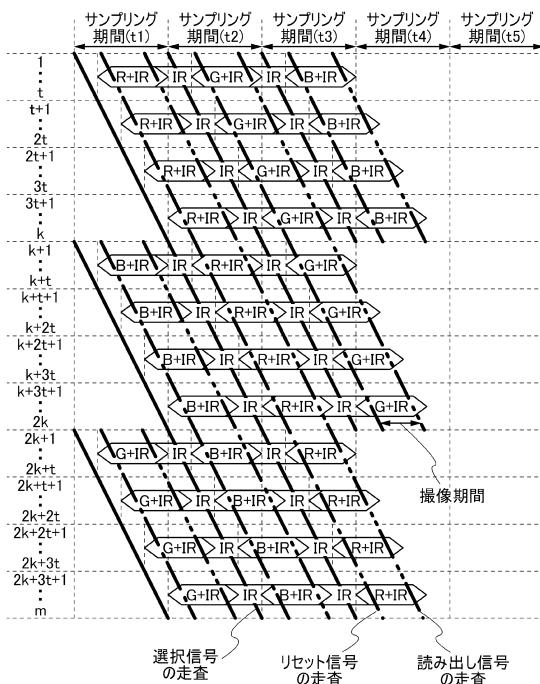
【図36】



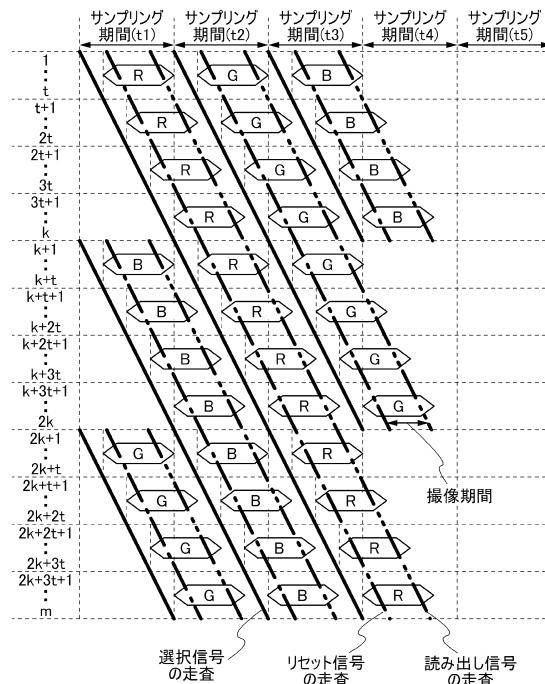
【図37】



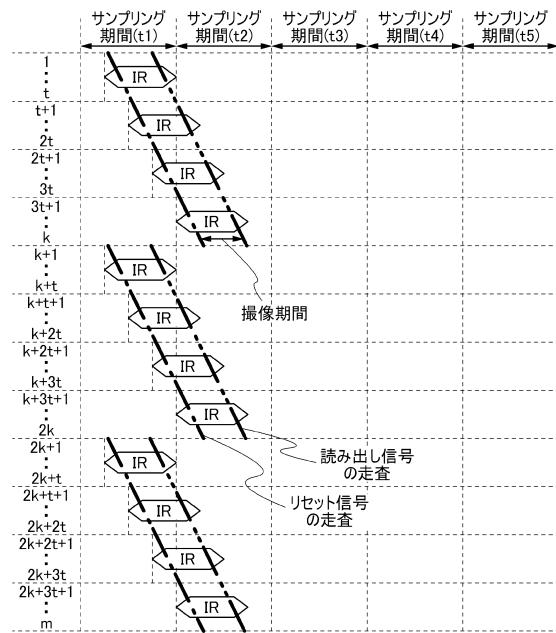
【図38】



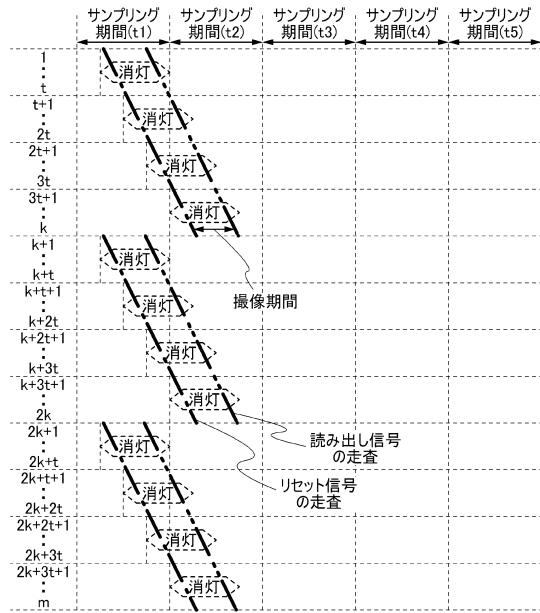
【図39】



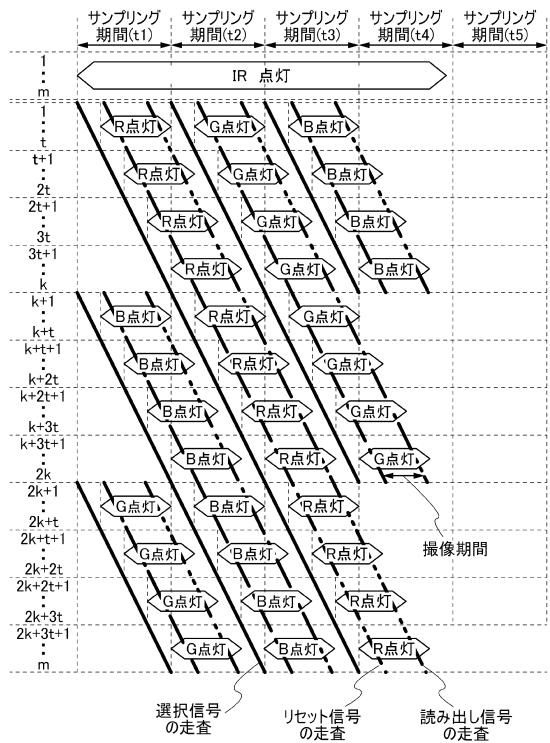
【図40】



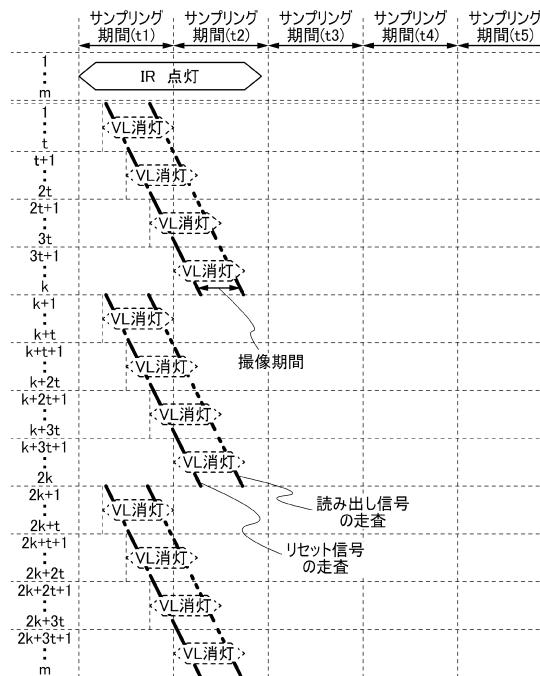
【図41】



【図42】



【図43】



---

フロントページの続き

(51)Int.Cl.		F I			
H 0 4 N	1/028	(2006.01)	G 0 9 G	3/20	6 9 1 E
H 0 4 N	9/30	(2006.01)	G 0 2 F	1/133	5 5 0
			H 0 4 N	1/028	Z
			H 0 4 N	9/30	

(56)参考文献 特開2010-061647(JP,A)  
特開平05-323275(JP,A)  
特開2006-178126(JP,A)  
特開平11-337904(JP,A)  
特開2001-133746(JP,A)  
特開平11-258573(JP,A)  
特開2007-193362(JP,A)  
特開2006-227458(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
H 0 4 N	1 / 0 2 8		
H 0 4 N	1 / 0 4		
H 0 4 N	9 / 3 0		