

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/011896 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01) **G09F 9/30** (2006.01)

(21) 国际申请号: PCT/CN2020/126713

(22) 国际申请日: 2020 年 11 月 5 日 (05.11.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010694709.1 2020 年 7 月 17 日 (17.07.2020) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(72) 发明人: 龚吉祥(GONG, Jixiang); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司(PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道高新区社区高新南一道 006 号 TCL 工业研究院大厦 A802, Guangdong 518057 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY PANEL AND DISPLAY APPARATUS

(54) 发明名称: 显示面板及显示装置

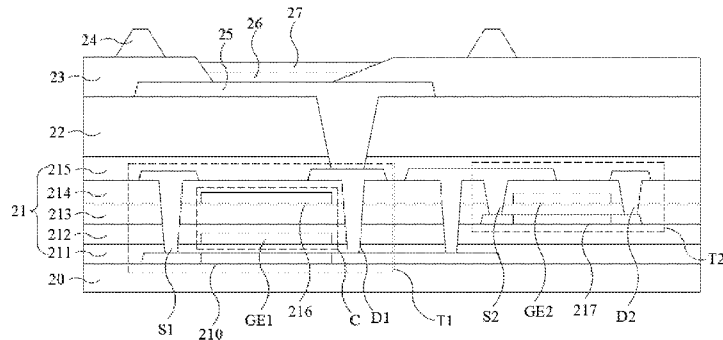


图 2

(57) Abstract: Provided are a display panel and a display apparatus. A first gate electrode of a first thin-film transistor and a first polar plate constitute a storage capacitor, and the first polar plate and a second gate electrode of a second thin-film transistor are arranged in the same layer, such that a gate insulation layer for separating, by layer, the first polar plate from the first gate electrode and the second gate electrode is omitted, and the number of film layers in the display panel and the thickness of the stacked film layers are reduced, thereby reducing the complexity of a process flow of the display panel, and improving the bending capability of the display panel.

(57) 摘要: 本申请提供一种显示面板及显示装置, 通过利用第一薄膜晶体管的第一栅极与第一极板构成存储电容, 将第一极板与第二薄膜晶体管的第二栅极同层设置, 省略用于将第一极板与第一栅极和第二栅极分层隔开的栅极绝缘层, 减少显示面板中的膜层数量以及膜层叠构的厚度, 从而降低显示面板工艺流程的复杂程度, 并提高显示面板的弯折能力。

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

说明书

发明名称：显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种显示面板及显示装置。

背景技术

[0002] 随着可穿戴设备技术的发展，以及在目前电池领域技术未得到显著突破的背景下，人们对于显示设备的功耗要求越来越高。目前用于驱动薄膜晶体管和开关薄膜晶体管的低温多晶硅（low temperature poly-silicon, LTPS）技术由于其功耗较低的特点，仍为主流技术趋势。但是由于LTPS载流子迁移率较大，存在漏电流较高的问题，因此低温多晶氧化物（low temperature polycrystalline-si oxide, LTPO）技术应运而生，其结合了LTPS和氧化物两者的优异点，可在提升显示设备响应速度的同时，降低显示设备的功耗。

发明概述

技术问题

[0003] 如图1所示，图1为现有技术中采用低温多晶氧化物技术的显示面板的膜层结构示意图，驱动薄膜晶体管11和开关薄膜晶体管12的半导体层分别为多晶硅半导体层和氧化物半导体层，显示面板的存储电容13则由分别设置于第一栅极绝缘层14上的第一栅极111和设置于第二栅极绝缘层15上的第二栅极112构成，开关薄膜晶体管12的第三栅极121则通过第三栅极绝缘层16将其与第一栅极111和第二栅极112所在的金属层隔开，由此使得显示面板内的膜层数量较多、膜层叠构的厚度较大，导致显示面板的制作工艺流程较为复杂，此外还会降低显示面板的弯折能力。

[0004] 综上，现有采用低温多晶氧化物技术的显示面板存在膜层数量较多、膜层叠构厚度较大导致的显示面板制作工艺复杂且显示面板弯折能力降低的问题。故，有必要提供一种显示面板及显示装置来改善这一缺陷。

问题的解决方案

技术解决方案

- [0005] 本申请实施例提供一种显示面板及其制作方法、显示装置，用于解决现有采用低温多晶氧化物技术的显示面板存在的膜层数量较多、膜层叠构厚度较大导致显示面板制作工艺复杂且显示面板弯折能力降低的问题。
- [0006] 本申请实施例提供一种显示面板，包括：
- [0007] 衬底基板；
- [0008] 薄膜晶体管阵列层，设置于所述衬底基板上，所述薄膜晶体管阵列层内设有多个间隔排布的第一薄膜晶体管、第二薄膜晶体管和存储电容；
- [0009] 其中，所述第一薄膜晶体管包括层叠设置的多晶硅半导体层和第一栅极，所述第二薄膜晶体管包括层叠设置的氧化物半导体层和第二栅极，所述存储电容包括设置于所述第一栅极远离所述衬底基板一侧上的第一极板，所述第一栅极与所述第一极板构成所述存储电容，所述第一极板与所述第二栅极同层设置。
- [0010] 根据本申请一实施例，所述氧化物半导体层靠近所述衬底基板一侧表面与所述衬底基板之间的距离大于所述多晶硅半导体层靠近所述衬底基板一侧表面与所述衬底基板之间的距离。
- [0011] 根据本申请一实施例，所述薄膜晶体管阵列层包括依次层叠设置于所述多晶硅半导体层上的第一栅极绝缘层和第一层间绝缘层，所述第一栅极设置于所述第一栅极绝缘层与所述第一层间绝缘层之间，所述氧化物半导体层设置于所述第一层间绝缘层远离所述第一栅极绝缘层的一侧上。
- [0012] 根据本申请一实施例，所述第一层间绝缘层为氮化硅和氧化硅材料形成的叠层结构，且所述第一层间绝缘层中硅-氢键的原子百分比取值介于20%~30%。
- [0013] 根据本申请一实施例，所述薄膜晶体管阵列层还包括层叠设置于所述第一层间绝缘层远离所述第一栅极绝缘层一侧上的第二栅极绝缘层和第二层间绝缘层，所述第一极板和所述第二栅极均设置于所述第二栅极绝缘层与所述第二层间绝缘层之间。
- [0014] 根据本申请一实施例，所述第一极板与所述第二栅极由同层金属制成。
- [0015] 根据本申请一实施例，所述存储电容包括并联的第一电容和第二电容，所述第一栅极与所述第一极板之间设有第二极板，所述第二极板分别与所述第一栅极和所述第一极板构成所述第一电容和所述第二电容。

- [0016] 根据本申请一实施例，所述第二极板在所述衬底基板上的正投影区域与所述第一栅极或所述第一极板在所述衬底基板上的正投影区域重叠。
- [0017] 根据本申请一实施例，所述第二极板与所述氧化物半导体层同层设置。
- [0018] 根据本申请一实施例，所述第二极板与所述氧化物半导体层由同层氧化物材料制成。
- [0019] 根据本申请一实施例，所述第一薄膜晶体管包括第一源极和第一漏极，所述第二薄膜晶体管包括第二源极和第二漏极，所述第一源极和所述第一漏极分别通过贯穿所述第二层间绝缘层、第二栅极绝缘层、第一层间绝缘层和第一栅极绝缘层的第一过孔与所述多晶硅半导体层连接，所述第二源极和所述第二漏极分别通过贯穿所述第二层间绝缘层和所述第二栅极绝缘层的第二过孔与所述氧化物半导体层连接。
- [0020] 本申请实施例提供一种显示装置，包括装置主体以及设置于所述装置主体上的显示面板，所述显示面板包括：
- [0021] 衬底基板；
- [0022] 薄膜晶体管阵列层，设置于所述衬底基板上，所述薄膜晶体管阵列层内设有多个间隔排布的第一薄膜晶体管、第二薄膜晶体管和存储电容；
- [0023] 其中，所述第一薄膜晶体管包括层叠设置的多晶硅半导体层和第一栅极，所述第二薄膜晶体管包括层叠设置的氧化物半导体层和第二栅极，所述存储电容包括设置于所述第一栅极远离所述衬底基板一侧上的第一极板，所述第一栅极与所述第一极板构成所述存储电容，所述第一极板与所述第二栅极同层设置。
- [0024] 根据本申请一实施例，所述氧化物半导体层靠近所述衬底基板一侧表面与所述衬底基板之间的距离大于所述多晶硅半导体层靠近所述衬底基板一侧表面与所述衬底基板之间的距离。
- [0025] 根据本申请一实施例，所述薄膜晶体管阵列层包括依次层叠设置于所述多晶硅半导体层上的第一栅极绝缘层和第一层间绝缘层，所述第一栅极设置于所述第一栅极绝缘层与所述第一层间绝缘层之间，所述氧化物半导体层设置于所述第一层间绝缘层远离所述第一栅极绝缘层的一侧上。
- [0026] 根据本申请一实施例，所述第一层间绝缘层为氮化硅和氧化硅材料形成的叠层

结构，且所述第一层间绝缘层中硅-氢键的原子百分比取值介于20%~30%。

[0027] 根据本申请一实施例，所述薄膜晶体管阵列层还包括层叠设置于所述第一层间绝缘层远离所述第一栅极绝缘层一侧上的第二栅极绝缘层和第二层间绝缘层，所述第一极板和所述第二栅极均设置于所述第二栅极绝缘层与所述第二层间绝缘层之间。

[0028] 根据本申请一实施例，所述第一极板与所述第二栅极由同层金属制成。

[0029] 根据本申请一实施例，所述存储电容包括并联的第一电容和第二电容，所述第一栅极与所述第一极板之间设有第二极板，所述第二极板分别与所述第一栅极和所述第一极板构成所述第一电容和所述第二电容。

[0030] 根据本申请一实施例，所述第二极板在所述衬底基板上的正投影区域与所述第一栅极或所述第一极板在所述衬底基板上的正投影区域重叠。

[0031] 本申请实施例还提供一种显示装置，包括装置主体以及设置于所述装置主体上的显示面板，所述显示面板包括：

[0032] 衬底基板；

[0033] 薄膜晶体管阵列层，设置于所述衬底基板上，所述薄膜晶体管阵列层内设有多个间隔排布的第一薄膜晶体管、第二薄膜晶体管和存储电容；

[0034] 其中，所述第一薄膜晶体管包括层叠设置的多晶硅半导体层和第一栅极，所述第二薄膜晶体管包括层叠设置的氧化物半导体层和第二栅极，所述薄膜晶体管阵列层还包括依次层叠设置于所述多晶硅半导体层上的第一栅极绝缘层、第一层间绝缘层、第二栅极绝缘层和第二层间绝缘层，所述存储电容包括设置于所述第一栅极远离所述衬底基板一侧上的第一极板，所述第一栅极与所述第一极板构成所述存储电容，所述第一极板与所述第二栅极同层设置，且位于所述第二栅极绝缘层与所述第二层间绝缘层之间。

[0035] 本申请实施例还提供一种显示面板的制作方法，包括：

[0036] 提供衬底基板，在所述衬底基板上形成多晶硅半导体层；

[0037] 在所述衬底基板上形成覆盖所述多晶硅半导体层的第一栅极绝缘层；

[0038] 在所述第一栅极绝缘层远离所述衬底基板的一侧形成第一栅极；

[0039] 在所述第一栅极绝缘层远离所述衬底基板的一侧上形成覆盖所述第一栅极的第

一层间绝缘层；

[0040] 在所述第一层间绝缘层远离所述第一栅极绝缘层的一侧上形成氧化物半导体层；

[0041] 在所述第一层间绝缘层远离所述栅极绝缘层的一侧上形成覆盖所述氧化物半导体层的第二栅极绝缘层；

[0042] 在所述第二栅极绝缘层远离所述衬底基板的一侧上沉积金属材料，通过图案化工艺形成多个间隔排布的第一极板和第二栅极，所述第一极板与所述第一栅极构成存储电容；以及

[0043] 在所述第二栅极远离所述第二栅极绝缘层的一侧形成第一源极、第一漏极、第二源极以及第二漏极，所述第一源极与所述第一漏极、第一栅极以及所述多晶硅半导体层构成第一薄膜晶体管，所述第二源极与所述第二漏极、所述第二栅极以及所述氧化物半导体层构成第二薄膜晶体管。

[0044] 根据本申请一实施例，形成所述氧化物半导体层的步骤包括：

[0045] 在所述第一层间绝缘层远离所述第一栅极绝缘层的一侧沉积一层氧化物半导体材料；以及

[0046] 通过图案化工艺，形成多个间隔排布的所述氧化物半导体层和第二极板，所述第二极板分别与所述第一栅极和所述第一极板构成所述存储电容的第一电容和第二电容。

发明的有益效果

有益效果

[0047] 本申请实施例的有益效果：本申请实施通过利用第一薄膜晶体管的第一栅极与第一极板构成存储电容，同时将第一极板与第二薄膜晶体管的第二栅极同层设置，可以省略用于将第一极板与第一栅极和第二栅极分层隔开的栅极绝缘层，以此减少显示面板中的膜层数量以及膜层叠构的厚度，从而降低显示面板工艺流程的复杂程度，并提高显示面板的弯折能力。

对附图的简要说明

附图说明

[0048] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技

术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- [0049] 图1为现有技术的显示面板的膜层结构示意图；
- [0050] 图2为本申请实施例提供的第一种显示面板的膜层结构示意图；
- [0051] 图3为本申请实施例提供的第二种显示面板的膜层结构示意图；
- [0052] 图4为本申请实施例提供的显示装置的结构示意图；
- [0053] 图5A至图5I为本申请实施例提供的第一种显示面板的制作方法对应的显示面板的膜层结构示意图；以及
- [0054] 图6A至图6B为本申请实施例提供的第二种显示面板的制作方法对应的显示面板的膜层结构示意图。

发明实施例

本发明的实施方式

- [0055] 以下各实施例的说明是参考附加的图示，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。在图中，结构相似的单元是用以相同标号表示。
- [0056] 下面结合附图和具体实施例对本申请做进一步的说明：
- [0057] 本申请实施例提供一种显示面板，下面结合图2进行详细说明，图2为本申请实施例提供的显示面板的膜层结构示意图。本申请实施例提供的显示面板包括衬底基板20、设置于衬底基板20上的薄膜晶体管阵列层21以及设置于薄膜晶体管阵列层21远离衬底基板20一侧上的显示器件层。
- [0058] 本申请实施例中，衬底基板20包括依次层叠设置的第一衬底、阻隔层、第二衬底、缓冲层以及第三衬底（图中未示出），第一衬底和第二衬底均由聚酰亚胺材料制备而成，第三衬底则由氮化硅、氧化硅以及非晶硅材料形成的叠层结构。当然，衬底基板20的材料和结构不仅限于本申请实施例所提供的材料以及结构，在其他的一些实施例中，衬底基板20也可以为其他结构以及材料，此处不

做限制。

[0059] 本申请实施例所提供的显示面板可以为有机发光二极管显示面板，显示器件层包括设置于薄膜晶体管阵列层21远离衬底基板20一侧上的平坦层22、像素定义层23、设置于像素定义层23一侧表面的多个隔垫物24以及层叠设置平坦层22远离衬底基板20一侧上的阳极25、发光层26和阴极27，其结构以及材料与现有技术中的有机发光二极管显示器件相同，此处不做赘述。当然，显示器件层内的显示器件不仅限于本申请实施例中的有机发光二极管器件，在其他一些实施例中，显示器件层内的显示器件同样也可以包括但不限于微发光二极管、迷你发光二极管等发光显示器件，显示器件的种类可以根据实际需求进行选择，此处不做限制。

[0060] 如图2所示，本申请实施例中，薄膜晶体管阵列层21内设有间隔排布的多个第一薄膜晶体管T1、第二薄膜晶体管T2以及存储电容C，第一薄膜晶体管T1与第二薄膜晶体管T2、存储电容C以及设置于薄膜晶体管阵列层21内的电路走线构成显示面板内各个子像素单元的像素驱动电路。

[0061] 本申请实施例所提供的像素驱动电路为7T1C像素驱动电路，包括1个驱动薄膜晶体管、6个开关薄膜晶体管以及1个存储电容C，其中第一薄膜晶体管T1为驱动薄膜晶体管，第二薄膜晶体管T2为开关薄膜晶体管。当然，在其他实施例中，显示面板的像素驱动电路也可以为其他电路结构，其内部驱动薄膜晶体管、开关薄膜晶体管以及电容的数量也不仅限于本申请实施例所提供的数量，具体结构可以根据实际需求进行设定，此处不做限制。

[0062] 在本申请实施例中，第一薄膜晶体管T1包括层叠设置的多晶硅半导体层210、第一栅极GE1、设置于第一栅极GE1远离多晶硅半导体层210一侧的第一源极S1和第一漏极D1，第二薄膜晶体管T2包括层叠设置的氧化物半导体层217、第二栅极GE2、以及设置于第二栅极GE2远离氧化物半导体层217一侧的第二源极S2和第二漏极D2，存储电容C包括设置于第一栅极GE1远离衬底基板20一侧的第一极板216，第一极板216和第一栅极GE1在衬底基板20上的正投影区域均与多晶硅半导体层210的沟道区在衬底基板20上的正投影区域重叠，第二栅极GE2在衬底基板20上的正投影区域与氧化物半导体层217在衬底基板20上的正投影区域重叠，第一

极板216与第一薄膜晶体管T1的第一栅极GE1构成存储电容C，第一极板216与第二栅极GE2设置于同一膜层上。

[0063] 在本申请实施例中，多晶硅半导体层210为低温多晶硅半导体层，氧化物半导体层217的材料优选为铟镓锌氧化物（indium gallium zinc oxide, IGZO）。当然，在其他一些实施例中，氧化物半导体层217的材料还可包括但不限于铟镓氧化物或者铟锌氧化物等氧化物半导体材料，具体材料可以根据实际需求进行选择，此处不做限制。

[0064] 如图2所示，第二薄膜晶体管T2的氧化物半导体层217靠近衬底基板20一侧表面与衬底基板之间的距离大于第一薄膜晶体管T1的多晶硅半导体层210靠近衬底基板20一侧表面与衬底基板之间的距离。

[0065] 具体的，参照图2，薄膜晶体管阵列层21包括依次层叠设置于多晶硅半导体层210上的第一栅极绝缘层211和第一层间绝缘层212，第一栅极绝缘层211覆盖多晶硅半导体层210，第一栅极GE1设置于第一栅极绝缘层211和第一层间绝缘层212之间，氧化物半导体层217则设置于第一层间绝缘层212远离第一栅极绝缘层211的一侧上。通过将氧化物半导体层217设置在多晶硅半导体层210远离衬底基板20的一侧，可以防止制备多晶硅半导体层210时的高温对氧化物半导体层217的结构以及性质造成破坏。

[0066] 在本申请实施例中，第一栅极绝缘层211的材料为氧化硅，第一层间绝缘层212为氮化硅和氧化硅材料形成的叠层结构，氮化硅膜层设置于氧化硅膜层与第一栅极绝缘层211之间，且第一层间绝缘层212中硅-氢键含量的原子百分比取值为25%。通过提高第一层间绝缘层212中的氢含量，可提高多晶硅半导体层210的稳定性，同时还可以利用第一层间绝缘层212中氧化硅膜层防止氮化硅膜层中氢离子扩散至氧化物半导体层217中，保证氧化物半导体层217的稳定性不受影响。当然，第一层间绝缘层212中硅-氢键含量的原子百分比取值不仅限于本申请实施例所提供的设置，在其他一些实施例中，第一层间绝缘层212中硅-氢键含量的原子百分比取值也可以包括但不限于20%或者30%，其取值最好介于20%~30%之间，具体数值可以根据实际需求进行设定，此处不做限制。

[0067] 进一步的，薄膜晶体管阵列层21还包括层叠设置于第一层间绝缘层212远离第

一栅极绝缘层211一侧上的第二栅极绝缘层213和第二层间绝缘层214，第一极板216和第二栅极GE2均设置于第二栅极绝缘层213和第二层间绝缘层214之间。相较于图1所示的显示面板，本申请实施例所提供的显示面板将存储电容的第一极板216与第二薄膜晶体管T2的第二栅极GE2设置于同一层，利用第二栅极GE2下方的第二栅极绝缘层213将第二栅极GE2和第一极板216所在膜层与第一栅极GE1所在金属膜层分层隔开，以此可以取消原有用于将第一栅极GE1所在金属膜层与第一极板216所在金属膜层分层隔开的由无机绝缘材料所形成的栅极绝缘层，从而减少显示面板中的膜层数量以及膜层叠构的厚度，进而降低显示面板工艺流程的复杂程度，并提高显示面板的弯折能力。

[0068] 优选的，在本申请实施例中，第一极板216与第二栅极GE2由同层金属制成，因此可以利用一张掩膜版同时制备形成第一极板216和第二栅极GE2，从而可以省略单独用于制备第一极板216所需要的掩膜版以及相关工艺制程，进而降低显示面板工艺流程的复杂程度以及生产成本。当然，在一些实施例中，第一极板216和第二栅极GE2虽然设置于同一层，但是可以使用不同材料，通过不同的工艺制备而成，此处不做限制。

[0069] 具体的，如图2所示，第一源极S1、第一漏极D1、第二源极S2和第二漏极D2均设置于第二层间绝缘层214和钝化保护层215之间，第一源极S1和第一漏极D1通过多个贯穿第二层间绝缘层214、第二栅极绝缘层213、第一层间绝缘层212和第一栅极绝缘层211的第一过孔分别与多晶硅半导体210的第一源极区和第一漏极区连接，设置于平坦层22和像素定义层23之间的阳极25通过过孔与第一漏极D1连接。第二源极S2和第二漏极D2通过多个贯穿第二层间绝缘层214和第二栅极绝缘层213的第二过孔与氧化物半导体层217的第二源极区和第二漏极区连接。

[0070] 本申请实施例的有益效果：本申请实施通过利用第一薄膜晶体管的第一栅极与第一极板构成存储电容，同时将第一极板与第二薄膜晶体管的第二栅极同层设置，可以省略用于将第一栅极与第一极板分层隔开的栅极绝缘层、以及用于制备形成第一极板所需要的掩膜版，以此减少显示面板中的膜层数量以及膜层叠构的厚度，从而降低显示面板工艺流程的复杂程度以及生产成本，并提高显示面板的弯折能力。

- [0071] 本申请实施例还提供一种显示面板，下面结合图3进行详细说明，图3为本申请实施例提供的显示面板的膜层结构示意图。本申请实施例所提供的显示面板与上述实施例所提供的显示面板的结构大致相同，此处不再赘述。本申请实施例所提供的显示面板与上述实施例所提供的显示面板的区别之处在于，本申请实施例中存储电容C包括并联的第一电容和第二电容，第一栅极GE1与第一极板216之间设有第二极板218，第二极板218在衬底基板20上的正投影区域分别与第一极板216和第一栅极GE1各自在衬底基板20上的正投影区域重叠。
- [0072] 第一栅极GE1与第二极板218构成第一电容，第一极板216与第二极板218构成第二电容，第一电容与第二电容通过设置于薄膜晶体管阵列层21中的信号走线并联，以此可以增加存储电容C的单位电容值，从而在保证存储电容C电容值不变的情况下可以压缩存储电容C的尺寸，进而减小像素电路所占据的面积，并提高显示面板的分辨率。当然，在其他的一些实施例中，同样也可以在存储电容C尺寸不变的情况下，通过本实施例的方式增加存储电容C的电容值，从而在存储电容C存储电位信号时，降低其受到漏电流的影响，进而提高显示面板在低刷新率或者低功耗的状态下，显示面板显示效果的稳定性。
- [0073] 进一步的，在本申请实施例中，第二极板218与第二薄膜晶体管T2的氧化物半导体层217同层设置，以此可以在增加第二极板218的情况下，保持显示面板原有的膜层数量以及膜层结构不变，进而不影响显示面板的弯折性能。
- [0074] 当然，第二极板218设置的位置不仅限于本申请实施例所提供的与氧化物半导体层217同层设置，在其他一些实施例中，第二极板218可以设置于第一栅极GE1与第一极板216之间除氧化物半导体层217所在膜层之外的其他膜层中，其同样可以实现与上述实施例相同的技术效果，具体设置的膜层位置可以根据实际情况进行选择，此处不做限制。
- [0075] 优选的，在本申请实施例中，第二极板218与氧化物半导体层217由同层氧化物材料制成，因此可以利用一张掩膜版同时制备形成氧化物半导体层217和第二极板218，从而可以省略单独用于制备第二极板218所需要的掩膜版以及相关工艺制程，进而降低显示面板工艺流程的复杂程度以及生产成本。当然，在一些实施例中，第二极板218和第二栅极GE2虽然设置于同一层，但是可以使用不同材

料，通过不同的工艺制备而成，此处不做限制。

[0076] 本申请实施例的有益效果：本申请实施例利用第一薄膜晶体管的第一栅极与第一极板构成存储电容，同时在第一栅极与第一极板之间设置第二极板，第二极板分别与第一栅极和第一极板分别形成存储电容的并联的第一电容和第二电容，同时将第一极板与第二薄膜晶体管的第二栅极同层设置，并将第二极板与氧化物半导体层同层设置，可以省略用于将第一栅极与第一极板分层隔开的栅极绝缘层以及分别用于制备第一极板和第二极板的掩膜版，以此减少显示面板中的膜层数量以及膜层叠构的厚度，从而降低显示面板工艺流程的复杂程度和生产成本，并提高显示面板的弯折能力和显示面板的显示效果。

[0077] 本申请实施例还提供一种显示装置，下面结合图4进行详细说明，图4为本申请实施例提供的显示装置的结构示意图。如图4所示，显示装置3包括装置主体31和显示面板32，装置主体31包括框架总成以及设置于框架总成中的电源、处理器、摄像头等零部件（图中未示出），显示面板32设置于装置主体31上。本申请实施例所提供的显示面板32为上述实施例所提供任意一种的显示面板，且本申请实施例所提供的显示装置3同样可以实现与上述实施例所提供的显示面板相同的技术效果，此处不再赘述。

[0078] 本申请实施例还提供一种显示面板的制作方法，下面结合图5A至图5I进行详细说明，图5A至图5I为本申请实施例提供的与显示面板的制作方法对应的显示面板的膜层结构示意图，本申请实施例提供的显示面板的制作方法包括：

[0079] 步骤S1：如图5A所示，提供衬底基板40，在衬底基板40上形成多晶硅半导体层410；

[0080] 步骤S2：如图5B所示，在衬底基板40上形成覆盖多晶硅半导体层410的第一栅极绝缘层411；

[0081] 步骤S3：如图5C所示，在第一栅极绝缘层411远离衬底基板40的一侧上沉积金属材料，通过图案化工艺，形成图案化的第一栅极GE1，第一栅极GE1在衬底基板40上的正投影区域与多晶硅半导体层410的沟道区在衬底基板40上的正投影区域重叠；

[0082] 步骤S4：如图5D所示，在第一栅极绝缘层411远离衬底基板40的一侧上形成覆

盖第一栅极GE1的第一层间绝缘层412;

[0083] 步骤S5: 如图5E所示, 在第一层间绝缘层412远离第一栅极绝缘层411的一侧上形成氧化物半导体层417;

[0084] 步骤S6: 如图5F所示, 在第一层间绝缘层412远离栅极绝缘层的一侧上形成覆盖氧化物半导体层417的第二栅极绝缘层413;

[0085] 步骤S7: 如图5G所示, 在第二栅极绝缘层413远离衬底基板40的一侧上沉积金属材料, 通过图案化工艺形成多个间隔排布的第一极板416和第二栅极GE2, 第一极板416在衬底基板20上的正投影区域与第一栅极GE1在衬底基板上的正投影区域重叠, 第一极板416与第一栅极GE1构成存储电容C;

[0086] 步骤S8: 如图5H所示, 在第二栅极GE2远离第二栅极绝缘层413的一侧形成覆盖第二栅极GE2和第一极板416的第二层间绝缘层414, 刻蚀形成多个贯穿第二层间绝缘层414、第二栅极绝缘层413、第一层间绝缘层412和第一栅极绝缘层411的第一过孔以及贯穿第二层间绝缘层414和第二栅极绝缘层413的第二过孔, 在第二层间绝缘层414上形成第一源极S1、第一漏极D1、第二源极S2和第二漏极D2, 第一源极S1与第一漏极D1、第一栅极GE1和多晶硅半导体层410构成第一薄膜晶体管T1, 第二源极S2与第二漏极D2、第二栅极GE2和氧化物半导体层417构成第二薄膜晶体管T2;

[0087] 步骤S9: 如图5I所示, 在第二层间绝缘层414上形成覆盖第一源极S1、第一漏极D1、第二源极S2和第二漏极D2的钝化保护层415, 并在钝化保护层415远离第二层间绝缘层414的一侧依次形成平坦层42、阳极45、像素定义层43、发光层46、阴极47、以及间隔排布于像素定义层43表面的多个隔垫物44。步骤S9中制作方法与现有技术中的制作方法相同, 此处不做赘述。

[0088] 在本申请实施例步骤S4中, 所形成的第一层间绝缘层412为氮化硅和氧化硅材料的叠层结构, 氮化硅膜层位于氧化硅膜层与第一栅极绝缘层411之间。氮化硅膜层需要在 $\text{SiH}_4+\text{NH}_3+\text{N}_2$ 的气体氛围中制成, 通过 SiH_4 在气体氛围中的比例, 将第一层间绝缘层412中硅-氢键的原子百分比控制在20%~30%之间, 从而提高多晶硅半导体层410的稳定性, 同时还可以利用第一层间绝缘层412中氧化硅膜层防止氮化硅膜层中氢离子扩散至氧化物半导体层417中, 保证氧化物半导体层417

的稳定性不受影响。

[0089] 在本申请实施例步骤S7中，沉积的金属材料可以为Cu、Al、Mo等金属材料中多种材料所形成的叠层结构。在其他实施例中，第二栅极GE2和第一极板416也可以为其他导电材料和结构，此处不做限制。步骤S7中，利用第二栅极GE2的图案化工艺同时形成存储电容C的第一极板416，可以省略单独用于制作形成第一极板416的掩膜版以及相关工艺制程，同时在结构上还可以省去用于将第一极板416所在金属膜层与第一栅极GE1所在金属膜层分层隔开的栅极绝缘层，从而不仅可以降低显示面板制作工艺的复杂程度，还可以减少显示面板内膜层的数量以及膜层叠构的厚度，从而提高显示面板的弯折能力。

[0090] 本申请实施例的有益效果：本申请实施例提供的显示面板的制作方法利用制备第二栅极的工艺制程同时制作形成存储电容的第一极板，以此可以省略用于制作形成第一极板的掩膜版以及相关工艺制程，降低显示面板制作工艺的复杂程度，同时还可以减少显示板内膜层的数量以及膜层叠构的厚度，从而提高显示面板的弯折能力。

[0091] 本申请实施例还提供一种显示面板的制作方法，其步骤与上述实施例所提的制作方法大致相同，此处不再赘述。本申请实施例所提供的显示面板的制作方法与所述实施例所提供的显示面板的制作方法的区别之处在于，如图6A和图6B所示，图6A和图6B是本申请实施例提供的与显示面板制作方法对应的显示面板的膜层结构示意图，形成氧化物半导体层的步骤S5包括：

[0092] 步骤S501：如图6A所示，在第一层间绝缘层412远离第一栅极绝缘层411的一侧沉积一层氧化物半导体材料401；以及

[0093] 步骤S502：如图6B所示，通过图案化工艺，形成多个间隔排布的氧化物半导体层417和第二极板418，第二极板418在衬底基板40上的正投影区域与第一栅极GE1在衬底基板40上的正投影区域重叠。

[0094] 本申请实施例的后续步骤与上述实施例所提供的制作方法大致相同，其形成的显示面板的结构与上述实施例中图3的显示面板的结构相同，此处不再赘述。步骤S502所形成的第二极板418可分别与第一栅极GE1和第一极板416构成存储电容中相并联的第一电容和第二电容，以此可以增加存储电容C的单位电容值，从而

在保证存储电容C电容值不变的情况下可以压缩存储电容C的尺寸，进而减小像素电路所占据的面积，并提高显示面板的分辨率，同样也可以在存储电容C尺寸不变的情况下，增加存储电容C的电容值，从而在存储电容C存储电位信号时，降低其受到漏电流的影响，进而提高显示面板在低刷新率或者低功耗的状态下，显示面板显示效果的稳定性。

[0095] 在步骤S5中，氧化物半导体层417的材料优选为IGZO。当然，在其他一些实施例中，氧化物半导体层417的材料还可包括但不限于铟镓氧化物或者铟锌氧化物等氧化物半导体材料，具体材料可以根据实际需求进行选择，此处不做限制。步骤S501至步骤S502，利用制备氧化物半导体层417的制程同时制作形成第二极板418，以此在增加第二极板418的情况下，保持显示面板原有的膜层数量以及膜层厚度不变，进而保证显示面板的弯折性能，同时还可以省略单独用于制备第二极板418所需的掩膜版以及相关工艺流程，进而降低显示面板的工艺流程的复杂程度以及生产成本。

[0096] 本申请实施例的有益效果：本申请实施例提供的显示面板的制作方法分别利用制备第二栅极和氧化物半导体层的工艺制程同时制作形成第一极板和第二极板，以此可以减少掩膜版数量以及相关工艺制程，同时还可以减少显示面板内膜层的数量以及膜层叠构的厚度，从而在降低显示面板工艺流程的复杂程度和生产成本的同时，提高显示面板的弯折能力和显示面板的显示效果。

[0097] 综上所述，虽然本申请以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为基准。

权利要求书

- [权利要求 1] 一种显示面板，包括：
- 衬底基板；
- 薄膜晶体管阵列层，设置于所述衬底基板上，所述薄膜晶体管阵列层内设有多个间隔排布的第一薄膜晶体管、第二薄膜晶体管和存储电容；
- 其中，所述第一薄膜晶体管包括层叠设置的多晶硅半导体层和第一栅极，所述第二薄膜晶体管包括层叠设置的氧化物半导体层和第二栅极，所述存储电容包括设置于所述第一栅极远离所述衬底基板一侧上的第一极板，所述第一栅极与所述第一极板构成所述存储电容，所述第一极板与所述第二栅极同层设置。
- [权利要求 2] 如权利要求1所述的显示面板，其中，所述氧化物半导体层靠近所述衬底基板一侧表面与所述衬底基板之间的距离大于所述多晶硅半导体层靠近所述衬底基板一侧表面与所述衬底基板之间的距离。
- [权利要求 3] 如权利要求1所述的显示面板，其中，所述薄膜晶体管阵列层包括依次层叠设置于所述多晶硅半导体层上的第一栅极绝缘层和第一层间绝缘层，所述第一栅极设置于所述第一栅极绝缘层与所述第一层间绝缘层之间，所述氧化物半导体层设置于所述第一层间绝缘层远离所述第一栅极绝缘层的一侧上。
- [权利要求 4] 如权利要求3所述的显示面板，其中，所述第一层间绝缘层为氮化硅和氧化硅材料形成的叠层结构，且所述第一层间绝缘层中硅-氢键的原子百分比取值介于20%~30%。
- [权利要求 5] 如权利要求3所述的显示面板，其中，所述薄膜晶体管阵列层还包括层叠设置于所述第一层间绝缘层远离所述第一栅极绝缘层一侧上的第二栅极绝缘层和第二层间绝缘层，所述第一极板和所述第二栅极均设置于所述第二栅极绝缘层与所述第二层间绝缘层之间。
- [权利要求 6] 如权利要求5所述的显示面板，其中，所述第一极板与所述第二栅极由同层金属制成。

- [权利要求 7] 如权利要求5所述的显示面板，其中，所述存储电容包括并联的第一电容和第二电容，所述第一栅极与所述第一极板之间设有第二极板，所述第二极板分别与所述第一栅极和所述第一极板构成所述第一电容和所述第二电容。
- [权利要求 8] 如权利要求7所述的显示面板，其中，所述第二极板在所述衬底基板上的正投影区域与所述第一栅极或所述第一极板在所述衬底基板上的正投影区域重叠。
- [权利要求 9] 如权利要求7所述的显示面板，其中，所述第二极板与所述氧化物半导体层同层设置。
- [权利要求 10] 如权利要求9所述的显示面板，其中，所述第二极板与所述氧化物半导体层由同层氧化物材料制成。
- [权利要求 11] 如权利要求5所述的显示面板，其中，所述第一薄膜晶体管包括第一源极和第一漏极，所述第二薄膜晶体管包括第二源极和第二漏极，所述第一源极和所述第一漏极分别通过贯穿所述第二层间绝缘层、第二栅极绝缘层、第一层间绝缘层和第一栅极绝缘层的第一过孔与所述多晶硅半导体层连接，所述第二源极和所述第二漏极分别通过贯穿所述第二层间绝缘层和所述第二栅极绝缘层的第二过孔与所述氧化物半导体层连接。
- [权利要求 12] 一种显示装置，包括装置主体以及设置于所述装置主体上的显示面板，所述显示面板包括：
衬底基板；
薄膜晶体管阵列层，设置于所述衬底基板上，所述薄膜晶体管阵列层内设有多个间隔排布的第一薄膜晶体管、第二薄膜晶体管和存储电容；
其中，所述第一薄膜晶体管包括层叠设置的多晶硅半导体层和第一栅极，所述第二薄膜晶体管包括层叠设置的氧化物半导体层和第二栅极，所述存储电容包括设置于所述第一栅极远离所述衬底基板一侧上的第一极板，所述第一栅极与所述第一极板构成所述存储电容，所述第

一极板与所述第二栅极同层设置。

- [权利要求 13] 如权利要求12所述的显示装置，其中，所述氧化物半导体层靠近所述衬底基板一侧表面与所述衬底基板之间的距离大于所述多晶硅半导体层靠近所述衬底基板一侧表面与所述衬底基板之间的距离。
- [权利要求 14] 如权利要求12所述的显示装置，其中，所述薄膜晶体管阵列层包括依次层叠设置于所述多晶硅半导体层上的第一栅极绝缘层和第一层间绝缘层，所述第一栅极设置于所述第一栅极绝缘层与所述第一层间绝缘层之间，所述氧化物半导体层设置于所述第一层间绝缘层远离所述第一栅极绝缘层的一侧上。
- [权利要求 15] 如权利要求14所述的显示装置，其中，所述第一层间绝缘层为氮化硅和氧化硅材料形成的叠层结构，且所述第一层间绝缘层中硅-氢键的原子百分比取值介于20%~30%。
- [权利要求 16] 如权利要求14所述的显示装置，其中，所述薄膜晶体管阵列层还包括层叠设置于所述第一层间绝缘层远离所述第一栅极绝缘层一侧上的第二栅极绝缘层和第二层间绝缘层，所述第一极板和所述第二栅极均设置于所述第二栅极绝缘层与所述第二层间绝缘层之间。
- [权利要求 17] 如权利要求16所述的显示装置，其中，所述第一极板与所述第二栅极由同层金属制成。
- [权利要求 18] 如权利要求16所述的显示装置，其中，所述存储电容包括并联的第一电容和第二电容，所述第一栅极与所述第一极板之间设有第二极板，所述第二极板分别与所述第一栅极和所述第一极板构成所述第一电容和所述第二电容。
- [权利要求 19] 如权利要求18所述的显示装置，其中，所述第二极板在所述衬底基板上的正投影区域与所述第一栅极或所述第一极板在所述衬底基板上的正投影区域重叠。
- [权利要求 20] 一种显示装置，包括装置主体以及设置于所述装置主体上的显示面板，所述显示面板包括：
衬底基板；

薄膜晶体管阵列层，设置于所述衬底基板上，所述薄膜晶体管阵列层内设有多个间隔排布的第一薄膜晶体管、第二薄膜晶体管和存储电容；

其中，所述第一薄膜晶体管包括层叠设置的多晶硅半导体层和第一栅极，所述第二薄膜晶体管包括层叠设置的氧化物半导体层和第二栅极，所述薄膜晶体管阵列层还包括依次层叠设置于所述多晶硅半导体层上的第一栅极绝缘层、第一层间绝缘层、第二栅极绝缘层和第二层间绝缘层，所述存储电容包括设置于所述第一栅极远离所述衬底基板一侧上的第一极板，所述第一栅极与所述第一极板构成所述存储电容，所述第一极板与所述第二栅极同层设置，且位于所述第二栅极绝缘层与所述第二层间绝缘层之间。

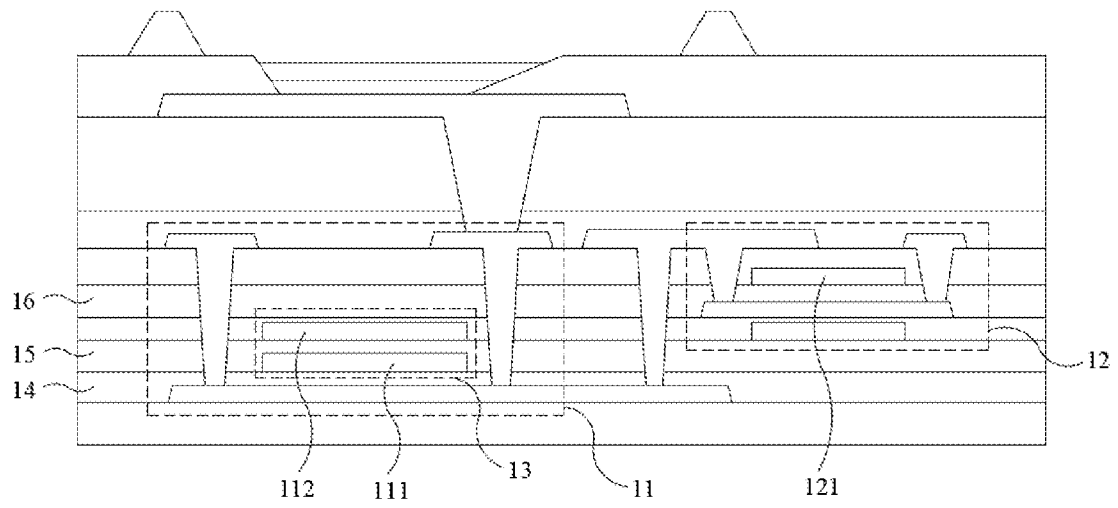


图 1

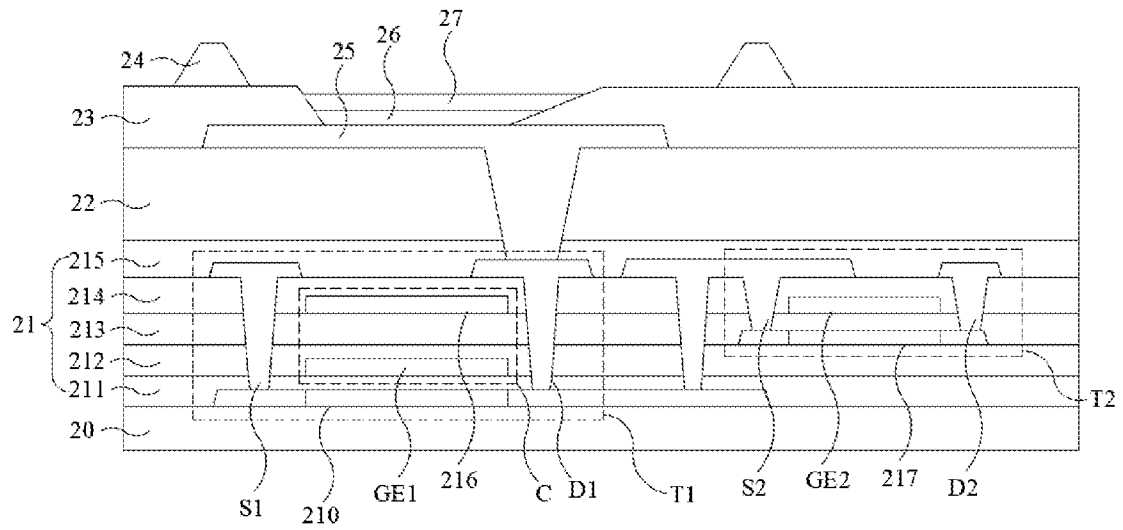


图 2

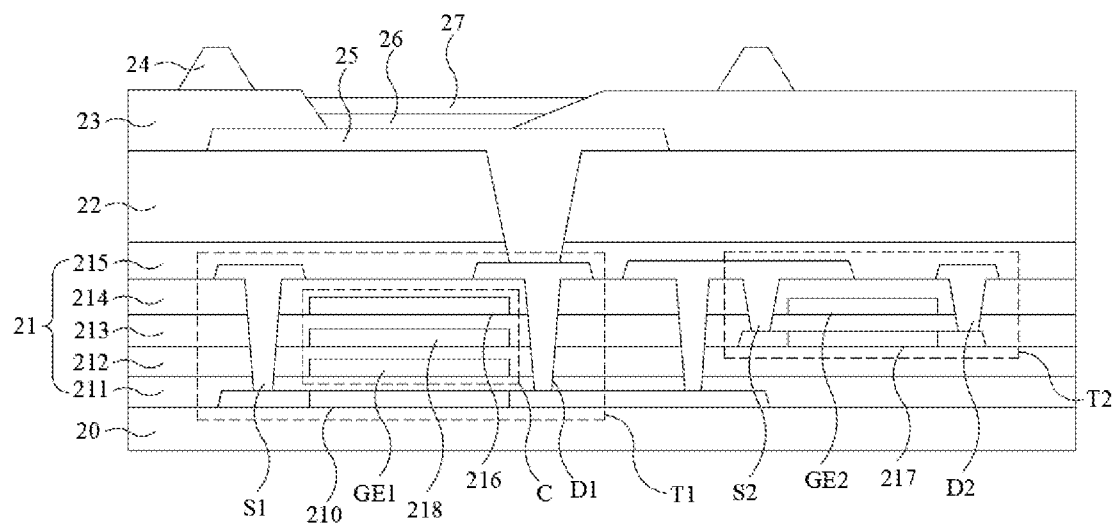


图 3

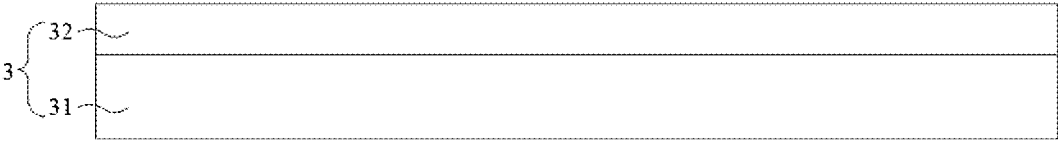


图 4

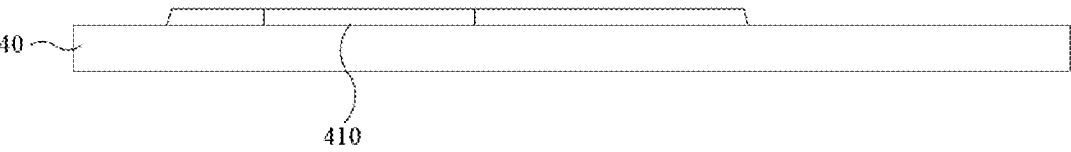


图 5A

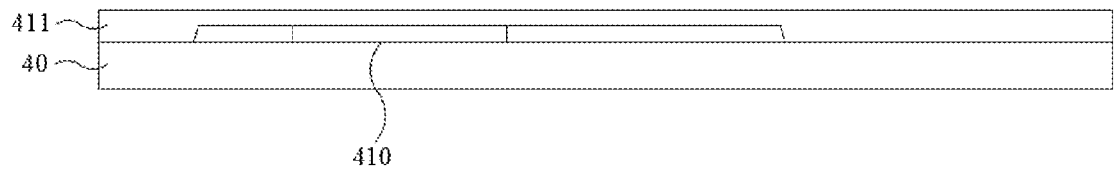


图 5B

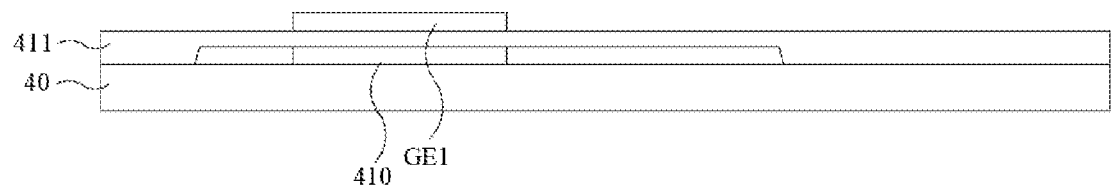


图 5C

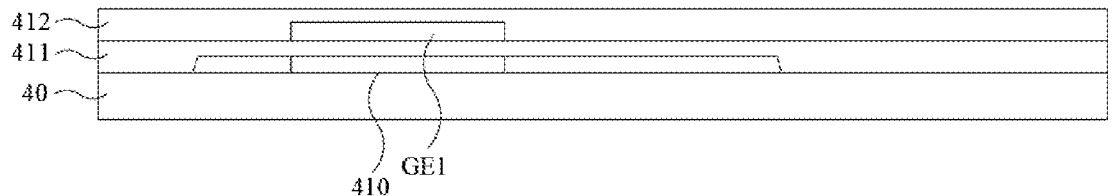


图 5D

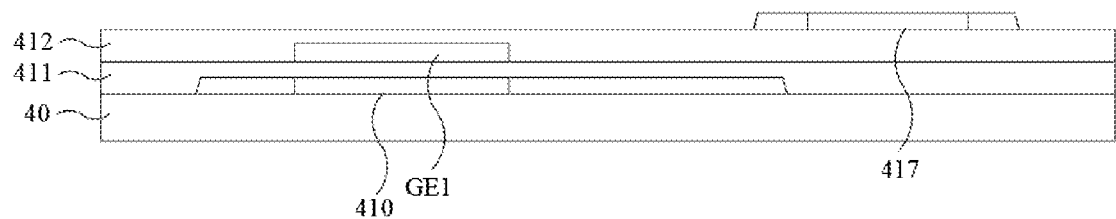


图 5E

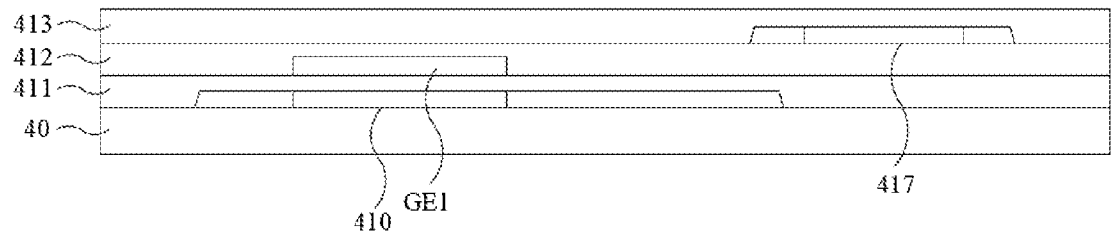


图 5F

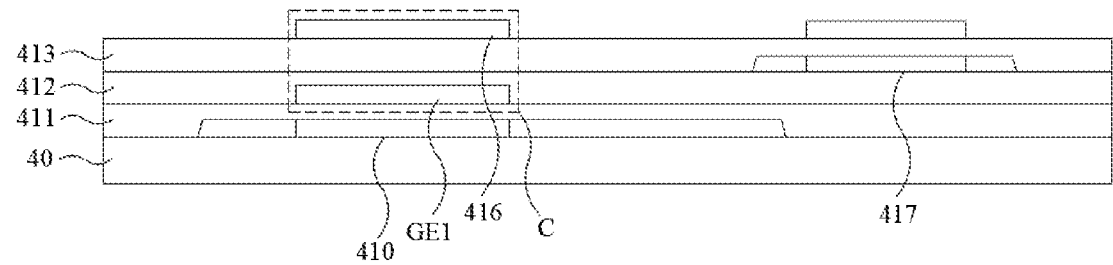


图 5G

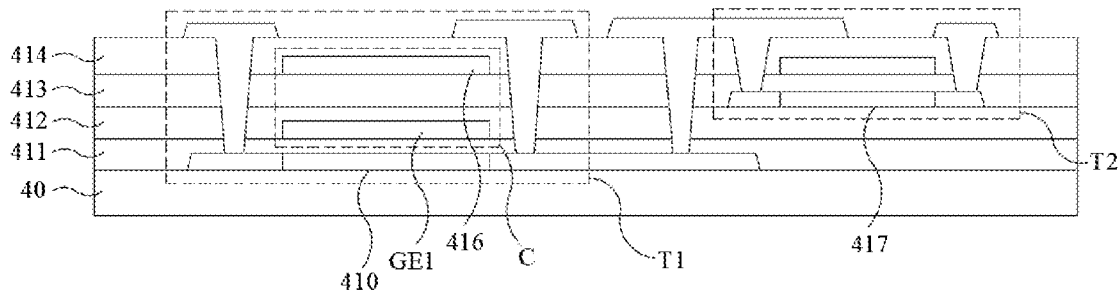


图 5H

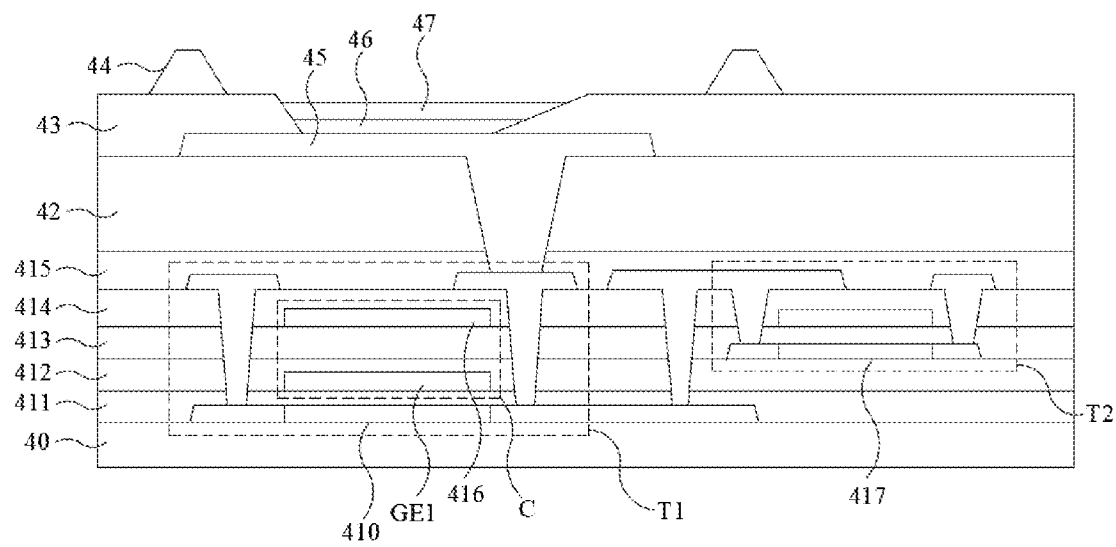


图 5I

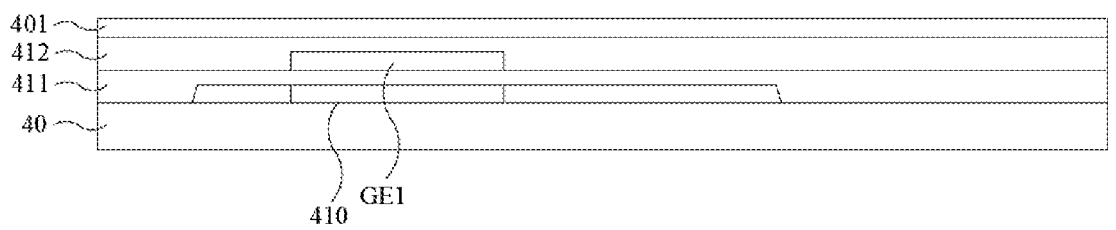


图 6A

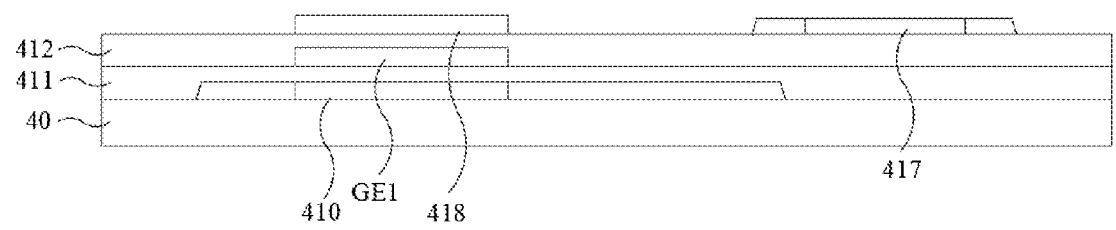


图 6B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/126713

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i; G09F 9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L;G09F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; USTXT; EPTXT; WOTXT; CNKI: 显示, 薄膜晶体管, 氧化物半导体, 多晶硅, 电容, 栅极, 同层, display, thin film transistor, TFT, oxide semiconductor, polysilicon, capacitor, gate, same layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 111785759 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 16 October 2020 (2020-10-16) description paragraphs 43-80, figures 1-4, 5A-5I, 6A-6B	1-20
X	CN 110277427 A (SAMSUNG DISPLAY CO., LTD.) 24 September 2019 (2019-09-24) description, paragraphs 44-125, and figures 1-19	1-20
X	CN 109273409 A (BOE TECHNOLOGY GROUP CO., LTD.) 25 January 2019 (2019-01-25) description paragraphs 38-88, figures 1, 2a-2i	1-20
A	CN 107731858 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 February 2018 (2018-02-23) entire document	1-20
A	CN 110867459 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.) 06 March 2020 (2020-03-06) entire document	1-20
A	US 2016163746 A1 (SAMSUNG DISPLAY CO., LTD.) 09 June 2016 (2016-06-09) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 March 2021

Date of mailing of the international search report

19 April 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/126713

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111785759	A	16 October 2020	None			
CN	110277427	A	24 September 2019	KR	20190108220	A	24 September 2019
				US	2019288048	A1	19 September 2019
				US	10741625	B2	11 August 2020
CN	109273409	A	25 January 2019	US	2020066758	A1	27 February 2020
CN	107731858	A	23 February 2018	CN	107731858	B	12 May 2020
CN	110867459	A	06 March 2020	None			
US	2016163746	A1	09 June 2016	US	9917117	B2	13 March 2018

国际检索报告

国际申请号

PCT/CN2020/126713

A. 主题的分类 H01L 27/32 (2006.01) i; G09F 9/30 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L; G09F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; CNTXT; VEN; USTXT; EPTXT; WOTXT; CNKI: 显示, 薄膜晶体管, 氧化物半导体, 多晶硅, 电容, 栅极, 同层, display, thin film transistor, TFT, oxide semiconductor, polysilicon, capacitor, gate, same layer																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 111785759 A (武汉华星光电半导体显示技术有限公司) 2020年 10月 16日 (2020 - 10 - 16) 说明书第43-80段, 图1-4、5A-5I、6A-6B</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 110277427 A (三星显示有限公司) 2019年 9月 24日 (2019 - 09 - 24) 说明书第44-125段, 图1-19</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 109273409 A (京东方科技集团股份有限公司) 2019年 1月 25日 (2019 - 01 - 25) 说明书第38-88段, 图1、2a-2i</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 107731858 A (京东方科技集团股份有限公司 等) 2018年 2月 23日 (2018 - 02 - 23) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 110867459 A (厦门天马微电子有限公司) 2020年 3月 6日 (2020 - 03 - 06) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2016163746 A1 (SAMSUNG DISPLAY CO LTD) 2016年 6月 9日 (2016 - 06 - 09) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 111785759 A (武汉华星光电半导体显示技术有限公司) 2020年 10月 16日 (2020 - 10 - 16) 说明书第43-80段, 图1-4、5A-5I、6A-6B	1-20	X	CN 110277427 A (三星显示有限公司) 2019年 9月 24日 (2019 - 09 - 24) 说明书第44-125段, 图1-19	1-20	X	CN 109273409 A (京东方科技集团股份有限公司) 2019年 1月 25日 (2019 - 01 - 25) 说明书第38-88段, 图1、2a-2i	1-20	A	CN 107731858 A (京东方科技集团股份有限公司 等) 2018年 2月 23日 (2018 - 02 - 23) 全文	1-20	A	CN 110867459 A (厦门天马微电子有限公司) 2020年 3月 6日 (2020 - 03 - 06) 全文	1-20	A	US 2016163746 A1 (SAMSUNG DISPLAY CO LTD) 2016年 6月 9日 (2016 - 06 - 09) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 111785759 A (武汉华星光电半导体显示技术有限公司) 2020年 10月 16日 (2020 - 10 - 16) 说明书第43-80段, 图1-4、5A-5I、6A-6B	1-20																					
X	CN 110277427 A (三星显示有限公司) 2019年 9月 24日 (2019 - 09 - 24) 说明书第44-125段, 图1-19	1-20																					
X	CN 109273409 A (京东方科技集团股份有限公司) 2019年 1月 25日 (2019 - 01 - 25) 说明书第38-88段, 图1、2a-2i	1-20																					
A	CN 107731858 A (京东方科技集团股份有限公司 等) 2018年 2月 23日 (2018 - 02 - 23) 全文	1-20																					
A	CN 110867459 A (厦门天马微电子有限公司) 2020年 3月 6日 (2020 - 03 - 06) 全文	1-20																					
A	US 2016163746 A1 (SAMSUNG DISPLAY CO LTD) 2016年 6月 9日 (2016 - 06 - 09) 全文	1-20																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2021年 3月 29日		国际检索报告邮寄日期 2021年 4月 19日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 林秀瑶 电话号码 86-(20)-28958375																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/126713

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111785759	A	2020年 10月 16日	无			
CN	110277427	A	2019年 9月 24日	KR	20190108220	A	2019年 9月 24日
				US	2019288048	A1	2019年 9月 19日
				US	10741625	B2	2020年 8月 11日
CN	109273409	A	2019年 1月 25日	US	2020066758	A1	2020年 2月 27日
CN	107731858	A	2018年 2月 23日	CN	107731858	B	2020年 5月 12日
CN	110867459	A	2020年 3月 6日	无			
US	2016163746	A1	2016年 6月 9日	US	9917117	B2	2018年 3月 13日