

公告本

申請日期	89.5.10
案 號	891089301
類 別	HOIL 27/10

A4
C4

469632

(以上各欄由本局填註)

發明專利說明書

一、發明 <u>名稱</u>	中 文	半導體積體電路裝置
	日 文	“半導體集積回路裝置”
二、發明 <u>創作人</u>	姓 名	1.長田 健一 2.南 正隆 3.池田 修二 4.石橋 孝一郎
	國 籍	1.2.3.4. 均日本
三、申請人	住、居所	1.2.3.4.均 日本國東京都千代田區丸之内一丁目5番1號 新丸大樓日立製作所股份有限公司知的所有權本部內
	姓 名 (名稱)	日商日立製作所股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦

裝

訂

線

469632

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 1999年05月12日 特願平11-130945 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

[技術背景]

本發明係關於半導體積體電路裝置，尤關於SRAM(靜態隨機存取記憶體)格(cell)之布局及使用該格所構成之記憶體。

具CMOS(互補式金氧半導體)結構之單端口SRAM格，通常由6個電晶體構成。以往之習知布局法則有日本國專利特開平10-178110(1998年6月30日公開)號已為眾人所知。

以往，SRAM格之布局方法，係將用以構成SRAM格的反向器(inverter)之P井區，分割成兩區而布置於N井區兩側，使井境界線沿著位元線成平行之方式所形成。

隨著微細化之演進，曝光裝置之波長也採取由G線改用I線再改用準分子雷射器(excimer laser)之因應對策，但是，微細化之要求總是比裝置之進步較為領先，以致近年來則被迫到必須加工波長以下的圖案尺寸之地步。圖案尺寸小於波長以下時，對於折曲成如鑰匙狀之複雜圖案而言，將無法形成忠實於布置的圖案而構成破壞記憶格對稱性之原因。然而，就以往之公知例而言，為了建立對於P井區的基板之觸點(contact)，則必須將擴散層之形狀折曲成鑰匙狀。因此，造成對稱性不佳以致微細化有困難之問題。

[發明之綜合說明]

有鑑於此，依照本發明之一形態，即可提供一種半導體裝置，其係包括：第一反向器，包含第一N通道MOS(金氧半導體)電晶體與第一P通道MOS電晶體；第二反向器，其

五、發明說明(2)

包含第二N通道MOS電晶體與第二P通道MOS電晶體，而輸入端子係連接於上述第一反向器之輸出端子，輸出端子係連接於上述第一反向器之輸入端子；第三N通道MOS電晶體，其源極係連接於上述第一反向器之輸出端子，汲極係連接於第一位元線，閘極係連接於字線；第四N通道MOS電晶體，其源極係連接於上述第二反向器之輸出端子，汲極係連接於第二位元線，閘極係連接於字線；而上述第一及第三N通道MOS電晶體，係形成於第一P井區，其擴散層不折曲，布置方向係對於與供形成第一及第二P通道MOS電晶體之第一n井區之境界成平行，上述第二及第四N通道MOS電晶體，係形成於第二P井區，其擴散層不折曲，布置方向係對於與供形成第一及第二P通道MOS電晶體之第一n井區之境界成平行者。

擴散層之形成，亦以直線為主體構成其外形，最長的直線部分，係對於與供形成第一及第二P通道MOS電晶體之第一n井區之境界成平行，且假設設定與境界成平行的中心線之直線時，則對於該中心線係成線對稱：第二及第四N通道MOS電晶體，係形成於第二P井區，其擴散層外形以直線為主體所構成，最長的直線部分，係對於與供形成第一及第二P通道MOS電晶體之第一n井區之境界成平行，且假設設定與該境界成平行的中心線之直線時，則對於該中心線係成線對稱者，亦屬可行。此時，所謂的線對稱，並非是完全的線對稱，例如，視情形亦可在中心線左右使擴散層面積大致相同之形狀下允許少許非對稱性。

五、發明說明(3)

依照本發明之其他形態，用於上述第三N通道MOS電晶體的閘極之第一多晶矽佈線層，與用於上述第一N通道MOS電晶體的閘極與上述第一P通道MOS電晶體的閘極之第二多晶矽佈線層，係布置成平行，用於上述第四N通道MOS電晶體的閘極之第三多晶矽佈線層，與用於上述第二通道MOS電晶體的閘極與上述第二閘極通道MOS電晶體的閘極之第四多晶矽佈線層，係布置成平行，第一及第三多晶矽佈線層，係經由觸點與構成字線之第二金屬佈線層連接。

依照本發明之其他形態，上述第一反向器之輸入端子與上述第二反向器之輸入端子也可以觸點使其電互連，上述第二反向器之輸入端子與上述第一反向器之輸入端子也可以觸點使其電互連。

依照本發明之其他形態，上述第一、第二位元線，與連接於上述第一、第二P通道MOS電晶體的源極之電源線，與連接於上述第一、第二N通道MOS電晶體的源極之接地線，也可以第三層金屬佈線層形成為與擴散層成平行。

依照本發明之其他實施形態，也可構成為：使上述以第三層金屬佈線層所形成第一位元線夾在以上述第三層金屬佈線層所形成之電源線，與連接於以上述第三層金屬佈線層所形成之第一N通道MOS電晶體的源極之接地線之間，使上述以第三層金屬佈線層所形成之第二位元線夾在以上述第三金屬佈線層所形成之電源線，與連接於以上述第三層金屬佈線層所形成之第二N通道MOS電晶體的源極之接

五、發明說明 (4)

地線之間。

依照本發明之其他形態，也可構成爲：上述第一、第二位元線，與連接於上述第一、第二P通道MOS電晶體的源極之電源線係以第二層金屬佈線層形成，連接於上述第一、第二N通道MOS電晶體的源極之接地線係以第三層及第二層之金屬佈線層形成者。

依照本發明之其他形態，記憶格係排列成陣列狀，在陣列中及陣列上下，對於P井區的基板之觸點及對於N井區的基板之觸點係布置成與字線成平行之直線。以上係在N井區兩側置兩個P井區之例子，惟也可在P井區兩側布置兩個N井區。

依照本發明之其他形態，即可提供一種半導體裝置：其具備複數個記憶體陣列，其係將至少由一對N井區所成記憶格布置成陣列狀；該記憶格之間至少具有一個中間區；N井區與P井區的境界至少具有一個直線部分；分別形成在N井區與P井區的擴散層之平面形狀爲：

(1)具有與直線部分成平行的長邊之長方形形狀，或是，
(2)將具有與直線部分成平行的長邊之複數個長方形介以各自之短邊所組合而成之形狀；或是

(1)具有與直線部分成平行的長之長方形形狀，或是，(2)將具有與直線部分成平行的長邊之複數個長方形朝上述直線部分之方向延伸之方式所組合而成之形狀者。

至少在記憶體陣列中，位元線係與直線部分平行平置，而字線則以沿與直線方向成垂直方向布置。較佳為在中間

五、發明說明(5)

區中沿著與直線部分成垂直方向至少布置一種佈線，且形成有用以與電源線及形成於N井區與P井區的擴散層做電互連之佈線(例如觸點)。該佈線包括有電源佈線、接地佈線、及其他電位之佈線等。

本案發明特別是適合於具有由6個電晶體所構成靜態RAM記憶格的半導體積體記憶裝置之用。

(圖式簡單說明)

第1圖係本發明之第1實施例之SRAM格中用以連接MOS電晶體與MOS電晶體之間、MOS電晶體與金屬佈線層之間的觸點之布局圖。

第2圖係本發明之第1實施例之SRAM格中用以連接多層金屬佈線與金屬佈線間的通孔之布局圖。

第3圖係本發明之第2實施例之記憶體陣列與周邊電路之布局圖。

第4圖係本發明之第3實施例之SRAM格中用以連接MOS電晶體與MOS電晶體之間、MOS電晶體與金屬佈線層之間的觸點之布局圖。

第5圖係本發明之第3實施例之SRAM格中用以連接多層金屬佈線與金屬佈線間的通孔之布局圖。

第6圖係本發明之第4實施例之SRAM格中用以連接MOS電晶體與MOS電晶體之間、MOS電晶體與金屬佈線層之間的觸點之布局圖。

第7圖係本發明之第4實施例之SRAM格中用以連接多層金屬佈線與金屬佈線間的通孔之布局圖。

五、發明說明(6)

第8圖係本發明之第5實施例之SRAM格中用以MOS電晶體與MOS電晶體之間、MOS電晶體與金屬佈線層之間的觸點之布局圖。

第9圖係本發明之第5實施例之SRAM格中用以連接多層金屬佈線與金屬佈線間的通孔之布局圖。

第10圖係本發明之第6實施例之SRAM格中用以連接MOS電晶體與MOS電晶體之間、MOS電晶體與金屬佈線層之間的觸點之布局圖。

第11圖係本發明之第6實施例之SRAM格中用以連接多層金屬佈線與金屬佈線間的通孔之布局圖。

第12a~12f圖係顯示依本發明之第6實施例之半導體裝置之製造工序流程剖面圖。

第13圖係本發明之第7實施例之SRAM格中用以連接MOS電晶體與MOS電晶體之間、MOS電晶體與金屬佈線層之間的觸點之布局圖。

第14圖係本發明之第7實施例之SRAM格中用以連接多層金屬佈線與金屬佈線間的通孔之布局圖。

第15圖係本發明之第8實施例之SRAM格中用以連接MOS電晶體與MOS電晶體之間、MOS電晶體與金屬佈線層之間的觸點之布局圖。

第16圖係本發明之第8實施例之SRAM格中用以連接多層金屬佈線與金屬佈線間的通孔之布局圖。

第17圖係本發明之第8實施例之半導體裝置剖面圖。

第18a~18f圖係顯示依本發明第9實施例之半導體裝置之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

製造工序流程剖面圖。

第19a~19g圖係顯示依本發明第10實施例之半導體裝置之製造工序流程剖面圖。

(實施例之詳細說明)

以下，參照圖式就本發明之半導體記憶裝置之一些較佳實施例加以說明。

〈第1實施例〉

於第1圖及第2圖顯示本發明之SRAM格之布局MC。第1圖顯示形成於半導體基板之井區、擴散層、多晶矽佈線層及觸點，第2圖顯示第一層金屬佈線層、通孔(via hole)1、第二層金屬佈線層、通孔2及第三層金屬佈線層。第1圖及2圖所使用之符號係顯示於第2圖下方。

反向器INV1由形成於P井區PW1之N通道MOS電晶體TN1與形成於N井區NW1之P通道MOS電晶體TP1構成。另反向器INV2由形成於P井區PW2之N通道MOS電晶體TN2與形成於N井區NW1之P道通MOS電晶體TP2構成。

反向器INV1之輸出，係經由觸點SC1電連接於反向器INV2之輸入。另外，反向器INV2之輸出，係經由觸點SC2電連接於反向器INV1之輸入。

N通道MOS電晶體TN3，係使其汲極連接於位元線BL1，使其源極連接於N通道MOS電晶體TN1之汲極，使其閘極連接於字線WD。同樣的，N通道MOS電晶體TN4，係使其汲極連接於位元線BL2，使其源極連接於N通道MOS電晶體TN2之汲極，使其閘極連接於字線WD。

五、發明說明(8)

N通道MOS電晶體TN1及N通道MOS電晶體TN3，係形成於擴散層LN1上，N通道MOS電晶體TN2及N通道MOS電晶體TN4，係形成於擴散層LN2上。P通道型MOS電晶體TP1係形成於擴散層LP1上，而P通道型MOS電晶體TP2係形成於擴散層LP2上。

擴散層(LN1、LN2、LP1、LP2)，由於其係並無折曲而呈直線，不再需要對於折曲部施加圖案修正(pattern correction)，能改善節點(node)間之平衡。將記憶格排行陣列上時，擴散層將成為平行於位元線(BL1、BL2)之四條直線。

再者，用於N通道MOS電晶體TN3之多晶矽佈線層FG3，及用於N通道MOS電晶體TN4之閘極之多晶矽佈線層FG4，係連接於位元線(BL1、BL2)與向垂直方向用第二金屬佈線層所形成之字線WL。用於N通道MOS電晶體TN1及P通道MOS電晶體TP1之閘極之多晶矽佈線層FG1，用於N通道MOS電晶體TN2及P通道MOS電晶體TP2之閘極之多晶矽佈線層FG2及多晶矽佈線層(FG3、FG4)，係布置成與字線成平行。

N通道MOS電晶體TN1之源極，係連接於以第三層金屬佈線層形成之接地電位線Vss1，N通道MOS電晶體TN2之源極，係連接於以第三層金屬佈線層所形成之接地電位線Vss2。另外，P通道MOS電晶體(TP1、TP2)之源極，係連接於以第三層金屬佈線層所形成之電源電位線Vcc1。

位元線BL1係夾在電源電位Vcc1與接地電位Vss1之間，位

五、發明說明(9)

元線BL2係夾在電源電位Vcc1與接地電位Vss2之間。此種結構可減輕位元線彼此間之交叉耦合雜訊(cross couple noise)，有助於低電壓、高速率動作。

再者，若於蝕刻接觸孔時，側隔層(side spacer)被去除而在n⁻層上形成觸點(contact)時，可能會產生經由n⁻層從觸點向基板之漏洩電流。惟於形成用以連接多晶矽佈線層與擴散層之觸點時，使擴散層LP2與多晶矽佈線層FG1之間隔長於側隔層之長度的話，即可使n⁻層不致於形成在擴散層LP2之多晶矽佈線層FG1側，因此可防止漏電流。

〈第2實施例〉

於第3圖顯示將第1實施例之記憶格MC排列成陣列狀的情形之例子。圖中記號乃與第2圖中下部所附註者相同。

記憶格MC係排列成例如256列×126行。第1實施例之記憶格，其位元線方向之長度較小，所以即使排放256列記憶格，也可使其位元線長度較之習知者為短，故可實現高速率化。相鄰接的記憶格MC，係對於y軸布置成線對稱，上下的記憶格MC，係對於x軸布置成線對稱。另在陣列途中，與字線WD平行地形成用以對基板供給電源之區域ST。區域ST係按例如每32列或64列布置之。

向P井區(PW1、PW2)供給電位之佈線Vbn及向N井區NW1供給電位之佈線Vbp，係形成為與字線成平行。佈線Vbn可與接地電位Vss相連接，也可供給與Vss不同之電位。另外，佈線Vbp也可與電源電位Vcc相連接，也可供給與Vcc不同之電位。

五、發明說明 (10)

另外，在區域ST，用以補強電源電位Vcc1之電源電位Vcc係形成為與字線成平行，用以補強接地電位(Vss1、Vss2)之接地電位線Vss係形成為與字線成平行。

由於接地電位線(Vss1、Vss2)係布置成與字線WD成垂直方向，當選擇一條字線時，可由一對接地線對於沿該字線之各記憶格供給電位，所以電位線之雜訊小，有助於存取之高速率化、低電壓化。

另外，記憶格MC由於字線方向寬度較寬，感測放大器AMP之布局容易，不需要按以往方式以兩行記憶格布局一個感測放大器，而可以一行布局一個感測放大器。另外，字線驅動器電路wddrv將成為比以往方式較扁平之布局。

〈第3實施例〉

於第4及5圖顯示第3實施例之SRAM格之布局MC2。第4及5圖中所使用記號之說明乃與第2圖相同。第3實施例之記憶格MC2，如與第1實施例之記憶格MC相較，則除下列兩點外其餘均為相同。其一為在第1實施例中其擴散層(LN1、LN2)之形狀係呈方球拍板狀，惟第3實施例之擴散層(LN3、LN4)卻為長方形之部分，其二為融點(SC1、SC2)係被觸點(SC3、SC4)與第一層金屬佈線層(M11、M12)所調換之部分。

為確保穩定性，通常記憶格係使N通道MOS電晶體(TN1、TN2)之閘極寬度，設計為N通道MOS電晶體(TN3、TN4)之閘極寬度之1.5倍。然而，此時，如第1實施例所示，擴散層形狀將變成方向球拍板狀，以致需要應用圖案修正

五、發明說明 (11)

(OPC)等技術。另外，電晶體彼此間之平衡亦會因此而惡化。與此相對，在第3實施例中，由於擴散層(LN3、LN4)係長方形，故加工容易，且亦能改善電晶體間之平衡。但是，由於閘極寬度比率變成1.0倍，因此，與N通道MOS電晶體(TN1、TN2)相較，理應採取使N通道MOS電晶體(TN3、TN4)之氧化膜厚度增加，或是延長閘極長度，或是提高閾值，或是降低為緩和電場的低濃度汲極區之不純物濃度等措施，使驅動力有所差異，以增大所謂的格比率(cell ratio)。

再者，在第3實施例中，則替代第1實施例中用以連接反向器INV1之輸出與反向器INV2之輸入的觸點SC1，而使用觸點SC3與第一層金屬佈線層M11。如此構成，可不再需要折曲的觸點，及圖案修正(OPC)等。

〈第4實施例〉

於第6及7圖顯示第4實施例之SRAM格之布局MC3。第6及7圖中所使用記號之說明乃與第2圖相同。第4實施例之記憶格MC3，如與第3實施例之記憶格MC2相較，則多晶矽佈線層(FG5、FG6、FG7、FG8)之形狀為長方形之部分互異。此格並無折曲，不必做圖案修正(OPC)，電晶體彼此間之平衡佳。

〈第5實施例〉

於第8及9圖顯示第5實施例之SRAM格之布局MC4。第8及9圖所使用記號之說明表示於第8圖中之下部。第5實施例之記憶格MC4，與第1實施例之記憶格MC相較，則佈線結

五、發明說明 (12)

構不相同。

位元線(BL3、BL4)及電源電位線Vcc2，係用第2層金屬佈線層形成。字線WD1及接地電位線(Vss5、Vss6)係用第三層金屬佈線層形成為與位元線成垂直。接地電位線Vss3、Vss4)，係用第四層金屬佈線層形成為與位元線成平行。

總體位元線(global bit line)GB，係將位元線做成階層式結構時所使用之佈線。由於總體位元線GB與位元線(BL3、BL4)係為第三層金屬佈線層所屏蔽，因此可防止交叉耦合雜訊。而且，可由接地電位線(Vss3、Vss4)來防止總體位元線GB彼此間之交叉耦合雜訊。

〈第6實施例〉

於第10及11圖顯示第6實施例之SRAM格之布局MC5。第10及11圖所使用之記號之說明附註於第11圖中下部。第6實施例之記憶格MC5，與第1實施例1之記憶格MC相較，則用以連接閘極與擴散層之所謂的三層觸點之結構不相同。

第1實施例係以L字狀觸點SC1、SC2連接閘極與擴散層，惟在第6實施例則在連接區域SS1、SS2用金屬矽化物連接閘極與擴散層之間。因此不需要為連接閘極與擴散層而把觸點折曲成L字狀，可由I字狀之長方形觸點SC5、SC6即可達成，使得觸點不折曲而不必做圖案修正(OPC)。

於第12a~12f圖顯示用金屬矽化物在閘極與擴散層之連接區域SS1、SS2連接兩者之具體製造工序流程圖。另外，第12a~12f圖係顯示第10圖中沿A-A'線之剖面，其中右側係等於A側，左側係等於A'側。其次，說明第12a~12f圖

五、發明說明 (13)

之步驟如下。

首先，以多晶矽形成閘極電極FG(第12a圖)。

形成P型低濃度擴散層PM(第12b圖)。

以CVD(化學氣相沈積)氮化膜在閘極FG之側壁形成側隔層SiN(第12c圖)。

使用抗蝕劑RG僅把有效區側之側隔層SiN，以能對氮化矽膜與氧化矽膜SiO₂做高選擇性蝕刻之條件下施加蝕刻而除去(第12d圖)。

形成P型高濃度擴散層P⁺(第12e圖)。

以蝕刻除去來為閘極與FG所覆蓋之有效區之氧化膜SiO₂後，以測射法沈積Co(鈷)等高融點金屬，並加以退火處理俾在多晶矽閘極與擴散層選擇性地形成金屬矽化物(第12f圖)。此時，閘極之側壁與擴散層將為金屬矽化物所連接。

〈第7實施例〉

於第13及14圖顯示第7實施例之SRAM格之布局MC6。第13及14圖所使用之記號之說明乃於第11圖中下部所示者相同。

第7實施例之記憶格MC6，與第6實施例之記憶格MC5相較，則除其觸點(SC5、SC6)被觸點(SC7、SC8)與第一層金屬佈線層(M11、M12)所調換外，其餘均為相同。

如依照第7實施例，則可使觸點做成正方形，因此不需要做圖案修正(OCP)。

〈第8實施例〉

於第15及16圖顯示第8實施例之SRAM格之布局MC7。第

五、發明說明 (14)

15及16圖中所使用之記號之說明附註於第16圖中下部。第8實施例之記憶格MC7，與第1實施例之記憶格MC相較，則除下列兩點外其餘均為相同。其一為觸點(SC1、SC2)係被局部互連(local interconnect)(LI1、LI2)所調換之部分，其二為字線係由第二層金屬佈線變更為第一層佈線，位元線與電源電位線與接地電位線係由第三層金屬佈線變更為第二層金屬佈線之部分。另第17圖係第15、16圖中沿A-B線之剖面圖。

按第1實施例之觸點SC1、SC2係與其他觸點形成於同一層上，因此，受到不能在SC1、SC2上布置第一層金屬佈線之限制。惟，在第8實施例，則係在與觸點不同層之局部互連LI1、LI2上形成，因此上面可布置第一層金屬佈線，如與第1實施例相較，便能減少金屬佈線一層。

〈第9實施例〉

於第18a~18f圖顯示第9實施例之三層觸點部之製造工序流程。第9實施例係用以形成第1、3、4、5及8實施例之三層觸點部之製程之一例子。

近年來，在LSI(大型積體電路)方面，一般採用以氮化矽膜等充當做蝕刻阻絕層下以高選擇性蝕刻加工接觸孔之方法，俾利即使觸點因光刻製程中之位置對準偏差而偏離擴散層或閘極，也不致於蝕除到電場氧化膜。以所謂的自行對準矽化物(salicide)技術欲使閘極電極低電阻化時，則於經形成擴散層後使擴散層上與閘極上露出而形成金屬矽化物，然後在其上面沉積氮化矽膜以作為蝕刻阻絕層，再

五、發明說明 (15)

將層間絕緣膜沉積於其上面後才形成接觸孔，因此，即使直接耐閘極上之觸點與擴散層上之觸點同時形成，兩者均能取得導通。然而，對於以往廣泛被使用之多晶矽化金屬閘極，或近幾年發表之多金屬閘極而言，由於沉積作為蝕刻阻絕層的氮化矽膜之前，在閘極上尚殘留著氧化膜等絕緣膜使得閘極不露出，因此，如欲在其上方沉積氮化矽膜而形成觸點時，氧化膜仍會留在閘極上之觸點底部，使得無法建立導通。惟第9實施例之方法係藉由預先除去欲開設接觸孔部分的閘極上之氮化矽膜，以確保閘極上觸點之導通者。

以下，以第18a~18f圖說明第9實施例之製造工序流程。

經形成閘極與擴散層 P^+ 後，沉積氮化矽 SiN 以作為蝕刻阻絕層(第18a圖)。閘極乃是多晶矽 $Poly Si$ 與鎢 W 之疊層，其上方再疊層氧化膜 SiO 以作為保護膜。

以乾蝕刻法除去閘極上供開設接觸孔部分之氮化矽膜(第18b圖)。

以電漿CVD法沉積TEOS(正矽酸乙酯)膜等以形成層間絕緣膜(第18c圖)。

以與氮化矽膜之高選擇性乾蝕刻法蝕觸點刻開口部之氧化膜(第18d圖)。由於高選擇性蝕刻，氮化矽膜不會受到蝕刻作用，可成為阻絕層。由於阻絕層並不存在於閘極上預先除去氮化矽膜之部分，蝕刻會進行到閘極上。因此閘極上也能取得導通。

以高選擇性乾蝕刻法除去氮化矽膜(第18e圖)。

五、發明說明 (16)

最後，在接觸孔部分埋入鎢等金屬以作為插塞(第18f圖)。

〈第10實施例〉

於第19a~19g圖顯示第10實施例之三層觸點部之製造工序流程。第10實施例係用以形成第1、3、4、5及8實施例之三層觸點部製程之一例子。

第10實施例之製程流程，與第9實施例之製程流程相較，則以沉積蝕刻阻絕層的氮化矽膜之前先除去閘極上供開設接觸孔部分之氧化膜之部分不相同。

以下，依第19a~19g圖說明第10實施例之製造流程。

首先，形成閘極與擴散層 P^+ (第19a圖)。閘極乃是多晶矽PolySi與鎢W之疊層，在其上方再疊層氧化膜 SiO_2 以作為保護膜。

以乾蝕刻法除去閘極上供開設接觸孔部分之氧化膜，使閘極上面露出(第19b圖)。

沉積氮化矽膜 SiN 以作為蝕刻阻絕層(第19c圖)。

以電漿CVD法沉積TEOS膜等，以形成層間絕緣膜(第19d圖)。

以與氮化矽膜之高選擇性乾蝕刻法蝕觸點刻開口部之氧化膜(第19e圖)。由於高選擇性蝕刻，氮化矽膜不受到蝕刻作用而成為阻絕層。

以高選擇乾蝕刻法除去氮化矽膜(第19f圖)。此時，於沉積氮化矽膜之前所除去閘極上氧化膜之部分會露出，因此，閘極上也能建立導通。

最後，在接觸孔部分埋入鎢等金屬以作為插塞(第19g圖)

五、發明說明 (17)

)。

依照上述實施例，由於擴散層不致於變得比超過必要的複雜形狀，因此，容易達成微細化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：半導體積體電路裝置）

以往之SRAM記憶格，為建立對於P井區的基板之觸點，必須將擴散層折曲成鑰匙狀。因此造成對稱性不佳，微細化有困難之問題。為解決此問題，將形成有用以構成SRAM格的反向器之P井區分割成兩區而布置在N井區NW1之兩側，使供形成電晶體之用的擴散層形成為不致有折曲且使布置方向與境界線或位元線成平行。在陣列途中，供作對於基板供給電源之用的區域，係按記憶格每32列或每64列與字線成平行而形成。

日文發明摘要（發明之名稱：“半導體集積回路裝置”）

従来のSRAMメモリセルでは、Pウェル領域の基板へのコンタクトをとるために、拡散層の形を鍵状に曲げる必要があり、このため、対称性が悪く微細化が困難であるという問題あり、これを解決するため、SRAMセルを構成するインバータが形成されたPウェル領域が2つに分割されてNウェル領域NW1の両側に配置され、トランジスタを形成する拡散層に曲りがなく、配置方向が、ウェル境界線やビット線に平行に走るように形成される。アレイの途中には、基板への電源を供給するための領域が、メモリセル32ローあるいは、64ロー毎に、ワード線と平行に形成される。

六、申請專利範圍

1. 一種半導體記憶裝置，其係包括：第一反向器，其包含第一N通道MOS(金氧半導體)電晶體與第一P通道MOS電晶體；第二反向器，其包含第二N通道MOS電晶體與第二P通道MOS電晶體，而輸入端子係連接於上述第一反向器之輸出端子，輸出端子係連接於上述第一反向器之輸入端子；第三N通道MOS電晶體，其源極係連接於上述第一反向器之輸出端子，汲極係連接於第一位元線，閘極係連接於字線；第四N通道MOS電晶體，其源極係連接於上述第二反向器之輸出端子，汲極係連接於第二位元線，閘極係連接於字線；而上述第一及第三N通道MOS電晶體，係形成於第一P井區，其擴散層外形以直線為主體所構成，最長的直線部分，係對於與供形成第一及第二P通道MOS電晶體之第一n井區之境界成平行，且假設設定與該境界成平行的中心線之直線時，則對於該中心線係成線對稱；上述第二及第四N通道MOS電晶體，係形成於第二P井區，其擴散層外形以直線為主體所構成，最長的直線部分，係對於與供形成第一及第二P通道MOS電晶體之第一n井區之境界成平行，且假設設定與該境界成平行的中心線之直線時，則對於該中心線成線對稱。
2. 如申請專利範圍第1項之半導體記憶裝置，其中用於上述第三N通道MOS電晶體的閘極之第一多晶矽佈線層，與用於上述第一N通道MOS電晶體的閘極與上述第一P

六、申請專利範圍

通道MOS電晶體的閘極之第二多晶矽佈線層，係布置成平行，用於上述第四N通道MOS電晶體的閘極之第三多晶矽佈線層，與用於上述第二N通道MOS電晶體的閘極與上述第二P通道MOS電晶體的閘極之第四多晶矽佈線層，係布置成平行，第一及第三多晶矽佈線層，係經由觸點連接於構成字線之第二層金屬佈線層。

3. 如申請專利範圍第1項之半導體記憶裝置，其中上述第一反向器之輸入端子與第二反向器之輸出端子係以觸點互連，上述第二反向器之輸入端子與第一反向器之輸出端子係以觸點電互連。
4. 如申請專利範圍第1項之半導體記憶裝置，其中上述第一、第二位元線，與連接於上述第一、第二P通道MOS電晶體的源極之電源線，以及連接於上述第一、第二N通道MOS電晶體的源極之接地線，係以第三層金屬佈線層形成為與擴散層成平行。
5. 如申請專利範圍第4項之半導體記憶裝置，其中上述第三層金屬佈線層形成之第一位元線，係夾在以上述第三層金屬佈線層之電源線，與連接於以上述第三層金屬佈線層形成之第一N通道MOS電晶體的源極之接地線之間，以上述第三層金屬佈線層形成之第二位元線，係夾在以上述第三層金屬佈線層形成之電源線，與連接於以上述第三層金屬佈線層形成之第二N通道MOS電晶體的源極之接地線之間。

六、申請專利範圍

6. 如申請專利範圍第1項之半導體記憶裝置，其中上述第一、第二位元線，與連接於上述第一、第二P通道MOS電晶體的源極之電源線係以第二層金屬佈線層形成，字線係以第三層金屬層形成，連接於上述第一、第二N通道MOS電晶體的源極之接地線係以第三層及第二層之金屬佈線層形成。
7. 如申請專利範圍第1至6項中任一項之半導體記憶裝置，其中記憶格係包括：上述第一反向器，上述第二反向器，上述第三N通道MOS電晶體，以及上述第四N通道MOS電晶體；上述記憶格係排列在陣列上，在陣列中及陣列之上下，對於P井區的基板之觸點及對於N井區的基板之觸點係布置成與字線成平行之直線。
8. 一種半導體記憶裝置，其係包括：
 - 第一反向器，其具有第一N通道MOS電晶體與第一P通道MOS電晶體；
 - 第二反向器，其具有第二N通道MOS電晶體，與第二P通道MOS電晶體，使輸入端子係連接於上述第一反向器之輸出端子，使輸出端子係連接於上述第一反向器之輸入端子；
 - 第三N通道MOS電晶體，其源極連接於上述第一反向器之輸出端子，汲極連接於第一位元線，閘極連接於字線；以及
 - 第四N通道MOS電晶體，其源極連接於上述第二反向

六、申請專利範圍

器之輸出端子，汲極連接於第二位元線，閘極連接於字線；而

上述第一及第三N通道MOS電晶體係形成在第一P井區，在該第一P井區所形成之擴散層，係呈將對於與供形成上述第一及第二P通道MOS電晶體之第一n井區之境界成平行方向具有長邊之長方形，向上述平行方向連接之形狀；上述第二及第四N通道MOS電晶體係形成於第二P井區，在該第二P井區所形成之擴散層，係呈將對於與供形成上述第一及第二P通道MOS電晶體之第一n井區之境界成平行方向具有長邊之長方形，向上述平行方向連接之形狀。

9. 一種半導體裝置，係具有：以互相以輸出作為輸入之第一及第二反向器，連接於第一反向器輸出與第二反向器輸入之連接點之第一開關，以及連接於第一反向器輸入與第二反向器輸出之連接點之第二開關之半導體裝置；其特徵為：

該半導體裝置具有N井區，佈置在該N井區兩側之第一及第二P井區；而

分別形成在上述N井區、第一及第二P井區的擴散層之平面形狀為：(1)由朝上述N井區、第一及第二P井區之境界線延伸方向具有長邊的單一長方形所成之形狀，或(2)將朝上述N井區、第一及第二P井區之境界線延伸方向具有長邊之複數個長方形，向上述境界線延伸方向

六、申請專利範圍

組合而成之形狀。

10. 如申請專利範圍第9項之半導體裝置，其中形成於上述N井區及P井區之擴散層之平面形狀，係朝上述N井區、第一及第二P井區之境界線延伸方向具有長邊之單一長方形。
11. 如申請專利範圍第9項之半導體裝置，其中上述P井區或形成於P井區的擴散層之平面形狀為：將朝上述N井區、第一及第二P井區之境界線延伸方向具有長邊且具有第一長度之短邊之第一長方形，與朝上述N井區、第一及第二P井區之境界線延伸方向具有長邊且具有與上述第一長度互異的第二長度之短邊之第二長方形，向上述境界線延伸方向組合而成之形狀。
12. 如申請專利範圍第9至11項中任一項之半導體裝置，其中：
上述第一反向器以使用上述第一P井區及N井區所形成第一N通道MOS電晶體與第一P通道MOS電晶體形成；
上述第二反向器以使用上述第二P井區及N井區所形成第二N通道MOS電晶體與第二P通道MOS電晶體形成；
上述第一開關以形成於上述第一P井區之第三N通道MOS電晶體形成；
上述第二開關以形成於上述第二P井區之第四N通道MOS電晶體形成。
13. 如申請專利範圍第12項之半導體裝置，其中上述第一及

六、申請專利範圍

第二反向器、第一及第二開關係構成靜態記憶體格，組合複數個該記憶體格以構成記憶體陣列，

朝上述N井區、第一及第二P井區之境界線延伸方向並行佈置位元線，朝垂直於上述境界線之方向佈置字線。

14. 如申請專利範圍第13項之半導體裝置，其中具有複數個記憶體陣列，在該記憶體陣列之間具有供布置對於P井區的基板之觸點及對於N井區的基板之觸點中至少一方之用的中間區。

15. 如申請專利範圍第14項之半導體裝置，其中在該中間區，與上述字線平行布置具有預定電位之佈線，上述觸點係用以電連接該佈線與基板之間。

16. 一種半導體記憶裝置，其特徵為：

具備複數個記憶體陣列，其係將至少由一對N井區與P井區所成記憶格布置成陣列狀；

該記憶格之間至少具有一中間區；

上述N井區與P井區之境界至少具有一個直線部分；

分別形成在上述N井區與P井區的擴散層之平面形狀為：

(1) 具有與上述直線部分成平行的長邊之長方形形狀，或是，(2) 將具有與上述直線部分成平行的長邊之複數個長方形介以各自之短邊所組合而成之形狀；

位元線係布置成與上述直線部分成平行，字線係布置

六、申請專利範圍

於與上述直線部分成垂直之方向；

於上述中間區，沿著與上述直線部分成垂直方向至少設置一種電源佈線，且形成用以實行該電源佈線與在上述N井區或P井區所形成擴散層間之電氣接觸之佈線。

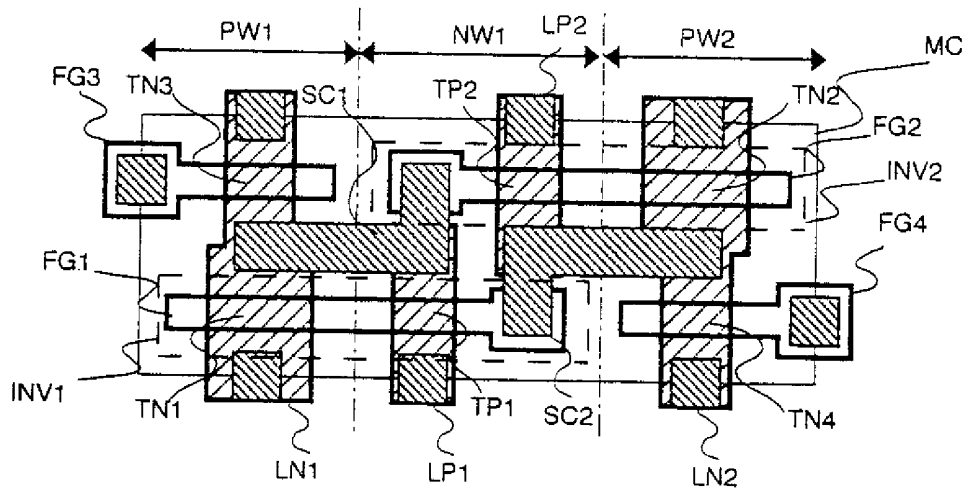
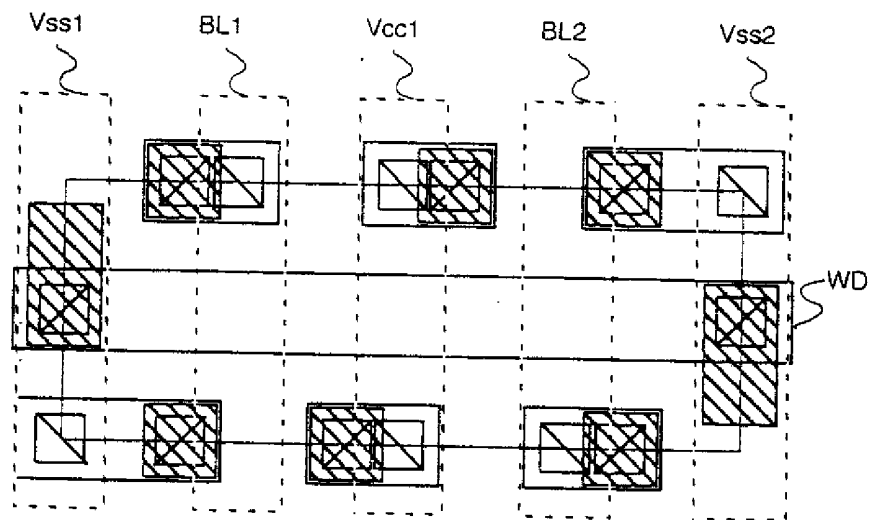


圖 1



- | | |
|----------|----------|
| 擴散層 | 通孔1 |
| 多晶矽佈線層 | 第二層金屬佈線層 |
| 觸點 | 通孔2 |
| 第一層金屬佈線層 | 第三層金屬佈線層 |

圖 2

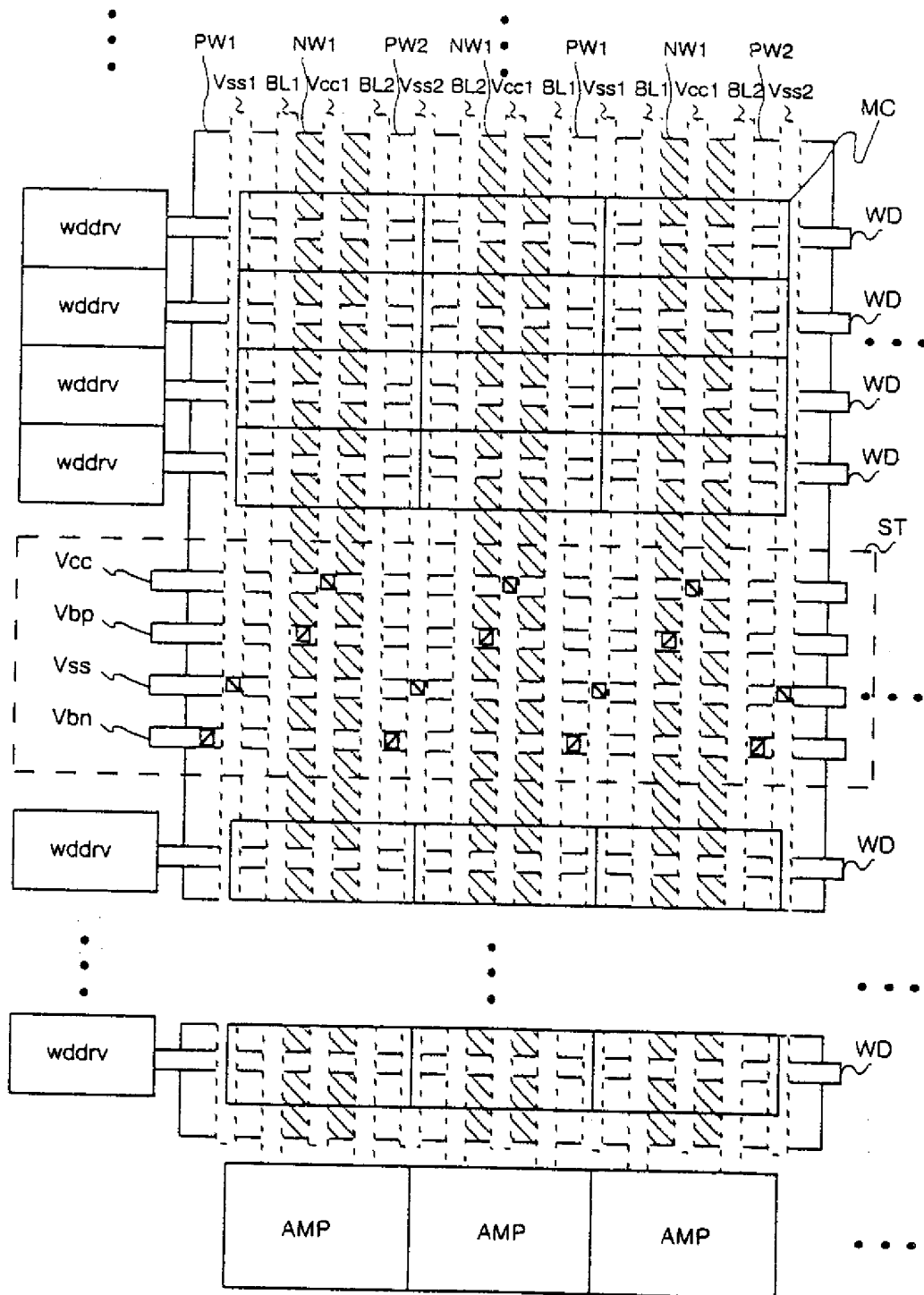


圖 3

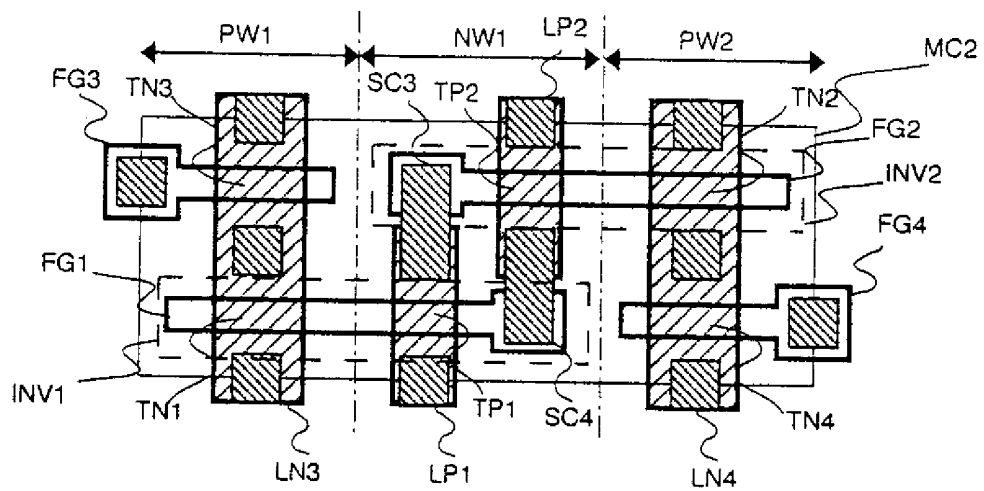


圖 4

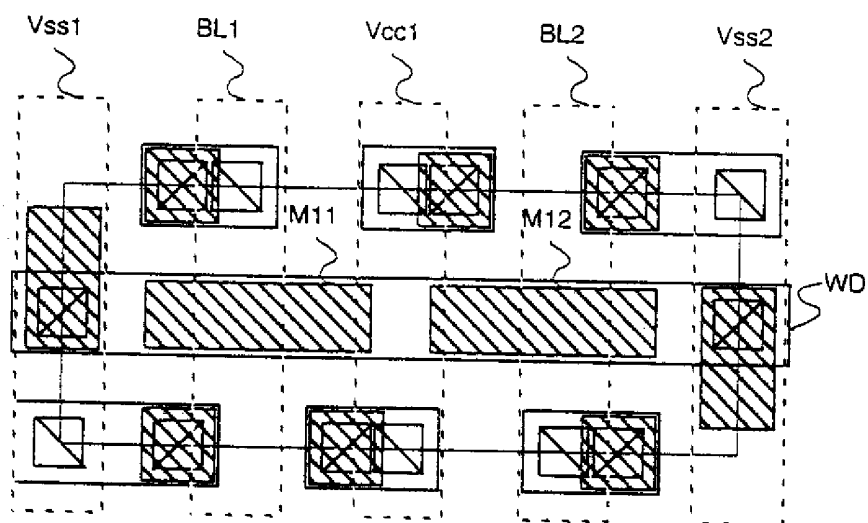


圖 5

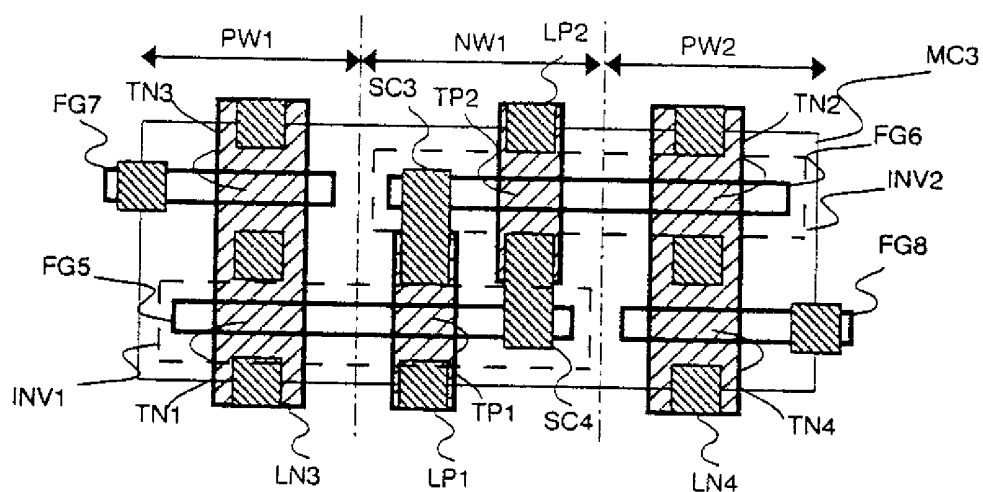


圖 6

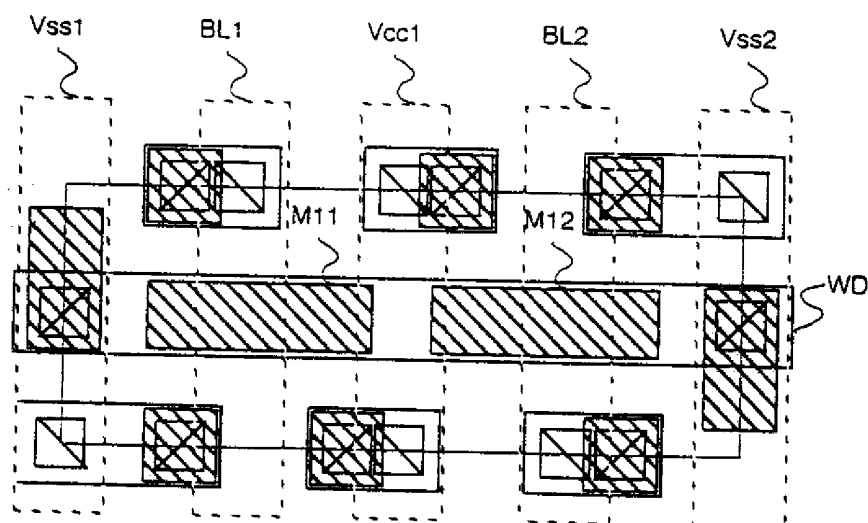


圖 7

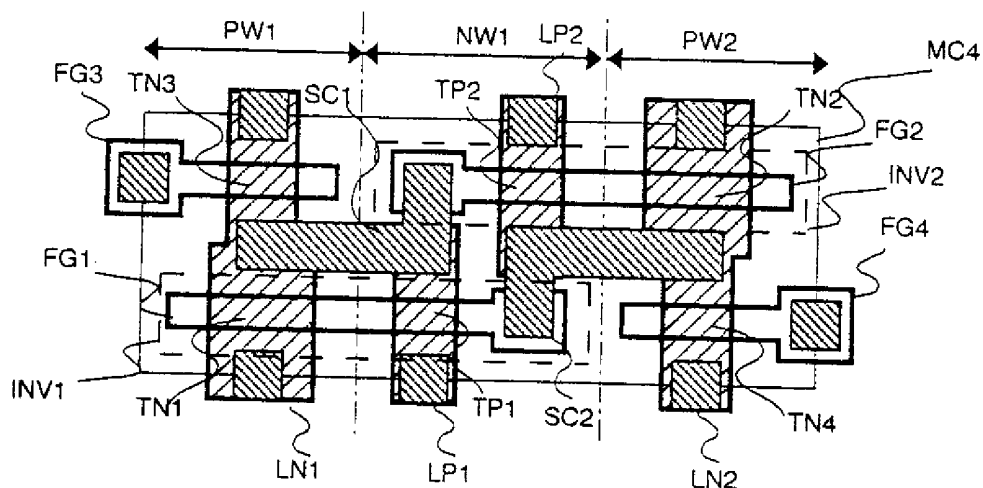
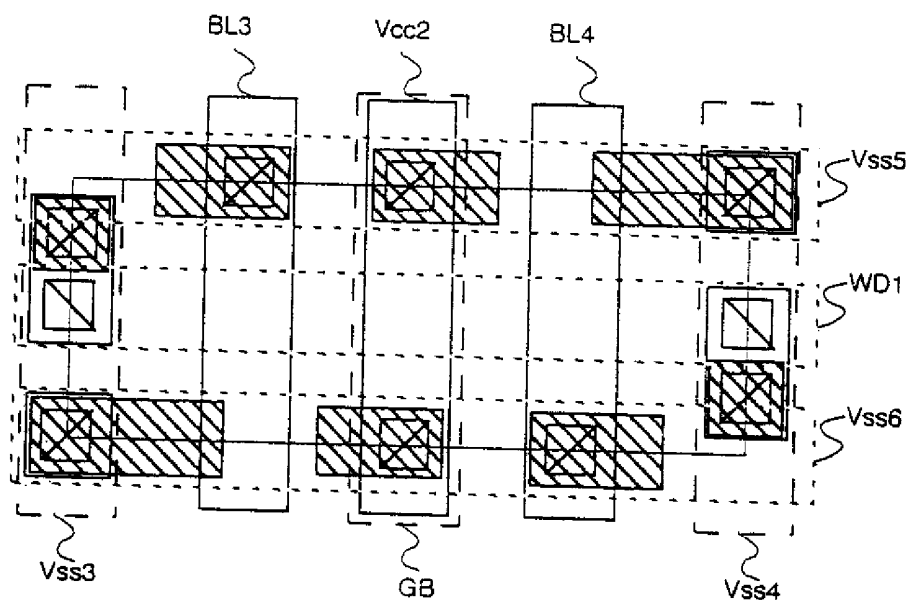


圖 8



- | | |
|----------|-------------|
| 擴散層 | 通孔1 |
| 多晶矽佈線層 | 第二層金屬佈線層 |
| 觸點 | 通孔2 |
| 第一層金屬佈線層 | 第三層金屬佈線層 |
| | 通孔1、通孔2、通孔3 |
| | 第四層金屬佈線層 |

圖 9

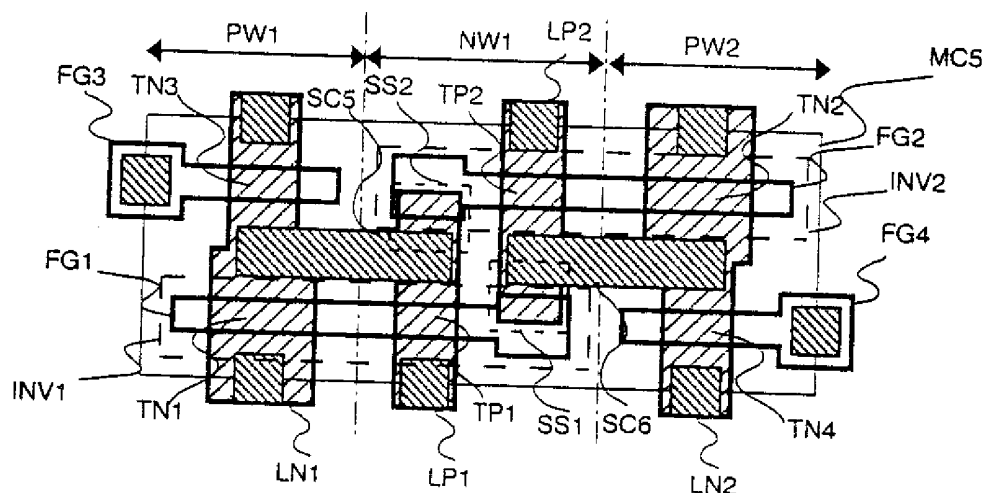
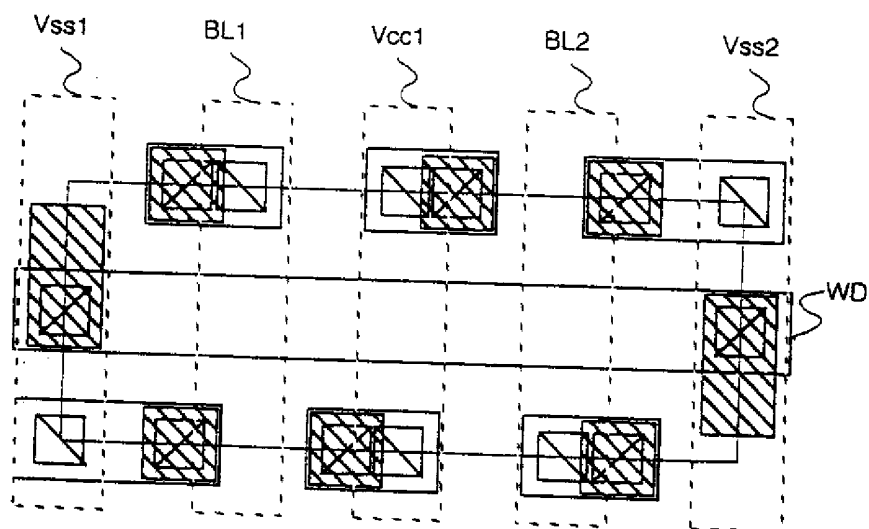


圖 10



- | | |
|----------|----------|
| 擴散層 | 通孔1 |
| 多晶矽佈線層 | 第二層金屬佈線層 |
| 觸點 | 通孔2 |
| 第一層金屬佈線層 | 第三層金屬佈線層 |
| | |

圖 11

圖 12a

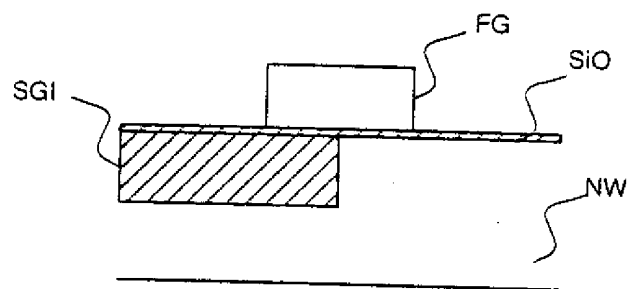


圖 12b

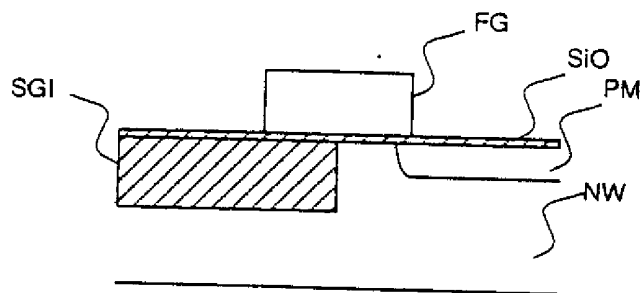


圖 12c

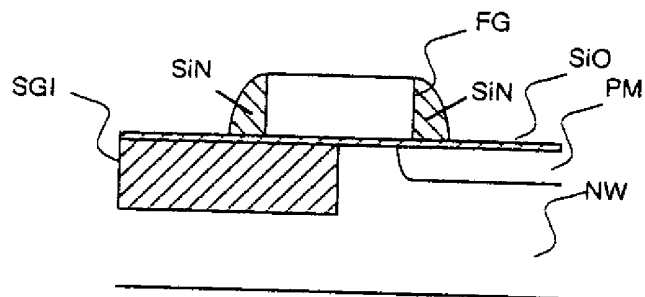


圖 12d

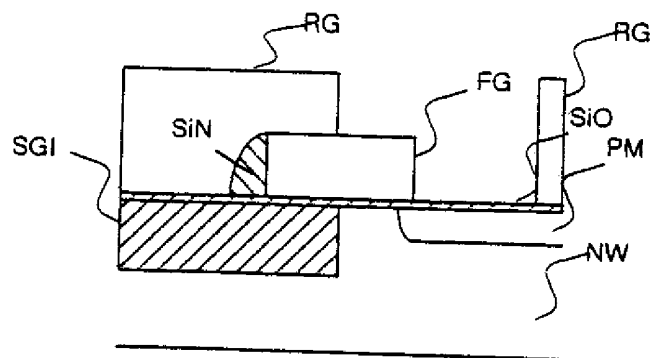


圖 12e

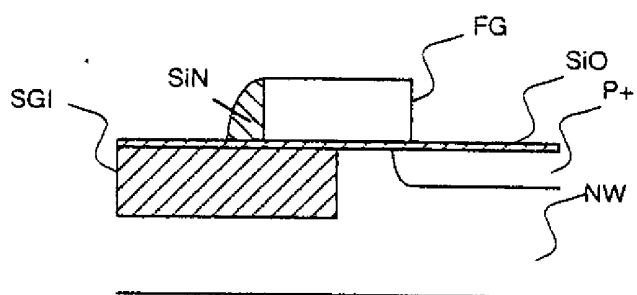
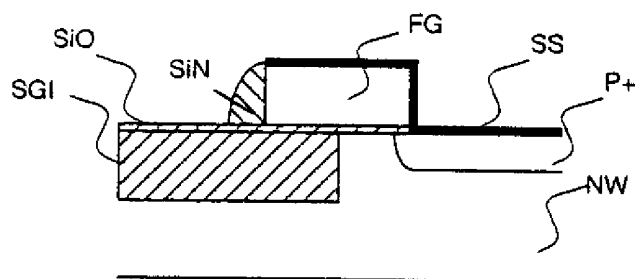


圖 12f



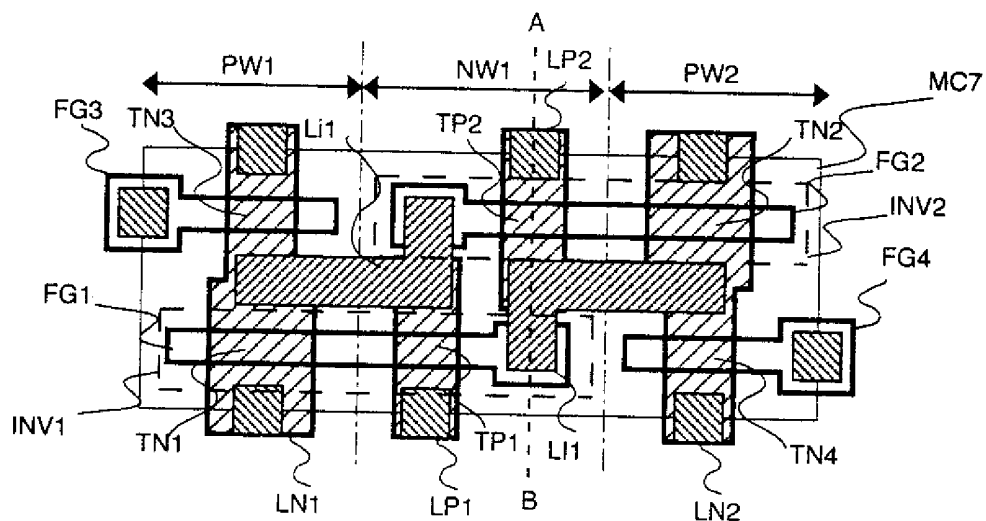
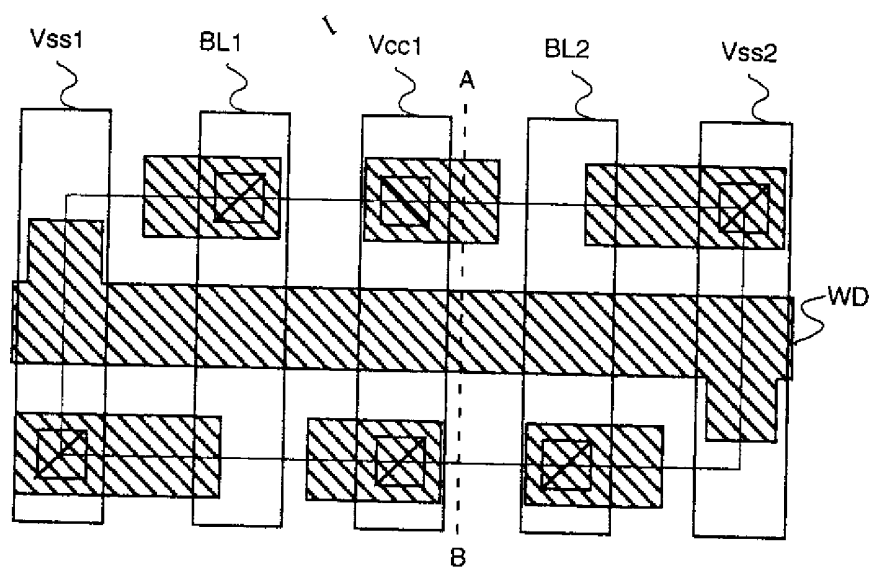


圖 15



- | | |
|----------|----------|
| 擴散層 | 通孔1 |
| 多晶矽佈線層 | 第二層金屬佈線層 |
| 觸點 | |
| 第一層金屬佈線層 | |

圖 16

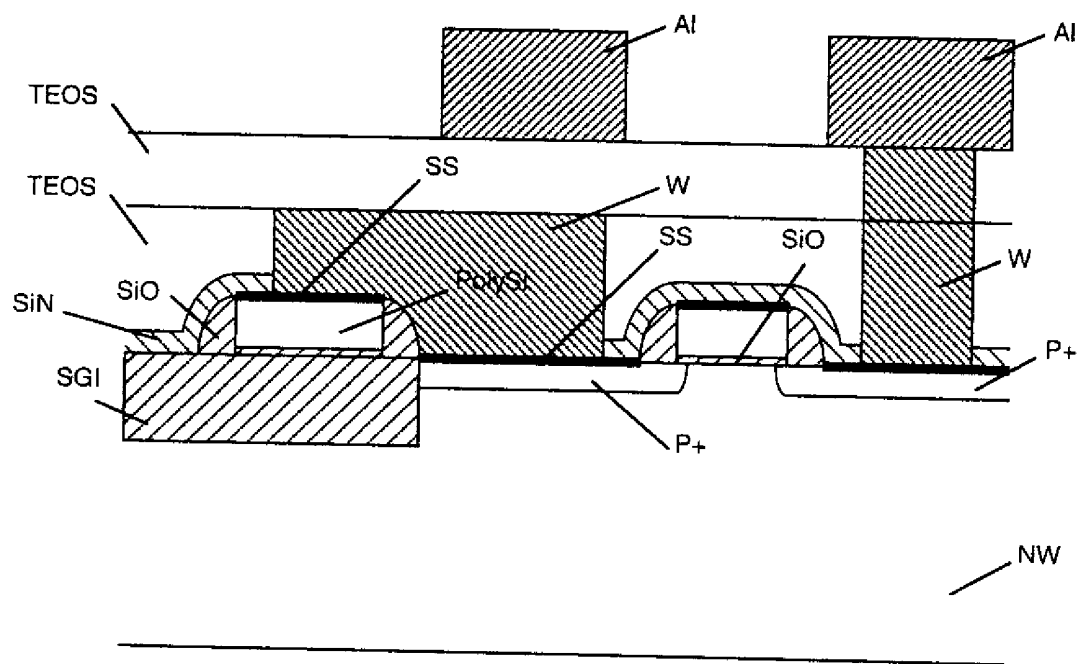


圖 17

圖 18a

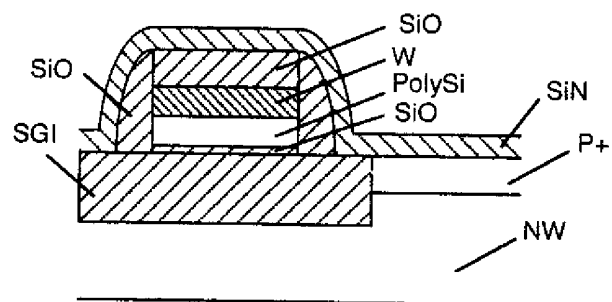


圖 18b

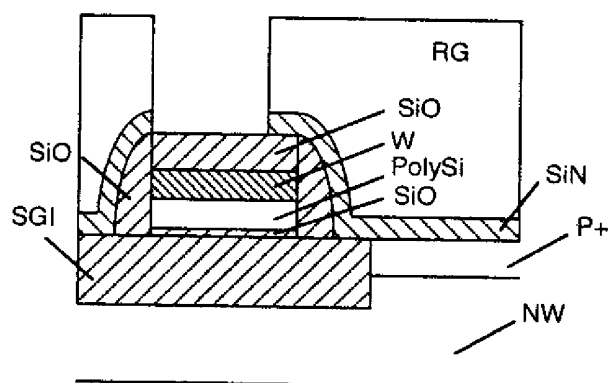


圖 18c

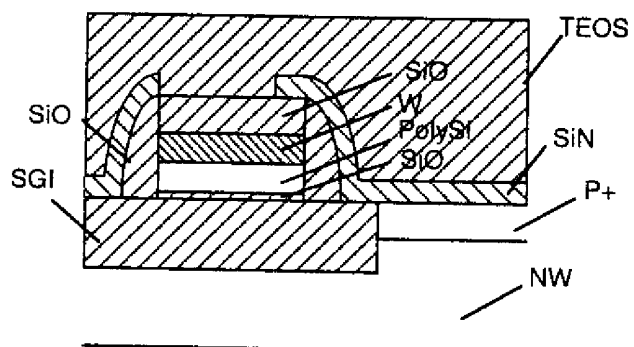


圖 18d

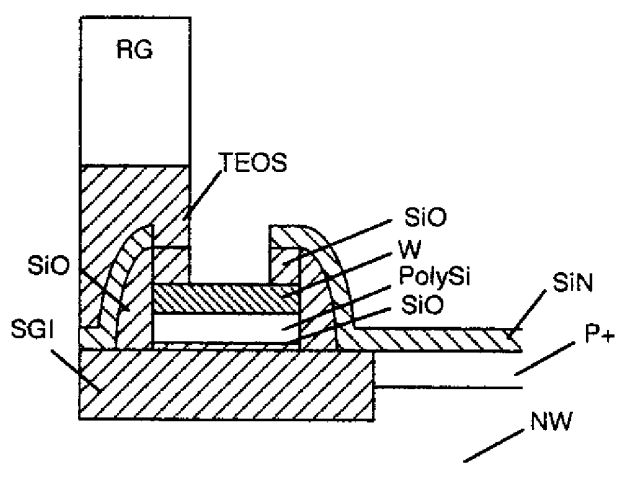


圖 18e

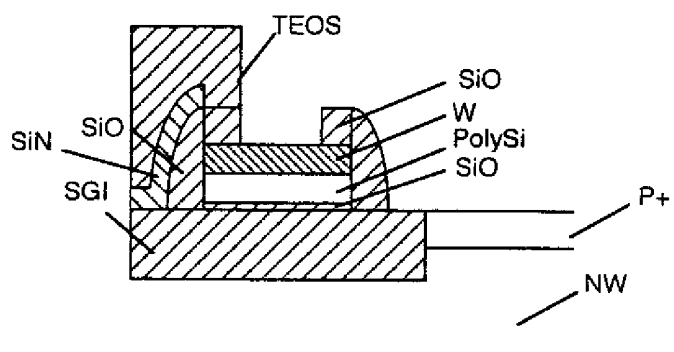


圖 18f

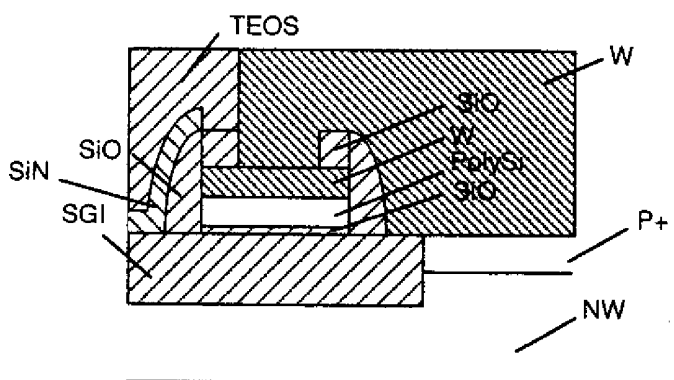


圖 19a

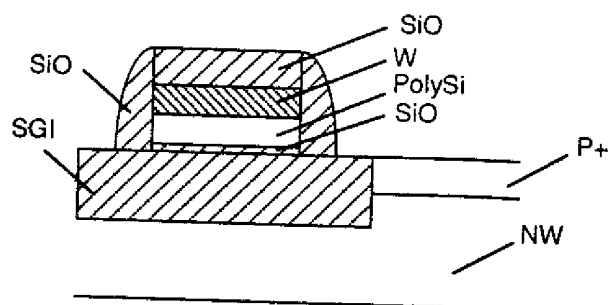


圖 19b

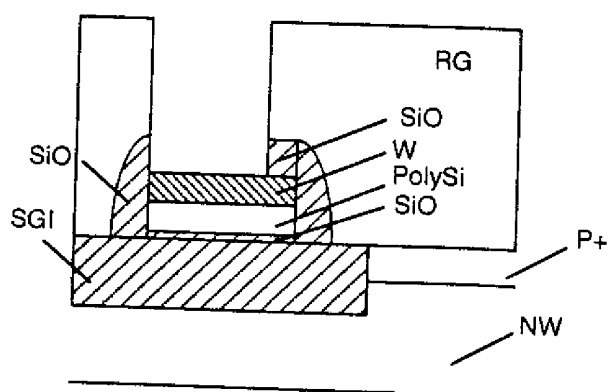


圖 19c

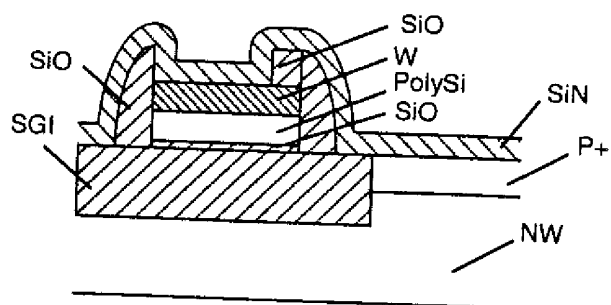


圖 19d

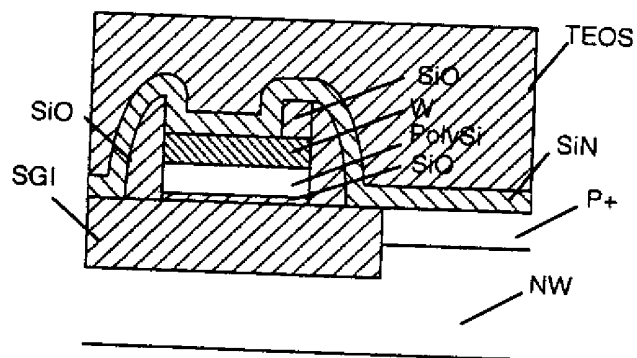


圖 19e

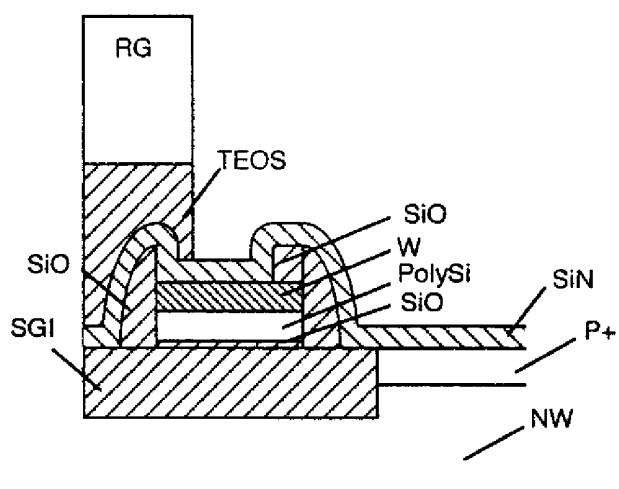


圖 19f

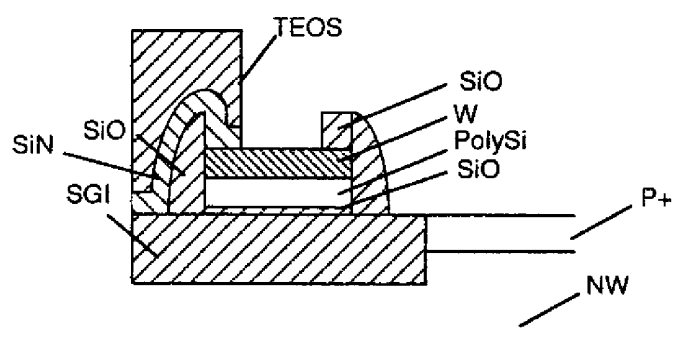
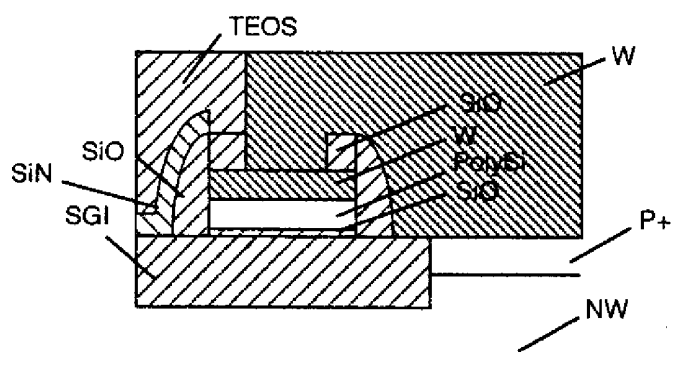


圖 19g



六、申請專利範圍

1. 一種半導體記憶裝置，其係包括：第一反向器，其包含第一N通道MOS(金氧半導體)電晶體與第一P通道MOS電晶體；第二反向器，其包含第二N通道MOS電晶體與第二P通道MOS電晶體，而輸入端子係連接於上述第一反向器之輸出端子，輸出端子係連接於上述第一反向器之輸入端子；第三N通道MOS電晶體，其源極係連接於上述第一反向器之輸出端子，汲極係連接於第一位元線，閘極係連接於字線；第四N通道MOS電晶體，其源極係連接於上述第二反向器之輸出端子，汲極係連接於第二位元線，閘極係連接於字線；而上述第一及第三N通道MOS電晶體，係形成於第一P井區，其擴散層外形以直線為主體所構成，最長的直線部分，係對於與供形成第一及第二P通道MOS電晶體之第一n井區之境界成平行，且假設設定與該境界成平行的中心線之直線時，則對於該中心線係成線對稱；上述第二及第四N通道MOS電晶體，係形成於第二P井區，其擴散層外形以直線為主體所構成，最長的直線部分，係對於與供形成第一及第二P通道MOS電晶體之第一n井區之境界成平行，且假設設定與該境界成平行的中心線之直線時，則對於該中心線成線對稱。
2. 如申請專利範圍第1項之半導體記憶裝置，其中用於上述第三N通道MOS電晶體的閘極之第一多晶矽佈線層，與用於上述第一N通道MOS電晶體的閘極與上述第一P