

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5558916号  
(P5558916)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int.Cl.

H01L 27/146 (2006.01)  
H01L 31/10 (2006.01)

F 1

H01L 27/14  
H01L 31/10  
H01L 31/10A  
A  
G

請求項の数 20 (全 18 頁)

(21) 出願番号 特願2010-115746 (P2010-115746)  
 (22) 出願日 平成22年5月19日 (2010.5.19)  
 (65) 公開番号 特開2011-29604 (P2011-29604A)  
 (43) 公開日 平成23年2月10日 (2011.2.10)  
 審査請求日 平成25年5月15日 (2013.5.15)  
 (31) 優先権主張番号 特願2009-152873 (P2009-152873)  
 (32) 優先日 平成21年6月26日 (2009.6.26)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願2009-152875 (P2009-152875)  
 (32) 優先日 平成21年6月26日 (2009.6.26)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100076428  
 弁理士 大塚 康徳  
 (74) 代理人 100112508  
 弁理士 高柳 司郎  
 (74) 代理人 100115071  
 弁理士 大塚 康弘  
 (74) 代理人 100116894  
 弁理士 木村 秀二  
 (74) 代理人 100130409  
 弁理士 下山 治  
 (74) 代理人 100134175  
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】光電変換装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

光電変換部が配された画素領域とn型MOSトランジスタおよびp型MOSトランジスタが配された周辺回路領域とを有する光電変換装置の製造方法であつて、

前記画素領域に位置する半導体領域と、前記周辺回路領域に位置する金属を含む部材と、  
が絶縁層で覆われた基板を用意する工程と、

前記半導体領域を露出するように前記絶縁層に第1のコンタクトホールを形成する第1のコンタクトホール形成工程と、

前記第1のコンタクトホール内に前記半導体領域に接するコンタクトプラグを形成する第1のコンタクトプラグ形成工程と、

前記部材を露出するように前記絶縁層に第2のコンタクトホールを形成する第2のコンタクトホール形成工程と、

前記第2のコンタクトホール内に前記部材に接するコンタクトプラグを形成する第2のコンタクトプラグ形成工程と、を有し、

前記第1のコンタクトプラグ形成工程の後に前記第2のコンタクトホール形成工程を行うこと、又は、前記第2のコンタクトプラグ形成工程の後に前記第1のコンタクトホール形成工程を行うことを特徴とする光電変換装置の製造方法。

## 【請求項 2】

光電変換部が配された画素領域と周辺回路領域とを有する光電変換装置の製造方法であつて、

10

20

前記画素領域に位置する増幅用のトランジスタの半導体領域と、前記画素領域および前記周辺回路領域の少なくとも一方に位置する金属を含む部材と、が絶縁層で覆われた基板を用意する工程と、

前記半導体領域を露出するように前記絶縁層に第1のコンタクトホールを形成する第1のコンタクトホール形成工程と、

前記部材を露出するように前記絶縁層に第2のコンタクトホールを形成する第2のコンタクトホール形成工程と、を有し、

前記第1のコンタクトホール形成工程の後に前記第1のコンタクトホールが塞がれた状態で前記第2のコンタクトホール形成工程を行うこと、又は、前記第2のコンタクトホール形成工程の後に前記第2のコンタクトホールが塞がれた状態で前記第1のコンタクトホール形成工程を行うことを特徴とする光電変換装置の製造方法。

**【請求項3】**

前記第1のコンタクトホールを介して前記半導体領域に不純物を注入することを特徴とする請求項1または2に記載の光電変換装置の製造方法。

**【請求項4】**

光電変換部が配された画素領域と周辺回路領域とを有する光電変換装置の製造方法であつて、

前記画素領域に位置する半導体領域と、前記画素領域および前記周辺回路領域の少なくとも一方に位置する金属を含む部材と、が絶縁層で覆われた基板を用意する工程と、

前記半導体領域を露出するように前記絶縁層に第1のコンタクトホールを形成する第1のコンタクトホール形成工程と、

前記第1のコンタクトホールを介して前記半導体領域に不純物を注入する工程と、

前記部材を露出するように前記絶縁層に第2のコンタクトホールを形成する第2のコンタクトホール形成工程と、を有し、

前記第1のコンタクトホール形成工程の後に前記第1のコンタクトホールが塞がれた状態で前記第2のコンタクトホール形成工程を行うこと、又は、前記第2のコンタクトホール形成工程の後に前記第2のコンタクトホールが塞がれた状態で前記第1のコンタクトホール形成工程を行うことを特徴とする光電変換装置の製造方法。

**【請求項5】**

前記注入の後に前記第1のコンタクトホール内を洗浄することを特徴とする請求項3または4に記載の光電変換装置の製造方法。

**【請求項6】**

光電変換部が配された画素領域と周辺回路領域とを有する光電変換装置の製造方法であつて、

前記画素領域に位置する半導体領域と、前記画素領域および前記周辺回路領域の少なくとも一方に位置する金属を含む部材と、が絶縁層で覆われた基板を用意する工程と、

前記半導体領域を露出するように前記絶縁層に第1のコンタクトホールを形成する第1のコンタクトホール形成工程と、

前記第1のコンタクトホール内を洗浄する工程と、

前記部材を露出するように前記絶縁層に第2のコンタクトホールを形成する第2のコンタクトホール形成工程と、を有し、

前記第1のコンタクトホール形成工程の後に前記第1のコンタクトホールが塞がれた状態で前記第2のコンタクトホール形成工程を行うこと、又は、前記第2のコンタクトホール形成工程の後に前記第2のコンタクトホールが塞がれた状態で前記第1のコンタクトホール形成工程を行うことを特徴とする光電変換装置の製造方法。

**【請求項7】**

前記洗浄を酸性あるいはアルカリ性の溶液で行うことを特徴とする請求項5または6に記載の光電変換装置の製造方法。

**【請求項8】**

前記洗浄をフッ酸で行うことを特徴とする請求項5、6または7に記載の光電変換装置

10

20

30

40

50

の製造方法。

**【請求項 9】**

前記第 1 のコンタクトホール形成工程の後に前記第 1 のコンタクトホールがフォトレジストで塞がれた状態で前記第 2 のコンタクトホール形成工程を行うこと、又は、前記第 2 のコンタクトホール形成工程の後に前記第 2 のコンタクトホールがフォトレジストで塞がれた状態で前記第 1 のコンタクトホール形成工程を行うことを特徴とする請求項 2、4 または 6 に記載の光電変換装置の製造方法。

**【請求項 10】**

前記第 1 のコンタクトホール形成工程の後に前記第 2 のコンタクトホール形成工程を行うことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置の製造方法。

10

**【請求項 11】**

前記部材は前記金属を前記金属のシリサイドとして含むことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の光電変換装置の製造方法。

**【請求項 12】**

前記部材は前記周辺回路領域に配された MOS トランジスタのソース・ドレイン領域およびゲート電極の少なくとも一方の上に位置するシリサイド層であることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の光電変換装置の製造方法。

**【請求項 13】**

前記半導体領域は前記画素領域のウェルの電位を供給するためのウェルコンタクト領域であることを特徴とする請求項 1、4 または 6 に記載の光電変換装置の製造方法。

20

**【請求項 14】**

前記画素領域には、前記光電変換部で変換された電荷を保持する電荷保持部が配されており、前記部材は、前記光電変換部を開口し、前記電荷保持部を覆う遮光膜であることを特徴とする請求項 2、4 または 6 に記載の光電変換装置の製造方法。

**【請求項 15】**

前記部材は前記画素領域に配された MOS トランジスタのゲート電極の上に位置するシリサイド層であり、前記半導体領域は前記画素領域に配された MOS トランジスタのソース・ドレイン領域であることを特徴とする請求項 2、4 または 6 に記載の光電変換装置の製造方法。

**【請求項 16】**

30

前記用意する工程では、

前記絶縁層と前記半導体領域との間、および、前記絶縁層と前記周辺回路領域に配された抵抗素子との間には絶縁膜が位置しており、前記絶縁層と前記部材との間に前記絶縁膜が位置しないことを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の光電変換装置の製造方法。

**【請求項 17】**

前記用意する工程では、前記絶縁層を形成する前に、前記基板の上に形成された絶縁膜の前記半導体領域を覆う部分および前記周辺回路領域に配された抵抗素子を覆う部分を残しつつ、前記絶縁膜の前記周辺回路領域に位置する部分をエッチングして前記絶縁膜から前記周辺回路領域に配された MOS トランジスタのサイドスペーサを形成し、

40

前記絶縁膜を覆うように前記基板の上に形成された前記金属を含む金属膜と前記 MOS トランジスタのソース・ドレイン領域とを反応させることで前記部材を形成することを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の光電変換装置の製造方法。

**【請求項 18】**

前記用意する工程では、前記絶縁層を形成する前に、

前記基板の上に形成された第 1 絶縁膜の前記光電変換部を覆う部分を残しつつ、前記第 1 絶縁膜の前記周辺回路領域に位置する部分をエッチングして前記第 1 絶縁膜から前記周辺回路領域に配された MOS トランジスタのサイドスペーサを形成し、

前記基板の上に形成された第 2 絶縁膜の前記半導体領域を覆う部分を残しつつ、前記第 2 絶縁膜の前記 MOS トランジスタを覆う部分を除去し、

50

前記第1絶縁膜および前記第2絶縁膜を覆う様に前記基板の上に形成された前記金属を含む金属膜と前記MOSトランジスタのソース・ドレイン領域とを反応させることで前記部材を形成することを特徴とする請求項1乃至15のいずれか1項に記載の光電変換装置の製造方法。

**【請求項19】**

前記用意する工程では、前記絶縁層を形成する前に、前記基板の上に形成された絶縁膜の前記画素領域に位置する部分を前記画素領域に配された増幅用のトランジスタの上に残しつつ、前記絶縁膜の前記周辺回路領域に位置する部分をエッチングして前記絶縁膜から前記周辺回路領域に配されたMOSトランジスタのサイドスペーサを形成し、

前記第1のコンタクトホール形成工程では、前記増幅用のトランジスタの半導体領域を露出するコンタクトホールを、前記絶縁層および前記絶縁膜に形成することを特徴とする請求項1乃至15のいずれか1項に記載の光電変換装置の製造方法。

10

**【請求項20】**

光電変換部および複数のMOSトランジスタを有する光電変換装置の製造方法であって

ソース・ドレイン領域の上にシリサイド層を有しない第1のMOSトランジスタと、ソース・ドレイン領域およびゲート電極の少なくとも一方の上にシリサイド層を有する第2のMOSトランジスタと、が絶縁層で覆われた、光電変換部を有する基板を用意する工程と、

前記第1のMOSトランジスタの前記ソース・ドレイン領域を露出するように前記絶縁層に第1のコンタクトホールを形成する第1のコンタクトホール形成工程と、

20

前記第1のコンタクトホールを介して前記ソース・ドレイン領域に不純物を注入した後に前記第1のコンタクトホール内を洗浄する工程と、

前記第2のMOSトランジスタの前記シリサイド層を露出するように前記絶縁層に第2のコンタクトホールを形成する第2のコンタクトホール形成工程と、を有し、

前記第1のコンタクトホール形成工程の後に前記第1のコンタクトホールが塞がれた状態で前記第2のコンタクトホール形成工程を行うこと、又は、前記第2のコンタクトホール形成工程の後に前記第2のコンタクトホールが塞がれた状態で前記第1のコンタクトホール形成工程を行うことを特徴とする光電変換装置の製造方法。

**【発明の詳細な説明】**

30

**【技術分野】**

**【0001】**

本発明は光電変換装置の製造工程において、コンタクトホールを形成する技術に関する。

**【背景技術】**

**【0002】**

近年、光電変換装置の進歩により、より高画質で安価なデジタルカメラやデジタルビデオカメラが普及している。光電変換装置には、CCD型やMOS型等がある。MOS型光電変換装置は、画素領域と周辺回路領域とを有している。画素領域は、光電変換部であるフォトダイオードや転送トランジスタ及び増幅トランジスタを含む。周辺回路領域はMOSトランジスタを含み、画素領域からの出力信号の処理や光電変換装置の駆動を行う。この画素領域と周辺回路領域は、CMOS製造プロセスによって共通の工程で製造することができる。

40

**【0003】**

この周辺回路領域のMOSトランジスタのソース・ドレイン、及び、ゲート電極上に高融点金属の半導体化合物を選択的に形成するシリサイド（以下、「シリサイド層」と呼ぶ。）構造を使用することで、MOSトランジスタの高速動作が可能となる。一方、画素領域の光電変換部にシリサイド層を使用すると、光電変換部のリーク電流を増大させ、光電変換特性を劣化させてしまう。

**【0004】**

50

特許文献 1 には、周辺回路領域のみにシリサイド構造を使用することで、光電変換部のリーク電流を抑制する構成が開示されている。

#### 【 0 0 0 5 】

一方、従来、C M O Sイメージセンサに代表されるアクティピクセル型の固体撮像装置には、行列状に並べられた複数の画素における光電荷蓄積の開始時刻と終了時刻を同時にするために、画素にグローバル電子シャッター機能を持たせたものが存在している。

#### 【 0 0 0 6 】

グローバル電子シャッター機能を有する固体撮像装置を実現するためには、各画素領域では光電変換を行う光電変換部と、光電変換部で発生した電荷をある程度の時間保持しておく電荷保持部が必要になる。電荷保持部は、ある画素の蓄積終了後から読み出しが行われるまで、電荷を保持する役割を担うため、電荷保持部に光が入射し、電荷保持部に接するP N接合で光電変換による電荷が発生すると、光の漏れ込みノイズとなって画質が悪化してしまう。10

#### 【 0 0 0 7 】

このような課題に対して、特許文献 2 では、光電変換部を遮光せず、電荷保持部を遮光する遮光膜を形成することで、電荷保持部への光の入射を防ぎ、画質の劣化を抑制する構成を開示している。

#### 【先行技術文献】

#### 【特許文献】

#### 【 0 0 0 8 】

20

【特許文献 1】特開 2 0 0 1 - 1 1 1 0 2 2 号公報

【特許文献 2】特開 2 0 0 7 - 2 9 4 5 3 1 号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【 0 0 0 9 】

しかしながら、特許文献 1 では、シリサイド層を持たない画素領域とシリサイド層を持つ周辺回路領域を形成後に、絶縁層を形成しコンタクトホールを形成する。このとき、発明者らは、画素領域および周辺回路領域のコンタクトホールを形成するためのエッチングの際に、以下のような課題が生じることを見出した。それは、エッチングの際に、周辺回路領域の底部のシリサイド層より高融点金属が巻き上がり、画素領域のコンタクトホール内やフォトダイオードが高融点金属で汚染される可能性があることである。画素領域のコンタクトホール内やフォトダイオードが高融点金属で汚染されると、画素領域のリーク電流が増大し光電変換特性の劣化に繋がってしまう。30

#### 【 0 0 1 0 】

また、特許文献 2 に記載のグローバル電子シャッター機能を有する固体撮像装置において、電荷保持部を遮光する遮光膜は、その光の反射特性からタンゲステンやタンゲステンシリサイドなどの金属膜を用いて形成させることが一般的である。このような金属膜を用いて、電荷保持部を遮光するように遮光膜を形成し、続いて層間絶縁膜を形成した後に、遮光膜上及び、それ以外の拡散層上やゲート電極上のコンタクトホールを形成するためのエッチングを行う。従来、これらのコンタクトホールの開口は同一工程で行うので、そのエッチングの際に金属膜からなる遮光膜より金属物が巻き上がり、拡散層のコンタクトホール内が金属汚染されたり、さらにはフォトダイオード部も金属汚染される可能性がある。フォトダイオード部が金属で汚染されると、リーク電流が増大するなど、画質が劣化するという問題が発生する。40

#### 【 0 0 1 1 】

本発明は上記問題点を鑑みてなされたものであり、光電変換装置のコンタクトホール形成時に光電変換部が金属あるいは高融点金属で汚染されることを低減することを目的とする。

#### 【課題を解決するための手段】

#### 【 0 0 1 2 】

50

上記課題を解決するための第1の手段は、光電変換部が配された画素領域とn型MOSトランジスタおよびp型MOSトランジスタが配された周辺回路領域とを有する光電変換装置の製造方法であって、前記画素領域に位置する半導体領域と、前記周辺回路領域に位置する金属を含む部材と、が絶縁層で覆われた基板を用意する工程と、前記半導体領域を露出するように前記絶縁層に第1のコンタクトホールを形成する第1のコンタクトホール形成工程と、前記第1のコンタクトホール内に前記半導体領域に接するコンタクトプラグを形成する第1のコンタクトプラグ形成工程と、前記部材を露出するように前記絶縁層に第2のコンタクトホールを形成する第2のコンタクトホール形成工程と、前記第2のコンタクトホール内に前記部材に接するコンタクトプラグを形成する第2のコンタクトプラグ形成工程と、を有し、前記第1のコンタクトプラグ形成工程の後に前記第2のコンタクトホール形成工程を行うこと、又は、前記第2のコンタクトプラグ形成工程の後に前記第1のコンタクトホール形成工程を行うことを特徴とする。

## 【0013】

上記課題を解決するための第2の手段は、光電変換部が配された画素領域と周辺回路領域とを有する光電変換装置の製造方法であって、前記画素領域に位置する半導体領域と、前記画素領域および前記周辺回路領域の少なくとも一方に位置する金属を含む部材と、が絶縁層で覆われた基板を用意する工程と、前記半導体領域を露出するように前記絶縁層に第1のコンタクトホールを形成する第1のコンタクトホール形成工程と、前記部材を露出するように前記絶縁層に第2のコンタクトホールを形成する第2のコンタクトホール形成工程と、を有し、前記第1のコンタクトホール形成工程の後に前記第1のコンタクトホールが塞がれた状態で前記第2のコンタクトホール形成工程を行うこと、又は、前記第2のコンタクトホール形成工程の後に前記第2のコンタクトホールが塞がれた状態で前記第1のコンタクトホール形成工程を行うことを特徴とする。

上記第2の手段における第1の観点では、前記半導体領域が前記画素領域に位置する増幅用のトランジスタの半導体領域である。上記第2の手段における第2の観点では、前記第1のコンタクトホールを介して前記半導体領域に不純物を注入する工程を有する。上記第2の手段における第3の観点は、前記第1のコンタクトホール内を洗浄する工程を有する。

## 【0014】

上記課題を解決するための第3の手段は、光電変換部および複数のMOSトランジスタを有する光電変換装置の製造方法であって、ソース・ドレイン領域の上にシリサイド層を有しない第1のMOSトランジスタと、ソース・ドレイン領域およびゲート電極の少なくとも一方の上にシリサイド層を有する第2のMOSトランジスタと、が絶縁層で覆われた、光電変換部を有する基板を用意する工程と、前記第1のMOSトランジスタの前記ソース・ドレイン領域を露出するように前記絶縁層に第1のコンタクトホールを形成する第1のコンタクトホール形成工程と、前記第1のコンタクトホールを介して前記ソース・ドレイン領域に不純物を注入した後に前記第1のコンタクトホール内を洗浄する工程と、前記第2のMOSトランジスタの前記シリサイド層を露出するように前記絶縁層に第2のコンタクトホールを形成する第2のコンタクトホール形成工程と、を有し、前記第1のコンタクトホール形成工程の後に前記第1のコンタクトホールが塞がれた状態で前記第2のコンタクトホール形成工程を行うこと、又は、前記第2のコンタクトホール形成工程の後に前記第2のコンタクトホールが塞がれた状態で前記第1のコンタクトホール形成工程を行うことを特徴とする。

## 【発明の効果】

## 【0015】

本発明によれば、コンタクトホール形成時に半導体領域が金属で汚染されることを低減することができる。

## 【図面の簡単な説明】

## 【0016】

【図1】第1の実施形態における光電変換装置の製造工程を説明するための断面図。

10

20

30

40

50

【図2】第1の実施形態における光電変換装置の製造工程を説明するための断面図。

【図3】第1の実施形態における光電変換装置の製造工程を説明するための断面図。

【図4】第2の実施形態における光電変換装置の製造工程を説明するための断面図。

【図5】第3及び第4の実施の形態における光電変換装置の単位画素の平面レイアウトの模式図。

【図6】第3及び第4の実施の形態における光電変換装置の断面図。

【図7】第3の実施形態における光電変換装置の製造方法を示す断面図。

【図8】第3の実施形態における光電変換装置の製造方法を示す断面図。

【図9】第4の実施形態における光電変換装置の製造方法を示す断面図。

【図10】第5の実施形態における光電変換装置の製造方法を示す断面図。 10

【発明を実施するための形態】

【0017】

以下、添付図面を参照して本発明を実施するための最良の形態を詳細に説明する。

【0018】

<第1の実施形態>

図1～図3は本発明の第1の実施形態における光電変換装置の製造方法を説明するための、光電変換装置の画素領域及び周辺回路領域の断面図である。本第1の実施形態は、周辺回路領域に高融点金属化合物層（シリサイド層）を有する構成に関するものである。以下、本第1の実施形態では、CMOS型の光電変換装置について説明を行うが、光電変換装置の種類はこれに限ったものではない。 20

【0019】

図1(A)において、101は光電変換部であるフォトダイオードの蓄積領域や、光電変換部で生じた電荷を転送するためのMOSトランジスタ等から成る画素が複数配された画素領域である。また、102は画素領域101からの出力信号の処理や画素領域からの信号を読み出すための駆動を行うMOSトランジスタを含む周辺回路領域を示す。図1(A)は、画素領域101の一部と周辺回路領域102の一部を示しており、画素領域101については1つの画素の一部を示し、図1(A)の周辺回路領域102については1つのMOSトランジスタを示している。画素領域と周辺回路領域は、同一の半導体基板上にCMOS製造プロセスによって共通の工程で製造することができる。本実施例において、信号電荷は電子とする。 30

【0020】

また、100は半導体基板であり、例えばn型半導体領域よりなるシリコン単結晶基板である。104は素子分離、106は画素領域ウエル、105はn型半導体よりなるフォトダイオードの蓄積領域である。さらに、109は画素領域101内の転送用のMOSトランジスタのゲート電極、107はフォトダイオードの表面p型半導体層である。110は画素領域101内及び周辺回路領域102内のMOSトランジスタのゲート電極である。ここで、画素領域ウエル106は、フォトダイオードの特性により適時最適化されるため、接合深さや不純物濃度などは任意に設定される。また、100はシリコン単結晶基板の他に、他の種類の基板や基板上に配されたエピタキシャル層であってもよい。

【0021】

103は、蓄積領域105から転送された電子を保持するn型半導体層（フローティングディフュージョン領域）であり、蓄積領域105とゲート電極109と転送用のMOSトランジスタを構成する。また、111は画素領域101内に形成されるn型MOSトランジスタのソース・ドレイン領域や周辺回路領域102内に形成されるn型MOSトランジスタのソース・ドレイン領域を示している。108は周辺回路領域102のp型のウエル領域である。また、周辺回路領域102はp型のウエル領域の他にp型MOSトランジスタが配置されるn型のウエル領域を有してもよい。ここで、画素領域101内に形成されるMOSトランジスタとは、例えば電荷を転送するための転送用や電荷を増幅して出力する増幅用のMOSトランジスタである。また、周辺回路領域102内に形成されるMOSトランジスタとは、例えば画素領域101のMOSトランジスタを駆動するための 40

MOSトランジスタとは、例えば画素領域101のMOSトランジスタを駆動するための 50

駆動回路や信号を処理するための信号処理回路を形成するMOSトランジスタである。

【0022】

次に、図1(B)に示すように、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜あるいは、それらが複数積層された絶縁膜層112を形成する。次に、図1(C)に示すように、フォトリソグラフィー及びドライエッティングにより、絶縁膜層112が主に周辺回路領域102のみ除去されて、絶縁膜層113が画素領域に形成される。このとき、周辺回路領域102においては、MOSトランジスタのゲート側壁に絶縁膜層112が残り、LDD構造のためのサイドスペーサ114が形成される。

【0023】

その後、図1(D)に示すように、周辺回路領域102のMOSトランジスタのソース・ドレイン領域に濃いn型半導体領域116(拡散層)を形成し、LDD構造のMOSトランジスタを形成する。ここで、本第1の実施形態では、画素領域101のMOSトランジスタのソース・ドレイン領域では、絶縁膜層113により、n型半導体領域116は形成されない。

【0024】

次に、CVD法やPVD法などにより、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜のような絶縁膜を形成する。そして、画素領域101のみを残して選択的に周辺回路領域102の絶縁膜を除去し、図2(E)に示すような高融点金属の半導体化合物阻止層117を形成する。このとき、周辺回路領域102の一部に半導体化合物阻止層117を残して高抵抗領域115を形成してもよい。高抵抗領域115とは抵抗素子であり、シリサイド層が形成されると抵抗が下がるためシリサイド層を形成しないことが望ましい領域である。

【0025】

そして、図2(B)に示すようにCVDやスパッタなどにより、高融点金属としてのコバルトと、高融点金属の酸化防止膜としての窒化チタンの積層膜118を堆積させる。ここで、高融点金属としてはコバルト以外にチタン、ニッケル、タングステン、モリブデン、タンタル、クロム、パラジウム、プラチナ等が挙げられる。また、高融点金属の酸化防止膜としては、窒化チタンのほかにニッケルやチタン等が挙げられる。

【0026】

図2(C)においては、高融点金属膜である積層膜118を熱処理することにより、周辺回路領域102のMOSトランジスタのゲート電極やソース・ドレインを構成しているシリコンと高融点金属とを反応(シリサイド化)させる。これにより、周辺回路領域102のMOSトランジスタのソース・ドレイン、及び、ゲート電極上に高融点金属のシリサイド層(高融点金属の半導体化合物層)を形成する。なお、高融点金属の半導体化合物の一例としては、以下のものが考えられる。それらは、チタンシリサイド、ニッケルシリサイド、コバルトシリサイド、タングステンシリサイド、モリブデンシリサイド、タンタルシリサイド、クロムシリサイド、パラジウムシリサイド、プラチナシリサイドである。このとき、図2(A)で説明した半導体化合物阻止層117が配されている領域は、この層がシリサイド化の阻止層として働くため、高融点金属のシリサイド層は形成されない。同様に、高抵抗領域115も高融点金属のシリサイド層は形成されない。続いて、未反応の高融点金属を含む積層膜118を酸溶液に浸して除去する。そして、図2(C)のように周辺回路領域102の所望の箇所にシリサイド層119を設けることが出来る。

【0027】

次に、図2(D)に示すように、例えば、シリコン酸化膜、あるいは、ボロン、リンを含んだシリコン酸化膜などで構成された絶縁層120を形成する。絶縁層120は層間絶縁膜として機能する。そして、シリサイド化されていない画素領域101のみにて、フォトリソグラフィー技術およびエッティング技術を用いて、絶縁層120にコンタクトホールを形成する(第1のコンタクトホール形成工程)。その後、CVD法などにより単層あるいは多層の金属膜を堆積し、CMP法などにより余分な金属膜を除去することで、コンタクトプラグ121を形成する。このとき、コンタクトプラグ121の形成前に、所望のコ

10

20

30

40

50

ンタクトホールを介してウェルに不純物を注入（イオン注入）して不純物領域 122 を形成することで、コンタクト抵抗を安定化させることもできる。また、コンタクトホール開口後、コンタクトプラグ 121 を形成前にフッ酸やアンモニア過水などの酸性、あるいはアルカリ性の溶液でコンタクトホール内の洗浄を行ってもよい。コンタクトホールへの不純物の注入後にコンタクトホール内の洗浄を行うことが好ましい。これによって、半導体基板への金属あるいは高融点金属の混入を低減することが可能である。

#### 【0028】

次に、図 3 (A) に示すように、画素領域 101 にコンタクトプラグ 121 を形成した後に、同じくフォトリソグラフィー技術およびエッチング技術を用いて、周辺回路領域 102 の絶縁層 120 にコンタクトホール 126 を形成する。（第 2 のコンタクトホール形成工程）その後、図 3 (B) に示すように画素領域 101 と同様な方法でコンタクトプラグ 123 を形成し、最後にアルミや銅などの金属による配線層 124 を画素領域及び周辺回路領域に形成する。この後、更に絶縁層、ビアプラグ、配線層を形成してもよく、カラーフィルタやマイクロレンズを形成することで光電変換装置が完成する（不図示）。 10

#### 【0029】

以上、図 1 ~ 図 3 を参照して説明した製造方法では、周辺回路領域にシリサイド層を形成した場合、画素領域のコンタクトホールを形成する工程と、周辺回路領域のコンタクトホールを形成する工程とを別工程とし、異なるタイミングで実行する。このようにすることで、周辺回路領域のコンタクトホールを形成するときに、画素領域のコンタクトホールをコンタクトプラグで埋めておくができる。その結果、周辺回路領域のシリサイド層からの金属飛散による、画素領域内の汚染を防止することができるため、画素特性を劣化させることなく光電変換装置を製造することができる。 20

#### 【0030】

また、本実施形態の製造方法では、画素領域のコンタクトホール形成時には、シリサイド層が露出していないためコンタクトホール底部を洗浄処理することが可能となり、良好なコンタクト抵抗を得ることが可能となる。なお、周辺領域、即ちシリサイド層が露出するコンタクトホールにおいては、十分なコンタクトプラグの接続が可能となるので、不純物注入はしなくてもよい。また、シリサイド層が露出するコンタクトホールにおいては、シリサイド層へのダメージを抑制するために洗浄を行わない方が好ましい。 30

#### 【0031】

なお、上述した第 1 の実施形態では、画素領域 101 のコンタクトホールを先に形成する場合について説明したが、周辺回路領域 102 のコンタクトホールを先に形成してもよい。その場合、画素領域 101 のコンタクトホールの形成に先立って、周辺回路領域 102 のコンタクトホールにコンタクトプラグを形成することで、同様の効果を得ることができる。 40

#### 【0032】

##### <第 2 の実施形態>

次に、第 2 の実施形態における光電変換装置の製造方法を図 2 (C)、図 2 (D) 及び図 4 を参照して説明する。本第 2 の実施形態の製造方法では、画素領域 101 のコンタクトホールを形成後、コンタクトプラグの形成を行わず、周辺回路領域 102 のコンタクトホールを形成する。以下、第 1 の実施形態と同様な構成及び製造方法については説明を省略する。 40

#### 【0033】

第 2 の実施形態では、図 2 (C) において周辺回路領域 102 の MOS ドラインジスタのゲート電極やソース・ドレイン領域を構成しているシリコンをシリサイド化した後の処理に特徴がある。まず、図 2 (C) の後、図 4 (A) で示すように、例えば、シリコン酸化膜、あるいは、ボロン、リンを含んだシリコン酸化膜などで構成された絶縁層 120 を形成し、シリサイド化されていない画素領域 101 のみにコンタクトホール 125 を形成する。このとき、第 1 の実施形態と同様に、コンタクトプラグ形成前に所望のコンタクトホール 125 に対して不純物を注入し不純物領域 122 を形成してもよい。また、画素領域 50

101のコンタクトホール125の形成後にフッ酸やアンモニア過水などの酸あるいはアルカリの溶液でコンタクトホール底部の洗浄を行ってもよい。

#### 【0034】

次に図4(B)で示すように、フォトレジスト127(フォトレジストパターン)をマスクとして用いて周辺回路領域102の絶縁層120にコンタクトホール126を形成した後、図4(C)のようにフォトレジストパターンの除去を行う。最後にCVD法などにより金属膜を堆積し、CMP法などによりコンタクトプラグ121および123を形成し、アルミや銅などの金属による配線層124を形成する(図3(B))。

#### 【0035】

上記の通り本第2の実施形態によれば、画素領域101及び周辺回路領域102それぞれのコンタクトホール形成後にコンタクトプラグの形成を同時に行うため、工程の短縮が可能となる。また、本第2の実施形態においては、周辺回路領域のコンタクトホール126の形成時には画素領域のコンタクトホール125は、フォトレジストなどのマスク材が塗布され、埋められる。この結果、シリサイド層からの高融点金属による画素領域の汚染を防止することができるため、暗電流や点欠陥の低減を図ることができる。10

#### 【0036】

なお、上述した第2の実施形態では、画素領域101のコンタクトホールを先に形成する場合について説明したが、周辺回路領域102のコンタクトホールを先に形成してもよい。その場合、画素領域101のコンタクトホールの形成に先立って、周辺回路領域102のコンタクトホールをフォトレジストで埋めることで、同様の効果を得ることができる。20

#### 【0037】

本発明は、上述した第1及び第2の実施形態に限るものではない。例えば、第1及び第2の実施形態では半導体化合物阻止層117を用いているが、半導体化合物阻止層117を用いず、絶縁膜層112を周辺回路領域102の任意の場所、例えば高抵抗領域に残るようにしてよい。つまり、絶縁膜層112をシリサイド層の形成を阻止する半導体化合物阻止層として使用することも可能である。

#### 【0038】

##### <第3の実施形態>

本第3の実施形態は、電子シャッター機能を有する、つまり電荷保持部を有するCMOS型光電変換装置である。図5は第3の実施形態における光電変換装置の単位画素の平面レイアウト模式図である。図5において、203は光電変換部、204は光電変換部203で変換された電荷をある程度の時間保持しておく電荷保持部である。206は電荷保持部204の上部に配置され、電荷保持部204のポテンシャルを制御する制御電極、1207は電荷保持部204からフローティングディフェュージョン部1203へ電荷を転送する転送用のMOSトランジスタのゲート電極である。制御電極206は光電変換部203から電荷保持部204へ転送する動作も制御しうる。1204はフローティングディフェュージョン部1203の電圧を初期化するためのリセット用のMOSトランジスタ、1205はフローティングディフェュージョン部1203の電圧を読み出すためのソースフォロア回路を形成する増幅用のMOSトランジスタである。これらの構成要素は半導体基板に備えられている。30

#### 【0039】

光電変換部203の上は開口し、電荷保持部204の上部を遮光するように遮光膜209が形成されている。その材質は、例えばタンクステン、タンクステンシリサイドのような金属もしくは金属のシリサイドである。これらの上に形成された層間絶縁膜である絶縁層を介して配される配線層(図示せず)と接続するためのコンタクトプラグが配される。以後、遮光膜上コンタクトプラグ213、ゲート電極上コンタクトプラグ212、拡散層上コンタクトプラグ211に着目して説明を行う。ここで、拡散層とはMOSトランジスタのソース・ドレイン領域や半導体基板やウエルの電位を供給するためのウエルコンタクト領域などの不純物領域である。また、ゲート電極上コンタクトプラグとは、例えはゲー4050

ト電極と同一工程（同一層）で形成される配線や抵抗素子などの上のコンタクトも含む。なお、制御電極 206 に対するコンタクトについては省略する。

#### 【0040】

図6は本第3の実施形態における光電変換装置の断面構造図である。図6は、光電変換装置の画素が複数配された画素領域101の一部を示しており、1つの画素の一部を示した物である。シリコン半導体基板201内に、光電変換部203の電荷の蓄積を行う蓄積領域と、電荷保持部204、さらに素子分離202で分離された領域にMOSトランジスタ205が形成されている。このMOSトランジスタ205としては、リセット用のMOSトランジスタ1204などである。MOSトランジスタ205はゲート電極207及びソース・ドレイン領域208によって形成されている。

10

#### 【0041】

また電荷保持部204上には制御電極206が配されている。さらに光電変換部203を開口し、電荷保持部204を覆うように遮光膜209が配されている。遮光膜209、ゲート電極207、ソース・ドレイン領域208などの拡散層を覆って絶縁層210が配され、絶縁層210の上には配線層214が配されている。配線層214と遮光膜209を接続するためのコンタクトプラグとして、遮光膜上コンタクトプラグ213が形成されている。また、配線層214とゲート電極207、及び配線層214とソース・ドレイン領域208などの拡散層上を接続するためのコンタクトとして、ゲート電極上コンタクトプラグ212及び拡散層上コンタクトプラグ211がそれぞれ形成されている。図6において、配線層214より上部に配される絶縁層、ピアプラグ、配線層、カラーフィルタやマイクロレンズなどは不図示である。

20

#### 【0042】

次に、上記構成を有する第3の実施形態における光電変換装置の製造方法について、図7及び図8を用いて説明する。

#### 【0043】

まず図7(A)を参照すると、半導体基板201に素子分離202を従来のSTIやLOCOS技術によって形成する。その後、不純物注入により、光電変換部203、電荷保持部204、周辺回路のウエル(図示せず)などの形成を順次行う。ついで、電荷保持部204のポテンシャル制御のための制御電極206、及びMOSトランジスタのゲート電極207の形成をフォトリソグラフィー技術、エッチング技術を用いて行う。その後、MOSトランジスタのソース・ドレイン領域208を不純物注入にて形成する。この際、トランジスタ性能向上のためにサイドウォールの形成を行った後にソース・ドレイン領域208の形成を行っても問題はない。また、光電変換部203についても、制御電極206を形成した後に、制御電極206を利用して自己整合的に光電変換部203への注入を行うこともできる。

30

#### 【0044】

次に、図7(B)に示すように、光電変換部203に対応した開口を有し、電荷保持部204を遮光するような遮光膜209を形成する。まず、制御電極206上にシリコン酸化膜等の絶縁膜を形成する。その後、タンゲステンやタンゲステンシリサイドのような金属膜、もしくは金属のシリサイド膜をCVD法やスパッタリング法により堆積した後、フォトリソグラフィー技術、エッチング技術により所望のパターンを形成し、遮光膜209が形成される。

40

#### 【0045】

その後、図7(C)に示すように、たとえばシリコン酸化膜、あるいはボロン、リンを含んだシリコン酸化膜を用いて絶縁層210を形成し、コンタクトホールを形成する。ここでは、まず、金属膜からなる遮光膜209以外の領域にある、ゲート電極上コンタクトホール222と拡散層上コンタクトホール221のみ、フォトリソグラフィー技術及びエッチング技術により形成する(第1のコンタクトホール形成工程)。これにより、ゲート電極207及び拡散層であるソース・ドレイン領域208の一部が露出する。

#### 【0046】

50

その後、図 8 ( A ) に示すように、CVD 法などにより単層あるいは多層の金属膜を堆積し、余分な金属膜を CMP 法などにて除去することにより、ゲート電極上コンタクトプラグ 212 と拡散層上コンタクトプラグ 211 を形成する。このとき、コンタクトプラグの形成前に所望のコンタクトホールに不純物注入を実施し、不純物領域（不図示）を形成することでコンタクト抵抗を安定化させることもできる。また、コンタクトホールの形成後、コンタクトプラグ形成前にフッ酸やアンモニア過水などの酸性あるいはアルカリ性の溶液でコンタクトホール内の洗浄を行ってもよい。

#### 【 0047 】

その後、遮光膜上コンタクトホール 223 を、フォトリソグラフィー技術及びエッチング技術により、絶縁層に形成する（図 8 ( B ) ）（第 2 のコンタクトホール形成工程）。そして、ゲート電極上コンタクトプラグ 212 と拡散層上コンタクトプラグ 211 と同様な方法で、遮光膜上コンタクトプラグ 213 を形成する（図 8 ( C ) ）。最後にアルミや銅などの金属による配線層 214 を形成する（図 6 ）。

10

#### 【 0048 】

上記のように、画素領域に遮光膜として金属膜（あるいは金属シリサイド膜）を形成した後、遮光膜上のコンタクトホールを形成する工程と、遮光膜上以外のコンタクトホールを形成する工程とを別工程とし、異なるタイミングで実行する。さらに、遮光膜上以外のコンタクトホールを形成し、コンタクトプラグを形成する工程を先にすることで、遮光膜上のコンタクトホールを形成するとき、遮光膜上以外のコンタクトホールを塞いでおくができる。その結果、金属膜（あるいは金属シリサイド膜）からの金属飛散によるフォトダイオード部の汚染を防止することができるため、画素特性を劣化させることなく光電変換装置を製造することができる。

20

#### 【 0049 】

また、遮光膜上以外のコンタクトホール形成時には、金属膜（あるいは金属シリサイド膜）が露出していないためコンタクトホール内を溶液で洗浄処理することが可能となり、遮光膜にダメージを与えることなく、良好なコンタクト抵抗を得ることが可能となった。なお、遮光膜が露出する遮光膜上コンタクトホールにおいては、十分なコンタクトプラグの接続が可能となるので、不純物注入はしなくてもよい。また、遮光膜へのダメージを抑制するために洗浄を行わない方が好ましい。

30

#### 【 0050 】

なお、上述した第 3 の実施形態では、MOS ドラジスタ 205 のゲート電極上コンタクトホール 222 と拡散層上コンタクトホール 221 を先に形成する場合について説明したが、遮光膜上コンタクトホール 223 を先に形成してもよい。その場合、ゲート電極上コンタクトホール 222 と拡散層上コンタクトホール 221 の形成に先立って、遮光膜上コンタクトプラグ 213 を形成することで、同様の効果を得ることができる。

#### 【 0051 】

##### < 第 4 の実施形態 >

次に、図 9 を参照して、第 4 の実施形態における光電変換装置の製造方法について説明する。本第 4 の実施形態の光電変換装置の製造方法は第 3 の実施形態と同様に電荷保持部を有する光電変換装置の製造方法に関するものである。本第 4 の実施形態では、ゲート電極上コンタクトホール 222 と拡散層上コンタクトホール 221 のみエッチングにより形成後、コンタクトプラグの形成を行わずに、遮光膜上コンタクトホール 223 を形成する製造方法について説明する。以下、第 3 の実施形態と同様の構成および製造方法については説明を省略する。

40

#### 【 0052 】

なお、第 4 の実施形態は、図 7 ( C ) に示す工程までは第 3 の実施形態と同様であるため、ここでは説明を省略する。

#### 【 0053 】

図 9 ( A ) に示すように、ゲート電極上コンタクトホール 222 と拡散層上コンタクトホール 221 の形成後、遮光膜上コンタクトホール 223 を形成するためのレジストマスク

50

ク 2 3 4 を形成する。このときレジストマスク 2 3 4 は、ゲート電極上コンタクトホール 2 2 2 及び拡散層上コンタクトホール 2 2 1 を覆うようにパターンが形成される。そして、遮光膜上コンタクトホール 2 2 3 を形成した後、レジストマスク 2 3 4 の除去を行う。

#### 【 0 0 5 4 】

その後、CVD法などにより金属膜を堆積し、CMP法などにより余分な金属膜を除去することによりコンタクトプラグを形成し(図9(B))、最後にアルミや銅などの金属による配線層 2 1 4 を形成する(図6)。

#### 【 0 0 5 5 】

本第4の実施形態によれば、第3の実施形態と同様の効果に加え、コンタクトプラグの形成を同時に行うため、工程の短縮が可能となる。なお、本第4の実施形態においては、遮光膜上コンタクトホール 2 2 3 を形成時にはゲート電極上コンタクトホール 2 2 2 、及び拡散層上コンタクトホール 2 2 1 にはレジストマスクなどのマスク材が塗布され塞がれる。この結果、遮光膜からの金属によるフォトダイオードへの汚染を防止することができるため、暗電流や点欠陥の低減を図ることができる。10

#### 【 0 0 5 6 】

なお、上述した第4の実施形態では、MOSトランジスタ 2 0 5 のゲート電極上コンタクトホール 2 2 2 と拡散層上コンタクトホール 2 2 1 を先に形成する場合について説明したが、遮光膜上コンタクトホール 2 2 3 を先に形成してもよい。その場合、ゲート電極上コンタクトホール 2 2 2 と拡散層上コンタクトホール 2 2 1 の開口に先立って、遮光膜上コンタクトホール 2 2 3 をレジストマスク 1 3 4 で埋めることで、同様の効果を得ることができます。20

#### 【 0 0 5 7 】

また、上述した第3及び第4の実施形態では、遮光膜上コンタクトホール 2 2 3 の他に、ゲート電極上コンタクトホール 2 2 2 と拡散層上コンタクトホール 2 2 1 を形成する場合について説明した。しかしながら、本発明は、限るものではなく、遮光膜上コンタクトホール 2 2 3 以外に金属膜(あるいは金属シリサイド膜)上にコンタクトホールを開口する際にも適用可能であることは言うまでもない。

#### 【 0 0 5 8 】

##### < 第5の実施形態 >

図10を用いて、第5の実施形態における光電変換装置の製造方法を説明する。本第5の実施形態は、第1及び第2の実施形態と同様にCMOS型光電変換装置の製造方法に関するものであるが、高融点金属化合物層が画素領域にも設けられている場合における製造方法に関する。30

#### 【 0 0 5 9 】

図10(A)に示すように、光電変換装置は、画素領域 1 0 1 において、半導体基板 3 0 1 内に、光電変換を行う光電変換部 3 0 3 と、フローティングディフュージョン 3 0 6 とを有する。更に、光電変換部 3 0 3 からフローティングディフュージョン 3 0 6 に電荷を転送する転送用のMOSトランジスタのゲート電極 3 0 4 と、素子分離 3 0 2 と、素子分離で分離された領域に配されたMOSトランジスタ 3 1 3 とを有する。MOSトランジスタ 3 1 3 は、ゲート電極 3 0 5 と、ソース・ドレイン領域 3 0 7 とからなる。このMOSトランジスタ 3 1 3 としては、フローティングディフュージョン 3 0 6 の電位をリセットするリセット用のMOSトランジスタなど、CMOS型の光電変換装置の画素が有するMOSトランジスタである。40

#### 【 0 0 6 0 】

図10(A)の構成は、第1～第4の実施形態と同様に一般的な半導体プロセスによって形成される。具体的には、シリコン半導体基板 3 0 1 に素子分離 3 0 2 をSTI技術やLOCOS技術によって形成する。その後、光電変換部 3 0 3 、周辺回路領域のウエル(不図示)などの不純物注入を順次行う。ついで、画素領域及び周辺回路領域のMOSトランジスタのゲート電極を形成する。図10(A)においては、ゲート電極 3 0 4 とゲート電極 3 0 5 とが形成される。ゲート電極は、ポリシリコン膜を成膜した後に、フォトリソグ50

ラフィー技術、エッチング技術を用いてポリシリコン膜をパターニングすることで形成される。その後、不純物注入にてMOSトランジスタのソース・ドレイン領域を形成する。図10(A)においては、ソース・ドレイン領域307が形成される。この時、MOSトランジスタ性能向上のためにLDD構造を有するMOSトランジスタとしてもよい。即ち、サイドウォールの形成を行った後にソース・ドレイン領域307の形成を行ってもよい。また、光電変換部303についても、ゲート電極304を形成した後に、ゲート電極304を利用して自己整合的に不純物注入を行うことで形成することもできる。

#### 【0061】

そして、図10(A)において、ゲート電極304及びゲート電極305の上に高融点金属のシリサイド層308を形成する。シリサイド層の形成においては、まずCVD法やPVD法などにより、シリコン窒化膜、シリコン酸化膜、シリコン酸窒化膜のような半導体化合物からなる、高融点金属に対する半導体化合物阻止層(不図示)を成膜する。そして、拡散層上など所望の領域のみ半導体化合物阻止層を残し、それ以外の半導体化合物阻止層を選択的に除去する。ついで、CVD法やスパッタ法などにより、高融点金属のコバルトと、窒化チタンの高融点金属の酸化防止膜の積層膜を堆積させる。そして、積層膜を熱処理することにより、トランジスタのゲート電極を構成しているシリコンと高融点金属とが反応(シリサイド化)し、シリサイド層が形成される。そして、未反応の高融点金属を含む積層膜を除去し、図10(A)の構成となる。

#### 【0062】

なお、高融点金属の半導体化合物の一例としては、以下のものが考えられる。それらは、チタンシリサイド、ニッケルシリサイド、コバルトシリサイド、タンゲステンシリサイド、モリブデンシリサイド、タンタルシリサイド、クロムシリサイド、パラジウムシリサイド、プラチナシリサイドである。また、高融点金属の酸化防止膜としては、他にニッケルやチタンなどが挙げられる。

#### 【0063】

その後、図10(B)に示すように、例えばシリコン酸化膜、あるいはボロン、リンを含んだシリコン酸化膜を用いて層間絶縁膜となる絶縁層309を形成する。そして、コンタクトの形成を行う。まず、高融点金属のシリサイド層を有するゲート電極の上以外の拡散層に接続するコンタクト(拡散層上コンタクト)プラグ310のためのコンタクトホールのみ、エッチング技術により形成する。そして、CVD法などにより金属膜を堆積し、CMP法などにより余分な金属膜を除去することで、拡散層上のコンタクトプラグ310を形成する。ここで金属膜は単層でも積層でもよい。また、この時、コンタクトプラグ310の形成前に、所望のコンタクトホールに不純物注入を実施し、不純物領域を形成することで、コンタクト抵抗を安定化させることもできる。また、コンタクトホールの形成後、コンタクトプラグの形成前に、フッ酸やアンモニア過水などの酸あるいはアルカリの溶液でコンタクトホール底部の洗浄を行ってもよい。

#### 【0064】

その後、高融点金属のシリサイド層を有するゲート電極の上のコンタクト(ゲート電極上コンタクト)プラグ311を形成する。拡散層上コンタクトプラグ310と同様な方法でコンタクトホールを形成し、コンタクトプラグを形成し、図10(C)の構成となる。

#### 【0065】

最後に、アルミや銅などの金属による配線層312を形成し、図10(D)の構成が形成される。この後、更に配線層や絶縁層やビアプラグを形成し、カラーフィルタやマイクロレンズなどの任意の構成を形成することで、光電変換装置が完成する。

#### 【0066】

本第5の実施形態の製造方法においては、第1及び第2の実施形態と同様に高融点金属化合物層を有する光電変換装置において、高融点金属化合物層からの高融点金属による光電変換部の汚染を防止することができる。そのため、暗電流や点欠陥の低減を図ることが可能となる。

#### 【0067】

10

20

30

40

50

なお、ゲート電極の上の高融点金属のシリサイド層308の形成にあたっては、前述した製造方法以外に、次の方法で形成しても良い。先ず、ゲート電極となるポリシリコン膜の成膜に引き続いてスパッタリング法などで高融点金属のシリサイド層、たとえばタンゲステンシリサイドなどを堆積し、その後、フォトリソグラフィー技術、エッチング技術を用いてパターニングすることで形成する。

#### 【0068】

以上述べてきたように、本発明は、高融点金属化合物層（シリサイド層）や遮光膜などの部材、すなわち一部が拡散層に混入するとリーク電流を生じさせる可能性がある部材を有する構成における製造方法に関するものである。高融点金属化合物層や遮光膜などの部材を有さない部分の、拡散層が露出するコンタクトホールと、高融点金属化合物層や遮光膜などの部材を有する部分の、高融点金属化合物層や遮光膜が露出するコンタクトホールとを別工程で形成する。そして、先に形成されたコンタクトホールにコンタクトプラグを形成した後に、後に形成されるコンタクトホールを形成することで、高融点金属化合物層や遮光膜などからの金属による汚染を低減することが可能となる。第1から第5の実施形態においては、高融点金属化合物層や遮光膜を挙げて説明を行って来たが、それらに限らず、一部が拡散層に混入するとリーク電流を生じさせる可能性がある部材を有する構成において、本発明は適用可能である。

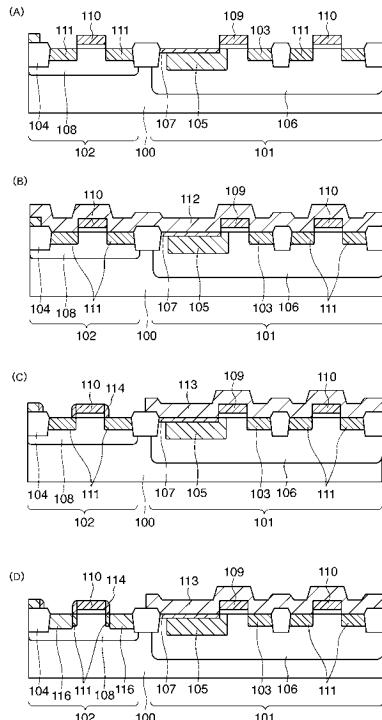
10

#### 【0069】

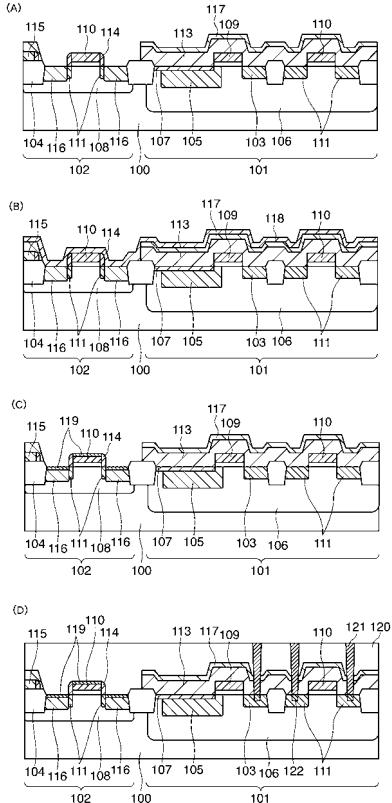
なお、第1から第5の実施形態は適宜組み合わせ可能である。また、第1から第5の実施形態においてはCMOS型の光電変換装置について説明を行ってきたが、光電変換装置の種類はこれに限ったものではない。

20

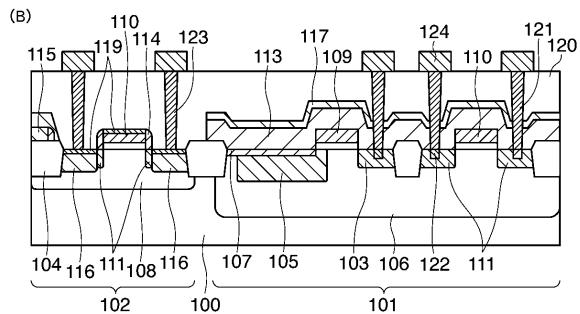
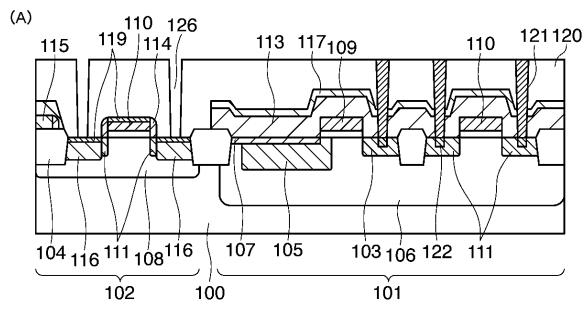
【図1】



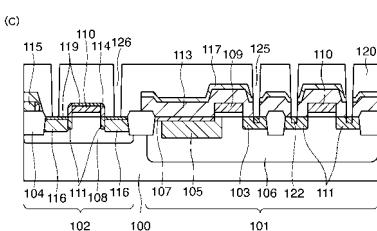
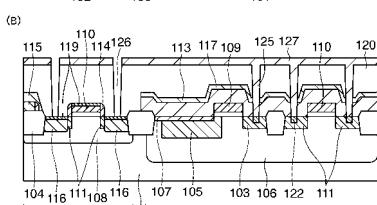
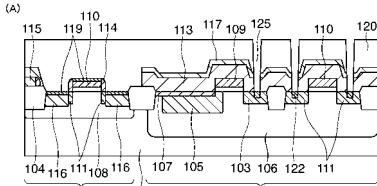
【図2】



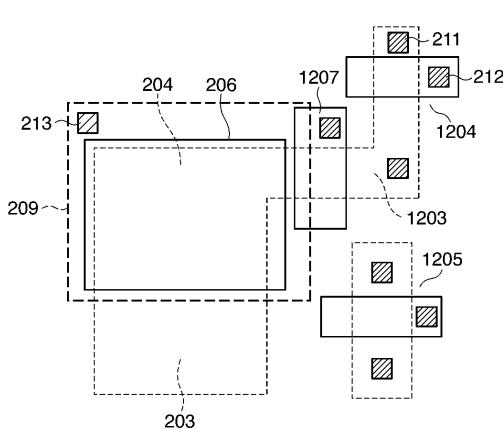
【図3】



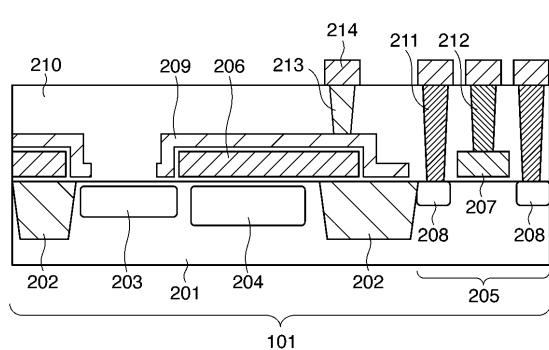
【図4】



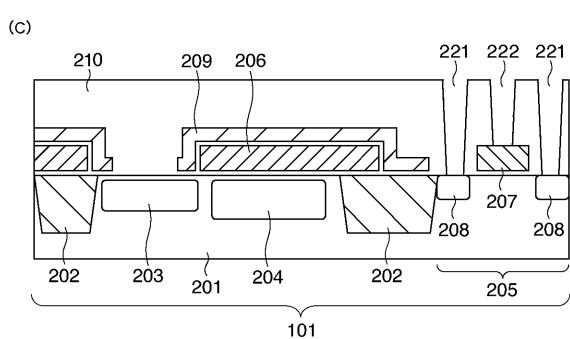
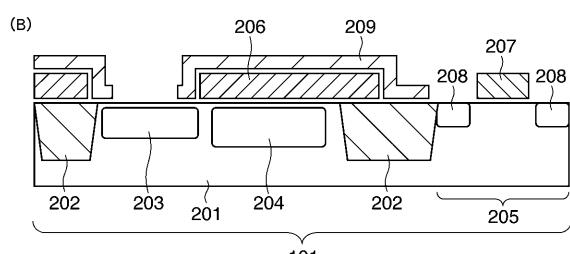
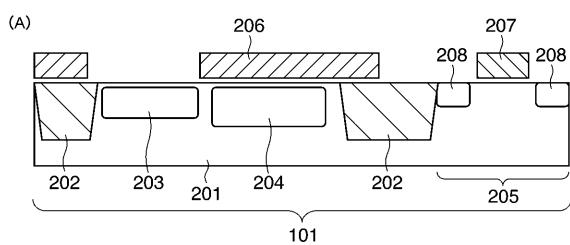
【図5】



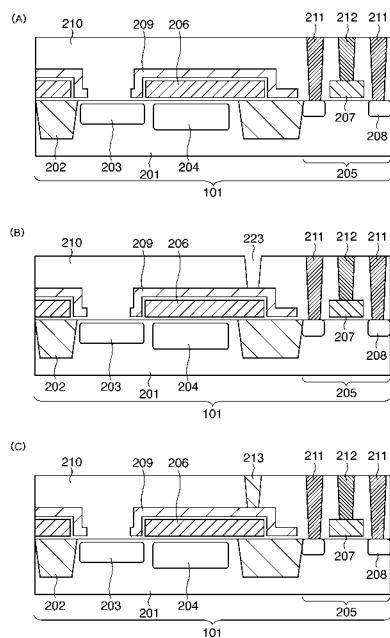
【図6】



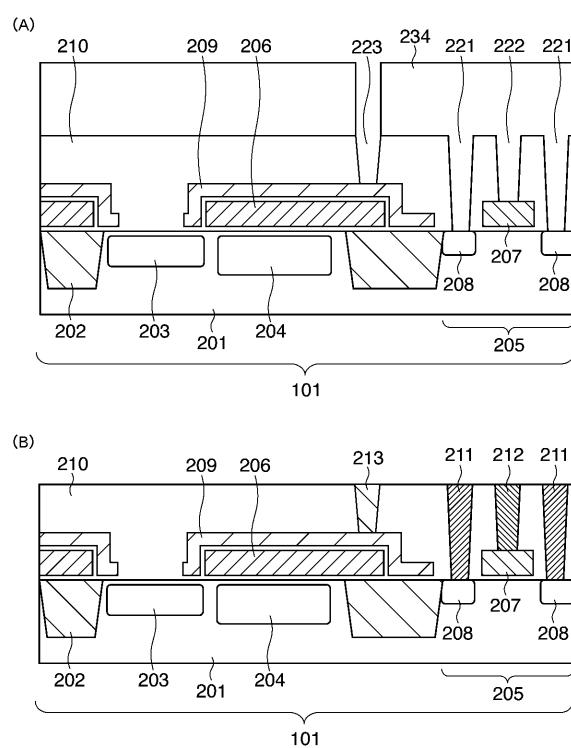
【図7】



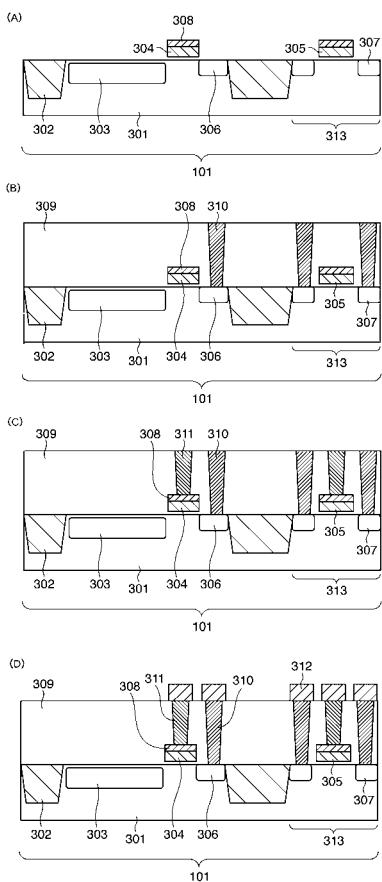
【図8】



【図9】



【図10】



---

フロントページの続き

(72)発明者 三島 隆一  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 岡部 剛士  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 成瀬 裕章  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 橋本 浩平  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 小川 将之

(56)参考文献 特開2005-340475(JP,A)  
特開2001-298176(JP,A)  
特開2001-111022(JP,A)  
特開2007-294531(JP,A)  
特開2009-170615(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146  
H01L 31/10