

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2011-522402

(P2011-522402A)

(43) 公表日 平成23年7月28日 (2011.7.28)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/088 (2006.01)	H O 1 L 27/08 1 O 2 A	5 F O 4 8
H O 1 L 21/8234 (2006.01)	H O 1 L 29/78 3 O 1 V	5 F O 8 2
H O 1 L 29/78 (2006.01)	H O 1 L 29/80 C	5 F 1 O 2
H O 1 L 21/337 (2006.01)	H O 1 L 29/80 E	5 F 1 4 O
H O 1 L 29/808 (2006.01)	H O 1 L 27/08 1 O 2 C	
審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2011-509604 (P2011-509604)
 (86) (22) 出願日 平成21年5月11日 (2009.5.11)
 (85) 翻訳文提出日 平成22年11月30日 (2010.11.30)
 (86) 国際出願番号 PCT/US2009/043518
 (87) 国際公開番号 W02009/140224
 (87) 国際公開日 平成21年11月19日 (2009.11.19)
 (31) 優先権主張番号 12/119,367
 (32) 優先日 平成20年5月12日 (2008.5.12)
 (33) 優先権主張国 米国 (US)

(71) 出願人 506173145
 ビシェーシリコニクス
 アメリカ合衆国 95054 カリフォル
 ニア州 サンタ クララ、 ローレルウッ
 ド ロード 2201
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (72) 発明者 リ、ジアン
 アメリカ合衆国 94306 カリフォル
 ニア州 パロ アルト、ロス ロブルズ
 アベニュー 822
 (72) 発明者 オウヤン、キング
 アメリカ合衆国 95054 カリフォル
 ニア州 アサートン、エンシナ アベニュー
 66

最終頁に続く

(54) 【発明の名称】 パワー電界効果トランジスタ

(57) 【要約】

寄生NPNなしでバルクシリコンからの電流フローを許容する、非常に短いチャネルを有するハイブリッドパワー電界効果トランジスタ (FET) 装置。装置は、JFETコンポーネント、JFETコンポーネントに近接して配置された第1の蓄積型MOSFET、およびトレンチ端の底部のJFETコンポーネントに近接して配置された第2の蓄積型MOSFETまたはソースに接続する絶縁ゲートを有するMOSFETを含む。

【選択図】 図1

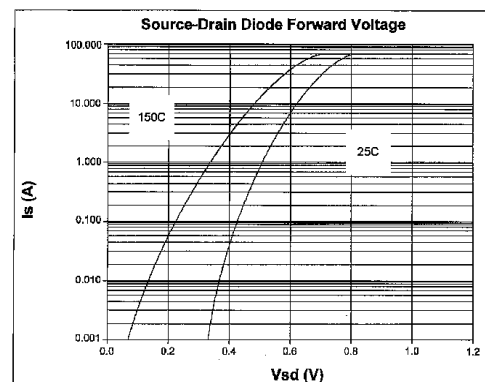


FIG. 1

【特許請求の範囲】

【請求項 1】

J F E Tコンポーネントと、
J F E Tコンポーネントに近接して配置された第 1 の蓄積型 M O S F E T と、
トレンチ底部端において J F E Tコンポーネントに近接して配置された第 2 の蓄積型 M O S F E T と、

を含み、

J F E Tコンポーネント、第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T が当該装置のバルクシリコン領域を流れる電流を生じさせるように構成されているハイブリッドパワー電界効果トランジスタ装置。

10

【請求項 2】

チャネル装置中の n + ソースと p + コンタクトを連結することなく、縦型コンタクトトレンチの側壁に形成され、J F E Tコンポーネントの側方に配置された第 1 のショットキー領域をさらに含む請求項 1 に記載の装置。

【請求項 3】

第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T は、トレンチ側壁の薄膜酸化物およびトレンチ底部に近い厚膜ゲート酸化物領域を含み、ゲート - トレイン容量を低減する請求項 1 に記載の装置。

【請求項 4】

第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T が自己位置決めを容易にするように、高電流設計レイアウトにより配置される請求項 1 に記載の装置。

20

【請求項 5】

装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成される請求項 1 に記載の装置。

【請求項 6】

第 1 の蓄積型 M O S F E T および前記第 2 の蓄積型 M O S F E T が N チャネル M O S F E T である請求項 1 に記載の装置。

【請求項 7】

第 1 の蓄積型 M O S F E T および第 2 の M O S F E T が前記ソースと接続する絶縁ゲートを有する請求項 1 に記載の装置。

30

【請求項 8】

J F E Tコンポーネント、第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T がトレンチ型縦型装置として形成されている請求項 1 に記載の装置。

【請求項 9】

J F E Tコンポーネントと、
J F E Tコンポーネントに近接して配置された第 1 の蓄積型 M O S F E T と、
第 1 の蓄積型 M O S F E T の反対側の J F E Tコンポーネントに近接して配置された第 2 の蓄積型 M O S F E T と、

を含み、

J F E Tコンポーネント、第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T が装置のバルクシリコン領域を通る電流フローを引き起こすように構成され、J F E Tコンポーネント、第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T はトレンチ型縦型構造として形成されているパワー M O S F E T 装置。

40

【請求項 10】

J F E Tコンポーネントの側方に配置された第 1 のショットキー領域と、
第 1 のショットキー領域とは反対側の J F E Tコンポーネントの側方に配置された第 2 のショットキー領域とを、
さらに含む請求項 9 に記載の装置。

【請求項 11】

第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T が厚膜でより下方の酸化物

50

ゲート領域を含み、ゲート - ドレイン容量を低減する請求項 9 に記載の装置。

【請求項 1 2】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が自己位置決めを容易にする高電流設計レイアウトに従って配置されている請求項 9 に記載の装置。

【請求項 1 3】

装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成されている請求項 9 に記載の装置。

【請求項 1 4】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が N チャネル型 MOSFET である請求項 9 に記載の装置。

10

【請求項 1 5】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が P チャネル型 MOSFET である請求項 9 に記載の装置。

【請求項 1 6】

JFET コンポーネントと、

JFET コンポーネントに近接して配置された第 1 の蓄積型 MOSFET と、

第 1 の蓄積型 MOSFET とは反対側の FET コンポーネントに近接して配置された第 2 の蓄積型 MOSFET と、

JFET コンポーネントの側方に配置された第 1 のショットキー領域と、

第 1 のショットキー領域とは反対側の JFET コンポーネントの側方に配置された第 2 のショットキー領域と、

20

を含み、

JFET コンポーネント、第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が装置のバルクシリコン領域を通る電流を引き起こすように構成されているパワー FET 装置。

【請求項 1 7】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が厚膜でより下方の酸化物ゲート領域を含み、ゲート - ドレイン容量を低減する請求項 1 6 に記載の装置。

【請求項 1 8】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が自己位置決めを容易にするように高電流設計レイアウトに従って配置されている請求項 1 6 に記載の装置。

30

【請求項 1 9】

装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成される請求項 1 6 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

概して、本発明細書により、高電流パワー電界効果トランジスタが示される。

【0002】

本明細書は異なる種類の半導体装置を垂直集積することによって作製されるトレンチ型高電流パワー半導体の構造に関する。低順電圧および高電流におけるオン抵抗特性により、DC - DC 変換用途における同期整流トランジスタとして使用されるノーマリーオフ型の装置が得られる。

40

【背景技術】

【0003】

パワー MOSFET (金属酸化物半導体電界効果トランジスタ) は、アナログ回路アプリケーションおよびデジタル回路アプリケーションの両方において、省エネルギースイッチとして実施される最も有用な電界効果トランジスタの一つを含む。

【0004】

一般に、トレンチ型パワー MOSFET は、平面構造に対比される縦型構造を用いて構

50

築される。縦型構造により、トランジスタは、高阻止電圧および高電流を維持することができる。同様に、縦型構造により、コンポーネント領域およびアクティブな装置密度は、概して、電流に比例し、装置の「オン」特性として維持され、シリコンドリフトコンポーネントの厚さは装置の「オフ」特性としての降伏電圧に比例する。トレンチ型パワー MOS FET 装置の最も明白な利点の一つは、逆リーク電流が少なく、かつオン抵抗 (R_{dson}) がより低いことである。

【 0 0 0 5 】

D C - D C 変換におけるキーとなる用途の一つとして、還流モードにおいて p - n ボディダイオードを有する同期整流トランジスタとして使用されるとき、パワー MOS FET 装置は他の利点を有する。従来のパワー MOS FET における p - n ボディダイオードの使用は逆電圧阻止の役割を果たす。しかし、還流モードにおける p - n ボディダイオードからの逆回復は、逆に、D C - D C 変換における全スイッチング効率に寄与する。

10

【 0 0 0 6 】

一般に、逆回復効果に対する下記の 2 つの周知の解決法がある。1) パワー MOS FET と共にパッケージ化される外部のショットキー装置を用いる。2) MOS FET に集中ショットキーダイオードを集積し、モノリシックアプローチとして寄生ボディダイオードを回避する。歴史的に、これら 2 つの方法に加えて、電子またはプロトン放射を用いることなどのキャリア - 寿命 - コントロール技術が採用される。これらの技術は、ボディダイオードの逆回復電荷 Q_{rr} を低減するのに有用であると判明している。

20

【 0 0 0 7 】

しかし、これら全ての解決法には欠点がある。たとえば、外部のショットキーによる手法は、高インダクタンスを招き、さらに全体のスイッチング効率の向上の低下を招きうる。一方、一体的に集積されたショットキーの手法は、シリコン領域の何パーセントかがショットキーの集積に割り当てられ、集積されたショットキーの小面積によって、電流能力および順電圧の低減効果が制限されるため、オン抵抗低減のためのシリコンの有効面積の利用に影響する。放射による手法は、放射によって生じるダメージのため、閾値電圧、リーク電流および降伏電圧に大きな変化を生じさせる。プロセスおよび製品の複雑さの観点から、これら全ての解決法は、装置の製造においてさらなるマスク層を加えるなどの、余分なプロセス段階を加える必要があるため、経済的に妥当でない。

30

【 0 0 0 8 】

2003年にChengら(Xu Cheng, Johnny K. Sin, Baowei Kang, Chuguang Feng, Yu Wu and Xingming Liu, IEEE Transactions on electron devices, Vol. 50, No.5, (2003). P14 22)は、高電圧 V D MOS FET においてセル分配されたショットキーコンタクトを用いて逆回復が速いボディダイオードを得るのに新規な装置構造を発表した。実験結果は、逆回復チャージの 5 0 % 減少、およびボディダイオードのソフトネスファクター ($s o f t n e s s f a c t o r$) の増加を示した。両方の構造は、各アクティブセルに「本来備わっている」ショットキーダイオードの作製用に設計される。言い換えると、ショットキーダイオードおよびアクティブな MOS FET は、同じ間隔を有する。プロセスコントロール上の問題のため、各アクティブセルにショットキーダイオードを加えることにより、低電圧活用のパワー装置に対するオン抵抗を低減するために重要となる間隔の短縮余地の可能性が制限される。この手法により、 R_{dson} 低減のための間隔の短縮に敏感ではない、高電圧 D MOS 装置 (たとえば、 $> 5 0 0 V$) の様々な利点が提供される (オン抵抗コンポーネントの多くが高電圧利用のためのドリフト領域であるため)。しかし、低電圧利用において、間隔の短縮は、アクティブセルにショットキー装置を追加することにより制限されるべきではない。低電圧装置利用のためオン抵抗に影響を与えることなく、パワー装置にショットキーダイオードをいかに集積するかが課題である。

40

【 0 0 0 9 】

Baligaら(Tsengyou Syan, Prasad Venkatraman and B. J. Baliga, IEEE Trans. On Electron Devices, Vol. 41 No.5 (1994), P800)は、かつて、1 9 9 0 年代の半ばに、非常にオン抵抗が低い縦型チャンネルパワー装置として、蓄積型電界効果トランジスタ (ACCUFET)

50

を提案した。その後、いくつかの同様な装置の構造が発表された。しかし、高逆リーク電流は、最も問題となる欠点である。ゲートが接地されるとき、「ノーマリーオフ」特性を得ることが非常に難しい。nチャネル装置用にn型のゲートが使用されるとき、装置をオフにして条件を満たす逆電圧阻止を得るために負のゲートバイアスが必要とされる。可能な改良方法の一つは、ディープサブミクロンのリソグラフィを用いて間隔を低減することである。しかし、ACCUFETがパワースイッチング装置として使用されるとき、従来のパワーMOSFETとは異なる主要な装置特性を無視するべきではない。空乏幅を狭くする少数のキャリアの蓄積により、逆および順阻止が限定された期間にのみ維持されるという双方向のスイッチング特性が示される。この効果により、阻止能力の有効性が制限される。Yoshinori Konishi (米国特許第5,844,273)により提案された、変形ACCUFET構造として、p-nダイオードは、非ボディチャネル領域に形成されうる。このp型からN+ソースの間の方向の直接的な接続により、逆リークを低減しうるが、低オン抵抗および低順電圧の利点は得られていない。

10

【発明の開示】

【0010】

以下に示される実施の形態は、好ましくは、ゲート酸化物散乱によって引き起こされるチャネル移動度の問題を回避し、定格高電流で低順電圧(V_f)を示し、より高速なスイッチングのためのチャネル長の短縮を示す高密度パワー電界効果トランジスタを実現する。本実施の形態は、同期整流トランジスタのように、DC-DC変換に応用されうる。

20

【0011】

実施の形態において、装置はパワー電界効果トランジスタ装置として実施される。装置は縦型トレンチコンタクト、ジャンクションFET(JFET)コンポーネント、JFETコンポーネントに近接して配置された第1の集積MOSFET、および第1の蓄積型MOSFETとは反対側においてJFETコンポーネントに近接して配置された第2の蓄積型MOSFETに形成された、ショットキーダイオードを含む。JFETコンポーネント、縦型ショットキーおよび第1の集積MOSFETは、「オン」モードでの電流パスおよび「オフ」モードでの電圧阻止の両方を提供するように構成される。装置のバルクシリコン領域を流れる誘導電流は、ゲート酸化物の拡散を低減させるように構成される。また、トレンチ構造の底部付近に形成された第2の蓄積型MOSFETは、ゲート電極がnチャネル装置に対してプラスバイアス下のとき、電流パスに電子を蓄積させる。これは当該装置のオン抵抗の低減に役立ちうる。

30

【0012】

実施の形態では、トレンチ端の近くに形成された第2の集積MOSFETはソースに接続された絶縁ゲートを有する非蓄積型MOSFETで代用されうる。この構造は、逆電圧阻止特性を変えることなく、ゲート-ドレイン容量を低減するように設計される。両方の実施の形態において、当該装置の短いチャネル長は、コンタクトトレンチ深さ、コンタクト注入およびゲートトレンチ深さに関連して続いて行われるアニールを規定することで形成される。

【0013】

概して、本明細書は、非常に短いチャネルを有し、寄生npnなしでバルクシリコンから電流を流すハイブリッドパワー電界効果トランジスタ(FET)装置を開示する。装置は、JFETコンポーネント、JFETコンポーネントに近接して配置された第1の蓄積型MOSFET、およびトレンチ端の底部のJFETコンポーネントに近接して配置された第2の蓄積型MOSFETまたはソースと接続する絶縁ゲートを有するMOSFETを含む。

40

【図面の簡単な説明】

【0014】

本明細書に組み込まれ、本明細書の一部をなす添付図面は、本発明の実施の形態を例示し、記述とともに本発明の本質を説明するために役立つ。

【図1】図1は、本発明の実施の形態に係る装置の、2つの異なるジャンクション温度に

50

おける異なる定格電流下の順電圧降下 (V_f) を示す。

【図 2】図 2 は、本発明の実施の形態に係る、2 つの異なるジャンクション温度で測定された本装置のオン抵抗 (R_{dson}) を示す。

【図 3】図 3 は、本発明の実施の形態に係る N チャネルパワー電界効果トランジスタ (FET) の概略断面図を示す。

【図 4】図 4 は、本発明の第 2 の実施の形態に係る N チャネルパワー電界効果トランジスタ (FET) の概略断面図を示す。

【図 5】図 5 は、本発明の実施の形態に係る装置によって実現される電流フローを示すダイヤグラムである。

【発明を実施するための形態】

【0015】

本発明の好ましい実施の形態が詳細に記載され、その例が添付の図面に示される。発明は好ましい実施の形態とともに記載されるが、本発明をこれらの実施の形態に限定する意図がないことが理解されよう。むしろ、発明は、代用品、変更物および均等物におよぶことが意図され、添付の請求項によって規定される本発明の範囲に含まれることが意図される。さらに、後述する本発明の実施の形態の詳細な説明において、多くの特定の詳細は、本発明の理解を十分にするために示される。しかし、本発明の当業者によって、本発明はこれらの特定の詳細なしで実施されることが認識される。他の例では、本発明の実施の形態の態様を不必要に不明確にしないように、周知の方法、処理、コンポーネントおよび回路は詳細に記載されていない。

【0016】

本発明の実施の形態は、ゲート酸化物層でのキャリアインターフェースによる電子散乱を低減する高密度パワー電界効果トランジスタ (FET) である。本発明の実施の形態は、装置の高電流フローが主にチャネル表面に沿った部分 (たとえば、ゲート酸化物層と直に接する) とは反対側の装置のバルクシリコンを通るパワー FET を実現する。これにより、ゲート酸化物の分子構造が電子散乱を引き起こすことが避けられる。この結果、シリコン装置のゲート酸化物散乱効果によるチャネル移動度が相対的に低減する。本発明の実施の形態およびその利点はさらに以下に記載される。

【0017】

パワー MOSFET コンポーネントの主要部分の配置は、一般に、フォトリソグラフィにより正確に規定される。フォトリソグラフィプロセスは、コンポーネントの領域を規定し、他の層の上に別の層を形成してコンポーネントを構築することに用いられる。複雑な装置はしばしば多くの異なるビルドアップ層を有し、各層はコンポーネントや異なるインターコネクトを有し、その下の層の上に積層されている。装置コンポーネントが下に横たわるシリコンウエハの表面上に構築されるため、これらの複雑な装置によってもたらされるトポグラフィは、しばしば、多くの「丘」および「谷」を有する、見慣れた陸地の「山領域」に似ている。RC 遅延を小さくするための、さらに複雑なインターコネクトによる縦型の集積化を達成することが一般的な傾向である。

【0018】

図 1 は、本発明の実施の形態に係る装置の、2 つの異なるジャンクション温度における異なる定格電流下での順電圧降下 (V_f) を示す。図 2 は、本発明の実施の形態に係る、2 つの異なるジャンクション温度で測定された当該装置のオン抵抗 (R_{dson}) を示す。

【0019】

本発明の実施の形態による装置の利点は、従来のパワー MOSFET のような「ボディ」を形成することなくボディダイオードが形成される事実であることに注意するべきである。当該実施の形態では、ボディダイオードは 3 つのキーとなるコンポーネント ((1) JFET、(2) 縦型ショットキーおよび (3) 注入によってトレンチコンタクトの下に形成される p-n 接合) を有する。ゲートトレンチ高さまたは深さに関連する、このようなコンタクト構造の配置は、N+ソースと P+コンタクトとが接続されないことを確保し

10

20

30

40

50

、縦型ショットキー装置がN+縦型配列におけるN+ソースとP+コンタクトとの間に形成されうるように設計される。ゲートが接地されるとき、還流ダイオードのように、電流は「ソース」から「ボディ」にボディダイオードから流れうる。言い換えると、トータル順電圧降下 (V_f) は、各ジャンクションの配置に依存する配分を有するこれら3つのコンポーネントによってもたらされる。ボディダイオードの本質的な構成により、この装置は、DC-DC変換で用いられる還流モードにおいて同期されたFET機能を提供することができる。このボディダイオードの構成を設計および最適化することにより、シリコン有効面積の利用における $R_{ds(on)}$ のトレードオフなしで、低順電圧降下ダイオードが高電流で得られる。図1は、2つの異なるジャンクション温度150、25での異なる定格電流下でのこの順電圧降下 (V_f) を示す。図2は、2つの異なるジャンクション温度125、25で測定された、当該装置のオン抵抗 ($R_{ds(on)}$) を示す。

10

【0020】

パワー装置の観点から、RC遅延より性能指数 (FOM) を検討することが主にバックエンドよりもむしろフロントエンドからの垂直集積の異なるタイプを達成する動機となる。逆漏出が低減されるとき、装置のオン抵抗に影響を与えることなく、異なる装置を垂直に集積することは課題である。本発明では、新しい構造により、トレンチ構造において、ショットキーダイオード、ジャンクション電界効果トランジスタ (JFET) および蓄積モードのMOSFETの垂直集積が提供される。従来のトレンチ型パワーMOSFETと比較すると、チャンネルにボディがない。ACCUFET (原型構造および変更構造) と比較すると、JFET装置と連結した縦型ショットキー装置を形成すること自体が独創的である。また、p-nダイオードを有するJFETの形成は、トレンチ底部付近のゲート酸化物における逆方向降伏を回避しつつ、ゲートトレンチ底部に近づくように策定される。

20

【0021】

電流フローが主に装置の表面に留まる傾向があることによる電子散乱効果を受ける従来技術のパワーMOSFETとは違い、当該垂直集積構造の電流フローは、シリコンからのバルク伝導によって生じる。このような本装置の利点により、ゲート酸化物の分子構造がシリコンのチャンネル移動度を低減する電子散乱を引き起こすことを避けることができる。ACCUFETとは違い、ボディがないにもかかわらず、本装置は、ビルドインボディダイオードを有する。電流駆動される従来のパワージャンクションFET (JFET) と比較すると、本装置は依然として、比較的低駆動電圧でオンとなりうる電圧駆動装置である。

30

【0022】

従来のパワーMOSFET、JFETおよびACCUFETに対する本パワー装置の3つの利点は、1) N-チャンネル装置において寄生npnがなく、「ボディ」が形成されていないため、装置の堅牢さ (ruggedness) を改善するのに役立つこと、2) 高定格電流において「本質的に備わる」低順電圧 (V_f) 機能がアクティブセルにおいて特定のオン抵抗に影響することなく得られること、3) 本装置のチャンネル長がトレンチ深さおよびトレンチ型パワーMOSFETのようなボディプロファイルによって規定されず、チャンネル長が縦型ショットキーおよびJFET配置によって規定されるNチャンネル装置としては、0.1 μm ~ 0.4 μm の範囲でより短いこと、である。ドーピング極性が逆であれば、等価なp-チャンネル装置が形成されうる。

40

【0023】

図3は、本発明の実施の形態によるNチャンネルパワーFET 100の概略断面図である。図3に示すように、ハイブリッドパワーFET 100の断面図に、ソース110、111、ドレイン130、140およびゲート120、121が示されている。装置100は、トレンチ型縦型装置構造である。図3に示すように、ソースおよびドレイン領域は、N+にドーブされている。装置のバルクシリコンはN-であり、基板自体はN+である。ゲート120、121は、図示されたような酸化物層を有するNシリコンである。領域155によって示された装置の中心部分に、ソースコンタクトがある。当該コンポーネントは、図示されたP+ゲートの上部に配置されたタングステンコンタクトを有する。また、こ

50

のソースコンタクトにより、２つのショットキー領域１７１、１７２が実現される。ゲート酸化物の底部は、ゲート酸化物層の側壁より厚いことに注意されたい。この特性により、ゲート・ドレイン間の容量を低くすることができる。寸法１５０により、装置の間隔が $2.0\mu\text{m}$ から $0.5\mu\text{m}$ の範囲に規定される。チャンネル長は、 $P+$ 注入および続くアニールによって規定される。チャンネル幅は、寸法１５０、１５５および $P+$ 注入の横断プロファイルによって規定される。

【００２４】

ある実施の形態において、２つのゲート１２０と１２１との間の間隔１５０は、 $1\mu\text{m}$ 未満である。コンタクト領域１５５の幅は、典型的には、 $0.25\mu\text{m}$ 未満である。ゲート領域１５６の幅は、典型的には、 $0.25\mu\text{m}$ 未満である。ゲート領域の表面から底部までの装置１００の深さ１６０は、典型的には、 $1\mu\text{m}$ 未満である。このように、装置１００は、超高密度装置として実現されうる。たとえば、装置１００は、１インチ平方当たり約１Ｇセル以上の密度を得るように使用されうる。さらに、装置１００の構造は、製造プロセス中の自己整合トレンチコンタクトに適する。

【００２５】

装置１００により、３つの主なコンポーネントを有する「ハイブリッド」型パワーＭＯＳＦＥＴ装置が実現される。ここで使用されるハイブリッドという用語は、装置１００に、独自の機能を提供する３つの異なる種類のコンポーネントが組み込まれることを意味する。第１の種類は、ゲート１２０、１２１を有する２つの蓄積型ＭＯＳＦＥＴである。第２の種類は、装置の中心部分のＪＦＥＴ（たとえば、領域１５５の下）である。第３の種類はドレイン１３０、１４０に近接する２つのショットキー領域１７１、１７２である。

【００２６】

図４は、異なるゲート配置を有する第２の実施の形態を示す。図４は、本発明の実施の形態による、 N チャンネルハイブリッドパワーＦＥＴ２００の概略断面図を示す。装置２００のゲートの底部が装置１００の底部とは異なることに注意されたい。第２のゲートとしての底部ゲート２９０は、ソースと接続するように絶縁されている。他の側面では、装置２００は、実質的に装置１００と同様である。図４に示すように、ソードおよびドレイン領域は $N+$ 型にドーピングされている。装置のバルクシリコンは $N-$ であり、基板自身は $N+$ である。ゲートは、図示されたような酸化物層を有する N シリコンである。図示されたような $P+$ ゲートの上部に配置されたタンゲステンコンタクトが装置２００の中心に存在する。また、このソースコンタクトコンポーネントは、２つのショットキー領域２７１、２７２を実現する。

【００２７】

図５は、本発明の実施の形態による装置１００によって実現される電流フローを示す図である。図５に示すように、電流は装置１００のバルクシリコンを流れる。電流フローは、電流フロー線３１１、３１２で示される。電流フローは、主に、ゲート酸化物の表面に沿う部分と対比されるバルクを通る。これにより、従来技術に比べて多くの利点が得られる。装置１００の構成は $n-p-n$ 寄生損失を持たないため、より広く安全な動作領域が得られる。上述したように、電流フローは装置１００のバルクを通ることで、チャンネル移動度の低下が少なくなり、装置１００の全抵抗が低減される。

【００２８】

さらに、装置１００は相対的に低い閾値電圧を有する。たとえば、実施の形態では、閾値電圧は、 $1.0\text{V} \sim 1.1\text{V}$ の範囲である。低閾値電圧により、２つのバッテリーセル未満で装置をオンとすることができる。ゲート酸化物の近くに反転がないため、装置１００は、従来の装置に比べて「でこぼこ（raggedness）」が改善される。また、装置１００は、定格高電流での順電圧を低くし、余分に集積されたショットキーまたは外部ショットキーダイオードなしでこの特性を得ることができる。

【００２９】

前述した本発明の特定の実施の形態の記述は、説明の目的で示されている。これらは、包括的であること、または発明を開示されたままの形態に限定することを意図しておらず、

10

20

30

40

50

明らかに、上述した教示に照らして多くの変更および変形が可能である。実施の形態は、本発明の本質および実際の応用を最も良く説明するために選ばれ、記述されており、これにより、当業者は、本発明および予期された特定の使用に適するような様々な変更とともに様々な実施の形態を利用することができる。本発明の範囲は添付の請求項およびその均等物によって規定されることが意図される。

【0030】

(コンセプト) 短いまとめ

この明細書は少なくとも以下の広いコンセプトを開示する。

コンセプト1: J F E Tコンポーネントと、J F E Tコンポーネントに近接して配置された第1の蓄積型M O S F E Tと、トレンチ底部端においてJ F E Tコンポーネントに近接して配置された第2の蓄積型M O S F E Tと、を含み、J F E Tコンポーネント、第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E Tが当該装置のバルクシリコン領域を流れる電流を生じさせるように構成されているハイブリッドパワー電界効果トランジスタ装置。

10

コンセプト2: . チャンネル装置中のn +ソースとp +コンタクトを連結することなく、縦型コンタクトトレンチの側壁に形成され、J F E Tコンポーネントの側方に配置された第1のショットキー領域をさらに含むコンセプト1に記載の装置。

コンセプト3: . 第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E Tは、トレンチ側壁の薄膜酸化物およびトレンチ底部に近い厚膜ゲート酸化物領域を含み、ゲート - トレーン容量を低減するコンセプト1に記載の装置。

20

コンセプト4: 第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E Tが自己位置決めを容易にするように、高電流設計レイアウトにより配置されるコンセプト1に記載の装置。

コンセプト5: 装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成されるコンセプト1に記載の装置。

コンセプト6: 第1の蓄積型M O S F E Tおよび前記第2の蓄積型M O S F E TがNチャンネルM O S F E Tであるコンセプト1に記載の装置。

コンセプト7: 第1の蓄積型M O S F E Tおよび第2のM O S F E Tが前記ソースと接続する絶縁ゲートを有するコンセプト1に記載の装置。

コンセプト8: J F E Tコンポーネント、第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E Tがトレンチ型縦型装置として形成されているコンセプト1に記載の装置。

30

コンセプト9: . J F E Tコンポーネントと、J F E Tコンポーネントに近接して配置された第1の蓄積型M O S F E Tと、第1の蓄積型M O S F E Tの反対側のJ F E Tコンポーネントに近接して配置された第2の蓄積型M O S F E Tと、を含み、J F E Tコンポーネント、第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E Tが装置のバルクシリコン領域を通る電流フローを引き起こすように構成され、J F E Tコンポーネント、第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E Tはトレンチ型縦型構造として形成されているパワーM O S F E T装置。

コンセプト10: J F E Tコンポーネントの側方に配置された第1のショットキー領域と、第1のショットキー領域とは反対側のJ F E Tコンポーネントの側方に配置された第2のショットキー領域とを、さらに含むコンセプト9に記載の装置。

40

コンセプト11: . 第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E Tが厚膜でより下方の酸化物ゲート領域を含み、ゲート - ドレイン容量を低減するコンセプト9に記載の装置。

コンセプト12: 第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E Tが自己位置決めを容易にする高電流設計レイアウトに従って配置されているコンセプト9に記載の装置。

コンセプト13: 装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成されているコンセプト9に記載の装置。

コンセプト14: 第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E TがNチャネ

50

ル型 MOSFET であるコンセプト 9 に記載の装置。

コンセプト 15：第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が P チャネル型 MOSFET であるコンセプト 9 に記載の装置。

コンセプト 16：JFET コンポーネントと、JFET コンポーネントに近接して配置された第 1 の蓄積型 MOSFET と、第 1 の蓄積型 MOSFET とは反対側の FET コンポーネントに近接して配置された第 2 の蓄積型 MOSFET と、JFET コンポーネントの側方に配置された第 1 のショットキー領域と、第 1 のショットキー領域とは反対側の JFET コンポーネントの側方に配置された第 2 のショットキー領域と、を含み、JFET コンポーネント、第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が装置のバルクシリコン領域を通る電流を引き起こすように構成されているパワー FET 装置。

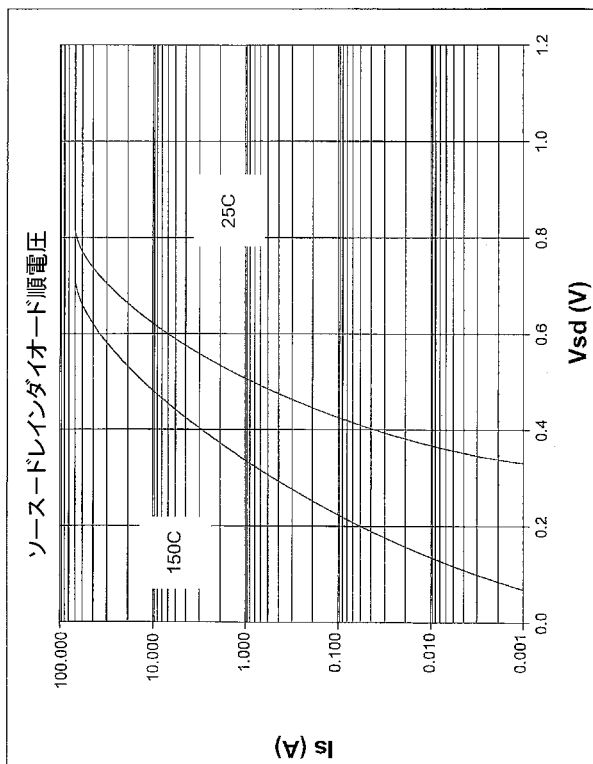
コンセプト 17：第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が厚膜でより下方の酸化物ゲート領域を含み、ゲート - ドレイン容量を低減するコンセプト 16 に記載の装置。

コンセプト 18：第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が自己位置決めを容易にするように高電流設計レイアウトに従って配置されているコンセプト 16 に記載の装置。

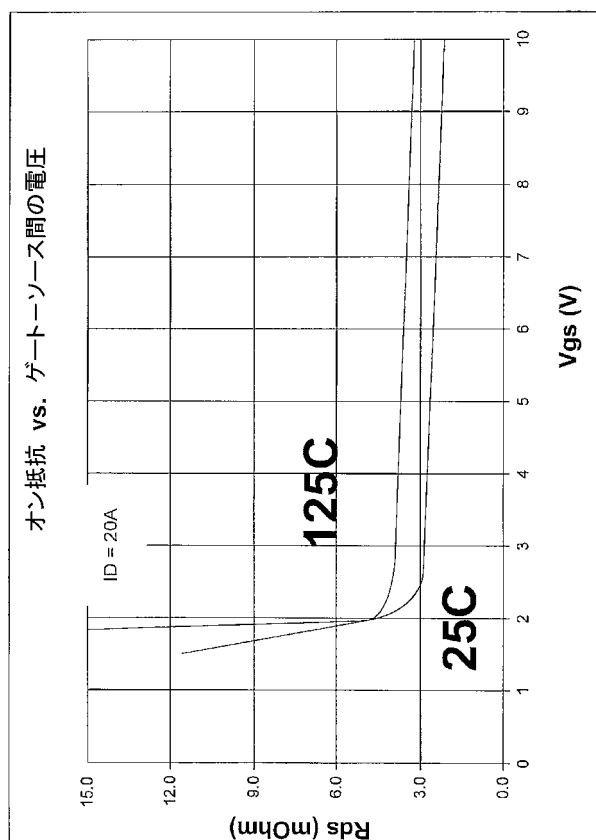
コンセプト 19：装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成されるコンセプト 16 に記載の装置。

10

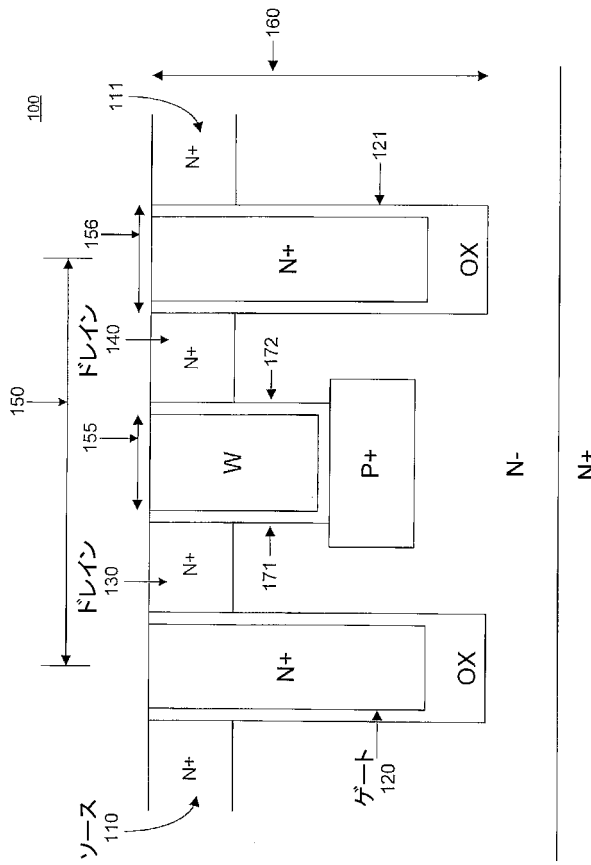
【図 1】



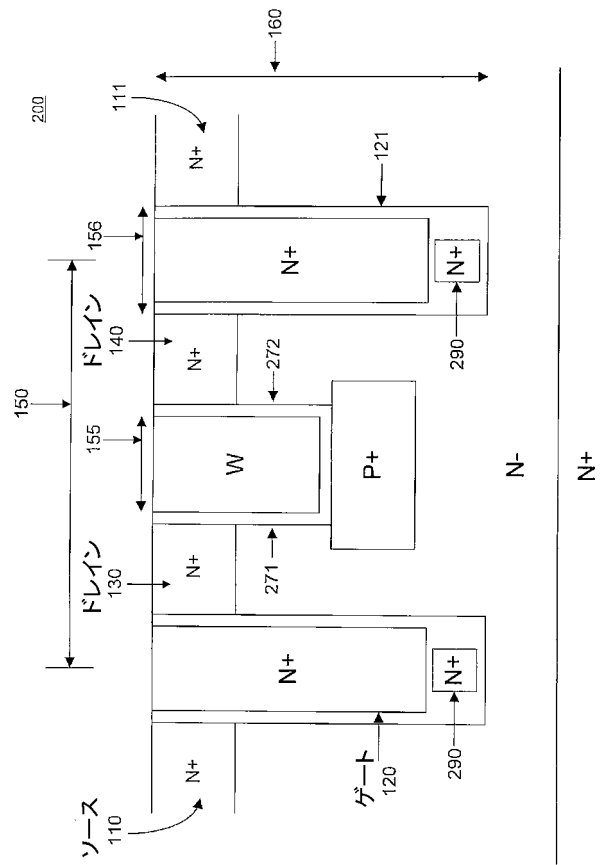
【図 2】



【図 3】



【図 4】



【図 5】

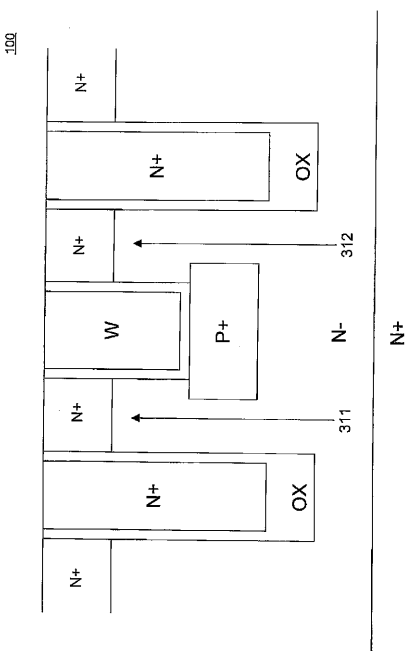


FIG. 5

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2009/043518
A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/80(2006.01)i, H01L 29/808(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 29/80; H01L 21/82; H01L 29/10; H01L 29/161; H01L 29/76; H01L 29/94		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models since 1975. Japanese utility models and applications for utility models since 1975.		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eCOMPASS(KIPO internal) & Keywords: power FET, JFET, Schottky		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007-0278571 A1 (AUNP BHALLA et al.) 06 December 2007 See abstract, Claims 1,5,18 and Figure 1	1-19
A	US 2008-0003731 A1 (MICHAEL S. MAZZLOLA et al.) 03 January 2008 See abstract, Claim 1 and Figure 1	1-19
A	US 5396085 A (BALIGA, BANTVAL J. et al.) 07 March 1995 See abstract and Claim 1	1-19
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 DECEMBER 2009 (28.12.2009)		Date of mailing of the international search report 29 DECEMBER 2009 (29.12.2009)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer KIM Tae Hoon Telephone No. 82-42-481-5728 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2009/043518

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007-0278571 A1	06.12.2007	US 07504676 B2 WO 2007-143130 A2 WO 2007-143130 A3	17.03.2009 13.12.2007 02.05.2008
US 2008-0003731 A1	03.01.2008	US 07294860 B2 US 07416929 B2 US 2006-011924 A1	13.11.2007 26.08.2008 19.01.2006
US 5396085 A	07.03.1995	None	

フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 27/095 (2006.01)		H 0 1 L 27/06	1 0 1 U	
H 0 1 L 27/06 (2006.01)		H 0 1 L 27/06	1 0 2 A	
H 0 1 L 21/8248 (2006.01)		H 0 1 L 29/78	3 0 1 G	
H 0 1 L 21/8222 (2006.01)				

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

F ターム(参考) 5F048 AA01 AC09 AC10 BA01 BB05 BB20 BC01 BD01 BD06 BF16
5F082 AA04 AA08 BA47 BC08 BC09 BC12 EA12
5F102 FA02 GA01 GA05 GB01 GC01 GD04 GD10 GJ03 GL03 GR16
HC01 HC15
5F140 AA01 AA11 AA29 AB06 AB08 AC01 BA01 BB04 BB06 BF01
BF04 BF43