



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I512743 B

(45)公告日：中華民國 104 (2015) 年 12 月 11 日

(21)申請案號：098134008

(22)申請日：中華民國 98 (2009) 年 10 月 07 日

(51)Int. Cl. : G11C29/04 (2006.01)

G11C8/00 (2006.01)

(30)優先權：2008/10/07 美國

12/246,882

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：基斯 布蘭特 KEETH, BRENT (US)；馬丁 克里斯 G MARTIN, CHRIS G. (US)；

曼寧 卓依 A MANNING, TROY A. (US)；傑德羅 喬 M JEDDELOH, JOE M.

(US)；克利斯 堤摩西 B COWLES, TIMOTHY B. (US)；瑞哈默 吉姆

REHMEYER, JIM (US)；拉伯吉 保羅 A LABERGE, PAUL A. (US)

(74)代理人：陳長文

(56)參考文獻：

US 6208545B1

US 6466053B2

US 2004/0032781A1

US 2006/0044896A1

US 2006/0083099A1

US 2006/0221752A1

US 2008/0198646A1

審查人員：蕭明椿

申請專利範圍項數：43 項 圖式數：8 共 53 頁

(54)名稱

堆疊裝置重新映射及修補

STACKED DEVICE REMAPPING AND REPAIR

(57)摘要

本發明揭示各種實施例，其包括具有依一堆疊配置之多個晶粒之設備、系統及方法，其中一有缺陷的胞可由相同晶粒或一不同晶粒上之一備用胞替換。

Various embodiments include apparatus, systems, and methods having multiple dice arranged in a stack in which a defective cell may be replaced by a spare cell on the same die or a different die.

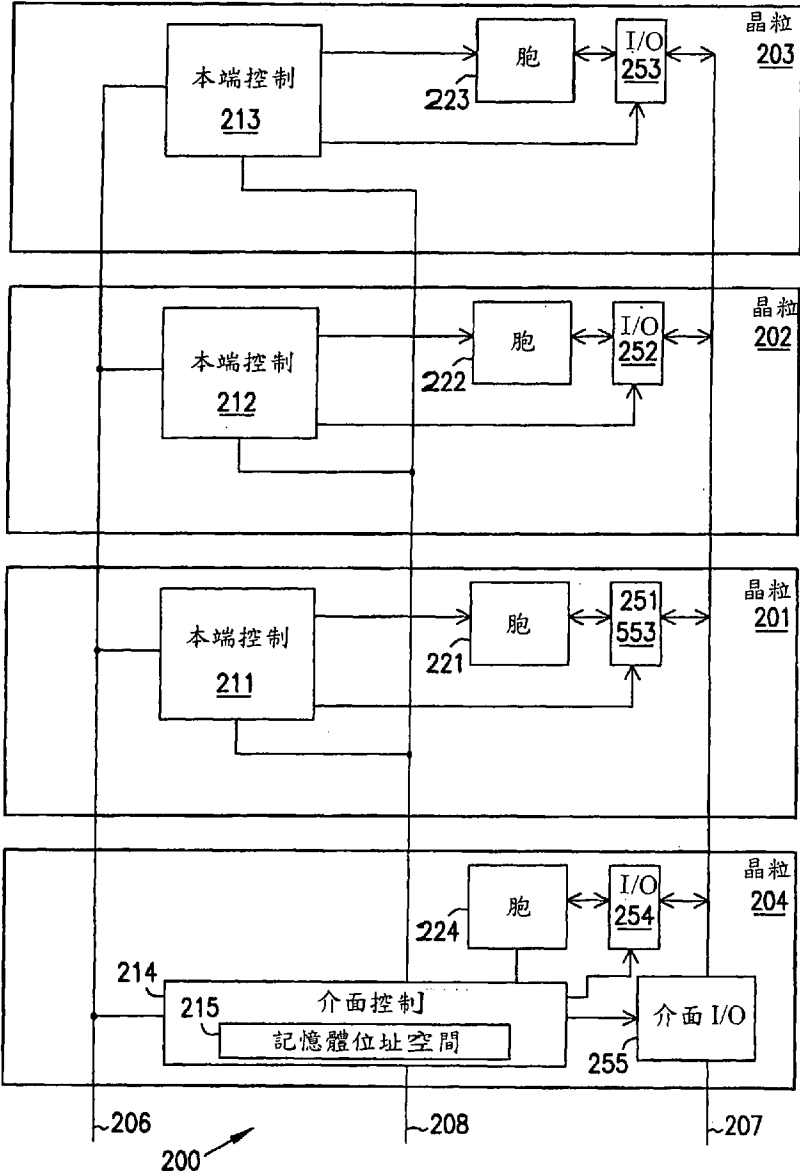


圖2

- 200 . . . 堆疊裝置
- 201 . . . 晶粒
- 202 . . . 晶粒
- 203 . . . 晶粒
- 204 . . . 晶粒
- 206 . . . 線路
- 207 . . . 線路
- 208 . . . 線路
- 211 . . . 本端控制電路
- 212 . . . 本端控制電路
- 213 . . . 本端控制電路
- 214 . . . 介面控制電路
- 215 . . . 記憶體位址空間
- 221 . . . 胞
- 222 . . . 胞
- 223 . . . 胞
- 224 . . . 胞
- 251 . . . I/O 電路
- 252 . . . I/O 電路
- 253 . . . I/O 電路
- 254 . . . I/O 電路
- 255 . . . 介面 I/O
- 553 . . . I/O 電路

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98134008

※ 申請日： 98.10.7

※IPC 分類：H01H

一、發明名稱：(中文/英文)

堆疊裝置重新映射及修補

STACKED DEVICE REMAPPING AND REPAIR

G11C 29/84

(2006.01)

G11C 8/00

(2006.01)

二、中文發明摘要：

本發明揭示各種實施例，其包括具有依一堆疊配置之多個晶粒之設備、系統及方法，其中一有缺陷的胞可由相同晶粒或一不同晶粒上之一備用胞替換。

三、英文發明摘要：

Various embodiments include apparatus, systems, and methods having multiple dice arranged in a stack in which a defective cell may be replaced by a spare cell on the same die or a different die.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200	堆疊裝置
201	晶粒
202	晶粒
203	晶粒
204	晶粒
206	線路
207	線路
208	線路
211	本端控制電路
212	本端控制電路
213	本端控制電路
214	介面控制電路
215	記憶體位址空間
221	胞
222	胞
223	胞
224	胞
251	I/O電路
252	I/O電路
253	I/O電路
254	I/O電路

255 介面 I/O

553 I/O 電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【先前技術】

電腦及其他電子產品(例如，電視機、數位相機及蜂巢式電話)通常使用具有記憶體胞之記憶體裝置來儲存資料及其他資訊。一記憶體裝置通常包括其中形成記憶體胞之一半導體晶粒。某一記憶體裝置可包括若干備用記憶體胞以替換該裝置中之有缺陷的記憶體胞從而該裝置可保持可用。某些記憶體裝置可包括多個晶粒。在此等裝置中，處理該多個晶粒之中之有缺陷的記憶體胞可提出一挑戰。

【實施方式】

圖1顯示根據發明之各種實施例之包括依一堆疊配置之晶粒101、102、103及104之一IC封裝100之一局部橫截面。晶粒101、102、103及104中之每一者可包括其中形成電路111、112、113及114之一基於半導體之材料(例如，矽)。電路111、112、113及114中之一者或多者可運作以執行儲存功能(例如，一記憶體裝置之功能)及邏輯功能(例如，一記憶體控制器或一處理器之功能)。IC封裝100可包括導電路徑115及116以及導電元件(例如，焊料)117以允許至及自晶粒101、102、103及104之通信。如圖1中所顯示，IC封裝110之某些導電路徑(例如，導電路徑115)可穿過晶粒且在導孔(某些時候稱作通孔)118內部，且某些其他導電路徑(例如，導電路徑116)可僅部分地進入至晶粒中。導電路徑115可包括填充於導孔118內部之導電材料119，導孔118形成於晶粒中且自晶粒之一個表面延伸至晶粒之

另一表面。

IC封裝100亦可包括一基座190及一外殼105，其中一內部106可由絕緣材料(諸如基於環氧樹脂之模製化合物)填充。基座190可包括耦合至導電元件199以及導電路徑115及116之導電路徑(未顯示於圖1中)以提供晶粒101、102、103及104與導電元件199之間的電連接以用於晶粒101、102、103及104與外部裝置(諸如記憶體控制器及處理器)之間的通信。基座190可包括一無機(例如，陶瓷)基板或一有機基板。一有機基板之一實例包括一多層雙馬來醯亞胺三嗪(BT)基板。圖1顯示具有一球形狀之導電元件199作為一實例。然而，導電元件199可包括其他形狀，諸如一插針形狀、矩形形狀及其他形狀。

如圖1中所顯示，在該等晶粒之中，晶粒104可位於最接近於基座190且亦可稱作一介面晶粒，以提供IC封裝100與其他外部裝置之間的一介面通信。電路114可包括組件以控制IC封裝100中之至少某些作業，並且透過導電元件199在IC封裝100與其他外部裝置之間交換資訊(例如，信號)。

晶粒101、102、103及104可包括下文參照圖2至圖5所闡述之晶粒。

圖2係顯示根據發明之各種實施例之一堆疊裝置200之一示意圖。堆疊裝置200可包括晶粒201、202、203及204，其可類似於或相同於圖1中之晶粒101、102、103及104依一堆疊配置。如圖2中所顯示，晶粒204可稱作介面晶粒204。晶粒201、202及203可包括本端控制電路211、212及

213以分別控制各別晶粒201、202及203中之作業。舉例而言，此等本端控制電路可對線路(例如，位址匯流排)206上之信號(例如，位址信號)做出回應以分別存取胞221、222及223從而將資料寫入至此等胞中或自此等胞讀取資料。晶粒201、202、203、204可包括輸入/輸出(I/O)電路251、252、253及254以分別至及自胞221、222、223及224傳送資料。介面晶粒204可包括一介面控制電路214以自線路(例如，控制線)208接收控制資訊從而控制介面晶粒204及堆疊裝置200之作業。介面晶粒204亦可包括一介面I/O 255以透過線路(例如，資料匯流排)207至及自堆疊裝置200傳送資料。

圖2顯示具有4個晶粒之堆疊裝置200之一實例。然而，堆疊裝置200之晶粒之數目可變化。

胞221、222、223及224可包括無缺陷的胞、有缺陷的胞及備用胞。某些無缺陷的胞可在製造期間或之後變得有缺陷。然而，為簡單起見圖2僅顯示「胞」。在此闡述中，一「有缺陷的」胞可包括一實際上有缺陷的胞及一已視為「有缺陷的」胞兩者，而不管該已視為「有缺陷的」胞是否實際上有缺陷。

在圖2中，晶粒201、202及203中之每一者可包括一記憶體裝置(例如，一動態隨機存取記憶體(DRAM)裝置)之功能以將資訊儲存於胞221、222、223及224之中之無缺陷的胞中或在已使用備用胞中之一者或多者替換一個或多個有缺陷的胞時將資訊儲存於儲存胞221、222、223及224之中

之無缺陷的胞及備用胞兩者中。胞221、222、223及224可包括相同或不同胞類型，諸如DRAM胞及靜態隨機存取記憶體(SRAM)胞。舉例而言，胞221、222、223及224可包括DARM胞。在另一實例中，胞221、222及223可包括DRAN胞，並且胞224可包括SRAM胞、可擦除可程式化唯讀記憶體(EPROM)胞、電可擦除可程式化唯讀記憶體(EEPROM)胞、磁阻隨機存取記憶體(MRAM)或其他類型之記憶體胞。

在每一晶粒中，可已由備用胞替換在晶粒配置於堆疊裝置200中之前發現之有缺陷的胞。因此，供用於堆疊裝置200中之可用胞可包括無缺陷的胞及已用於替換有缺陷的胞之備用胞兩者。某些備用胞可係未使用的胞。在某些情形中，堆疊裝置200可省略胞224。

如上文所闡述，堆疊裝置200可包括備用胞以替換有缺陷的胞。另一選擇為，堆疊裝置200可不包括備用胞以使得胞221、222、223及224可僅包括無缺陷的胞及有缺陷的胞，或以使得可省略胞224，並且胞221、222及223可僅包括無缺陷的胞及有缺陷的胞。在該替代堆疊裝置中，不由備用胞替換有缺陷的胞(若有)且不丟棄該堆疊裝置。當堆疊裝置200運作時，有缺陷的胞(若有)保持在該堆疊裝置中。因此，若某些胞221、222、223及224有缺陷，則該替代堆疊裝置可具有一減小的儲存能力。舉例而言，若該替代堆疊裝置在胞221、222、223及224中無一者有缺陷時具有「X」個位元組之一最大儲存能力，則該最大儲存能力

減小至 $X-D1$ (X 減去 $D1$) 個位元組，其中「 $D1$ 」對應於有缺陷的胞在其無缺陷時可儲存之資料之位元組的數目。在此實例中， X 及 $D1$ 係實數。

儘管該替代堆疊裝置可具有一減小的儲存能力，但製造該替代堆疊裝置之良率(例如，每晶圓之晶粒)可增加。舉例而言，因為未替換有缺陷的胞，則可從晶粒排除通常用於替換有缺陷的胞之備用胞。從晶粒排除備用胞可減小晶粒大小。因此，良率可增加。

在以上替代堆疊裝置中，儘管不包括備用胞，但仍可由來自相同晶粒或來自一個或多個其他晶粒之無缺陷的胞替換來自一個晶粒之任何有缺陷的胞。

在堆疊裝置 200 之另一組態中，晶粒 201、202 及 203 中無一者可包括備用胞，僅晶粒 204 可包括備用胞。在此組態中，晶粒 204 之備用胞可替換晶粒 201、202、203 中之一者或多者中之某些或全部有缺陷的胞。若晶粒 204 之備用胞之數目足以替換堆疊裝置 200 中之全部有缺陷的胞，則該堆疊裝置之一最大儲存能力儲存能力(例如，「 Y 」個位元組)在此組態中可保持在一全位準處。然而，若晶粒 204 中之備用胞之數目不足以替換晶粒 201、202 及 203 之全部有缺陷的胞，則堆疊裝置 200 之例如 Y 個位元組之最大儲存能力可減小至 $Y-D2$ (Y 減去 $D2$) 個位元組，其中「 $D2$ 」對應於有缺陷的元件在其無缺陷時可儲存之資料之位元組的數目。在此實例中， Y 及 $D2$ 係實數。

在堆疊裝置 200 之一進一步組態中，備用元件可包括於

晶粒 201、202、203 及 204 中之至少一者中，但少於全部這 4 個晶粒。舉例而言，備用胞可包括於僅晶粒 201 或僅晶粒 201 及晶粒 204 中以替換該堆疊裝置中之任一晶粒中之有缺陷的胞。若備用胞之數目足以替換堆疊裝置 200 中之全部有缺陷的胞，則該堆疊裝置之一最大儲存能力儲存能力（例如，「Z」個位元組）在此組態中可保持在一全位準處。然而，若備用胞之數目不足以替換該堆疊裝置中之全部有缺陷的胞，則該堆疊裝置之例如 Z 個位元組之最大儲存能力可減小至 $Z-D3$ (Z 減去 D3) 個位元組，其中「D3」對應於有缺陷的胞在其無缺陷時可儲存之資料之位元組的數目。在此實例中，Z 及 D3 係實數。

堆疊裝置 200 可將堆疊裝置 200 之一記憶體位址空間 215 中之位址映射至胞 221、222 及 223 之中之可用胞。記憶體空間 215 可包括可由堆疊裝置 200 或由另一裝置（諸如由一記憶體控制器或一處理器）使用之全部可用胞之位址。因此，記憶體位址空間 215 係一邏輯實體，而胞 221、222 及 223 係物理實體。舉例而言，若胞 221、222 及 223 具有可供使用之 8 個胞，則記憶體位址空間 215 可包括映射至彼 8 個胞之位址 000、001、010、011、100、101、110 及 111。另一選擇為，堆疊裝置 200 可將記憶體位址空間 215 中之位址映射至 221、222、223 及 224 之中之可用胞。本文中之實例使用 8 個胞來幫助闡釋記憶體位址空間與實體胞之間的關係。然而，堆疊裝置 200 可具有眾多胞，例如數百萬或數億的胞。

記憶體位址空間 215 可係一相連記憶體位址空間。舉例

而言，位址空間215可包括具有連續位址(諸如對應於8個記憶體胞之000、001、010、011、100、101、110及111)之一相連位址空間。如此實例中所顯示，位址空間215包括自值000至值111之非跳過位址，從而指示對應於此等連續位址之8個胞可供使用。然而，在某些情形中，記憶體位址空間215可係非相連。舉例而言，在晶粒201、202、203及204配置於堆疊裝置200中之後，在堆疊裝置200之額外測試期間可發現胞221、222及223之中的一個或多個胞有缺陷。此情形中，有缺陷的胞可包括一新的有缺陷的胞，其不同於在晶粒201、202、203及204配置於堆疊裝置200之前就已發現之有缺陷的胞。

當發現一新的有缺陷的胞時，堆疊裝置200可決定用一備用胞替換該有缺陷的胞，但堆疊裝置200可能不再具有可用備用胞。然而，堆疊裝置200可包括備用胞，但決定跳過用一可用備用胞替換有缺陷的胞。另一選擇為，如上文所提及，堆疊裝置200可不包括備用胞。因此，當堆疊裝置200不具有備用胞時其亦可跳過替換有缺陷的胞。在此等情形中之任一情形中，堆疊裝置200可使用介面晶粒204來識別有缺陷的胞，並且適當地組織先前映射至胞221、222、223及224之記憶體位址空間215。當胞221、222、223及224之中至少一個胞識別為一有缺陷的胞時，介面晶粒204可將記憶體位址空間215組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間位址。該可定址記憶體位址空間部分可包括映射至堆疊裝置200之可

供使用之胞之全部位址。該不可定址記憶體位址空間部分可包括映射至堆疊裝置200之不可供使用之胞(例如，有缺陷的胞)之全部位址。在發現一新的有缺陷的胞之後，在堆疊裝置200中組織記憶體位址空間215可包括重新映射記憶體位址空間215。

圖3係顯示根據發明之各種實施例之堆疊裝置200在重新映射之前及之後之一記憶體位址空間215之一圖示。在圖3中，胞290代表圖2之胞221、222、223及224之組合。圖3之記憶體位址空間215在映射之前代表圖2之堆疊裝置200之記憶體位址空間，其中記憶體位址空間215之位址映射(由圖3中之箭頭361所指示)至胞290。在映射之前，胞290可包括無缺陷的胞及有缺陷的胞，其中已在晶粒201、202、203及204配置於堆疊裝置200中之後發現該等有缺陷的胞。圖3之記憶體位址空間215在映射之後代表圖2之堆疊裝置200之記憶體位址空間215，其中記憶體位址空間215之位址重新映射(由圖3中之箭頭362所指示)至胞290以使得記憶體位址空間215被組織成可定址記憶體位址空間部分341及一不可定址記憶體位址空間部分342。

如圖3中所顯示，在重新映射之後，可定址記憶體位址空間部分341中之位址可重新映射至胞290中之無缺陷的胞，並且不可定址記憶體位址空間部分342中之位址可重新映射至胞290之中的一個或多個有缺陷的胞。舉例而言，在重新映射之前，堆疊裝置200可將位址333映射至胞343，並且將位址335映射至胞345。胞343及345在晶粒

201、202、203及204配置於堆疊裝置200中之前可係無缺陷。然而，在晶粒201、202、203及204配置於堆疊裝置200中之後，胞343及345可係有缺陷的。因此，堆疊裝置200可將位址333及335重新映射至無缺陷的其他胞。如圖3中所顯示，堆疊裝置200可將位址333重新映射(由箭頭362所指示)至無缺陷的胞353中之一者，並且將位址335重新映射至無缺陷的胞355中之一者。堆疊裝置200亦可將不可定址記憶體位址空間部分342中之位址398及399分別重新映射至有缺陷的胞343及345。

可定址記憶體位址空間部分341可包括一相連可定址記憶體位址空間部分以使得部分341中之位址具有連續位址值而無所跳過位址。類似地，不可定址位址記憶體位址空間部分342可包括一相連不可定址記憶體位址空間部分以使得部分342中之位址具有連續位址值。

可定址記憶體位址空間部分341之位址的值可高或低於不可定址記憶體位址空間部分342中之位址的值。舉例而言，部分342中之位址中之每一者(例如，398或399)的值可低於位址341中之位址中之每一者(例如，333或335)的值。圖3顯示其中堆疊裝置200可重新映射記憶體位址空間215以使得不可定址記憶體位址空間部分342中之位址的值低於可定址記憶體位址空間部分341中之位址的值之一實例。然而，堆疊裝置200可重新映射位址空間215以使得不可定址記憶體位址空間部分342中之位址的值高於可定址記憶體位址空間部分341中之位址的值。

在記憶體位址空間215之重新映射之後，堆疊裝置200可停用不可定址記憶體位址空間部分342中之位址。舉例而言，堆疊裝置200可使得不可定址記憶體位址空間部分342中之位址不可用於堆疊裝置200內之組件或用於堆疊裝置200外部之一裝置。堆疊裝置200可使用介面晶粒204以自一外部裝置(諸如一記憶體控制器或一處理器)遮罩不可定址記憶體位址空間部分342中之位址，或僅提供可定址記憶體位址空間部分341中之位址給該外部裝置。堆疊裝置200可在一初始化週期期間(諸如在堆疊裝置電源開啟之一週期期間)提供可定址記憶體位址空間部分341中之位址給外部裝置。另一選擇為，堆疊裝置200及外部裝置可彼此通信(例如，在一初始化週期期間)以使得堆疊裝置200可在該外部裝置請求替代重新映射時提供記憶體位址空間215中之位址給該外部裝置之一替代重新映射。該替代重新映射可包括一非相連可定址記憶體位址空間部分，其中堆疊裝置200與外部裝置可就此彼此達成協議。舉例而言，在該替代重新映射中，該外部裝置可請求堆疊裝置200重新映射記憶體位址空間215以使得重新映射至可用胞之位址可劃分為記憶體位址空間215內之多個可定址記憶體位址子部分。

上文參照圖2及圖3之闡述假定堆疊裝置200之胞221、222、223及224不再包括可用備用胞來替換在晶粒201、202、203及204配置於堆疊裝置200中之後發現之一有缺陷的胞。以上闡述亦假定堆疊裝置200包括一個或多個可用

備用胞但決定跳過替換在晶粒201、202、203及204配置於堆疊裝置200中之後發現之一有缺陷的胞。以上闡述進一步假定堆疊裝置200可不包括備用胞來替換有缺陷的胞。

如上文所闡述，一可定址記憶體位址空間部分可包括映射至堆疊裝置200之可供使用之胞之全部位址。不可定址記憶體位址空間部分可包括映射至堆疊裝置200之不可供使用之胞(例如，有缺陷的胞)之全部位址。因此，如圖3中所顯示，記憶體位址空間215(在重新映射之前或重新映射之後)之可定址記憶體位址部分之大小可因不可定址記憶體位址空間部分(諸如不可定址記憶體位址空間部分342)而減小。

如上文參照圖2所闡述，堆疊裝置200可包括與X個位元組、Y個位元組及Z個位元組之最大儲存能力以及在存在有缺陷的胞時X-D1、Y-D2 及Z-D3之減小的儲存能力相關聯之各種組態。在圖3中，不可定址記憶體位址空間部分342可代表可儲存D1個位元組、D2個位元組或D3個位元組之資料之有缺陷的胞(若該等有缺陷的胞係無缺陷的)之位址。可定址記憶體位址空間部分341可代表可儲存X-D1個位元組、Y-D2個位元組或Z-D3個位元組之資料之無缺陷的胞之位址。

然而，若在晶粒201、202、203及204配置於堆疊裝置200之後發現一有缺陷的胞，並且堆疊裝置200具有可用備用胞並且決定用一可用備用胞替換該有缺陷的胞，則記憶體位址空間215之可定址記憶體位址部分之大小可保持在

一全記憶體位址空間處。以下闡述闡述當在堆疊裝置(諸如圖2之堆疊裝置200)之晶粒依堆疊配置之後發現有缺陷的胞時替換該堆疊裝置中之有缺陷的胞之各種技術。然而，以下所闡述之替換有缺陷的胞之各種技術亦可用於當在晶粒依堆疊配置之前發現有缺陷的胞但尚未用備用胞替換時替換有缺陷的胞。

圖4係顯示根據發明之各種實施例之包括一介面晶粒404之一堆疊裝置400之一示意圖。堆疊裝置400亦可包括連同介面晶粒404一起依一堆疊配置之晶粒401、402及403。堆疊裝置400亦可包括如圖4所顯示位於其各別晶粒處之組件，諸如無缺陷的胞421、422及423；有缺陷的胞431、432及433；備用胞441、442、443及444以及I/O電路451、452、453及454以及介面I/O 455。

堆疊裝置400可包括：線路406，其用於將位址傳送至堆疊裝置400；線路407，其用於至及自無缺陷的胞421、422及423以及備用胞441、442、443及444傳送資料；及線路408，其用於至及自介面控制電路461傳送資訊。線路406、407及408可分別包括一位址匯流排、一資料匯流排及一控制匯流排。堆疊裝置400亦可包括其他電路及連接以與無缺陷的胞421、422及423以及備用胞441、442、443及444通信，但該等電路及連接未顯示於圖4中以聚焦於本文中所闡述之實施例。

晶粒401、402及403中之每一者可包括一記憶體裝置(例如，一DRAM)之如下功能：將資訊儲存於無缺陷的胞

421、422及423中或在已使用備用胞441、442、443及444中之一者或多者替換一個或多個有缺陷的胞431、432及433時將資訊儲存於無缺陷的胞421、422及423以及該等備用胞兩者中。無缺陷的胞421、422及423以及備用胞441、442及443可包括DRAM胞。備用胞444可包括SRAM胞、EPROM胞、EEPROM胞、MRAM胞或其他類型之記憶體胞。

堆疊裝置400可使用來自一特定晶粒之備用胞替換彼特定晶粒中之有缺陷的胞或替換位於一個或多個其他晶粒處之有缺陷的胞。舉例而言，堆疊裝置400可使用來自晶粒401之備用胞441替換有缺陷的胞431或替換位於晶粒402及403中之一者或多者處之有缺陷的胞。因此，在堆疊裝置400中，位於一個晶粒處之一備用胞可替換位於相同晶粒處或一不同晶粒處之一有缺陷的胞。舉例而言，若使用晶粒401中之全部備用胞441但晶粒401處之有缺陷的胞431之一剩餘部分尚未由備用胞替換，則堆疊裝置400可使用來自一個或多個其他晶粒(402、403及404)之備用胞替換有缺陷的胞431之該剩餘部分。

介面控制電路461可提供資訊給I/O電路451、452、453及454，以將與一有缺陷的胞相關聯之一資料路徑重新選路為與用於替換彼有缺陷的胞之一備用胞相關聯之一資料路徑。堆疊裝置400可包括具有儲存元件(諸如抗熔絲463)之一修補單元462以儲存有缺陷的胞431、432及433之位址。堆疊裝置400可包括一比較電路464以比較線路406上

之一傳入位址 ADDR(例如，位址信號)與修補單元 462 中之位址，從而確定該傳入位址是否匹配該有缺陷的胞之一位址。

若該傳入位址匹配該有缺陷的胞之位址，則介面控制電路 461 可致使適當之 I/O 電路 451、452、453 及 454 將資料適當地寫入至替換該有缺陷的胞之備用胞中或自其讀取資料。若該傳入位址不匹配該有缺陷的胞之位址，則介面控制電路 461 可致使適當之 I/O 電路 451、452、453 及 454 將資料適當地寫入至與該傳入位址相關聯之無缺陷的胞中或自其讀取資料。若該傳入位址與堆疊裝置 400 之一寫入作業相關聯，則 I/O 電路 451、452、453 及 454 可將資料寫入至備用胞中，並且若該傳入位址與堆疊裝置 400 之一讀取作業相關聯，則 I/O 電路 451、452、453 及 454 自備用胞讀取資料。

如圖 4 中所顯示，堆疊裝置 400 可定位一比較電路，諸如僅在介面晶粒 404 處之比較電路 464。因此，在晶粒 401、402、403 及 404 之中，僅介面晶粒 404 可具有一比較電路來比較一傳入位址與一有缺陷的胞之一位址，從而確定該傳入位址是否匹配一有缺陷的胞之位址。

另一選擇為，堆疊裝置 400 可經結構化以使得比較電路 464 及修補單元 462 之至少一部分可位於晶粒 401、402 及 403 中之每一者處，以便晶粒 401、402 及 403(替代介面晶粒 404)可比較一傳入位址與該修補單元中之位址，從而確定該傳入位址是否匹配有缺陷的胞之一位址。晶粒 401、

402及403中之每一者可執行適當之作業以確定是否基於該比較存取一備用胞。

堆疊裝置400可包括在一讀取作業期間以各種方式存取晶粒401、402、403及404中之單元並且將資料自此等晶粒傳送至線路407之各種組態。在堆疊裝置400之一第一實例組態中，晶粒401、402及403中之每一者中之無缺陷的胞、有缺陷的胞及備用胞可包括相同資料路徑來傳送資料，例如，此等胞與其各別I/O電路451、452或453之間的相同資料路徑。在此第一實例組態中，若線路406上之傳入位址中無一者匹配有缺陷的胞之位址，則堆疊裝置400可基於該等傳入位址之值僅存取晶粒401、402或403中之無缺陷的胞(例如，胞421、422或423)以自選定無缺陷的胞讀取資料。然後，堆疊裝置400可將自該等無缺陷的胞讀取之資料傳送至線路407。若線路406上之傳入位址中之至少一者匹配一有缺陷的胞之一位址，則堆疊裝置400可基於該等傳入位址之值存取晶粒401、402或403中之無缺陷的胞以自選定無缺陷的胞讀取資料。在存取該等無缺陷的胞之後，堆疊裝置400亦可存取備用胞(例如，胞441、442、433或444)以自替換有缺陷的胞之選定備用胞讀取資料。然後，堆疊裝置400可將自選定無缺陷的胞讀取之資料與自選定備用胞度讀取之資料組合，並且將該經組合之資料傳送至線路407以供進一步處理。

在堆疊裝置400之一第二實例組態中，晶粒401、402及403中之每一者中之無缺陷的胞及備用胞可具有不同資料

路徑來傳送資料。舉例而言，每一晶粒中之無缺陷的胞可具有在其與該晶粒之各別 I/O 電路之間的一個資料路徑群組，及相同晶粒之備用胞可具有在其與該晶粒之各別 I/O 電路之間的一不同資料路徑群組。在此第二實例組態中，可在相同讀取作業期間在每一晶粒內之不同資料路徑群組上並行地(例如，在相同或大致相同時間)傳送自無缺陷的胞讀取之資料及自備用胞讀取之資料。

舉例而言，在一讀取作業期間，若線路 406 上之傳入位址中之至少一者匹配一有缺陷的胞之一位址，則堆疊裝置 400 可基於該等傳入位址之值存取在一選定晶粒 401、402 或 403 中之無缺陷的胞(例如，胞 421、422 或 423)以自選定晶粒之選定無缺陷的胞讀取資料。堆疊裝置 400 亦可與無缺陷的胞之存取並行地存取選定晶粒之備用胞(例如，胞 441、442 或 433)以自替換有缺陷的胞之選定備用胞讀取資料。然後，堆疊裝置 400 可將自選定無缺陷的胞讀取之資料與自選定備用胞讀取之資料組合，並且將該經組合之資料傳送至線路 407。

在該第二實例組態中，在一讀取作業器期間，若線路 406 上之傳入位址中無一者匹配有缺陷的胞之位址，則堆疊裝置 400 可基於該等傳入位址之值僅存取晶粒 401、402 或 403 中之無缺陷的胞(例如，胞 421、422 或 423)以自選定無缺陷的胞讀取資料。然後，堆疊裝置 400 可將自無缺陷的胞讀取之資料傳送至線路 407。

在堆疊裝置 400 之一第三實例組態中，堆疊裝置 400 可包

括多工電路以在一讀取作業期間選擇性地傳送自一個晶粒中之無缺陷的胞讀取之資料及自另一晶粒中之備用胞讀取之資料。在上文所闡述之堆疊裝置400之第一組態及第二組態中，無缺陷的胞及備用胞可位於相同晶粒處。在本文中之該第三實例組態中，無缺陷的胞及備用胞可位於不同晶粒處。

在該第三實例組態中之一讀取作業期間，若線路406上之傳入位址中之至少一者匹配一有缺陷的胞之一位址，則堆疊期間400可基於該等傳入位址之值存取晶粒401、402及403之中之一選定晶粒(例如，晶粒401)中之無缺陷的胞以自選定無缺陷的胞讀取資料。堆疊裝置400亦可存取備用胞441、442、443及402之中之備用胞(例如，胞442)以自替換選定晶粒之有缺陷的胞之選定備用胞讀取資料。堆疊裝置400可使用多工電路以將自選定無缺陷的胞讀取之資料及自選定備用胞讀取之資料選擇性地傳送至一介面控制器，諸如介面控制電路461。然後，堆疊裝置400可將自選定無缺陷的胞讀取之料與自選定備用胞讀取之資料組合，並且將該經組合之資料傳送至線路407。

在該第三實例組態中，在一讀取作業期間，若線路406上之傳入位址中無一者匹配有缺陷的胞之位址，則堆疊裝置400可基於該等傳入位址之值僅存取晶粒401、402或403中之無缺陷的胞(例如，胞421、422或423)以自選定無缺陷的胞讀取資料。然後，堆疊裝置400可將自無缺陷的胞讀取之資料傳送至線路407。

圖5係顯示根據發明之各種實施例之包括晶粒501、502及503之一堆疊裝置500之一示意圖，堆疊裝置500在晶粒501、502及503處包括修補單元571、572及573、比較電路591、592及593。堆疊裝置500可包括如圖5中所顯示位於其各別晶粒處之組件，諸如連同晶粒501、502及503一起依一堆疊配置之一介面晶粒504。堆疊裝置500可包括無缺陷的胞521、522及523；有缺陷的胞531、532及533；備用胞541、542、543及544；以及I/O電路551、552、553及554。如圖5中所顯示，堆疊裝置500可將修補單元571、572及573、比較電路591、592及593定位於晶粒501、502及503處。因此，在堆疊裝置500中，晶粒501、502及503(替代介面晶粒504)可確定傳入位址是否匹配有缺陷的胞之位址。

堆疊裝置500可包括：線路506、其用於將位址傳送至堆疊裝置500；線路507，其用於至及自無缺陷的胞521、522及523以及備用胞541、542、543及544傳送資料；線路508，其用於至及自介面控制電路561傳送控制資訊。堆疊裝置500亦可包括其他電路及連接以與無缺陷的胞521、522及523以及備用胞541、542、543及544通信，但該等電路及連接未顯示於圖5中以聚焦於本文中所闡述之實施例。

晶粒501、502及503中之每一者可包括一記憶體裝置(例如，一DRAM)之如下功能：將資訊儲存於無缺陷的胞521、522及523中或在已使用備用胞541、542、543及544

中之一者或多者替換一個或多個有缺陷的胞531、532及533時將資訊儲存於無缺陷的胞521、522及523以及該等備用胞兩者中。無缺陷的胞521、522及523以及備用胞541、542及543可包括DRAM胞。備用胞544可包括SRAM胞。

在堆疊裝置500中，位於一個晶粒處之一備用胞可替換位於任一晶粒處之一有缺陷的胞。因此，在堆疊件500中，一有缺陷的胞可位於一個晶粒處並且替換彼有缺陷的胞之一備用胞可位於相同晶粒處或一不同晶粒處。

一晶粒中之每一修補單元571、572或573可包括抗熔絲581、582或583以將有缺陷的胞之位址儲存於彼晶粒中。舉例而言，堆疊裝置500可執行一抗熔絲程式化作業以致使抗熔絲581處於適當之狀態(諸如「熔斷或未熔斷」狀態)從而指示有缺陷的胞之位址。一晶粒中之每一比較電路591、592或593可比較線路506上之一傳入位址ADDR與相同晶粒中之對應修補單元571、572或573中之位址，從而確定該傳入位址是否匹配彼晶粒中之有缺陷的胞之一位址。

若該傳入位址匹配該有缺陷的胞之位址，則該晶粒之比較電路(或本端控制電路，其未顯示於圖5中)可致使該晶粒之適當之I/O電路551、552、553或554將資料寫入至替換該有缺陷的胞之備用胞中或自其讀取資料。舉例而言，若該有缺陷的胞位於晶粒501處並且備用胞位於介面晶粒504處，則晶粒501可存取介面晶粒504上之備用胞以將資料寫入至替換該有缺陷的胞之備用胞中或自其讀取資料。若該

傳入位址不匹配該有缺陷的胞之位址，則該晶粒之比較電路可致使適當之電路 I/O 電路 551、552、553 或 554 將資料適當地寫入至與該傳入位址相關聯之無缺陷的胞中或自其讀取資料。

如圖 5 中所顯示，堆疊裝置 500 可將比較電路(諸如比較電路 591、592 及 593)僅定位於晶粒 501、502 及 503 中。因此，在晶粒 501、502、503 及 504 中，僅晶粒 501、502 及 503 可比較一傳入位址與一有缺陷的胞之一位址，從而確定該傳入位址是否匹配該有缺陷的胞之位址。同樣，在晶粒 501、502、503 及 504 中，若一傳入位址匹配該有缺陷的胞之一位址，則僅晶粒 501、502 及 503 可存取備用胞從而將資料寫入至備用胞中或自其讀取資料，其中已使用備用胞替換該有缺陷的胞。

堆疊裝置 500 可包括在一讀取作業期間以各種方式存取晶粒 501、502、503 及 504 中之胞，並且將資料自此等晶粒傳送至線路 507 之各種組態。舉例而言，堆疊裝置 500 可包括上文參照圖 4 所闡述之第一、第二及第三實例組態中之一者或多者。

圖 6 顯示根據發明之各種實施例之包括 IC 封裝 651、652、653 及 654 之一設備 600。IC 封裝 651、652、653 及 654 可包括對應晶粒 601、602、603 及 604。每一晶粒可包括胞 621、622、623 或 624，該等胞類似於或相同於圖 2 之堆疊裝置之胞 221、222、223 或 224。

設備 600 之配置可與圖 2、圖 3 或圖 5 之堆疊裝置 200、400

或500之配置相比較。舉例而言，設備600之晶粒601、602、603及604中之一者(例如，晶粒604)可包括一介面控制電路614以基於線路606、607及608上之位址、資料及控制資訊分別控制資料及其他資訊至及自晶粒601、602、603及604之傳送。

然而，設備600不同於圖2、圖3或圖5之堆疊裝置200、400或500之處在於：設備600之晶粒601、602、603及604可包封於不同IC封裝651、652、653及654中，而圖2、圖3或圖5之堆疊裝置200、400或500中之晶粒可包封於相同IC封裝中。如圖6中所顯示，設備600之IC封裝651、652、653及654可位於一板(例如，電路板)661中以形成一記憶體模組(諸如一雙直列記憶體模組(DIMM))之一部分。圖6顯示其中IC封裝651、652、653及654中之每一者僅包括一單個晶粒之一實例。然而，另一選擇為，IC封裝651、652、653及654中之一者或多者可包括其中該多個晶粒可依一堆疊配置之多個晶粒。設備600可經組態以執行類似於或相同於上文參照圖1至圖6所闡述之彼等活動之活動。

圖7係顯示根據發明之各種實施例之一種在一堆疊裝置中替換有缺陷的胞及組織一記憶體位址空間之方法700之一流程圖。方法700可用於類似於或相同於上文參照圖1至圖6所闡述之IC封裝100及堆疊裝置200、400及500以及設備600之一IC封裝及一堆疊裝置中。因此，方法700中所使用的設備及裝置之組件可包括上文參照圖1至圖6所闡述之IC封裝100及堆疊裝置200、400及500以及設備600之組

件。在圖7中，方法700之活動710可包括用一備用胞替換一第一晶粒及一第二晶粒中之至少一者之胞之中之一有缺陷的胞。活動720可包括當在第一晶粒及第二晶粒依一堆疊配置之後該等胞中之至少一者有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分。記憶體位址空間可包括映射至該等胞之位址。方法700可包括類似於或相同於上文參照圖1及圖6所闡述之替換有缺陷的胞及組織一記憶體位址空間之活動之其他活動。各種實施例可具有比圖7中所圖解說明之彼等活動多的或少的活動。

圖8顯示根據發明之各種實施例之一系統800。系統800可包括一處理器820、一記憶體裝置824、一影像感測器裝置826、一記憶體控制器830、一圖形控制器840、一I/O控制器850、一顯示器852、一鍵盤854、一指標裝置856、一周邊裝置858、一收發器859及一供電單元860中之一者或多者。系統800亦可包括一匯流排861以在系統800之組件之中傳送資訊且提供電力給至少某些此等組件。系統800可進一步包括其處可附裝系統之某些組件之一板(例如，母板)802，及至及自系統800以無線方式發射資訊及接收資訊之一天線870。收發器859可運作以在天線870與系統800之組件中之一者或多者(例如，處理器820及記憶體裝置824中之至少一者)之間傳送資訊。

影像感測器裝置820可包括具有一CMOS像素陣列之互補金屬氧化物半導體(CMOS)影像感測器或具有一CCD像素

陣列之電耦合裝置(CCD)影像感測器。

顯示器 852 可包括一類比顯示器或一數位顯示器。顯示器 852 可自其他組件接收資訊。舉例而言，顯示器 852 可接收由處理器 820、記憶體裝置 824、影像感測裝置 826 及圖形控制器 840 中之一者或多者處理之資訊以顯示諸如文字或影像等資訊。

處理器 820 可包括一通用處理器或一 ASIC。處理器 820 可包括一單核處理器或一多核處理器。處理器 820 可執行一個或多個程式化命令以處理資訊。該資訊可包括由系統 800 之組件中之 one 者或多者(諸如記憶體裝置 824 及影像感測器裝置 826)提供之資訊。

記憶體裝置 824 可包括一揮發性記憶體裝置、一非揮發性記憶體裝置或兩者之一組合。舉例而言，記憶體裝置 824 可包括一 DRAM 裝置、一 SRAM 裝置、一快閃記憶體裝置、相變記憶體裝置或此等記憶體裝置之一組合。

記憶體裝置 824 可包括本文中所闡述之各種裝置中之一者或多者之一實施例，諸如上文參照圖 1 至圖 6 所闡述之堆疊裝置 200、400 及 500 以及設備 600。處理器 820 或記憶體裝置 824 或兩者可包括於諸如圖 1 之 IC 封裝 100 之一 IC 封裝中。

設備(例如，IC 封裝 100 及堆疊裝置 200、400 及 500 以及設備 600)及系統(例如，系統 800)之圖解說明意欲提供對各種實施例之結構之一一般理解而不意欲提供對可利用本文中所闡述之結構之設備與系統之全部組件及特徵之一完全

闡述。

上文所闡述之任何組件可以許多方式實施，包括經由軟體之模擬。因此，上文所闡述之設備(例如，IC封裝100及堆疊裝置200、400及500以及設備600)及系統(例如，系統800)在本文可全部表徵為「模組(modules)」(或「模組(module)」)。如設備(例如，IC封裝100及堆疊裝置200、400及500以及設備600)及系統(例如，系統800)之設計師所期望，並且如適於各種實施例之特定實施方案，此等模組可包含硬體電路、單處理器及/或多處理器電路、記憶體電路、軟體程式模組及對象及/或韌體及其組合。舉例而言，此等模組可包括於一系統運作模擬封裝中，諸如一軟體電信號模擬封裝、一電力使用及分佈模擬封裝、一電容電感模擬封裝、一電力/熱耗散模擬封裝、一信號發射接收模擬封裝及/或用於運作或模擬各種可能實施例之運作之軟體及硬體之組合。

各種實施例之設備及系統可包括或包括於用於高速電腦、通信及信號處理電路、單處理器或多處理器模組、單嵌入式處理器或多嵌入式處理器、多核處理器、資料開關、及包括多層、多晶片模組之專用模組之電子電路中。此等設備及系統可進一步包括為各種電子系統內之子組件，諸如電視機、蜂巢式電話、個人電腦(例如，膝上型電腦、桌上型電腦、手持電腦、平板電腦等)、工作臺、無線電、視訊播放器、音訊播放器(例如，MP3(動畫專家群，音訊層3)播放器)、車輛、醫學裝置(例如，心臟監測

器、血壓監測器等)、機上盒及其他子組件。

本文中所闡述之一個或多個實施例包括具有設備、系統及方法，其具有：一第一晶粒，其包括若干胞；一第二晶粒，其連同該第一晶粒一起依一堆疊配置並且經組態以當在該第一晶粒與該第二晶粒依該堆疊配置之後該等胞中之至少一者有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分，該記憶體位址空間包括映射至該等胞之位址。該記憶體位址空間可包括映射至該等胞之位址。本文中所闡述之一個或多個實施例亦包括用於用一備用胞替換一堆疊中之一第一晶粒及一第二晶粒之胞之中之一有缺陷的胞之設備、系統及方法。上文參照圖1至圖8闡述包括額外設備、系統及方法之其他實施例。

以上闡述及圖式圖解說明發明之某些實施例以使得熟習此項技術者能夠實踐發明之實施例。其他實施例可併入結構改變、邏輯改變、電改變、過程改變及其他改變。在該等圖式中，在所有數個視圖中相同特徵或相同編號闡述大致類似特徵。實例僅代表可能的變型。某些實施例之部分及特徵可包括於其他實施例之部分及特徵中或替代其他實施例之部分及特徵。在閱讀並理解以上闡述後，熟習此項技術者將顯而易見許多其他實施例。

提供說明書摘要以遵循37 C.F.R. §1.72(b)，其要求將允許讀者快速探知技術揭示內容之本質及要旨之一說明書摘要。提交本說明書摘要係基於以下理解：其將並非用於解

釋或限制申請專利範圍。

【圖式簡單說明】

圖1顯示根據發明之各種實施例之包括依一堆疊配置之晶粒1之一IC封裝之一局部橫截面；

圖2係顯示根據發明之各種實施例之一堆疊裝置之一示意圖；

圖3係顯示根據發明之各種實施例之圖2之堆疊裝置在重新映射之前及之後之一記憶體位址空間之一圖示；

圖4係顯示根據發明之各種實施例之包括一介面晶粒之一堆疊裝置之一示意圖；

圖5係根據發明之各種實施例之包括具有修補單元及比較電路之晶粒之一堆疊裝置之一示意圖；

圖6顯示根據發明之各種實施例之包括IC封裝之一設備；

圖7係顯示根據發明之各種實施例之一種在一堆疊裝置中替換有缺陷的胞及組織一記憶體位址空間之方法之一流程圖；及

圖8顯示根據發明之各種實施例之一系統。

【主要元件符號說明】

100	IC封裝
101	晶粒
102	晶粒
103	晶粒
104	晶粒

105	外 殼
106	內 部
111	電 路
112	電 路
113	電 路
114	電 路
115	導 電 路 徑
116	導 電 路 徑
117	導 電 元 件
118	導 孔
119	填 充 材 料
190	基 座
199	導 電 元 件
200	堆 疊 裝 置
201	晶 粒
202	晶 粒
203	晶 粒
204	晶 粒
206	線 路
207	線 路
208	線 路
211	本 端 控 制 電 路
212	本 端 控 制 電 路
213	本 端 控 制 電 路

214	介面控制電路
215	記憶體位址空間
221	胞
222	胞
223	胞
224	胞
251	I/O 電路
252	I/O 電路
253	I/O 電路
254	I/O 電路
255	介面 I/O
290	胞
333	位址
335	位址
341	可定址記憶體位址空間部分
342	不可定址記憶體位址空間部分
343	位址
345	有缺陷的胞
353	無缺陷的胞
355	無缺陷的胞
398	位址
399	位址
400	堆疊器件
401	晶粒

402	晶粒
403	晶粒
404	晶粒
406	線路
407	線路
408	線路
421	無缺陷的胞
422	無缺陷的胞
423	無缺陷的胞
431	有缺陷的胞
432	有缺陷的胞
433	有缺陷的胞
441	備用胞
442	備用胞
443	備用胞
444	備用胞
451	I/O 電路
452	I/O 電路
453	I/O 電路
454	I/O 電路
455	介面 I/O
461	介面控制電路
462	修復單元
463	抗熔絲

464	比較電路
500	堆疊裝置
501	晶粒
502	晶粒
503	晶粒
504	晶粒
506	線路
507	線路
508	線路
521	無缺陷的胞
522	無缺陷的胞
523	無缺陷的胞
531	有缺陷的胞
532	有缺陷的胞
533	有缺陷的胞
541	備用胞
542	備用胞
543	備用胞
544	備用胞
551	I/O電路
552	I/O電路
553	I/O電路
554	I/O電路
561	介面控制電路

571	修復單元
572	修復單元
573	修復單元
581	抗熔絲
582	抗熔絲
583	抗熔絲
591	比較電路
592	比較電路
593	比較電路
600	設備
601	晶粒
602	晶粒
603	晶粒
604	晶粒
606	線路
607	線路
608	線路
614	介面控制電路
621	胞
622	胞
623	胞
624	胞
651	IC封裝
652	IC封裝

653	IC封裝
654	IC封裝
661	板
800	系統
802	板
820	處理器
823	影像感測器裝置
824	記憶體裝置
830	記憶體控制器
840	圖形控制器
850	I/O控制器
852	顯示器
854	鍵盤
856	指標裝置
858	周邊裝置
859	收發器
860	供電單元
861	匯流排
870	天線

七、申請專利範圍：

1. 一種用於處理記憶體胞之設備，該設備包含：
 - 一第一晶粒，其包括多個胞；及
 - 一第二晶粒，其連同該第一晶粒一起依一堆疊配置並且經組態以當在該第一晶粒與該第二晶粒依該堆疊配置之後該等胞中之至少一者有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分，該記憶體位址空間包括映射至該等胞之位址。
2. 如請求項1之設備，其中該可定址記憶體位址空間部分中之一位址映射至該等胞之中之一無缺陷的胞，並且該不可定址記憶體位址空間部分中之一位址映射至該等胞之中之一有缺陷的胞。
3. 如請求項1之設備，其中該第二晶粒經組態以將該等胞之中之一有缺陷的胞之一位址重新映射至該等胞之中之一無缺陷的胞。
4. 如請求項1之設備，其中該可定址記憶體位址空間部分係一相連記憶體位址空間部分。
5. 如請求項4之設備，其中該不可定址記憶體位址空間部分係一相連記憶體位址空間部分。
6. 如請求項1之設備，其中該第二晶粒經組態以自一外部裝置遮罩該等胞之中之至少一個有缺陷的胞之至少一個位址。
7. 如請求項1之設備，其進一步包含依該堆疊配置並且包

括額外胞之至少一個額外晶粒，其中該記憶體位址空間包括該等額外胞之位址。

8. 如請求項7之設備，其中該第二晶粒經組態以將該第一晶粒之該等胞及該等額外胞之中之至少一個有缺陷的胞之至少一個位址重新映射至該第一晶粒之該等胞及該等額外胞之中之至少一個無缺陷的胞。
9. 如請求項8之設備，其中該第一晶粒、第二晶粒及第三額外晶粒包封於一積體電路封裝中使得該第二晶粒最接近於該積體電路封裝之一基座。
10. 如請求項1之設備，其中該第一晶粒及該第二晶粒中之至少一者包括至少一個備用胞以替換該第一晶粒及該第二晶粒中之一者中之一有缺陷的胞，並且該第二晶粒經組態以當不再有備用胞可用時組織該記憶體位址空間。
11. 一種用於處理記憶體胞之設備，該設備包含：
 - 一第一晶粒，其包括多個第一胞；
 - 一第二晶粒，其包括多個第二胞；及
 - 一第三晶粒，其連同該第一晶粒及該第二晶粒一起依一堆疊配置並且經組態以用一備用胞替換該等第一胞及該等第二胞之中之一有缺陷的胞，其中該第一晶粒、該第二晶粒及該第三晶粒中之一者經組態以當在該第一晶粒與該第二晶粒依該堆疊配置之後該等第一胞及第二胞中之至少一者有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分，該記憶體位址空間包括映射至該等第一胞及第二

胞之位址。

12. 如請求項11之設備，其中該有缺陷的胞位於該第一晶粒處，並且該備用胞位於該第二晶粒處。
13. 如請求項11之設備，其中該有缺陷的胞位於該第一晶粒處，並且該備用胞位於該第三晶粒處。
14. 如請求項11之設備，其中該備用胞及該有缺陷的胞係不同胞類型。
15. 如請求項11之設備，其中在該第一晶粒、該第二晶粒及該第三晶粒之中，僅該第三晶粒經組態以確定一傳入位址是否匹配該有缺陷的胞之一位址。
16. 如請求項15之設備，其中該有缺陷的胞位於該第一晶粒處，並且該備用胞位於該第二晶粒處。
17. 如請求項11之設備，其中若一傳入位址匹配該有缺陷的胞之一位址，則該第三晶粒經組態以存取該備用胞從而執行將資料寫入至該備用胞中及自該備用胞讀取資料中之一者。
18. 如請求項11之設備，其中在該第一晶粒、該第二晶粒及該第三晶粒之中，僅該第一晶粒及該第二晶粒經組態以確定一傳入位址是否匹配該有缺陷的胞之一位址。
19. 如請求項11之設備，其中在該第一晶粒、該第二晶粒及該第三晶粒之中，若一傳入位址匹配該有缺陷的胞之一位址，則僅該第一晶粒及該第二晶粒經組態以存取該備用胞從而執行將資料寫入至該備用胞中及自該備用胞讀取資料中之一者。

20. 如請求項11之設備，其中該第三晶粒經組態以用至少一個額外備用胞替換該等第一胞及該等第二胞之中之至少一個額外有缺陷的胞。

21. 一種用於處理記憶體胞之設備，該設備包含：

複數個晶粒，其等包括具有多個第一胞之一第一晶粒，及具有多個第二胞之一第二晶粒；及

多個備用胞，其等用於在該等第一胞及該等第二胞中之至少一個選定胞有缺陷時替換該選定胞，其中該等備用胞僅位於該複數個晶粒之一第三晶粒處，其中該複數個晶粒中之一晶粒經組態以當在該第一晶粒與該第二晶粒依該堆疊配置之後該等第一胞及第二胞中之至少一者有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分，該記憶體位址空間包括映射至該等第一胞及第二胞之位址。

22. 如請求項21之設備，其中該複數個晶粒依一堆疊配置並且包封於包括一基座之一積體電路封裝中，並且該第三晶粒最接近於該基座。

23. 如請求項21之設備，其中該第一晶粒、該第二晶粒及該第三晶粒包封於不同積體電路封裝中。

24. 一種用於處理記憶體胞之系統，該系統包含：

一處理器；及

一記憶體裝置，其耦合至該處理器，該記憶體裝置包括：

一第一晶粒，其包括多個胞；及

一第二晶粒，其連同該第一晶粒一起依一堆疊配置並且經組態以當在該第一晶粒與該第二晶粒依該堆疊配置之後該等胞中之至少一者有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分，該記憶體位址空間包括映射至該等胞之位址。

25. 如請求項24之系統，其中該可定址記憶體位址空間部分中之至少一個位址映射至該等胞之中之至少一個無缺陷的胞，並且該不可定址記憶體位址空間部分中之至少一個位址映射至該等胞之中之至少一個有缺陷的胞。

26. 如請求項25之系統，其中該可定址記憶體位址空間部分係一相連記憶體位址空間部分。

27. 如請求項24之系統，其中該記憶體裝置經組態以停用該不可定址記憶體位址空間部分中之至少一個位址。

28. 如請求項24之系統，其中該記憶體裝置經組態以在一初始化週期期間提供該可定址記憶體位址空間部分給該處理器。

29. 一種用於處理記憶體胞之系統，該系統包含：

一處理器；及

一記憶體裝置，其耦合至該處理器，該記憶體裝置包括：

一第一晶粒，其包括多個第一胞；

一第二晶粒，其包括多個第二胞；及

一第三晶粒，其連同該第一晶粒及該第二晶粒一起

依一堆疊配置並且經組態以用一備用胞替換該等第一胞及該等第二胞之中之一有缺陷的胞，其中該第一晶粒、該第二晶粒及該第三晶粒中之一者經組態以當在該第一晶粒與該第二晶粒依該堆疊配置之後該等第一胞及第二胞中之至少一者有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分，該記憶體位址空間包括映射至該等第一胞及第二胞之位址。

30. 如請求項29之系統，其中該有缺陷的胞位於該第一晶粒處，並且該備用胞位於該第二晶粒處。

31. 如請求項29之系統，其中該有缺陷的胞位於該第一晶粒處，並且該備用胞位於該第三晶粒處。

32. 一種用於處理記憶體胞之方法，該方法包含：

當在一第一晶粒及一第二晶粒堆疊之後該第一晶粒與該第二晶粒之胞之中之至少一個胞有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分，該記憶體位址空間包括映射至該等胞之位址。

33. 如請求項32之方法，其中將該可定址記憶體位址空間部分中之一位址映射至該等胞之中之一無缺陷的胞處，並且將該不可定址記憶體位址空間部分中之一位址映射至該等胞之中之一有缺陷的胞。

34. 如請求項32之方法，其中該可定址記憶體位址空間部分係一相連可定址空間部分。

35. 如請求項34之方法，其中該可定址記憶體位址空間部分中之位址的值高於該不可定址記憶體位址空間部分中之位址的值。
36. 如請求項34之方法，其中該可定址記憶體位址空間部分中之位址的值低於該不可定址記憶體位址空間部分中之位址的值。
37. 如請求項32之方法，其進一步包含：
- 使得該不可定址記憶體位址空間部分中之位址不可用。
38. 一種用於處理記憶體胞之方法，該方法包含：
- 用一備用胞替換一第一晶粒之多個第一胞及一第二晶粒之多個第二胞之中之一有缺陷的胞，該第一晶粒及該第二晶粒依一堆疊配置，其中該第一晶粒及該第二晶粒中之一者經組態以當在該第一晶粒與該第二晶粒依該堆疊配置之後該等第一胞及第二胞中之至少一者有缺陷時將一記憶體位址空間組織成一可定址記憶體位址空間部分及一不可定址記憶體位址空間部分，該記憶體位址空間包括映射至該等第一胞及第二胞之位址。
39. 如請求項38之方法，其中該有缺陷的胞位於該第一晶粒處，並且該備用胞位於該第二晶粒處。
40. 如請求項39之方法，其中替換該有缺陷的胞包括：在該第一晶粒處執行一位址比較，以確定一傳入位址是否匹配該有缺陷的胞之一位址。
41. 如請求項39之方法，其中替換該有缺陷的胞包括：在該堆疊中之一第三晶粒處執行一位址比較，以確定一傳入

位址是否匹配該有缺陷的胞之一位址。

42. 如請求項39之方法，其中該備用胞及該有缺陷的胞係不同胞類型。

43. 如請求項38之方法，其中該備用胞位於該堆疊中之一第三晶粒處。

八、圖式：

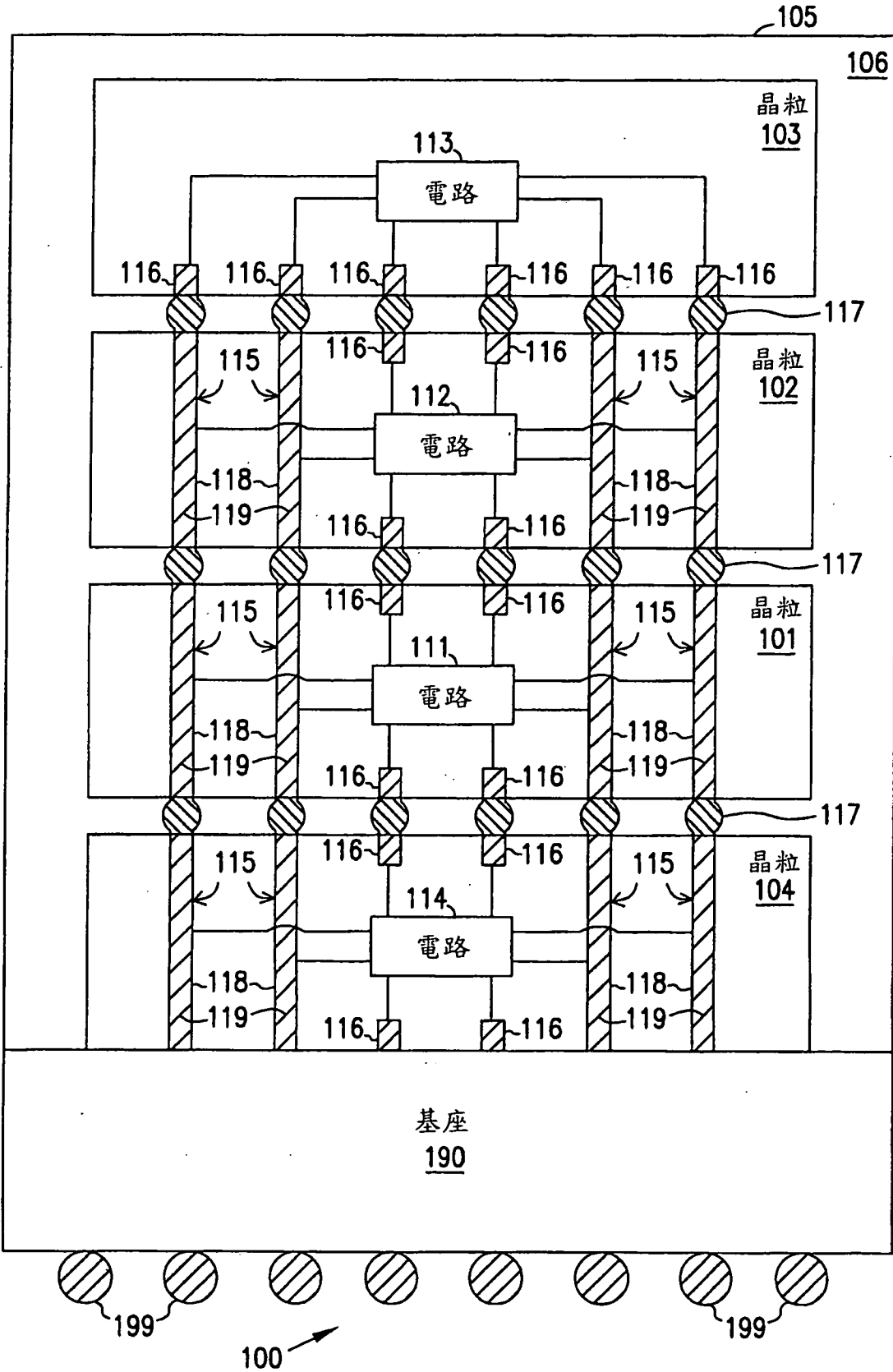


圖 1

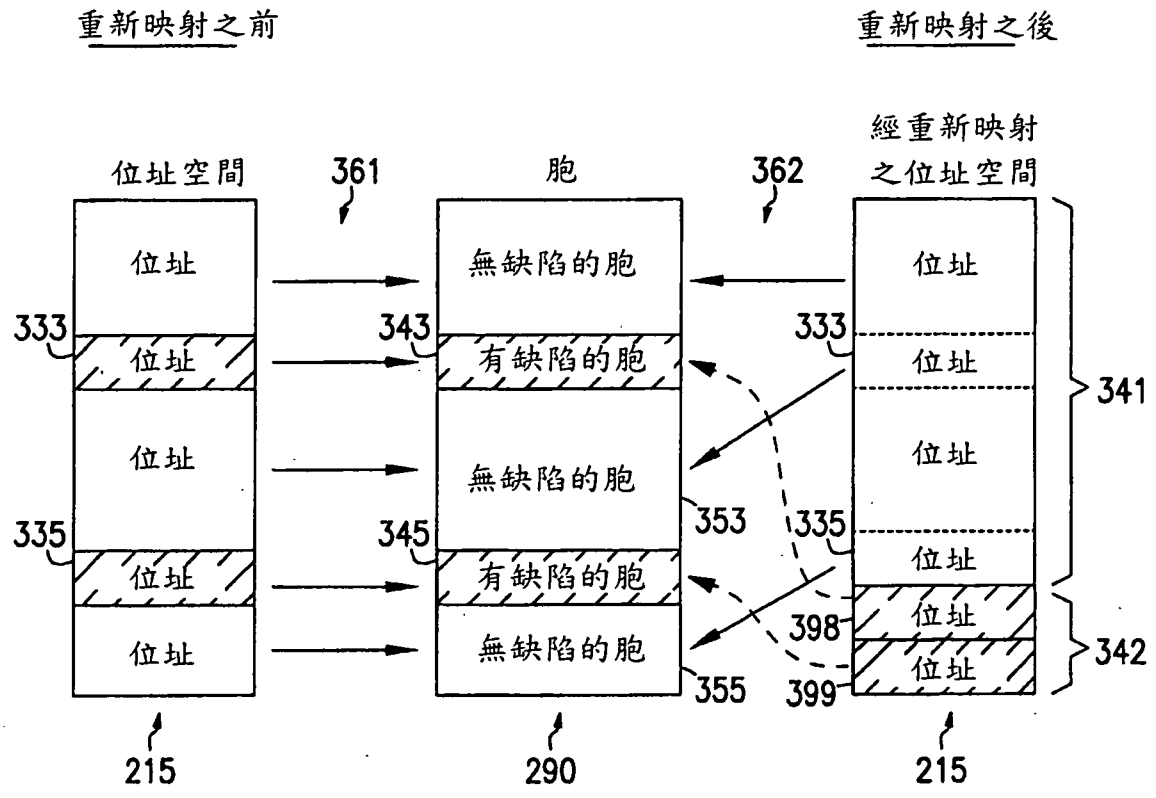


圖3

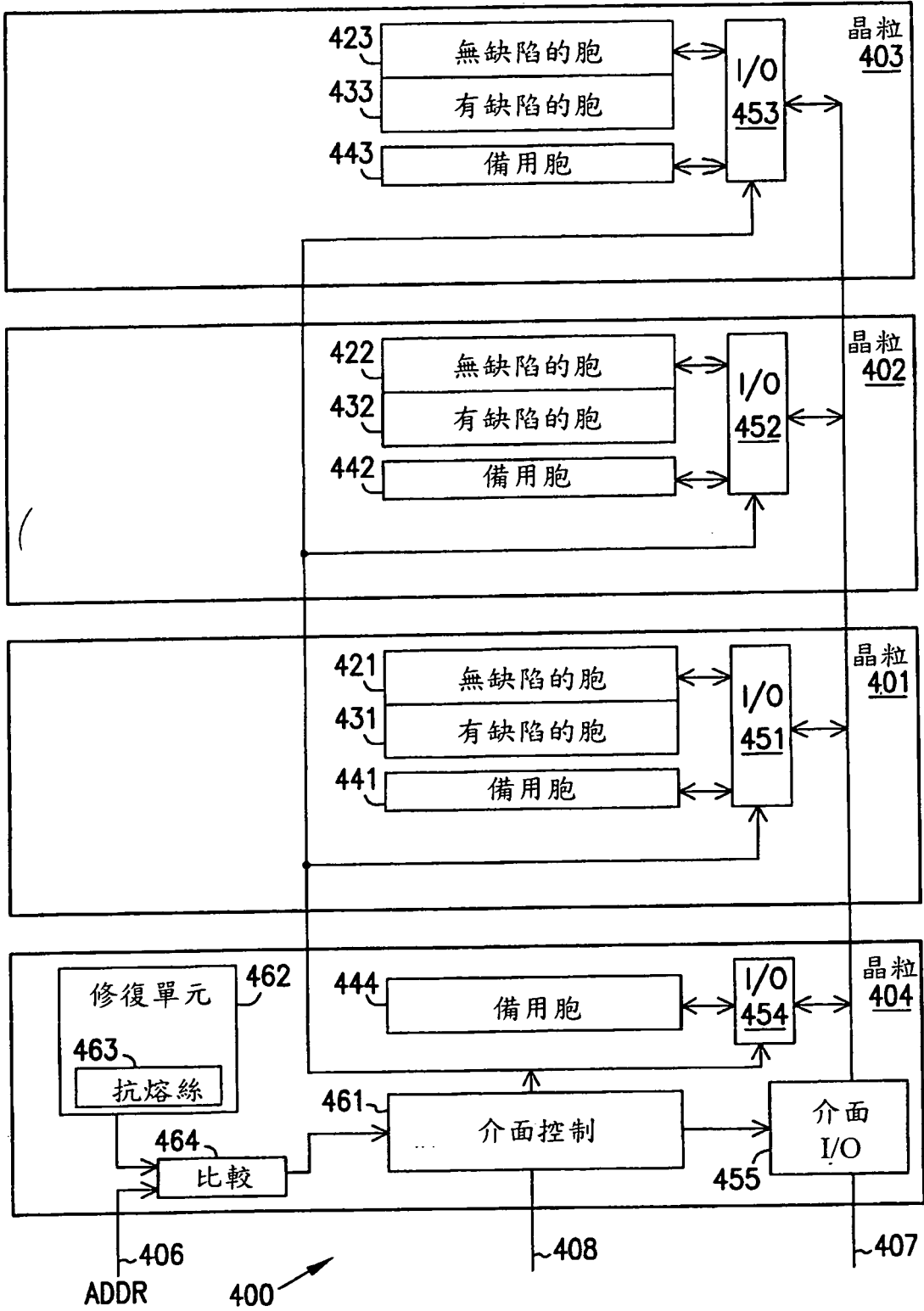


圖 4

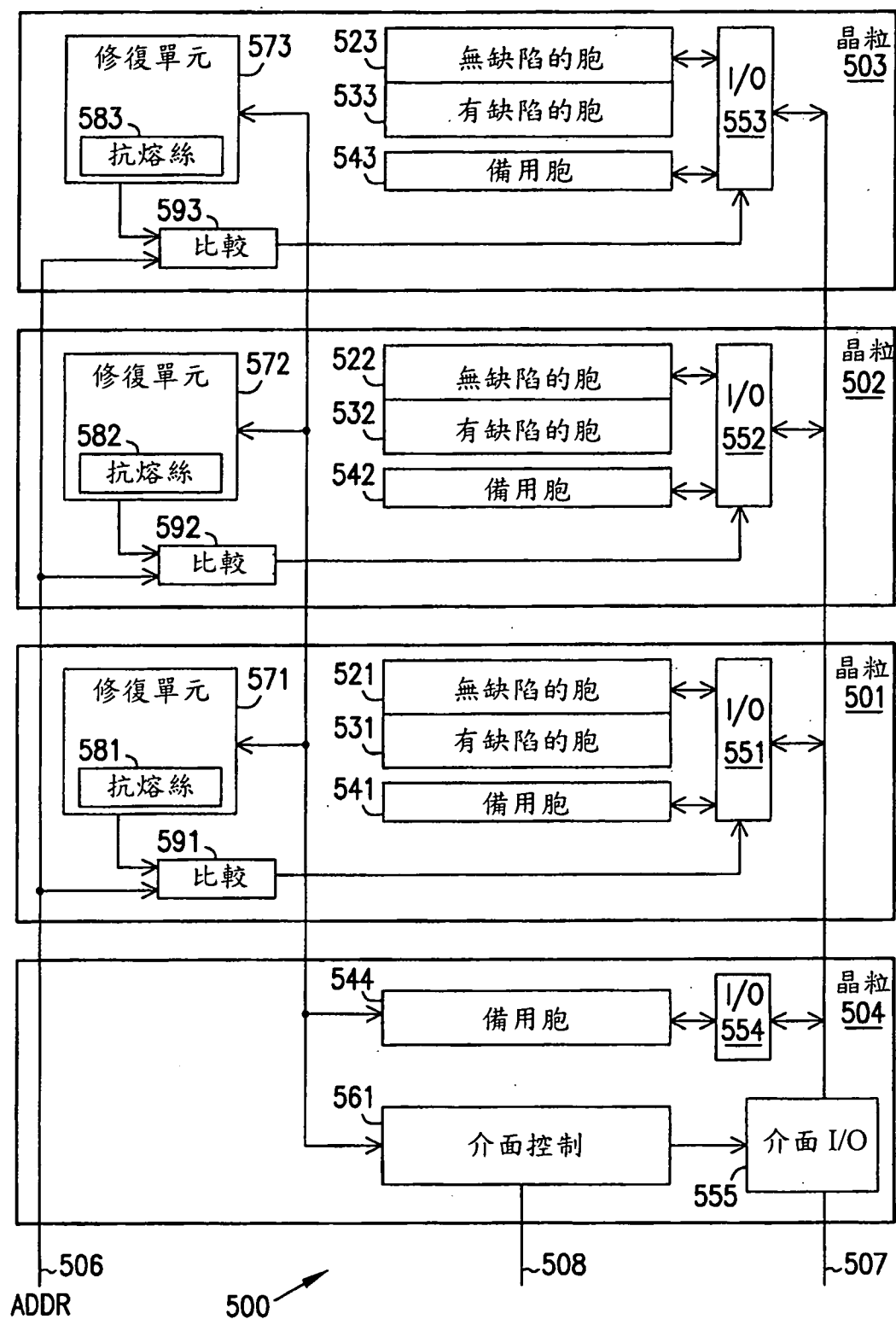


圖 5

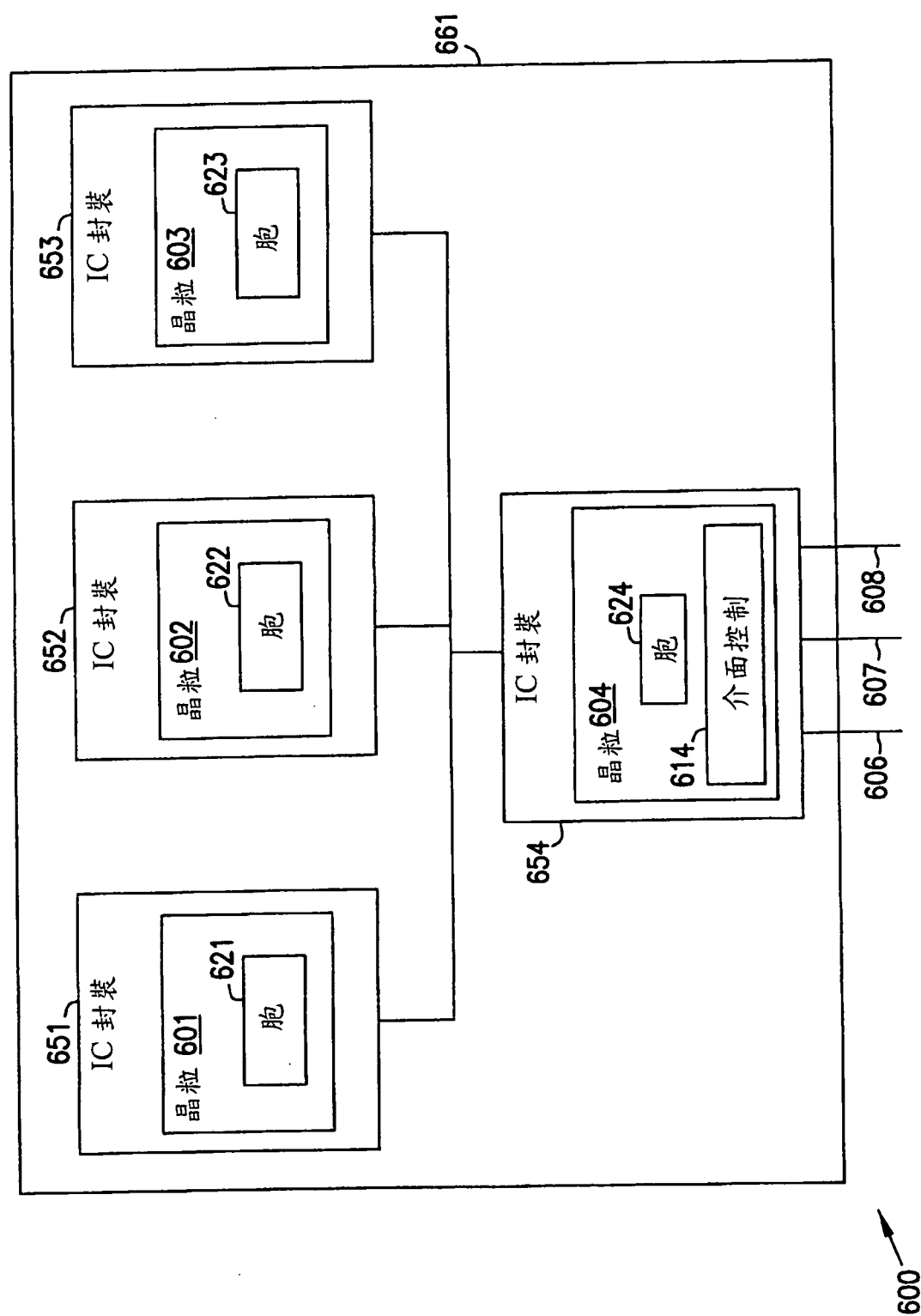


圖 6

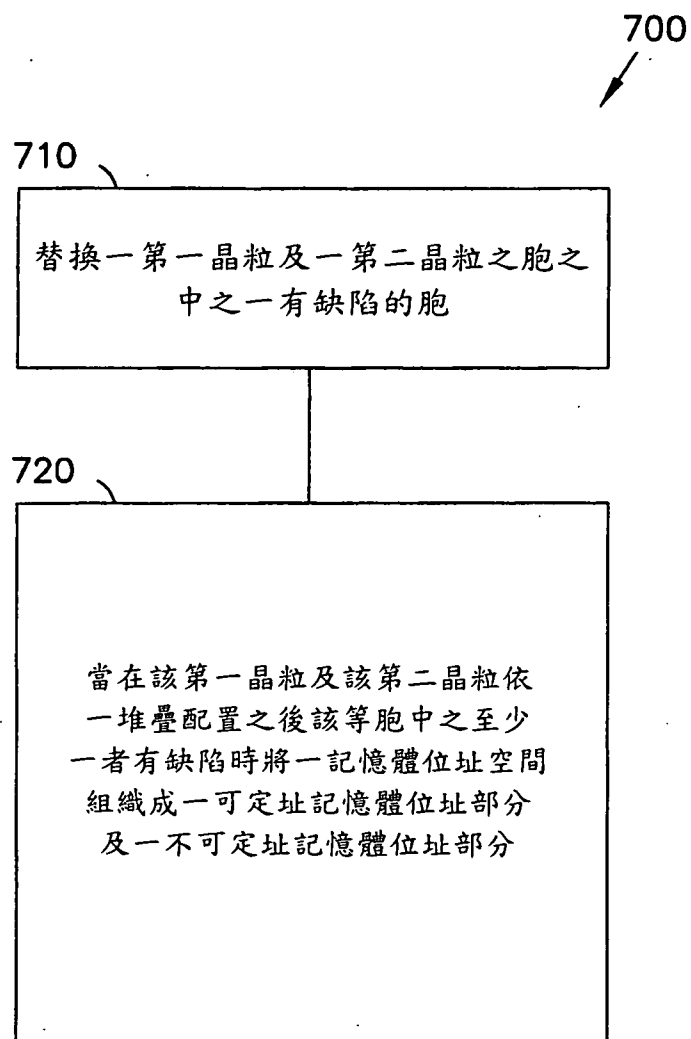


圖7

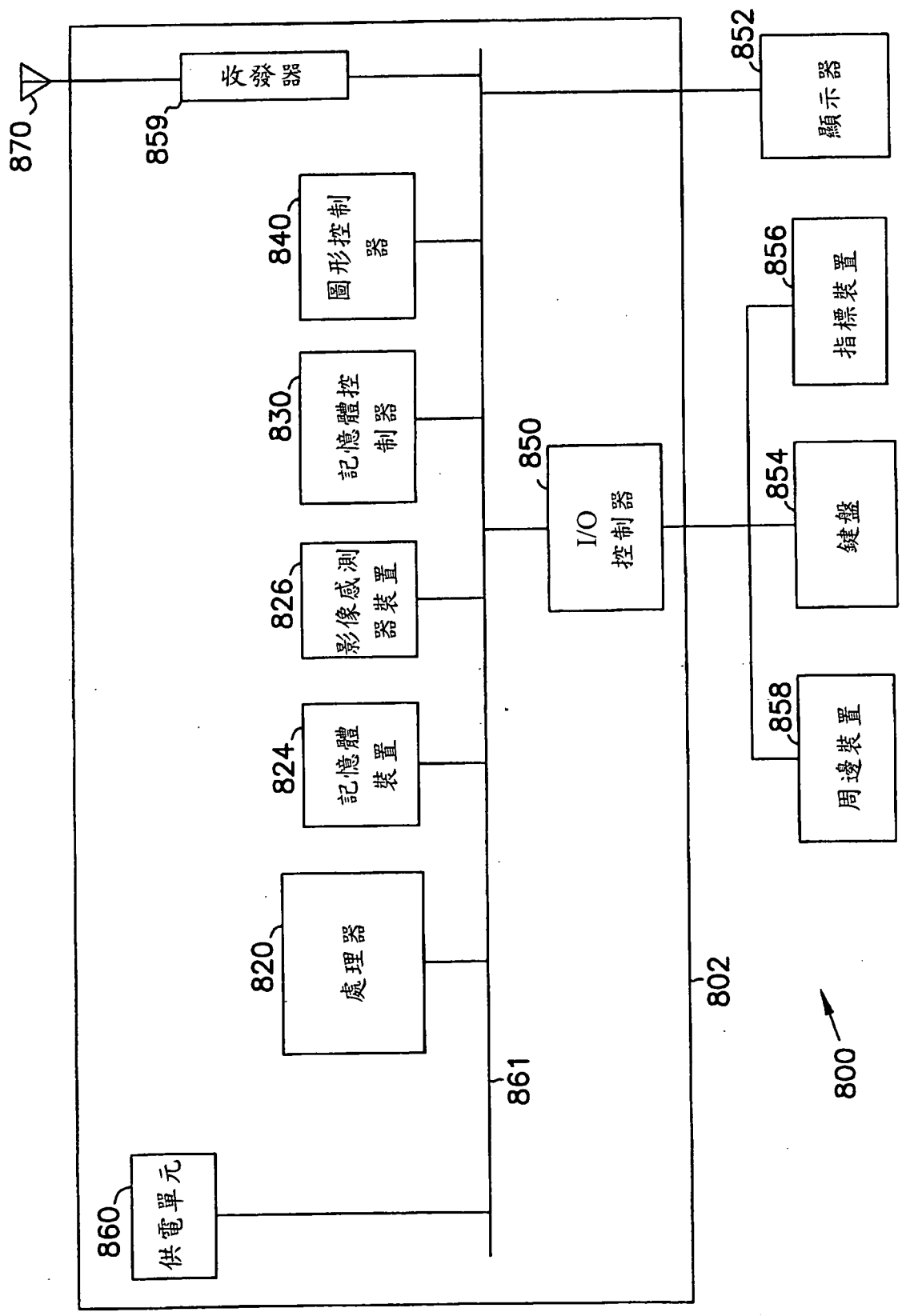


圖 8