



(12) 发明专利

(10) 授权公告号 CN 101278392 B

(45) 授权公告日 2010. 09. 29

(21) 申请号 200680036225. 6

(56) 对比文件

(22) 申请日 2006. 12. 27

US 6333857 B1, 2001. 12. 25, 说明书第 20 栏  
第 54 行至第 24 栏第 29 行、图 9-13.

(30) 优先权数据

373733/2005 2005. 12. 27 JP

审查员 刘国梁

(85) PCT 申请进入国家阶段日

2008. 03. 28

(86) PCT 申请的申请数据

PCT/JP2006/326376 2006. 12. 27

(87) PCT 申请的公布数据

W02007/074941 JA 2007. 07. 05

(73) 专利权人 揖斐电株式会社

地址 日本岐阜县

(72) 发明人 荻谷隆

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

代理人 刘新宇 张会华

(51) Int. Cl.

H01L 23/12(2006. 01)

H05K 3/46(2006. 01)

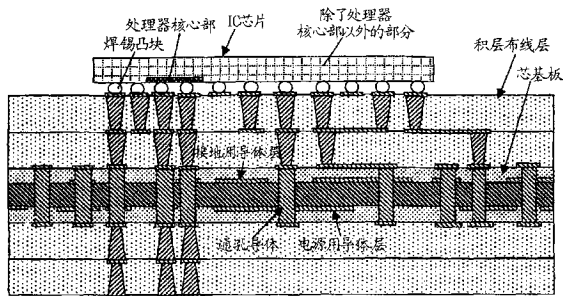
权利要求书 1 页 说明书 13 页 附图 5 页

(54) 发明名称

多层印刷线路板

(57) 摘要

一种多层印刷线路板,在积层布线层的表层上具有用于安装 IC 芯片等半导体元件的安装部,位于安装 IC 芯片等半导体元件的区域的正下方的通孔导体的间距小于位于其它区域的通孔导体的间距,从而抑制向所安装的 IC 芯片的处理器核心部的晶体管供给电源的延迟,难以发生误动作。



1. 一种多层印刷线路板,在具有通孔导体的芯基板上形成有积层布线层,在该积层布线层的表层上具有用于安装 IC 芯片的安装部,上述积层布线层是交替层叠了导体电路和绝缘性树脂层而成的,其特征在于,

位于安装上述 IC 芯片的区域的正下方的通孔导体的间距小于位于其它区域的通孔导体的间距,位于上述 IC 芯片的处理器核心部正下方的通孔导体的间距为  $125 \sim 250 \mu\text{m}$ ,并小于除此之外的通孔导体的间距,并且位于上述 IC 芯片的处理器核心部正下方的通孔导体由连接于上述 IC 芯片的电源电极的电源用通孔导体和连接于上述 IC 芯片的接地电极的接地用通孔导体构成,上述电源用通孔导体和接地用通孔导体配置成格子状或交错状。

2. 根据权利要求 1 所述的多层印刷线路板,其特征在于,设配设于上述 IC 芯片的处理器核心部正下方的 IC 芯片安装用的焊盘数量为  $B_c$ ,设配设于处理器核心部正下方区域的通孔导体数量为  $T_c$ ,设所有的焊盘数量及所有的通孔导体数量分别为  $B_p$  及  $T_p$  时,则以满足如下关系式所表示的那样来配设焊盘和通孔导体,即

$$B_c/T_c < B_p - B_c/T_p - T_c。$$

3. 根据权利要求 1 或 2 所述的多层印刷线路板,其特征在于,设配设于上述 IC 芯片的处理器核心部正下方区域的通孔导体的间距为  $P_c$ ,设在安装 IC 芯片的区域正下方的、除了处理器核心部之外的部分的正下方区域所设置的通孔导体的间距为  $P_m$ ,设除了安装 IC 芯片的区域之外的区域所设置的通孔导体的间距为  $P_s$ ,则通孔导体的配置密度满足如下关系式,即,

$$P_c < P_m < P_s。$$

4. 根据权利要求 1 或 2 所述的多层印刷线路板,其特征在于,在安装上述 IC 芯片的区域正下方的、除了处理器核心部之外的部分的正下方区域所设置的通孔导体的间距是  $150 \sim 600 \mu\text{m}$ 。

5. 根据权利要求 1 或 2 所述的多层印刷线路板,其特征在于,除了安装上述 IC 芯片的区域正下方之外的区域所设置的通孔导体的间距是  $200 \sim 600 \mu\text{m}$ 。

6. 根据权利要求 1 或 2 所述的多层印刷线路板,其特征在于,设于上述 IC 芯片的处理器核心部正下方区域的通孔导体的间距与设于处理器核心部正下方的焊盘的间距相同。

7. 根据权利要求 1 或 2 所述的多层印刷线路板,其特征在于,上述芯基板是在芯材上交替层叠导体电路和绝缘性树脂层而成的多层芯基板,设在上述多层芯基板内部所设置的导体电路的厚度为  $T$ 、在多层芯基板表面所设置的导体电路的厚度为  $t$  时,则  $T \geq 1.5t$ 。

8. 根据权利要求 1 或 2 所述的多层印刷线路板,其特征在于,通过照射激光来形成用于形成位于安装上述 IC 芯片的区域的正下方的通孔导体的贯通孔。

## 多层印刷线路板

### 技术领域

[0001] 本发明涉及一种安装 IC 芯片等半导体元件的多层印刷线路板,尤其涉及可抑制在高频区域发生误动作的半导体元件安装基板。

### [0002] 背景技术

[0003] 作为以往的半导体元件安装基板,有在形成有通孔导体的芯基板上交替层叠绝缘层和导体电路而成的积层基板(参照日本特开 2002-374066)。

[0004] 在现有技术的上述半导体元件安装用多层印刷线路板中,存在如下问题:将尺寸较大、且电极数较多的 3GHz 以上高速驱动的 IC 芯片安装于基板上时,安装后的 IC 芯片容易发生误动作。

### [0005] 发明内容

[0006] 因此,本发明的目的在于提供一种安装后的 IC 芯片难以发生误动作的半导体元件安装用的多层印刷线路板。

[0007] 即,本发明为:

[0008] 一种多层印刷线路板,在具有通孔导体的芯基板上形成有积层布线层,在该积层布线层的表层上具有用于安装 IC 芯片的安装部,上述积层布线层是交替层叠了导体电路和绝缘性树脂层而成的,

[0009] 位于安装上述 IC 芯片的区域的正下方的通孔导体的间距小于位于其它区域的通孔导体的间距,位于上述 IC 芯片的处理器核心部正下方的通孔导体的间距为  $125 \sim 250 \mu\text{m}$ ,并小于除此之外的通孔导体的间距,并且位于上述 IC 芯片的处理器核心部正下方的通孔导体由连接于上述 IC 芯片的电源电极的电源用通孔导体和连接于上述 IC 芯片的接地电极的接地用通孔导体构成,上述电源用通孔导体和接地用通孔导体配置成格子状或交错状。

[0010] 在本发明中,所安装的 IC 芯片主要由处理器核心部分和存储器部分构成。

[0011] 另外,在本发明中,“通孔导体”不仅是在贯通孔内壁面形成导体层而成的这种形式的通孔导体,还包括在该贯通孔内完全填充金属镀层等而成的形式的通孔导体,其中该贯通孔贯通芯基板或印刷线路板的全层,将“通孔导体”定义为将形成于芯基板或印刷线路板的正面及反面的导体层电连接的导体层。

[0012] 在本发明中,设配设于构成 IC 芯片的处理器核心部正下方的 IC 芯片安装用的焊盘数量为  $B_c$ ,设配设于处理器核心部正下方区域的通孔导体数量为  $T_c$ ,设连接于 IC 芯片电极的所有焊盘数量为  $B_p$ ,设所有的通孔导体数量为  $T_p$  时,则能够以满足如下关系式所表示的那样来配设 IC 芯片安装用焊盘和通孔导体,即

[0013]  $B_c/T_c < B_p - B_c/T_p - T_c$ 。

[0014] 此外,在本发明中,设配设于 IC 芯片的处理器核心部正下方区域的通孔导体的间距为  $P_c$ ,设在安装 IC 芯片的区域正下方的、除了处理器核心部之外的部分的正下方区域所设置的通孔导体的间距为  $P_m$ ,设除了安装 IC 芯片的区域之外的区域所设置的通孔导体的间距为  $P_s$  时,则可以使通孔导体的配置密度满足如下关系式, $P_c < P_m < P_s$ 。即,可以将通

孔导体配置成：通孔导体的配置密度是随着自 IC 芯片的处理器核心部正下方区域向除了处理器核心部以外的部分的正下方区域去而逐渐减小。

[0015] 此外,在本发明中,在 IC 芯片正下方的、除了处理器核心部之外的部分的正下方区域所设置的通孔导体的间距  $P_m$  可以是  $150 \sim 600 \mu m$ 。另外,除了 IC 芯片正下方之外的区域所设置的通孔导体的间距  $P_s$  可以是  $200 \sim 600 \mu m$ 。

[0016] 此外,在本发明中,可以将通孔导体及焊盘配置成：设于构成 IC 芯片的处理器核心部正下方区域的通孔导体的间距  $P_c$  与设于处理器核心部正下方的焊盘的间距相同。

[0017] 此外,在本发明中,上述芯基板是在芯材上交替层叠导体电路和绝缘性树脂层而成的多层芯基板,设在上述多层芯基板内部所设置的导体电路的厚度为  $T$ 、在多层芯基板表面所设置的导体电路的厚度为  $t$  时,可以使  $T \geq 1.5t$ 。

[0018] 根据本发明的多层印刷线路板,使设于 IC 芯片正下方区域的通孔导体的间距小于设于除 IC 芯片正下方之外区域的通孔导体的间距,即将设于 IC 芯片正下方区域的通孔导体的间距做成窄间距,从而可以使电源用通孔导体与接地用通孔导体之间间距为窄间距,因此,可以减小互感。其结果,抑制了向 IC 芯片的处理器核心部的电源供给的延迟,难以引起 IC 芯片的误动作。

[0019] 此外,由于对 IC 芯片的误动作有较大影响的是处理器核心部,因此,做成使设于处理器核心部正下方的通孔导体的间距小于设于除处理器核心部之外的通孔导体的间距,对于防止 IC 芯片的误动作是有效的。

## 附图说明

[0020] 图 1 是用于说明本发明的多层印刷线路板中的通孔导体的排列的概略图。

[0021] 图 2(a) ~ (e) 是表示制造本发明实施例 1 的多层印刷线路板的一部分工序的图。

[0022] 图 3(a) ~ (f) 是表示制造本发明实施例 1 的多层印刷线路板的一部分工序的图。

[0023] 图 4(a) ~ (c) 是表示制造本发明实施例 1 的多层印刷线路板的一部分工序的图。

[0024] 图 5 是用于说明通孔导体形成时的冲孔和虚设连接盘的图。

## 具体实施方式

[0025] 以下,参照附图说明本发明的多层印刷线路板的具体实施方式。

[0026] 如图 1 所示,本发明的半导体元件安装用的多层印刷线路板的一实施方式是,多层印刷线路板形成有贯通芯基板的多个通孔导体,并形成有在该芯基板上交替层叠了导体电路和绝缘性树脂层而成的积层布线层,在该积层布线层的表层上具有用于安装 IC 芯片的安装部,其特征在于,位于安装 IC 芯片的区域的正下方的通孔导体的间距小于位于除了安装 IC 芯片区域之外的其它区域、即位于 IC 芯片安装区域外侧的周边区域的通孔导体的间距。

[0027] 如此,使设于 IC 芯片安装区域正下方的通孔导体的间距小于设于除此之外的其它区域的通孔导体的间距,从而使连接于 IC 芯片电源电极的电源用通孔导体与连接于 IC 芯片接地电极的接地用通孔导体之间间距为变窄,因此,互感变小。其结果,抑制了向 IC 芯片的处理器核心部的电源供给的延迟,难以引起 IC 芯片的误动作。此时,优选是,电源用通孔导体和接地用通孔导体配置成格子状或交错状,电源用通孔导体和接地用通孔导体相邻

配置。

[0028] 在本发明的实施方式中,安装于基板上的 IC 芯片主要由处理器核心部分和存储器部分构成,优选是使设于处理器核心部正下方区域的通孔导体的间距(窄间距)小于设于存储器部分等除处理器核心部之外的部分的正下方区域的通孔导体的间距。

[0029] 由于对 IC 芯片的误动作有较大影响的是处理器核心部,因此,若仅使设于处理器核心部正下方的通孔导体的间距为窄间距,也可不延迟地对处理器核心部供给电源,并可抑制误动作。此外,通常安装 IC 芯片的印刷线路板的尺寸是 IC 芯片尺寸的 1.2 ~ 7 倍左右。在这样的印刷线路板中,若使除了处理器核心部以外区域的通孔间距大于处理器核心部正下方的通孔间距,则可在印刷线路板的大致整面范围配置通孔,因此可以提高印刷线路板的强度。因此,印刷线路板的翘起等变小,从而提高了 IC 芯片的安装成品率、IC 芯片安装后的连接可靠性。

[0030] 此外,在本发明的实施方式中,设配设于构成 IC 芯片的处理器核心部正下方的焊盘数量为  $B_c$ ,设配设于处理器核心部正下方区域的通孔导体数量为  $T_c$ ,设所有焊盘数量为  $B_p$ ,设所有的通孔导体数量为  $T_p$  时,则优选是以满足如下关系式所表示的那样来配设焊盘和通孔导体,即

[0031]  $B_c/T_c < B_p - B_c/T_p - T_c$ 。

[0032] 由于使焊盘数量和通孔数量的关系为  $B_c/T_c < B_p - B_c/T_p - T_c$ ,因此,可在将处理器核心部正下方的通孔间距保持为窄间距不变的状态下,减少通孔相对于焊盘的数量。因此,可以减少自贯通电源用导体层的接地用通孔导体(连接于 IC 芯片的接地电极的通孔导体)、电源用导体层中的接地用通孔导体延伸出的导体电路,因此,可以增大电源用导体层的面积或体积。其结果,电源用导体层的电阻变小,所以可不延迟地向 IC 芯片进行电源供给。

[0033] 此外,在本发明的实施方式中,设配设于 IC 芯片的处理器核心部正下方区域的通孔导体的间距为  $P_c$ ,设在安装 IC 芯片的区域正下方的、除了处理器核心部之外的部分的正下方区域所设置的通孔导体的间距为  $P_m$ ,设除了安装 IC 芯片的区域之外的区域所设置的通孔导体的间距为  $P_s$  时,则优选是使通孔导体的配置密度满足如下关系式, $P_c < P_m \leq P_s$ 。即,可以将通孔导体配置成:通孔导体的配置密度是随着自 IC 芯片的处理器核心部正下方区域向除了处理器核心部以外的部分的正下方区域去而逐渐减小。

[0034] 例如,可以是,使配设于处理器核心部正下方区域的通孔导体的间距  $P_c$  是 125 ~ 250  $\mu\text{m}$ ,使在 IC 芯片正下方的、除了处理器核心部之外的部分的正下方区域所设置的通孔导体的间距  $P_m$  是 150 ~ 600  $\mu\text{m}$ ,并使除了 IC 芯片正下方之外的区域所设置的通孔导体的间距  $P_s$  是 200 ~ 600  $\mu\text{m}$ 。

[0035] 这样配置是由于:由于将需要电源的 IC 芯片处理器核心部正下方设为窄间距,因此可顺利地向 IC 芯片供给电源。并且,由于在除此之外的区域是较宽的间距,因此可提高印刷线路板的强度。

[0036] 此外,在本发明的实施方式中,优选是将通孔导体及焊盘配置成:设于构成 IC 芯片的处理器核心部正下方区域的通孔导体的间距  $P_c$  与设于处理器核心部正下方的焊盘的间距  $B_c$  相同。

[0037] 由于可缩短布线长度,因此可进一步抑制向 IC 芯片供给电源的延迟。

[0038] 此外,在本发明的实施方式中,优选是上述芯基板由在芯材上交替层叠导体电路和绝缘性树脂层而成的多层芯基板形成,设在上述多层芯基板内部所设置的导体电路的厚度为  $T$ 、在多层芯基板表面所设置的导体电路的厚度为  $t$  时,使  $T \geq 1.5t$ 。

[0039] 这样设置是由于:在将设于多层芯基板内部的导体电路用作电源用导体层或接地用导体层时,导体电路的厚度较厚,因此电阻较低,电源供给较顺利。

[0040] 在本发明的实施方式中,作为用于芯基板的绝缘性树脂基材,优选使用自玻璃布环氧树脂基材、玻璃布双马来酰亚胺三嗪树脂基材、玻璃布聚苯醚树脂基材、芳族聚酰胺无纺布-环氧树脂基材、芳族聚酰胺无纺布-聚酰亚胺树脂基材中选择的硬质基材,更优选使用玻璃布环氧树脂基材。

[0041] 上述绝缘性树脂基材的厚度优选是  $30 \sim 800 \mu\text{m}$  左右,其原因在于,若厚度小于  $30 \mu\text{m}$ ,则刚性不够,若厚度大于  $800 \mu\text{m}$ ,则布线长度变长,不利于电源供给。

[0042] 如后述那样,优选是在向通孔导体用的贯通孔进行电镀填充之后,通过对贴附于绝缘性树脂基材两面上的金属箔及形成于金属箔上的电镀层进行蚀刻处理,来形成在该绝缘性树脂基材两面所形成的导体电路。

[0043] 形成于上述绝缘性树脂基材两面的导体电路的厚度为  $10 \sim 40 \mu\text{m}$  左右。其原因在于,若导体电路厚度小于  $10 \mu\text{m}$ ,则将该导体电路用作电源用导体层或接地用导体层时,成为高电阻,另一方面,若导体电路厚度大于  $40 \mu\text{m}$ ,则形成于基板上的积层布线层的平坦性变差。

[0044] 由上述绝缘性树脂基材及金属箔构成的基板,尤其可以使用将预浸树脂布和铜箔层叠并加热加压而得到的单面覆铜层叠板,该预浸树脂布是使玻璃纤维布浸渗环氧树脂并制成 B 阶而成的。对于这样的基板,在将铜箔蚀刻后的处理中,不会出现布线图案、导通孔位置的错位,其位置精度优良。

[0045] 在本发明的实施方式中,优选是在通过钻孔加工或激光加工形成了贯通孔后,对这些贯通孔填充金属镀层来形成通孔导体。

[0046] 另外,为了提高激光加工中的照射激光的吸收效率,优选是预先对绝缘性树脂基板上的金属箔实施公知的黑化处理。

[0047] 若要对上述绝缘性树脂基材使用激光来形成通孔形成用贯通孔,有直接激光法和保形法,在本发明中可使用任一方法。上述直接激光法是通过照射激光来同时将金属箔和绝缘性树脂基材穿孔的方法,上述保形法是在通过蚀刻除去了金属箔的相当于贯通孔的金属箔部分后,利用激光照射对绝缘性树脂基材穿孔的方法。

[0048] 优选是通过脉冲振荡型二氧化碳气体激光加工装置来进行上述激光加工,其加工条件例如可以设为将脉冲宽度设为  $3 \sim 15 \mu\text{s}$ 、射击数为  $2 \sim 30$  的范围内。

[0049] 另外,为了除去通过激光照射而形成的贯通孔的侧面所残留的树脂残渣,进行去污处理。通过酸或氧化剂(例如铬酸、高锰酸)的药液处理等湿式处理、氧等离子放电处理、电晕放电处理、紫外线激光处理或受激准分子激光处理等干式处理,来进行该去污处理。

[0050] 从这些去污处理方法中选择哪一方法,是根据绝缘基材的种类、厚度、通孔导体用贯通孔的开口直径、激光照射条件等,并考虑到预想残留的污物量来选择的。

[0051] 在本发明的实施方式中,若要对上述贯通孔进行电镀填充来形成通孔导体,可以是,首先,通过通常的无电解电镀处理在贯通孔内壁形成无电解电镀膜,然后,施加通常的

电解电镀处理,在贯通孔内壁面形成金属镀层,或将贯通孔内完全电镀填充。

[0052] 作为上述无电解电镀或电解电镀,优选是例如铜、锡、银、各种焊锡、铜/锡、铜/银等金属电镀,尤其是无电解镀铜或电解镀铜,较为理想。

[0053] 在通过上述贯通孔内壁面形成金属镀层来形成通孔导体的情况下,将树脂组成物等填充到贯通孔内后,使树脂组成物等干燥,根据需要,对被树脂组成物覆盖的基板表面进行研磨而使其平坦化,从而使导体电路表面及通孔导体的连接盘表面露出,然后进行加热固化处理,使填充用树脂组成物固化而做成树脂填充材料层。

[0054] 在本发明的实施方式中,优选是通过对在形成通孔导体的同时所形成的导体层进行蚀刻处理,来形成在作为芯基板的绝缘性树脂基材两面上形成的导体电路。

[0055] 该导体电路形成工序中,首先,在上述导体层的表面贴附感光性干膜抗蚀剂,然后沿规定的电路图案进行曝光、显影处理,形成抗蚀剂,对未形成抗蚀剂部分的导体层进行蚀刻,从而做成包括电极焊盘在内的导体电路图案。

[0056] 在上述处理工序中,作为蚀刻液,可以使用从硫酸-过氧化氢、过硫酸盐、氯化铜、氯化亚铁的水溶液中选择至少一种水溶液。

[0057] 此外,作为对上述导体层进行蚀刻而形成导体电路的前处理,由于容易形成微细图案,因此,可以预先对导体层的整个表面进行蚀刻,将其厚度减薄至 $1 \sim 10 \mu\text{m}$ ,更优选是减薄至 $2 \sim 8 \mu\text{m}$ 左右。

[0058] 优选是,将这样的印刷线路板作为芯基板,在该芯基板上形成积层布线层而形成多层印刷线路板,该积层布线层是通过通常方法交替形成导体层和树脂绝缘层而成的,将多层印刷线路板的最外侧的导体层的一部分以规定间距形成在凸块连接用焊盘上,并在这些焊盘上形成焊锡凸块。

[0059] 以下,参照实施例,进一步详细说明本发明的多层印刷线路板。

#### [0060] 实施例 1

##### [0061] A. 调制贯通孔填充用树脂组成物

[0062] 通过将双酚 F 型环氧单体(油化シエル社制、分子量:310、YL983U)100 重量份、在表面涂敷硅烷偶联剂的平均粒径为 $1.6 \mu\text{m}$ 、且最大粒子直径为 $15 \mu\text{m}$ 以下的 $\text{SiO}_2$ 球状粒子(アドテック(Adotec)制、CRS 1101-CE)170 重量份以及矫平剂(サンノプコ(Sannopuko)制、ペレノール(Perenoru)S4)1.5 重量份放入容器,并搅拌及混合,从而调制出其粘度是在 $23 \pm 1^\circ\text{C}$ 下为 $44 \sim 49\text{Pa}\cdot\text{s}$ 的树脂填充材料。另外,作为固化剂,使用 6.5 重量份咪唑固化剂(四国化成公司制、2E4MZ-CN)。作用用于填充贯通孔的树脂,也可以使用其它的环氧树脂(例如双酚 F 型、酚醛树脂型等树脂)、聚酰亚胺树脂、酚醛树脂等热固化性树脂。上述贯通孔用于形成通孔导体。

##### [0063] B. 制造多层印刷线路板

##### [0064] 制作多层印刷线路板

[0065] (1) 作为初始材料,使用在厚度为 $0.6\text{mm}$ 的由玻璃环氧树脂或 BT(双马来酰亚胺三嗪树脂)树脂构成的绝缘性基板 14 的两面上层压了 $10 \sim 250 \mu\text{m}$ 铜箔 16 而成的双面覆铜层叠板 10(图 2(a))。在该实施例 1 中,使用了 $30 \mu\text{m}$ 的铜箔。

[0066] (2) 接着,利用减去法对基板 10 正面侧的铜箔 16 进行蚀刻处理,在冲孔 22 内形成不具有虚设连接盘的下层导体电路 16E,并对基板 10 反面侧的铜箔 16 进行蚀刻处理,在冲

孔 22 内形成不具有虚设连接盘的下层导体电路 16P(参照图 2(b))。另外,上述冲孔(开口)22 是对应于形成有通孔导体的位置而形成的。

[0067] 通常,虚设连接盘形成为具有比通孔导体直径大  $150 \sim 250 \mu\text{m}$  左右的口径,因此,做成不具有虚设连接盘的导体电路,从而与具有虚设连接盘的通常构造相比,可以使通孔导体之间的间隔以及电源用通孔导体与接地用导体层之间的间隔、接地用通孔导体与电源用导体层之间的间隔变窄。在此,如图 5 所示,虚设连接盘 DL 是指在多层芯基板内层,自通孔导体延伸出的、配设于冲孔 22 内的通孔周围的导体电路。

[0068] 如此不设置虚设连接盘 DL,从而可减少互感、或减少导体电阻。而且,还可以增加构成电源层、接地层的导体层的体积。

[0069] (3) 其后,对该基板进行黑化处理以及还原处理,在下层接地用导体层 16E、下层电源用导体层 16P 的表面上形成粗糙面。上述黑化处理使用包含  $\text{NaOH}(10\text{g}/1)$ 、 $\text{NaClO}_2(40\text{g}/1)$ 、 $\text{Na}_3\text{PO}_4(6\text{g}/1)$  的水溶液作为黑化溶液(氧化溶液),上述还原处理使用包含  $\text{NaOH}(10\text{g}/1)$ 、 $\text{NaBH}_4(6\text{g}/1)$  的水溶液作为还原溶液。

[0070] 另外,也可以在表层导体层上形成信号用导体电路。

[0071] (4) 按  $200 \mu\text{m}$  厚的预浸树脂布 18 和  $18 \mu\text{m}$  厚的铜箔 20 这样的顺序将它们层叠于上述基板的两面上,然后进行加热加压,做成 4 层的多层芯基板 30(参照图 2(c)、(d))。

[0072] (5) 对该多层芯基板 30 用钻孔机进行钻孔,穿孔设置通孔导体形成用贯通孔 22(参照图 2(e))。

[0073] 在此,设于所安装的 IC 芯片的处理器核心部正下方区域的贯通孔 35,是使用直径  $100 \mu\text{m}$  的钻孔机、形成为这些贯通孔 35 之间的间距与 IC 芯片的电极间距(焊盘间距)相等,为  $125 \mu\text{m}$ 。

[0074] 此外,在 IC 芯片正下方、除了处理器核心部以外部分的正下方区域所设置的贯通孔 35,是使用直径  $100 \mu\text{m}$  的钻孔机、形成为这些贯通孔 35 之间的间距为  $150 \sim 400 \mu\text{m}$ 。

[0075] 此外,设于除了 IC 芯片正下方以外的区域的贯通孔 35,是使用直径  $250 \mu\text{m}$  的钻孔机、形成为这些贯通孔 35 之间的间距为  $300 \sim 600 \mu\text{m}$ 。另外,在除了 IC 芯片正下方以外的区域的整个印刷线路板上形成贯通孔 35。

[0076] 另外,可以以设于 IC 芯片的除了处理器核心部正下方以外的通孔导体的个数相对于位于除了处理器核心部正下方以外的焊盘的个数为  $10 \sim 50\%$  的比例形成上述通孔导体,在本实施例中通孔导体个数与焊盘个数的比例为  $30\%$ 。

[0077] (6) 接着,对在上述 (5) 中穿孔设置了贯通孔 35 的多层芯基板 30 实施无电解镀铜、电解镀铜,形成贯通多层芯基板的口径分别为  $100 \mu\text{m}$ 、 $100 \mu\text{m}$ 、 $250 \mu\text{m}$  的通孔导体 36(参照图 3(a)),上述贯通孔 35 用于形成通孔导体。

[0078] 另外,这些通孔导体 36 由信号用通孔导体(省略图示)、电源用通孔导体 36P1( $100 \mu\text{m}$ ) 以及接地用通孔导体 36E1( $100 \mu\text{m}$ )、电源用通孔导体 36P2( $100 \mu\text{m}$ ) 以及接地用通孔导体 36E2( $100 \mu\text{m}$ )、电源用通孔导体 36P3( $250 \mu\text{m}$ ) 以及接地用通孔导体 36E3( $250 \mu\text{m}$ ) 构成。

[0079] 在此,优选是将电源用通孔导体和接地用通孔导体相邻配置成格子状或交错状。也可以仅将处理器核心正下方的电源用通孔导体和接地用通孔导体相邻配置成格子状或交错状。另外,附图标记 36P1、36E1 所示的部件是设于处理器核心部正下方区域的通孔导



体。

[0080] (7) 对上述 (6) 中形成了通孔导体 36 的多层芯基板 30 进行黑化处理以及还原处理,在通孔导体 36 的内壁上形成粗糙面(省略图示)。上述黑化处理使用包含 NaOH(10g/l)、NaClO<sub>2</sub>(40g/l)、Na<sub>3</sub>PO<sub>4</sub>(6g/l) 的水溶液作为黑化溶液(氧化溶液),上述还原处理使用包含 NaOH(10g/l)、NaBH<sub>4</sub>(6g/l) 的水溶液作为还原溶液。

[0081] (8) 接着,使用刮板将在上述 A. 做成的贯通孔填充用树脂组成物 40 填充到各通孔导体 36 内后,在 100℃、20 分钟的条件下进行干燥。

[0082] 对该基板 30 的表面进行研磨而使其平坦化,在 100℃加热 1 小时、在 150℃加热 1 小时,从而使贯通孔填充用树脂组成物 40 固化而形成了树脂填充材料层。其后,对基板表面(也包括贯通孔填充用树脂表面)施加无电解电镀和电解电镀,在多层芯基板的正面及反面形成了导体层 46、46(参照图 3(b))。

[0083] 在该实施方式中,形成于多层芯基板的正面及反面的导体层厚度(铜厚度)为 7.5 ~ 70 μm。如此,优选是形成于多层芯基板 30 的正面及反面的导体层 46 的厚度(铜厚度)小于设于多层芯基板 30 内部的导体层 16 的厚度(铜厚度)。在本实施方式中,形成于多层芯基板的正面及反面的导体层厚度(铜厚度)为 20 μm。

[0084] 由此,设于多层芯基板 30 外侧的导体层 46 可形成比设于多层芯基板内部的导体层 16 细微的电路,因此,可以减小通孔连接盘的直径、以及减少导体电路之间的间隙、减小通孔连接盘与导体电路之间的间隙。因此,设于多层芯基板 30 的正面及反面侧的通孔连接盘和导体电路不会妨碍减小通孔导体的间距。

[0085] (9) 然后,利用公知的减去法,对多层芯基板的正面及反面的导体层进行图案形成,在正面形成了电源用导体层 46P,在反面形成了接地用导体层 46E(参照图 3(c))。

[0086] (10) 将上述基板水洗、酸性脱脂后,进行软蚀刻,接着,用喷雾器将蚀刻液喷到基板两面,对覆盖信号用导体电路(省略图示)、电源用导体电路 46P 以及接地用导体电路 46E 的表面、和各通孔导体 36 连接盘表面的导体层进行蚀刻,从而在导体电路表面形成了粗糙面(省略图示)。

[0087] 作为蚀刻液,使用由 10 重量份咪唑铜(II)络合物、7.3 重量份乙醇酸、5 重量份氯化钾构成的蚀刻液(メツク社制,メツクエツチボンド)。

[0088] 在覆盖导体电路和通孔导体连接盘表面的导体层(盖镀层)36L 的表面形成粗糙层时,该导体与层间树脂绝缘层的密接性优良,因此,可抑制以覆盖导体电路和通孔导体连接盘的导体的侧面与树脂绝缘层之间的交界面为起点产生裂纹。另外,改善了覆盖通孔导体连接盘的导体层与被电连接的导通孔的密接性。

[0089] (11) 将比基板稍大一些的层间树脂绝缘层用树脂膜(味之素社制的 ABF 系列)载置在基板的两面上,并在以压力 0.45MPa、温度 80℃、压接时间 10 秒的条件进行临时压接并将其裁断之后,再使用真空层压装置通过以下方法进行粘贴。

[0090] 即,以真空度 67Pa、压力 0.47MPa、温度 85℃、压接时间 60 秒的条件将层间树脂绝缘层用树脂膜正式压接到基板上,之后在 170℃的条件下使其热固化 40 分钟(参照图 3(d))。

[0091] (12) 接着,通过形成有厚度 1.2mm 的贯通孔的掩模,用波长为 10.4 μm 的 CO<sub>2</sub> 气体激光在光束直径为 4.0mm、凹帽头模式、脉冲宽度为 8.1 μ 秒、掩模的贯通孔直径为 1.0mm、

1~3次射击的条件下,在层间树脂绝缘层上形成了直径为60~100 $\mu\text{m}$ 之间的导通孔用开口50a,使层间绝缘层用树脂膜固化而做成层间绝缘层50(参照图3(e))。

[0092] 在该实施例中,形成直径为60 $\mu\text{m}$ 、75 $\mu\text{m}$ 的开口50a。

[0093] (13) 将形成了导通孔用开口50a的基板浸渍在含有60g/l的高锰酸的80 $^{\circ}\text{C}$ 溶液中10分钟,除去存在于层间绝缘层50表面上的粒子,从而在包括导通孔用开口50a内壁在内的层间绝缘层50的表面上形成了粗糙面(省略图示)。

[0094] (14) 接着,将完成了上述处理的基板浸渍在中和溶液(シプレイ(Shipley Company)社制)中之后,对其进行水洗。

[0095] 然后,通过在进行了表面粗糙化处理(粗糙化深度3 $\mu\text{m}$ )的该基板表面上施加钯催化剂,使催化剂核附着在层间绝缘层表面及填充通孔用开口的内壁面上。即,通过将上述基板浸渍在含有氯化钯( $\text{PdCl}_2$ )和氯化亚锡( $\text{SnCl}_2$ )的催化剂溶液中,析出钯金属来施加催化剂。

[0096] (15) 接着,将施加了催化剂的基板浸渍在以下组成的无电解镀铜水溶液中,在整个粗糙面上形成了厚度为0.3~3.0 $\mu\text{m}$ 的无电解镀铜膜,从而得到了在包括导通孔用开口50a内壁在内的层间绝缘层50的表面上形成了无电解镀铜膜的基板。

[0097] (无电解镀铜液)

[0098] EDTA :0.200mol/L

[0099] 硫酸铜 :0.032mol/L

[0100] HCHO :0.1g/L

[0101] NaOH :0.100mol/L

[0102]  $\alpha$ 、 $\alpha'$ -联吡啶 :100mg/L

[0103] 聚乙二醇(PEG) :0.10g/L

[0104] (无电解电镀条件)

[0105] 液温 :34 $^{\circ}\text{C}$

[0106] 时间 :45分钟

[0107] (16) 在形成有无电解镀铜膜的基板上粘贴市场上销售的感光性干膜,并在其上载置掩模,以110 $\text{mJ}/\text{cm}^2$ 进行曝光、以0.8%碳酸钠水溶液进行显影处理,从而形成了厚度为25 $\mu\text{m}$ 的阻镀层(省略图示)。

[0108] (17) 接着,在用50 $^{\circ}\text{C}$ 的水将基板清洗干净、对其进行脱脂,并用25 $^{\circ}\text{C}$ 的水对其进行水洗之后,再用硫酸对其进行清洗,然后在以下条件下实施电解电镀,从而在未形成阻镀层部分形成了电解镀铜膜。

[0109] (电解镀铜液)

[0110] 硫酸 200g/l

[0111] 硫酸铜 80g/l

[0112] 添加剂 19.5ml/l

[0113] (アトテックジヤパン(Atotech japan)制,カバラシドGL)

[0114] (电解电镀条件)

[0115] 电流密度 1A/ $\text{dm}^2$

[0116] 时间 70分钟

[0117] 温度  $22 \pm 2^\circ\text{C}$

[0118] (18) 在用 5% KOH 剥离并除去了上述阻镀层之后,用硫酸与过氧化氢的混合液对该阻镀层下面的无电解电镀膜进行蚀刻处理而将其溶解除去,做成了上层导体电路 58 及导通孔 60(图 3(f))。该上层导体电路 58 的厚度为  $15 \mu\text{m}$ ,但优选是在  $5 \sim 25 \mu\text{m}$  的范围内。

[0119] (19) 接着,进行与上述工序(11)~(18)相同的处理,进一步形成上层层间树脂绝缘层 70、上层导体电路 72 以及导通孔 74(图 4(a))。

[0120] (20) 调整阻焊剂组成物

[0121] 接着,通过在二乙二醇二甲醚(DMDG)溶解成为 60 重量%的浓度并且将对甲酚醛清漆型环氧树脂(日本化药公司制)的环氧基 50%进行丙烯基化的赋予感光性的低聚物(分子量:4000)45.67 重量份、溶解于甲基乙基酮的 80 重量%的双酚 A 型环氧树脂(油化シエル制、商品名称:Epikote(エピコード)1001)16.0 重量份、咪唑固化剂(四国化成公司制、商品名称:2E4MZ-CN)1.6 重量份、作为感光性单体的双官能团丙烯单体(acryl monomer)(日本化药公司制、商品名称:R604)4.5 重量份、同样多价丙烯基单体(共荣化学公司制、商品名称:DPE6A)1.5 重量份、以及分散系消泡剂(Sannopuko(サンノプコ)公司制、S-65)0.71 重量份放置在容器进行搅拌及混合,调制其混合组成物,对该混合组成物加入作为光聚合引发剂的二苯甲酮(benzophenone)(关东化学公司制)1.8 重量份、作为光敏剂的米蚩酮(关东化学公司制)0.2 重量份,从而得到在  $25^\circ\text{C}$  下的粘度调整成为  $2.0 \text{Pa} \cdot \text{s}$  的阻焊剂组成物。

[0122] 此外,粘度测定是在 B 型粘度计(东京计器公司制、DVL-B 型),在  $60 \text{min}^{-1}$  时由辊 No. 4 来进行,在  $6 \text{min}^{-1}$  时由辊 No. 3 来进行的。

[0123] (21) 接着,在多层电路基板的两面上,以  $20 \mu\text{m}$  的厚度涂敷上述阻焊剂组成物,在以  $70^\circ\text{C}$ 、20 分钟的条件以及  $70^\circ\text{C}$ 、30 分钟的条件下进行干燥处理后,将描绘有阻焊剂开口部图案的厚度为 5mm 的光掩模紧密接合于阻焊剂层,用  $1000 \text{mJ}/\text{cm}^2$  的紫外线进行曝光,用 DMTG 溶液进行显影处理,形成  $200 \mu\text{m}$  直径的开口。

[0124] 接着,还分别在  $80^\circ\text{C}$  下进行 1 小时的加热处理、在  $100^\circ\text{C}$  下进行 1 小时的加热处理、在  $120^\circ\text{C}$  下进行 1 小时的加热处理、在  $150^\circ\text{C}$  下进行 3 小时的加热处理,使阻焊剂层固化,形成具有开口并且其厚度为  $15 \sim 25 \mu\text{m}$  的阻焊剂图案层 76。作为上述阻焊剂组成物也可以使用市面贩卖的阻焊剂组成物。

[0125] (22) 接着,将形成有阻焊剂层 76 的基板浸渍在含有氯化镍( $2.3 \times 10^{-1} \text{mol}/\text{l}$ )、次磷酸钠( $2.8 \times 10^{-1} \text{mol}/\text{l}$ )和柠檬酸钠( $1.6 \times 10^{-1} \text{mol}/\text{l}$ )的  $\text{pH} = 4.5$  的无电解镀镍液中 20 分钟,在开口部形成了厚度  $5 \mu\text{m}$  的镀镍层。此外,将该基板在  $80^\circ\text{C}$  的条件下浸渍于含有氰化金钾( $7.6 \times 10^{-3} \text{mol}/\text{l}$ )、氯化铵( $1.9 \times 10^{-1} \text{mol}/\text{l}$ )、柠檬酸钠( $1.2 \times 10^{-1} \text{mol}/\text{l}$ )和次磷酸钠( $1.7 \times 10^{-1} \text{mol}/\text{l}$ )的无电解镀金液中 7.5 分钟,在镀镍层上形成了厚度  $0.03 \mu\text{m}$  镀金层。除了镍-金属以外,也可以形成锡、贵金属层(金、银、钯、铂等)的单层。

[0126] (23) 然后,在载置基板的 IC 芯片的面上的阻焊剂层 76 的开口部印刷含有锡-铅的焊锡膏,并在另一面的阻焊剂层 76 的开口印刷含有锡-铋的焊锡膏,然后,在  $200^\circ\text{C}$  进行回流焊而形成焊锡凸块(焊锡体),制造具有焊锡凸块 78U、78D 的多层印刷线路板(图 4(b))。

[0127] 并且,在该多层印刷电路板上通过焊锡凸块 78U 连接有形成于印刷电路板上的 IC 芯片安装用的焊盘和 IC 芯片 80 的电极,并通过焊锡凸块 78D 安装于子插件 82 上(图 4(c))。

[0128] 如上所述,在本实施例中,位于 IC 芯片 80 的处理器核心部 80a 正下方的通孔导体的间距小于位于其它区域的通孔导体的间距,因此,对于向处理器核心部 80a 供给电源,减小了电感。此外,位于除了处理器核心部 80a 以外部分 80b 的通孔导体没有形成在与焊盘 1 : 1 对应的位置,因此,可以增大电源层的面积,可以减小电源层的电阻。

#### [0129] 实施例 2

[0130] 在实施例 1 的工序 (5) 中,改变了形成通孔导体的间距。在处理器核心部 80a 正下方,不是在所有焊盘正下方形成通孔导体(在处理器核心部正下方的相对于焊盘数量为 50 ~ 100% 的范围内可形成通孔导体),而是每隔一个焊盘地形成通孔导体,因此,间距为 250  $\mu\text{m}$ 。在除了处理器核心部 80a 正下方以外的区域,以 300 ~ 600  $\mu\text{m}$  的间距形成相对于除处理器核心部 80a 正下方以外的焊盘数量为 10% 的通孔导体。除此之外,与实施例 1 同样地制作出多层印刷电路板。

#### [0131] 实施例 3

[0132] 在实施例 1 的工序 (5) 中,改变了形成通孔导体的贯通孔数量。在处理器核心部 80a 正下方,与实施例 1 相同。在除了处理器核心部正下方以外的区域,形成相对于除处理器核心部 80a 正下方以外的焊盘数量为 50% 的通孔导体。在 IC 芯片 80 的正下方,在除了处理器核心部 80a 以外的部分 80b 的正下方,以 150 ~ 400  $\mu\text{m}$  的间距形成通孔导体,在除了 IC 芯片 80 正下方以外的部分,以 300 ~ 600  $\mu\text{m}$  的间距形成通孔导体。除此之外,与实施例 1 同样地制作出多层印刷电路板。

#### [0133] 实施例 4

[0134] 在实施例 1 的工序 (1) 中,铜箔 16 使用 60  $\mu\text{m}$  的铜箔,除此之外,与实施例 1 同样地制作出多层印刷电路板。

#### [0135] 实施例 5

[0136] 在实施例 1 的工序 (1) 中,铜箔 16 使用 150  $\mu\text{m}$  的铜箔,除此之外,与实施例 1 同样地制作出多层印刷电路板。

#### [0137] 实施例 6

[0138] 在实施例 1 的工序 (1) 中,改变了除处理器核心部 80a 正下方以外的通孔导体的数量,除此之外,与实施例 1 同样地制作出多层印刷电路板。在该实施例中,如实施例 2 所示,形成为在除处理器核心部 80a 正下方以外的通孔导体的数量相对于除处理器核心部 80a 正下方以外的焊盘数量为 10%。

#### [0139] 实施例 7

[0140] 将在除处理器核心部正下方以外的区域所设置的通孔导体数量从 10% 改变为 30%,除此之外,与实施例 2 同样地制作出多层印刷电路板。

#### [0141] 实施例 8

[0142] 在实施例 1 的工序 (1) 中,铜箔 16 使用 20  $\mu\text{m}$  的铜箔,除此之外,与实施例 1 同样地制作出多层印刷电路板。

#### [0143] 实施例 9

[0144] 在实施例 1 的工序 (1) 中,铜箔 16 使用 300  $\mu\text{m}$  的铜箔,除此之外,与实施例 1 同样地制作出多层印刷电路板。

[0145] 参考例 1

[0146] 在实施例 1 的工序 (5) 中,改变了形成通孔导体的钻孔机和间距。对所有通孔导体使用直径 0.1mm 的钻孔机,在所有焊盘正下方以 125  $\mu\text{m}$  间距形成通孔导体,除此之外,与实施例 1 同样地制作出多层印刷电路板。

[0147] 参考例 2

[0148] 在参考例 1 中,改变了形成通孔导体间距。在处理器核心部正下方,不是在所有焊盘正下方形成通孔导体,而是每隔一个焊盘地形成通孔导体,因此,以 250  $\mu\text{m}$  间距形成了通孔导体。在 IC 芯片正下方,在除了处理器核心部以外的部分的正下方,在所有焊盘正下方形成了间距为 250  $\mu\text{m}$  的通孔导体。

[0149] 评价试验 1

[0150] 在实施例 1 ~ 9 以及参考例 1 ~ 2 中制作的各印刷电路板,安装具有表 1 所示的驱动频率及 FSB(前端总线)的三种 IC 芯片(以下称为“IC 芯片 No. 1 ~ No. 3”)中任一 IC 芯片,反复进行同时开关,例如使用脉冲型码发生器 / 错误检波器 (pulse pattern generator/error detector) (advantest 社制,商品名 :D3186/3286) 确认有无误动作。将该结果示于表 2。将未观察到误动作的情况评价为“○”,将观察到误动作的情况评价为“×”。

[0151] 表 1

[0152]

IC 芯片编号	驱动频率	FSB
No. 1	1.3GHz	400MHz
No. 2	3.0GHz	800MHz
No. 3	3.73GHz	1066MHz

[0153] 表 2

[0154]

	芯导体厚度 (μm)		TH导体数/焊盘数(%)		TH导体间距(μm)			安装IC芯片No.		
	表层	内层	处理器核心正下方的区域	除了处理器核心正下方以外的区域	处理器核心正下方	在IC正下方除了处理器核心正下方以外的区域	IC正下方以外的区域	No. 1	No. 2	No. 3
实施例 1	20	30	100	30	125	150-400	300-600	○	○	○
实施例 2	20	30	50	10	250	300-600	300-600	○	○	×
实施例 3	20	30	100	50	125	150-400	300-600	○	○	○
实施例 4	20	60	100	30	125	150-400	300-600	○	○	○
实施例 5	20	150	100	30	125	150-400	300-600	○	○	○
实施例 6	20	30	100	10	125	150-400	300-600	○	○	○
实施例 7	20	30	50	30	250	300-600	350-600	○	○	×
实施例 8	20	20	100	30	125	150-400	300-600	○	○	×
实施例 9	20	300	100	30	125	150-400	300-600	○	○	×
参考例 1	20	30	100	100	125	125	-	○	×	×
参考例 2	20	30	50	100	250	125	-	○	×	×

[0155] 评价试验 2

[0156] 在实施例 1 ~ 7 中制作的各印刷线路板, 安装表 1 所示的 No. 3IC 芯片, 反复进行同时开关, 测定 IC 芯片的晶体管的电压下降量。另外, 由于难以直接测定 IC 芯片的晶体管的电压, 因此在印刷线路板上形成可测定的电路来进行测定。

[0157] 从该结果可知, 在驱动频率进一步变快时, 模拟在各实施例中, 电压下降量 (%) (电压下降量 / 驱动电压 × 100) 会成为如何。将该结果示于表 2。电压下降量越大, 则越容易产生问题, 若电压下降量 (%) 超过 10%, 则可能发生误动作。

[0158] 从表 3 的结果可知, 处理器核心部正下方的通孔导体为窄间距, 在除此之外的区域的通孔导体的间距大于处理器核心部正下方的通孔导体的间距, 在这样的印刷线路板中, 电压下降量较小。另外, 多层芯基板内层的导体厚度为 60 ~ 150 μm 时 (实施例 4、5), 电压下降量较小。

[0159] 表 3

[0160]

实施例	1	2	3	4	5	6	7
No. 3	1.8	2.8	1.8	0.7	0.7	1.8	2.7
5GHz	2	3	2	1	1	2	3
10GHz	4	6	4	2	2	4	6
15GHz	6	8	6	3	3	6	9
20GHz	8	13	9	5	5	8	12

[0161] 产业上的可利用性

[0162] 如上所述,本发明适于应用于所安装的 IC 芯片难以发生误动作的半导体元件安装基板。

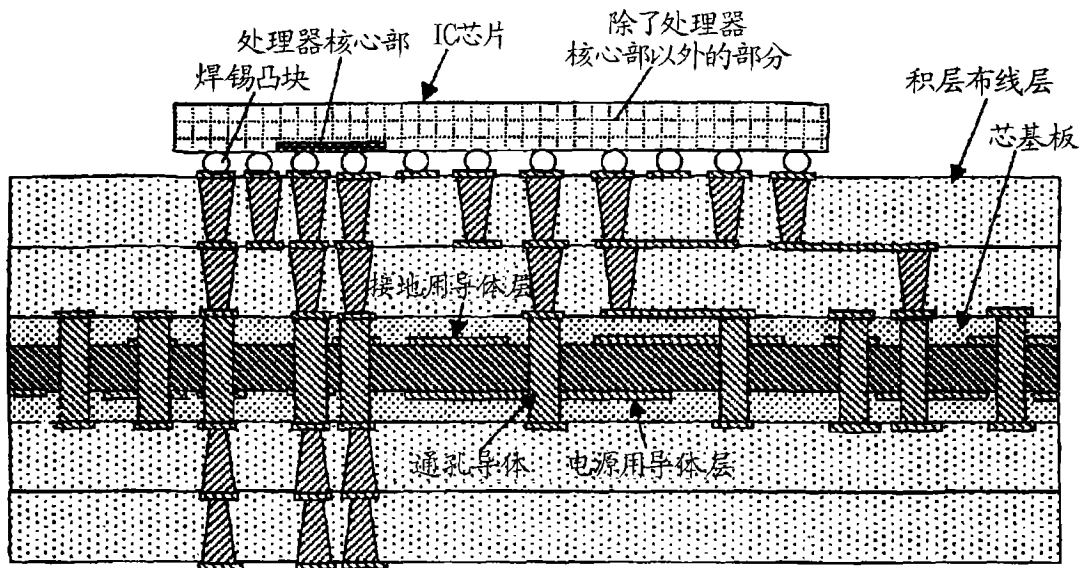


图 1

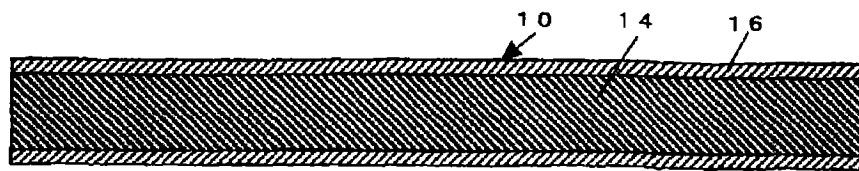


图 2(a)

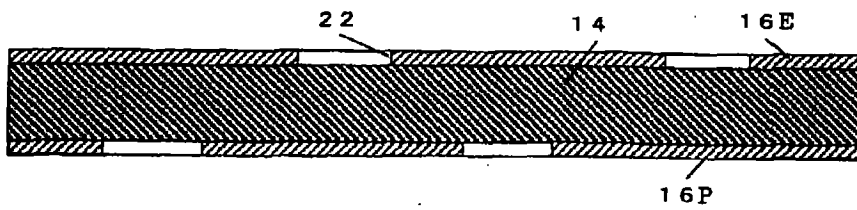


图 2(b)

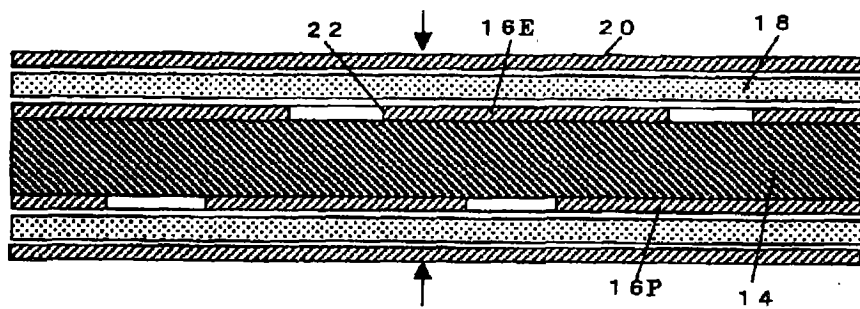


图 2(c)



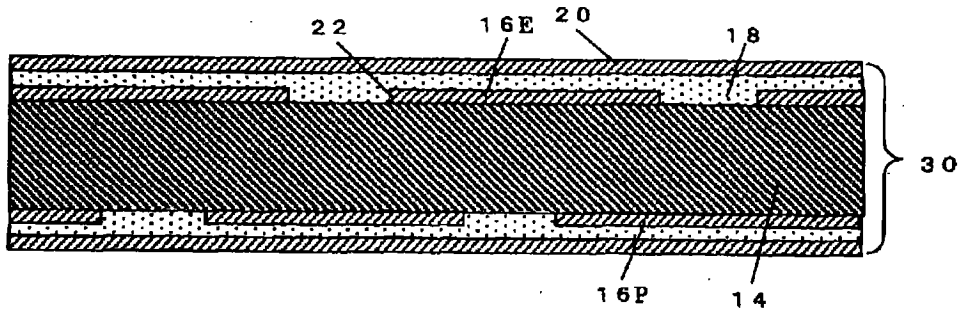


图 2(d)

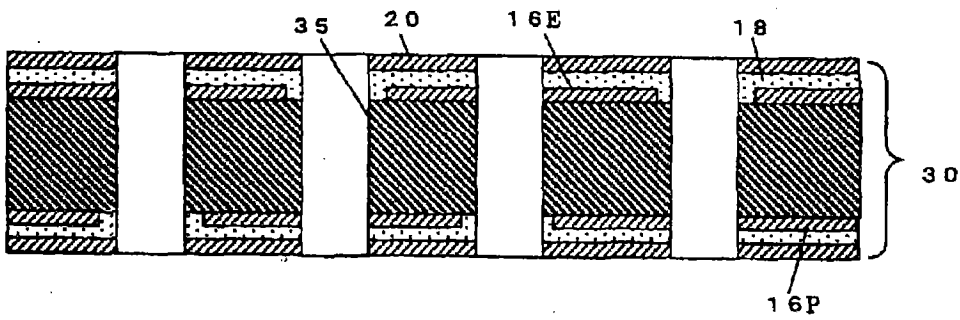


图 2(e)

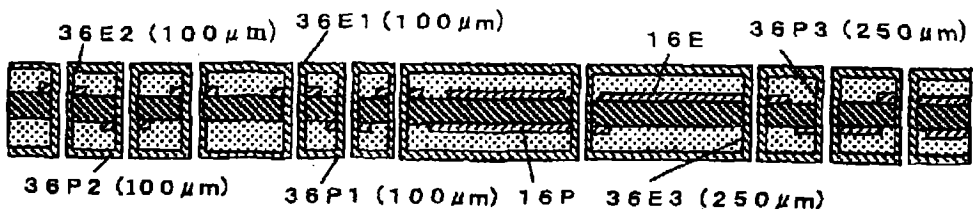


图 3(a)

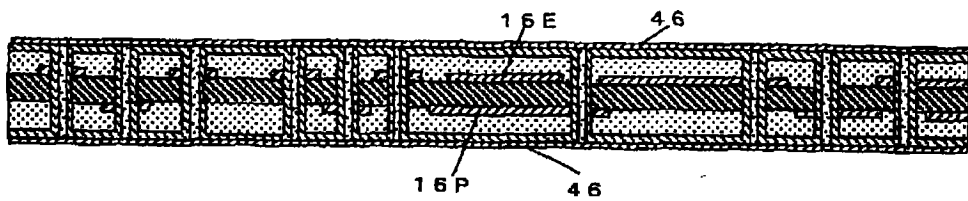


图 3(b)

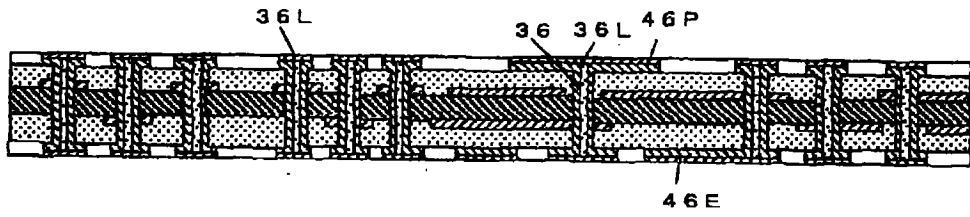


图 3(c)

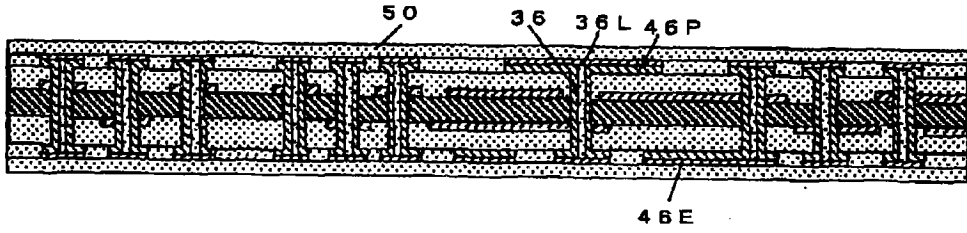


图 3(d)

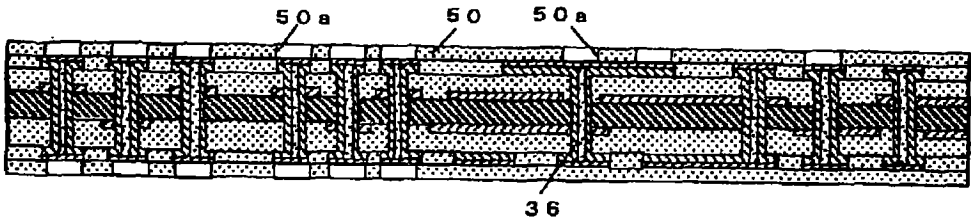


图 3(e)

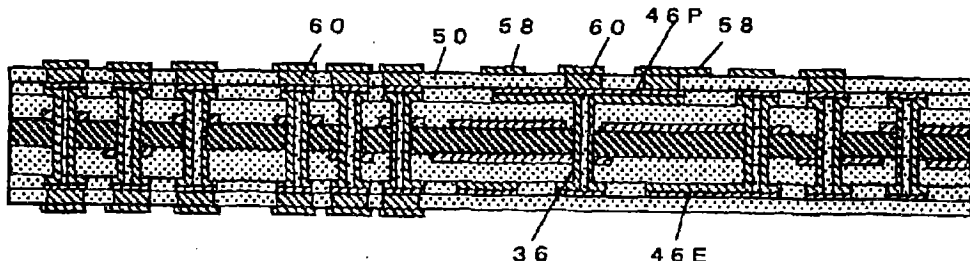


图 3(f)

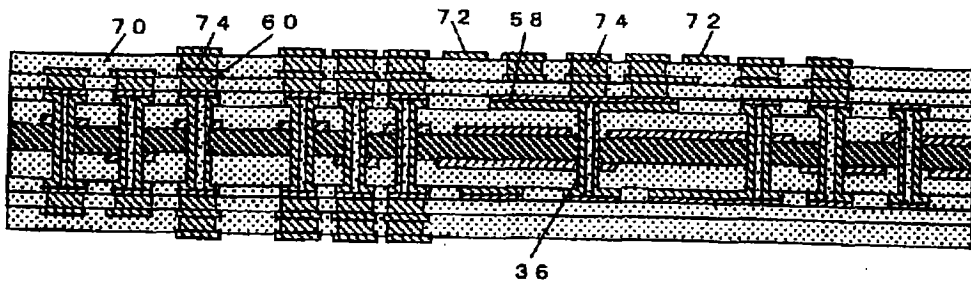


图 4(a)

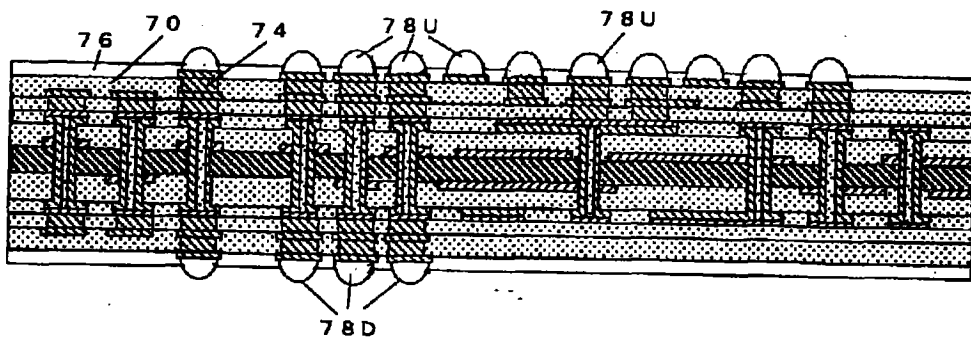


图 4(b)

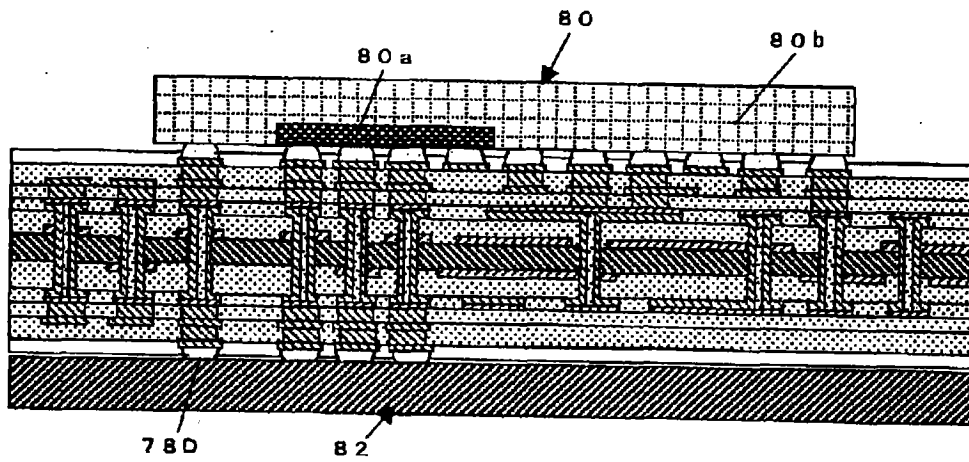


图 4(c)

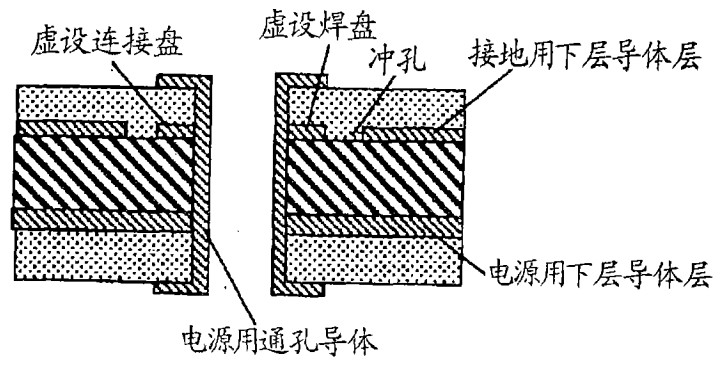


图 5