

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年5月11日(11.05.2023)



(10) 国際公開番号
WO 2023/079863 A1

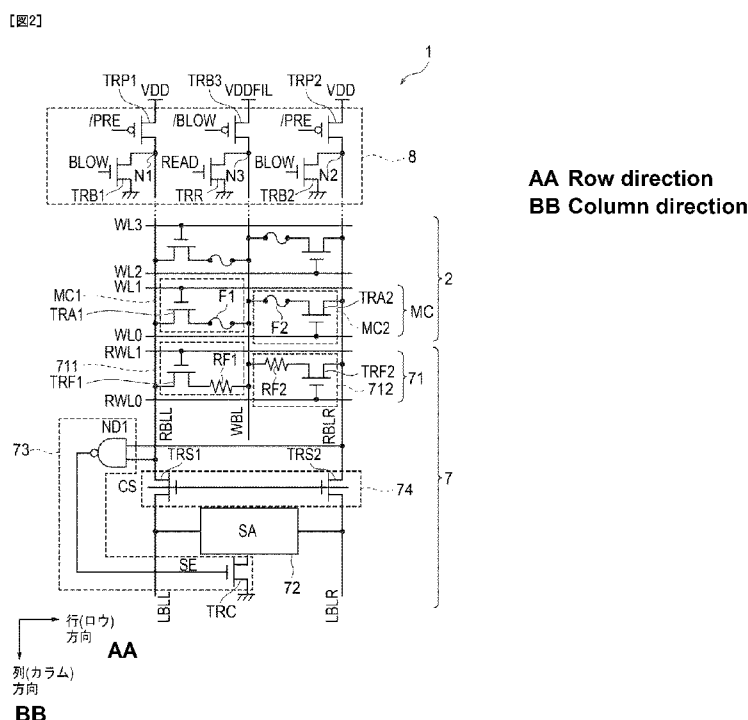
- (51) 国際特許分類:
G1C 7/14 (2006.01) G1C 17/18 (2006.01)
G1C 17/16 (2006.01)
- (21) 国際出願番号: PCT/JP2022/036022
- (22) 国際出願日: 2022年9月27日(27.09.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-179703 2021年11月2日(02.11.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 成竹 功夫(NARITAKE Isao); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 石川 展之(ISHIKAWA Nobuyuki); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 木下 善彦(KINOSHITA Yoshihiko); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 本村 哲夫(MOTOMURA Tetsuo); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: [Problem] To more suitably perform a read-out operation. [Solution] This semiconductor memory device comprises: one or more first memory cells connected in parallel between a first voltage supply line that supplies a first voltage, and a second voltage supply line that supplies a second voltage different than the first voltage; and one or more second memory cells connected in parallel between the second voltage supply line and a third voltage supply line that supplies the first voltage. Each of the first memory cells has a first memory element having a resistance value corresponding



WO 2023/079863 A1

Kanagawa (JP). 池田 一文(**IKEDA Kazufumi**); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 尾白 吏(**OJIRO Tsukasa**); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 島田 智子(**SHIMADA Tomoko**); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 永松 健一(**NAGAMATSU Kenichi**); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 渡邊 浩二(**WATANABE Koji**); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 宮 嶋 学 (**MIYAJIMA Manabu**); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲及び説明書 (条約第19条(1))

to a first state or a second state, and a first cell transistor connected between the first memory element and the first voltage supply line. Each of the second memory cells includes: a second memory element having a resistance value corresponding to a first state or a second state; and a second cell transistor connected between the second memory element and the third voltage supply line.

(57) 要約：〔課題〕読み出し動作をより適切に行う。〔解決手段〕半導体記憶装置は、第1電圧を供給する第1電圧供給線と、前記第1電圧とは異なる第2電圧を供給する第2電圧供給線と、の間に並列に接続される1つ以上の第1メモリセルと、前記第2電圧供給線と、前記第1電圧を供給する第3電圧供給線と、の間に並列に接続される1つ以上の第2メモリセルと、を備え、前記第1メモリセルのそれぞれは、第1状態又は第2状態に応じた抵抗値を有する第1記憶素子と、前記第1記憶素子と前記第1電圧供給線との間に接続される第1セルトランジスタと、を有し、前記第2メモリセルのそれぞれは、第1状態又は第2状態に応じた抵抗値を有する第2記憶素子と、前記第2記憶素子と前記第3電圧供給線との間に接続される第2セルトランジスタと、を有する。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示による実施形態は、半導体記憶装置に関する。

背景技術

[0002] 流れる電流に応じて抵抗値が変化する代表的な記憶素子としては、抵抗変化型メモリ素子とフューズ素子とが知られている。抵抗変化型メモリ素子は、導電性イオンの絶縁膜への入出力、磁性膜の磁化の向きに応じた導電率の変化、あるいは、結晶構造の相変化等を利用したメモリデバイスであり、可逆的に抵抗値を変化させることができる。

[0003] これに対しフューズ素子は、レーザー光で焼き切るタイプのほかに、例えばポリシリコンからなるフューズを電氣的に熔断することで、その抵抗値を制御するものが知られている（例えば、非特許文献1参照）。フューズ素子のその他の例としては、MOSトランジスタのゲート酸化膜を電氣的に絶縁破壊するか否かでデータ記憶を行うものも知られている。これらの電氣的に制御可能なフューズ素子は、特に電気フューズ（e F U S E）と呼ばれる。

先行技術文献

非特許文献

[0004] 非特許文献1：Greg Uhlmann et al., “A Commercial Field-Programmable Dense eFUSE Array Memory with 99.999% Sense Yield for 45nm SOI CMOS”, Dig. ISSCC pp.406-407, Feb. 2008.

発明の概要

発明が解決しようとする課題

[0005] しかしながら、電気フューズでは、例えば、書き込みビット数によって、読み出し動作を適切に行うことが困難になる可能性があった。

[0006] そこで、本開示では、読み出し動作をより適切に行うことができる半導体記憶装置を提供するものである。

課題を解決するための手段

- [0007] 上記の課題を解決するために、本開示によれば、
第1電圧を供給する第1電圧供給線と、前記第1電圧とは異なる第2電圧を供給する第2電圧供給線と、の間に並列に接続される1つ以上の第1メモリセルと、
前記第2電圧供給線と、前記第1電圧を供給する第3電圧供給線と、の間に並列に接続される1つ以上の第2メモリセルと、
を備え、
前記第1メモリセルのそれぞれは、
第1状態又は第2状態に応じた抵抗値を有する第1記憶素子と、
前記第1記憶素子と前記第1電圧供給線との間に接続される第1セルトランジスタと、を有し、
前記第2メモリセルのそれぞれは、
第1状態又は第2状態に応じた抵抗値を有する第2記憶素子と、
前記第2記憶素子と前記第3電圧供給線との間に接続される第2セルトランジスタと、を有する、半導体記憶装置が提供される。
- [0008] 前記第1メモリセルの数、及び、前記第2メモリセルの数は、同じであってもよい。
- [0009] 前記第1メモリセル及び前記第2メモリセルは、前記第2電圧供給線を挟んで、略対称に配置されてもよい。
- [0010] 前記第1メモリセル又は前記第2メモリセルの読み出し動作において、前記第1電圧供給線及び前記第3電圧供給線に前記第1電圧を供給させるとともに、前記第2電圧供給線に前記第2電圧を供給させ、前記第1電圧の供給を停止させる電圧供給部と、
前記第1電圧の供給停止中に、読み出し対象である前記第1メモリセルが有する前記第1セルトランジスタ、又は、読み出し対象である前記第2メモリセルが有する前記第2セルトランジスタをオンするセルトランジスタ制御部と、

をさらに備えてもよい。

[0011] 前記第 1 電圧と前記第 2 電圧との電位差は、前記セルトランジスタ制御部が前記第 1 セルトランジスタ又は前記第 2 セルトランジスタがオンした後における、前記第 1 電圧供給線と前記第 3 電圧供給線との間の電圧変化速度の差に応じた電位差であってもよい。

[0012] 前記第 2 電圧供給線は、前記第 2 電圧に固定されてもよい。

[0013] 第 1 状態に応じた抵抗値を有する前記第 1 記憶素子及び前記第 2 記憶素子が、前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、第 2 状態に応じた抵抗値を有する前記第 1 記憶素子及び前記第 2 記憶素子が、前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、の間の電圧レベルを有する参照電圧を生成する参照電圧生成部と、

前記参照電圧と、前記第 1 記憶素子又は前記第 2 記憶素子が前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、を比較する比較部と、

をさらに備えてもよい。

[0014] 前記参照電圧生成部は、

前記第 1 電圧供給線と前記第 2 電圧供給線との間に接続され、前記第 2 メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第 1 参照電圧生成部と、

前記第 2 電圧供給線と前記第 3 電圧供給線との間に接続され、前記第 1 メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第 2 参照電圧生成部と、

を有してもよい。

[0015] 前記第 1 参照電圧生成部及び前記第 2 参照電圧生成部は、前記第 2 電圧供給線を挟んで、略対称に配置されてもよい。

[0016] 前記第 1 参照電圧生成部は、

第 1 参照抵抗素子と、

前記第 1 参照抵抗素子と前記第 1 電圧供給線との間に接続される第 1 参照トランジスタと、

を有し、

前記第 2 参照電圧生成部は、

第 2 参照抵抗素子と、

前記第 2 参照抵抗素子と前記第 3 電圧供給線との間に接続される第 2 参照トランジスタと、

を有してもよい。

[0017] 前記比較部は、前記第 1 電圧供給線の電圧と、前記第 3 電圧供給線の電圧と、を比較することにより、前記参照電圧と、前記第 1 記憶素子又は前記第 2 記憶素子が前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、を比較し、

前記第 1 電圧供給線及び前記第 3 電圧供給線の電圧に応じたタイミングで、前記比較部に比較を開始させる比較制御部をさらに備えてもよい。

[0018] 前記比較制御部は、

前記第 1 電圧が前記第 2 電圧よりも高い場合、前記第 1 電圧供給線及び前記第 3 電圧供給線の少なくとも一方の電圧が第 1 所定値よりも低くなるタイミングで、前記比較部に比較を開始させ、

前記第 1 電圧が前記第 2 電圧よりも低い場合、前記第 1 電圧供給線及び前記第 3 電圧供給線の少なくとも一方の電圧が第 2 所定値よりも高くなるタイミングで、前記比較部に比較を開始させてもよい。

[0019] 読み出し動作において、前記第 1 電圧は、前記第 2 電圧よりも高くてもよい。

[0020] 書き込み動作において、前記第 1 電圧は、前記第 2 電圧よりも低く、書き込み動作における前記第 2 電圧は、読み出し動作における前記第 1 電圧よりも高くてもよい。

[0021] 書き込み動作において、前記第 1 電圧は、前記第 2 電圧よりも高く、書き込み動作における前記第 1 電圧は、読み出し動作における前記第 1 電

圧よりも高くてもよい。

[0022] 読み出し動作において、前記第1電圧は、前記第2電圧よりも低くてもよい。

[0023] 書き込み動作において、前記第1電圧は、前記第2電圧よりも低く、書き込み動作における前記第2電圧は、読み出し動作における前記第2電圧よりも高くてもよい。

図面の簡単な説明

[0024] [図1]第1実施形態に係る半導体記憶装置の構成例を示す概略図である。

[図2]第1実施形態に係る半導体記憶装置の詳細な構成例を示す回路図である。

[図3]第1実施形態に係る半導体記憶装置の書き込み動作例を示すタイミングチャートである。

[図4]第1実施形態に係る半導体記憶装置の読み出し動作例を示すタイミングチャートである。

[図5]比較例に係る半導体記憶装置におけるビット線容量を説明する回路図である。

[図6]第1実施形態に係る半導体記憶装置におけるビット線容量を説明する回路図である。

[図7]ビット線の電圧の時間変化を示す図である。

[図8]第2実施形態に係る半導体記憶装置の詳細な構成例を示す回路図である。

[図9]第2実施形態に係る半導体記憶装置の書き込み動作例を示すタイミングチャートである。

[図10]第2実施形態に係る半導体記憶装置の読み出し動作例を示すタイミングチャートである。

[図11]第3実施形態に係る半導体記憶装置の詳細な構成例を示す回路図である。

[図12]第3実施形態に係る半導体記憶装置の書き込み動作例を示すタイミン

グチャートである。

[図13]第3実施形態に係る半導体記憶装置の読み出し動作例を示すタイミンググチャートである。

[図14]第4実施形態に係る半導体記憶装置の詳細な構成例を示す回路図である。

[図15]第4実施形態に係る半導体記憶装置の書き込み動作例を示すタイミンググチャートである。

[図16]第4実施形態に係る半導体記憶装置の読み出し動作例を示すタイミンググチャートである。

発明を実施するための形態

[0025] 以下、図面を参照して、半導体記憶装置の実施形態について説明する。以下では、半導体記憶装置の主要な構成部分を中心に説明するが、半導体記憶装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0026] <第1実施形態>

[半導体記憶装置の構成例]

図1は、第1実施形態に係る半導体記憶装置1の構成例を示す概略図である。ただし、図1には、半導体記憶装置1の主要部が図示されている。

[0027] 図1に図示する半導体記憶装置1は、メモリセルアレイ2、デコーダ4、フューズ(FUSE)電源6、及び、読み出し回路7を有する。

[0028] 半導体記憶装置1は、メモリセルアレイ2にマトリクス配列された m (行;ロウ) $\times n$ (列;カラム)個のメモリセルMCを有する。本実施形態においては、例えば、 m 、 n は2以上の整数であるが、例えば、 $m=1$ 、かつ、 n は2以上の整数であってもよい。

[0029] 半導体記憶装置1は、これら複数のメモリセルMCの内から所望するメモリセルMCを選択する機能と、選択したメモリセルMCにデータを書き込む機能と、選択したメモリセルMCからデータを読み出す機能とを有する。

- [0030] 1個のメモリセルMCは、メモリ素子としてのフューズ素子Fを有し、1ビットのデータ（「0」又は「1」）を記憶する。なお、図1に図示するメモリセルMCには、フューズ素子Fが簡易的に図示されている。このフューズ素子Fは、例えば、電氣的にその抵抗値を不可逆的に制御可能な電気フューズ素子（e F U S E）である。以下、フューズ素子Fが、例えば、ポリシリコンフューズからなる電気フューズ素子であるものとして説明を行う。
- [0031] フューズ素子Fは、大電流が流れると配線材料の組成を変えることで、その抵抗値が桁違いに増大する。以下、フューズ素子Fに大電流を流すことを「ブロー（blow）」するともいう。例えば、フューズ素子Fをブローすることにより、その抵抗値が低抵抗値（例えば、100Ω程度）から高抵抗値（例えば、5kΩ程度）に変化する。
- [0032] 本実施形態においても、低抵抗値とは、フューズ素子Fに電流を流す前の初期の抵抗値を指す。高抵抗値とは、フューズ素子Fをブローした後の抵抗値を指す。フューズ素子Fをブローすると、その抵抗値は、後述する、参照抵抗素子（第1参照抵抗素子R F 1及び第2参照抵抗素子R F 2）（図2参照）の抵抗値に匹敵する場合がある。
- [0033] ここで、フューズ素子Fの抵抗値が低抵抗値である状態（第1状態）を「0」に関連づけて「未書き込み状態」ともいう。逆に、フューズ素子Fの抵抗値が高抵抗値である状態（第2状態）を「1」に関連づけて「書き込み状態」ともいう。
- [0034] このようにメモリセルMCは、フューズ素子Fの抵抗値によって、「0」又は「1」の1ビットのデータを記憶する。このことから、フューズ素子Fの抵抗値を低抵抗値から高抵抗値に変化させることを、単に「（メモリセルMCの）書き込み」あるいは「プログラム」ともいう。
- [0035] メモリセルMCの読み出し時には、フューズ素子Fがバイアスされる。そして、ビット線BL[n]上の第1リードビット線RBL L及び第2リードビット線RBL R（図2参照）に出力された電圧と参照電圧との比較により、メモリセルMCのフューズ素子Fの抵抗値、即ち、「0」又は「1」が読

み出し回路7によって読み出される。

[0036] デコーダ4は、メモリセルアレイ2の各メモリセルMCの動作を制御する。基本的には、デコーダ4は、読み出し対象及び書き込み対象のメモリセルMCを選択する。

[0037] フューズ電源6は、ビット線BL[n]に接続されている。フューズ電源6は、メモリセルMCの書き込み時に、フューズ素子Fをバイアスするためのフューズ電源電圧VDDFIL(>電源電圧VDD)をフューズ素子Fに供給する。

[0038] 読み出し回路7は、例えば、ビット線BL[n]を選択する機能と、比較部72(図2参照)と、参照電圧生成部71(図2参照)とを有する。読み出し回路7は、読み出し時には、読み出し対象のメモリセルMCからデータの読み出しを行う。

[0039] [半導体記憶装置の詳細]

次に、m行n列のメモリセルMCと、これに関係する構成要素とを図2に関連づけて説明する。

[0040] 図2は、第1実施形態に係る半導体記憶装置の詳細な構成例を示す回路図である。

[0041] 図2に示すように、ビット線BL[n]は、第1リードビット線RBLLと、第2リードビット線RBLRと、ライトビット線WBLと、を含む。

[0042] 第1リードビット線(第1電圧供給線)RBLLは、フューズ素子F及び参照抵抗素子をバイアス可能なように、所定の電圧(第1電圧)を供給する。バイアスは、例えば、電圧印加である。なお、フューズ素子Fは、図2に示す第1フューズ素子F1及び第2フューズ素子F2を含む。参照抵抗素子は、図2に示す第1参照抵抗素子RF1及び第2参照抵抗素子RF2を含む。

[0043] 第2リードビット線(第3電圧供給線)RBLRは、フューズ素子F及び参照抵抗素子をバイアス可能なように、第1電圧を供給する。

[0044] ライトビット線(第2電圧供給線)WBLは、フューズ素子F及び参照抵

抗素子をバイアス可能なように、第1電圧とは異なる所定の電圧（第2電圧）を供給する。

[0045] 図2に示す例では、書き込み動作における第1電圧は、例えば、グランド電圧（0V）である。書き込み動作における第2電圧は、例えば、フューズ電源電圧VDDFILである。したがって、書き込み動作において、第1電圧は、第2電圧よりも低い。読み出し動作における第1電圧は、例えば、電源電圧（基準電圧）VDDである。読み出し動作における第2電圧は、例えば、グランド電圧である。したがって、読み出し動作において、第1電圧は、第2電圧よりも高い。なお、書き込み動作における第2電圧（フューズ電源電圧VDDFIL）は、読み出し動作における第1電圧（電源電圧VDD）よりも高い。フューズ電源電圧VDDFILは、例えば、約1.8Vである。電源電圧VDDは、例えば、約0.8Vである。

[0046] メモリセルMCは、第1メモリセルMC1と、第2メモリセルMC2と、を有する。第1メモリセルMC1は、図2に示す2列のメモリセルMCのうち、左側の列に配置されている。第2メモリセルMC2は、図2に示す2列のメモリセルMCのうち、右側の列に配置されている。

[0047] 1つ以上の第1メモリセルMC1は、第1リードビット線RBLLと、ライトビット線WBLと、の間に並列に接続される。1つ以上の第2メモリセルMC2は、ライトビット線WBLと、第2リードビット線RBLRと、の間に並列に接続される。図2には、4個のメモリセルMCが2列（2ビット）×2行（2ロウ）で配列されている場合が例示されているが、複数のメモリセルMCの配列は図2の配置に限定されるものではなく、例えば、1行であってもよい。なお、以下では、特段の言及がなされていない場合には、複数個のメモリセルMCの配列が複数列×複数行となっているものとする。

[0048] また、第1メモリセルMC1の数、及び、第2メモリセルMC2の数は、同じである。第1メモリセルMC1及び第2メモリセルMC2は、ライトビット線WBLを挟んで、略対称（例えば、略左右対称）に配置される。これにより、後で説明するように、第1リードビット線RBLLと第2リードビ

ット線RBLRとの間で、容量が略同じになる。

[0049] 図2に示すように、2列に配置された第1メモリセルMC1及び第2メモリセルMC2は、1つの単位として構成される。2列に配置された第1メモリセルMC1及び第2メモリセルMC2は、行方向にさらに複数単位で配置されてもよい。

[0050] 複数のメモリセルMCが列方向に配列された構成を以下、ビット構成と呼ぶ。図2には、2列で1つのビット構成が例示されている。しかし、他のビット構成は、必ずしも、互いに同じ構成となっていなくてもよい。なお、以下では、複数のビット構成が互いに同じ構成となっているものとして、1つのビット構成について説明する。

[0051] 第1メモリセルMC1は、第1フューズ素子F1と、第1アクセストランジスタTRA1と、を有する。

[0052] 第1フューズ素子（第1記憶素子）F1は、第1リードビット線RBL（第1アクセストランジスタTRA1）と、ライトビット線WBLと、の間に接続される。第1フューズ素子F1は、第1状態又は第2状態に応じた抵抗値を有する。

[0053] 第1アクセストランジスタ（第1セルトランジスタ）TRA1は、第1フューズ素子F1と第1リードビット線RBLとの間に接続される。したがって、第1フューズ素子F1は、第1リードビット線RBLと直接接続することなく、第1アクセストランジスタTRA1を介して第1リードビット線RBLと接続される。これにより、後で説明するように、読み出し動作をより適切に行うことができる。

[0054] また、第1アクセストランジスタTRA1のゲートは、ワード線WL1、WL3、…にそれぞれ接続される。第1アクセストランジスタTRA1がオンすることにより、第1フューズ素子F1がフューズ電源電圧VDDFIL、又は、電源電圧VDDによってバイアスされる。第1アクセストランジスタTRA1は、例えば、NMOS（n-channel Metal Oxide Semiconductor）トランジスタである。

- [0055] 図2に示す例では、第1フューズ素子F1及び第1アクセストランジスタTRA1は、直列に接続される。
- [0056] 第2メモリセルMC2は、第2フューズ素子F2と、第2アクセストランジスタTRA2と、を有する。
- [0057] 第2フューズ素子（第2記憶素子）F2は、ライトビット線WBLと、第2リードビット線RBLR（第2アクセストランジスタTRA2）と、の間に接続される。第2フューズ素子F2は、第1状態又は第2状態に応じた抵抗値を有する。
- [0058] 第2アクセストランジスタ（第2セルトランジスタ）TRA2は、第2フューズ素子F2と第2リードビット線RBLRとの間に接続される。したがって、第2フューズ素子F2は、第2リードビット線RBLRと直接接続することなく、第2アクセストランジスタTRA2を介して第2リードビット線RBLRと接続される。これにより、後で説明するように、読み出し動作をより適切に行うことができる。
- [0059] また、第2アクセストランジスタTRA2のゲートは、ワード線WL0、WL2、…にそれぞれ接続される。第2アクセストランジスタTRA2がオンすることにより、第2フューズ素子F2がフューズ電源電圧VDDFIL、又は、電源電圧VDDによってバイアスされる。第2アクセストランジスタTRA2は、例えば、NMOSトランジスタである。
- [0060] 図2に示す例では、第2フューズ素子F2及び第2アクセストランジスタTRA2は、直列に接続される。
- [0061] 本実施の形態の半導体記憶装置は、行方向に延在する複数のワード線WL0、WL1、WL2、…を有する。各ワード線WL0、WL1、WL2、…は、各メモリセルMCにおいて第1アクセストランジスタTRA1及び第2アクセストランジスタTRA2をオン又はオフする。
- [0062] 図2に示す例では、ワード線WL0、WL2は、右側の第2メモリセルMC2の第2アクセストランジスタTRA2をオン又はオフする。ワード線WL1、WL3は、左側の第1メモリセルMC1の第1アクセストランジスタ

TR A 1 をオン又はオフする。

- [0063] 読み出し回路 7 は、参照電圧生成部 7 1 と、比較部 7 2 と、比較制御部 7 3 と、ビット線分離部 7 4 と、を有する。なお、比較部 7 2 は、センスアンプ (Sense Amplifier、S A) と呼ばれる場合がある。
- [0064] 参照電圧生成部 7 1 は、読み出し動作において、フューズ素子 F がバイアスされて生成される電圧と比較される参照電圧を生成する。参照電圧は、第 1 状態に応じた抵抗値を有する第 1 フューズ素子 F 1 及び第 2 フューズ素子 F 2 が、第 1 電圧及び第 2 電圧に基づいてバイアスされて生成する電圧と、第 2 状態に応じた抵抗値を有する第 1 フューズ素子 F 1 及び第 2 フューズ素子 F 2 が、第 1 電圧及び第 2 電圧に基づいてバイアスされて生成する電圧と、の間の電圧レベルを有する。
- [0065] 参照電圧生成部 7 1 は、第 1 参照電圧生成部 7 1 1 と、第 2 参照電圧生成部 7 1 2 と、を有する。
- [0066] 第 1 参照電圧生成部 7 1 1 は、第 1 リードビット線 R B L L と、ライトビット線 W B L と、の間に接続される。第 1 参照電圧生成部 7 1 1 は、第 2 メモリセル M C 2 の読み出し動作が行われる場合に参照電圧を生成する。第 2 参照電圧生成部 7 1 2 は、ライトビット線 W B L と、第 2 リードビット線 R B L R と、の間に接続される。第 2 参照電圧生成部 7 1 2 は、第 1 メモリセル M C 1 の読み出し動作が行われる場合に参照電圧を生成する。図 2 に示す例では、第 1 参照電圧生成部 7 1 1 及び第 2 参照電圧生成部 7 1 2 は、ライトビット線 W B L を挟んで略対称 (例えば、略左右対称) に配置されている。
- [0067] 第 1 参照電圧生成部 7 1 1 は、第 1 参照抵抗素子 R F 1 と、第 1 参照トランジスタ T R F 1 と、を有する。
- [0068] 第 1 参照抵抗素子 R F 1 は、第 1 リードビット線 R B L L (第 1 参照トランジスタ T R F 1) と、ライトビット線 W B L と、の間に接続される。
- [0069] 第 1 参照トランジスタ T R F 1 は、第 1 参照抵抗素子 R F 1 と、第 1 リードビット線 R B L L と、の間に接続される。したがって、第 1 参照抵抗素子

R F 1 は、第 1 リードビット線 R B L L と直接接続することなく、第 1 参照トランジスタ T R F 1 を介して第 1 リードビット線 R B L L と接続される。

[0070] また、第 1 参照トランジスタ T R F 1 のゲートは、ワード線 R W L 1 に接続される。第 1 参照トランジスタ T R F 1 がオンすることにより、第 1 参照抵抗素子 R F 1 が電源電圧 V D D によってバイアスされる。第 1 参照トランジスタ T R F 1 は、例えば、N M O S トランジスタである。

[0071] 図 2 に示す例では、第 1 参照抵抗素子 R F 1 及び第 1 参照トランジスタ T R F 1 は、直列に接続される。

[0072] 第 2 参照電圧生成部 7 1 2 は、第 2 参照抵抗素子 R F 2 と、第 2 参照トランジスタ T R F 2 と、を有する。

[0073] 第 2 参照抵抗素子 R F 2 は、ライトビット線 W B L と、第 2 リードビット線 R B L R (第 2 参照トランジスタ T R F 2) と、の間に接続される。

[0074] 第 2 参照トランジスタ T R F 2 は、第 2 参照抵抗素子 R F 2 と、第 2 リードビット線 R B L R と、の間に接続される。したがって、第 2 参照抵抗素子 R F 2 は、第 2 リードビット線 R B L R と直接接続することなく、第 2 参照トランジスタ T R F 2 を介して第 2 リードビット線 R B L R と接続される。

[0075] また、第 2 参照トランジスタ T R F 2 のゲートは、ワード線 R W L 0 に接続される。第 2 参照トランジスタ T R F 2 がオンすることにより、第 2 参照抵抗素子 R F 2 が電源電圧 V D D によってバイアスされる。第 2 参照トランジスタ T R F 2 は、例えば、N M O S トランジスタである。

[0076] 図 2 に示す例では、第 2 参照抵抗素子 R F 2 及び第 2 参照トランジスタ T R F 2 は、直列に接続される。

[0077] 第 1 参照抵抗素子 R F 1、第 2 参照抵抗素子 R F 2、第 1 参照トランジスタ T R F 1 及び第 2 参照トランジスタ T R F 2 は、ライトビット線 W B L を挟んで略左右対称に配置されている。

[0078] また、第 1 参照抵抗素子 R F 1 及び第 2 参照抵抗素子 R F 2 は、例えば、略同じ抵抗値を有する。

[0079] 比較部 7 2 は、参照電圧と、第 1 フューズ素子 F 1 又は第 2 フューズ素子

F 2 が第 1 電圧及び第 2 電圧にバイアスされて生成される電圧と、を比較する。より詳細には、比較部 7 2 は、第 1 リードビット線 R B L L の電圧と、第 2 リードビット線 R B L R の電圧と、を比較する。すなわち、第 1 メモリセル M C 1 の読み出しが行われる場合、デコーダ 4 は、第 1 メモリセル M C 1 及び第 2 参照電圧生成部 7 1 2 を選択し、比較部 7 2 は、2 つのビット線の電圧を比較する。第 2 メモリセル M C 2 の読み出しが行われる場合、デコーダ 4 は、第 2 メモリセル M C 2 及び第 1 参照電圧生成部 7 1 1 を選択し、比較部 7 2 は、2 つのビット線の電圧を比較する。これにより、読み出し対象のメモリセル M C のフューズ素子 F の抵抗値、すなわち、未書き込み状態（「0」）又は書き込み状態（「1」）が読み出される。より詳細には、比較部 7 2 は 2 つのビット線の電位差を増幅して比較する。

[0080] 比較制御部 7 3 は、第 1 リードビット線 R B L L 及び第 2 リードビット線 R B L R の電圧に応じたタイミングで、比較部 7 2 に比較を開始させる。

[0081] 比較制御部 7 3 は、N A N D 回路 N D 1 と、比較制御トランジスタ T R C と、を有する。

[0082] N A N D 回路 N D 1 の 2 つの入力部は、第 1 リードビット線 R B L L 及び第 2 リードビット線 R B L R と電氣的に接続される。N A N D 回路 N D 1 の出力部は、比較制御トランジスタ T R C のゲートと電氣的に接続される。N A N D 回路 N D 1 は、第 1 リードビット線 R B L L 及び第 2 リードビット線 R B L R の少なくとも一方の電圧が第 1 所定値よりも低い場合、ハイの信号を出力する。

[0083] 比較制御トランジスタ T R C は、比較部 7 2 とグランドとの間に接続される。比較制御トランジスタ T R C のゲートは、N A N D 回路 N D 1 の出力と接続され、信号 S E が入力される。N A N D 回路 N D 1 からハイの信号 S E が出力されることにより、比較制御トランジスタ T R C はオンする。比較制御トランジスタ T R C は、オンすることにより、比較部 7 2 に比較を開始させる。

[0084] ビット線分離部 7 4 は、ビット線を電氣的に分離する。これにより、比較

部72が電位差を増幅する際に、ビット線の容量の影響を抑制することができる。この結果、消費電力を抑制することができる。

[0085] ビット線分離部74は、第1分離トランジスタTRS1と、第2分離トランジスタTRS2と、を有する。

[0086] 第1分離トランジスタTRS1は、第1リードビット線RBLLと第1分離リードビット線LBLLとの間に接続される。第1分離トランジスタTRS1のゲートには、信号CSが入力される。第1分離トランジスタTRS1は、オンすることにより、第1リードビット線RBLLと第1分離リードビット線LBLLとを電氣的に接続させ、オフすることにより、第1リードビット線RBLLと第1分離リードビット線LBLLとを電氣的に切断させる。第1分離トランジスタTRS1は、例えば、NMOSTランジスタである。

[0087] なお、信号CSは、例えば、図示しない配線により、NAND回路ND1から出力される信号SEの信号レベルに応じた信号レベルを有する。

[0088] 第2分離トランジスタTRS2は、第2リードビット線RBLRと第2分離リードビット線LBLRとの間に接続される。第2分離トランジスタTRS2のゲートには、信号CSが入力される。第2分離トランジスタTRS2は、オンすることにより、第2リードビット線RBLRと第2分離リードビット線LBLRとを電氣的に接続させ、オフすることにより、第2リードビット線RBLRと第2分離リードビット線LBLRとを電氣的に切断させる。第2分離トランジスタTRS2は、例えば、NMOSTランジスタである。

[0089] 半導体記憶装置1は、電圧供給部8をさらに備える。なお、電圧供給部8は、図1では省略されている。電圧供給部8は、フューズ電源6とメモリセルアレイ2との間に接続される。電圧供給部8は、ライトビット線WBL、第1リードビット線RBLL及び第2リードビット線RBLRによる電圧の供給を制御する。電圧供給部8の動作は、例えば、デコーダ4により制御される。

- [0090] 電圧供給部8は、第1ブロートランジスタTRB1と、第2ブロートランジスタTRB2と、第3ブロートランジスタTRB3と、リードトランジスタTRRと、第1プリチャージトランジスタTRP1と、第2プリチャージトランジスタTRP2と、を有する。
- [0091] 第1ブロートランジスタTRB1は、ノードN1とグランドとの間に接続される。ノードN1は、第1リードビット線RBL上において、電源電圧ノードVDD（第1プリチャージトランジスタTRP1）とメモリセルアレイ2との間に設けられる。第1ブロートランジスタTRB1のゲートには、BLOW信号が入力される。第1ブロートランジスタTRB1がオンすることにより、第1メモリセルMC1の書き込み動作が行われる。第1ブロートランジスタTRB1は、例えば、NMOSトランジスタである。
- [0092] 第2ブロートランジスタTRB2は、ノードN2とグランドとの間に接続される。ノードN2は、第2リードビット線RBLR上において、電源電圧ノードVDD（第2プリチャージトランジスタTRP2）とメモリセルアレイ2との間に設けられる。第2ブロートランジスタTRB2のゲートには、BLOW信号が入力される。第2ブロートランジスタTRB2がオンすることにより、第2メモリセルMC2の書き込み動作が行われる。第2ブロートランジスタTRB2は、例えば、NMOSトランジスタである。
- [0093] 第3ブロートランジスタTRB3は、ノードN3とフェーズ電源電圧ノードVDDFILとの間に接続される。ノードN3は、ライトビット線WBL上において、フェーズ電源電圧ノードVDDFILとメモリセルアレイ2との間に設けられる。第3ブロートランジスタTRB3のゲートには、/BLOW信号が入力される。第3ブロートランジスタTRB3がオンすることにより、第1メモリセルMC1又は第2メモリセルMC2の書き込み動作が行われる。第3ブロートランジスタTRB3は、例えば、PMOS（p-channel Metal Oxide Semiconductor）トランジスタである。
- [0094] リードトランジスタTRRは、ノードN3とグランドとの間に接続される。ノードN3は、ライトビット線WBL上において、フェーズ電源電圧ノード

ドVDDFIL（第3ブロートランジスタTRB3）とメモリセルアレイ2との間に設けられる。リードトランジスタTRRのゲートには、READ信号が入力される。リードトランジスタTRRがオンすることにより、第1メモリセルMC1又は第2メモリセルMC2の読み出し動作が行われる。リードトランジスタTRRは、例えば、NMOSTランジスタである。

[0095] 第1プリチャージトランジスタTRP1は、電源電圧ノードVDDとメモリセルアレイ2（ノードN1）との間に接続される。第1プリチャージトランジスタTRP1のゲートには、/PRE信号が入力される。第1プリチャージトランジスタTRP1がオンすることにより、読み出し動作において、第1リードビット線RBLのプリチャージが行われる。なお、プリチャージの詳細については、図4を参照して、後で説明する。第1プリチャージトランジスタTRP1は、例えば、PMOSTランジスタである。

[0096] 第2プリチャージトランジスタTRP2は、電源電圧ノードVDDとメモリセルアレイ2（ノードN2）との間に接続される。第2プリチャージトランジスタTRP2のゲートには、/PRE信号が入力される。第2プリチャージトランジスタTRP2がオンすることにより、読み出し動作において、第2リードビット線RBLRのプリチャージが行われる。なお、プリチャージの詳細については、図4を参照して、後で説明する。第2プリチャージトランジスタTRP2は、例えば、PMOSTランジスタである。

[0097] [半導体記憶装置の書き込み動作]

図3は、第1実施形態に係る半導体記憶装置の書き込み動作例を示すタイミングチャートである。図3は、第2メモリセルMC2の書き込み動作のタイミングチャートを示す。

[0098] 初期状態において、BLOW信号は、ハイ状態である。したがって、第1ブロートランジスタTRB1及び第2ブロートランジスタTRB2は、オン状態である。/BLOW信号は、ハイ状態である。したがって、第3ブロートランジスタTRB3は、オフ状態である。ワード線WL0、RWL1の信号は、ロー状態である。したがって、第2アクセストランジスタTRA2及

び第1参照トランジスタTRF1は、オフ状態である。

[0099] まず、時刻t1において、ワード線WL0の信号は、ハイになる。これにより、第2アクセストランジスタTRA2は、オンする。

[0100] 次に、時刻t2において、/BLOW信号は、ローになる。これにより、第3ブロートランジスタTRB3は、オンする。この結果、ライトビット線WBLの電圧が立ち上がり、第2フューズ素子F2は、フューズ電源電圧VDDFILによってバイアスされ、書き込み状態になる。

[0101] その後、/BLOW信号はハイになり、ワード線WL0の信号はローになる。これにより、第3ブロートランジスタTRB3はオフし、第2アクセストランジスタTRA2はオフする。

[0102] なお、書き込み動作中では、信号SEは、ロー状態である。したがって、比較制御トランジスタTRCは、オフ状態である。信号CSは、ロー状態である。したがって、第1分離トランジスタTRS1及び第2分離トランジスタTRS2は、オフ状態である。すなわち、第1リードビット線RBLL及び第2リードビット線RBLRは、それぞれ第1分離リードビット線LBLL及び第2分離リードビット線とはLBLRとは電氣的に切断されている。

[0103] また、図3には、READ信号及び/PRE信号は図示されていないが、書き込み動作中におけるリードトランジスタTRR、第1プリチャージトランジスタTRP1及び第2プリチャージトランジスタTRP2は、オフ状態である。

[0104] [半導体記憶装置の読み出し動作]

図4は、第1実施形態に係る半導体記憶装置の読み出し動作例を示すタイミングチャートである。図4は、第2メモリセルMC2の読み出し動作のタイミングチャートを示す。

[0105] 読み出し動作では、電源電圧VDDにプリチャージされた第1リードビット線RBLL及び第2リードビット線RBLRから、0Vにディスチャージされたライトビット線WBLに電荷が引き抜かれる。電荷が引き抜かれる際における、フューズ素子Fの電圧と、参照抵抗素子の電圧と、が比較される

。これにより、メモリセルMCの書き込みの状態（0／1）が読み出される。

[0106] 電圧供給部8は、第1メモリセルMC1又は第2メモリセルMC2の読み出し動作において、予め、第1リードビット線RBLL及び第2リードビット線RBLRに第1電圧を供給させるとともに、予め、ライトビット線WBLに第2電圧を供給させる。これにより、プリチャージが行われる。その後、電圧供給部8は、第1リードビット線RBLL及び第2リードビット線RBLRに、第1電圧の供給を停止させる。

[0107] デコーダ（セルトランジスタ制御部）4は、第1電圧の供給停止中に、読み出し対象である第1メモリセルMC1が有する第1アクセストランジスタTRA1、又は、読み出し対象である第2メモリセルMC2が有する第2アクセストランジスタTRA2をオンする。このようにして、電荷の引き抜きが行われる。

[0108] 初期状態において、READ信号は、ハイ状態である。したがって、リードトランジスタTRRは、オン状態である。この結果、ライトビット線WBLは、例えば、0Vにディスチャージされている。／PRE信号は、ロー状態である。したがって、第1プリチャージトランジスタTRP1及び第2プリチャージトランジスタTRP2は、オン状態である。ワード線WL0、RWL1の信号は、ロー状態である。したがって、第2アクセストランジスタTRA2及び第1参照トランジスタTRF1は、オフ状態である。

[0109] また、初期状態において、信号SEは、ロー状態である。したがって、比較制御トランジスタTRCは、オフ状態である。信号CSは、ハイ状態である。したがって、第1分離トランジスタTRS1及び第2分離トランジスタTRS2は、オン状態である。すなわち、第1リードビット線RBLL及び第2リードビット線RBLRは、それぞれ第1分離リードビット線LBLL及び第2分離リードビット線LBLRと電氣的に接続されている。

[0110] 初期状態では、第1分離リードビット線LBLL（第1リードビット線RBLL）及び第2分離リードビット線LBLR（第2リードビット線RBL

R) の電圧は、電源電圧VDDにプリチャージされている。図2に示す、全ての第1アクセストランジスタTRA1、全ての第2アクセストランジスタTRA2、第1参照トランジスタTRF1、及び、第2参照トランジスタTRF2は、オフ状態である。したがって、メモリセルMCの状態が書き込み状態(「1」)であるか、又は、未書き込み状態(「0」)であるかによらず、電荷は、抜けることなく、第1分離リードビット線LBLL及び第2分離リードビット線LBLRに蓄積される。

[0111] まず、時刻t11において、PRE信号は、ハイになる。これにより、第1プリチャージトランジスタTRP1及び第2プリチャージトランジスタTRP2は、オフする。ワード線WL0、RWL1の信号は、略同時にハイになる。これにより、第2アクセストランジスタTRA2及び第1参照トランジスタTRF1は、略同時にオンする。この結果、時刻t11の後、第1分離リードビット線LBLL及び第2分離リードビット線LBLRの電圧は、低下する。これは、第1分離リードビット線LBLL及び第2分離リードビット線LBLRに蓄積された電荷が、ライトビット線WBLを流れるためである。ライトビット線WBLを流れる電流は、リードトランジスタTRRのソースに接続されたグラウンドに流れる。

[0112] ここで、第1分離リードビット線LBLLと第2分離リードビット線LBLRとの間で、電圧の低下速度が異なっている。第1分離リードビット線LBLLの電圧の低下速度は、第1参照抵抗素子RF1の抵抗値によって決まる。したがって、第1分離リードビット線LBLLの電圧の低下速度は、第2メモリセルMC2が有する第2フューズ素子F2の状態(0/1)によって変化しない。一方、第2分離リードビット線LBLRの電圧の低下速度は、第2メモリセルMC2が有する第2フューズ素子F2の状態(0/1)によって変化する。

[0113] まず、第2メモリセルMC2が書き込み状態である場合における読み出し動作について説明する(1-read)。

[0114] 第2メモリセルMC2の第2フューズ素子F2の抵抗値は、第1参照抵抗

素子RF1の抵抗値よりも高いため、第2分離リードビット線LBLRの電圧の低下速度は、第1分離リードビット線LBLの電圧の低下速度よりも遅い。

[0115] 時刻t15において、第1分離リードビット線LBLの電圧は、NAND回路ND1の論理閾値（第1所定値）よりも低くなる。これにより、時刻t16において、NAND回路ND1は、ローからハイになる信号SEを比較制御トランジスタTRCのゲートに入力する。また、信号SEがハイになることにより、時刻t17において、信号CSは、ローになる。これにより、第1分離トランジスタTRS1及び第2分離トランジスタTRS2は、オフする。この結果、第1リードビット線RBL及び第2リードビット線RBLRは、それぞれ第1分離リードビット線LBL及び第2分離リードビット線LBRと電氣的に切断される。

[0116] 時刻t16において、比較制御トランジスタTRCがオンすることにより、比較部72による電圧の比較が行われる。すなわち、比較制御部73は、第1リードビット線RBL及び第2リードビット線RBLRの少なくとも一方の電圧が第1所定値よりも低くなるタイミングで、比較部72に比較を開始させる。時刻t16の後、比較部72は、第1分離リードビット線LBLと第2分離リードビット線LBRとの間の電位差を増幅して比較する。

[0117] その後、PRE信号はローになり、ワード線WL0、RWL1の信号はローになる。これにより、第1プリチャージトランジスタTRP1及び第2プリチャージトランジスタTRP2はオンし、第2アクセストランジスタTRA2及び第1参照トランジスタTRF1はオフする。

[0118] 次に、第2メモリセルMC2が未書き込み状態である場合における読み出し動作について説明する（O-read）。

[0119] 第2メモリセルMC2の第2フューズ素子F2の抵抗値は、第1参照抵抗素子RF1の抵抗値よりも低いため、第2分離リードビット線LBRの電圧の低下速度は、第1分離リードビット線LBLの電圧の低下速度よりも

速い。

- [0120] 時刻 t_{12} において、第2分離リードビット線 $LBLR$ の電圧は、 $NAND$ 回路 $ND1$ の論理閾値（第1所定値）よりも低くなる。これにより、時刻 t_{13} において、 $NAND$ 回路 $ND1$ は、ローからハイになる信号 SE を比較制御トランジスタ TRC のゲートに入力する。また、信号 SE がハイになることにより、時刻 t_{14} において、信号 CS は、ローになる。これにより、第1分離トランジスタ $TRS1$ 及び第2分離トランジスタ $TRS2$ は、オフする。この結果、第1リードビット線 $RBLR$ 及び第2リードビット線 $RBLR$ は、それぞれ第1分離リードビット線 $LBLR$ 及び第2分離リードビット線 $LBLR$ と電氣的に切断される。
- [0121] 時刻 t_{13} において、比較制御トランジスタ TRC がオンすることにより、比較部 72 による電圧の比較が行われる。すなわち、比較制御部 73 は、第1リードビット線 $RBLR$ 及び第2リードビット線 $RBLR$ の少なくとも一方の電圧が第1所定値よりも低くなるタイミングで、比較部 72 に比較を開始させる。時刻 t_{13} の後、比較部 72 は、第1分離リードビット線 $LBLR$ と第2分離リードビット線 $LBLR$ との間の電位差を増幅して比較する。
- [0122] その後、 PRE 信号はローになり、ワード線 $WL0$ 、 $RWL1$ の信号はローになる。これにより、第1プリチャージトランジスタ $TRP1$ 及び第2プリチャージトランジスタ $TRP2$ はオンし、第2アクセストランジスタ $TRA2$ 及び第1参照トランジスタ $TRF1$ はオフする。
- [0123] 図4に示すように、第2メモリセル $MC2$ の状態（ $0/1$ ）によって、比較部 72 による比較開始タイミングが異なっている。すなわち、ワード線の電圧の立ち上がりからセンスアンプ活性化までのタイミングは、第1分離リードビット線 $LBLR$ 及び第2分離リードビット線 $LBLR$ のうち、 $NAND$ 回路 $ND1$ の論理閾値（第1所定値）を先に下回る方の速度で自己整合的に決められる。
- [0124] なお、図4には、 $BLOW$ 信号及び BLOW 信号は図示されていないが

、第1ブロートランジスタTRB1、第2ブロートランジスタTRB2及び第3ブロートランジスタTRB3は、オフ状態である。

[0125] 以上のように、第1実施形態によれば、第1メモリセルMC1は、第1リードビット線RBL Lとライトビット線WBLとの間に接続される。第1アクセストランジスタTRA1は、第1フューズ素子F1と第1リードビット線RBL Lとの間に接続される。第2メモリセルMC2は、ライトビット線WBLと第2リードビット線RBL Rとの間に接続される。第2アクセストランジスタTRA2は、第2フューズ素子F2と第2リードビット線RBL Rとの間に接続される。これにより、図5及び図6を参照して後で説明するように、第1フューズ素子F1及び第2フューズ素子F2の状態によらず、第1リードビット線RBL L及び第2リードビット線RBL Rの容量を略一定にすることができる。この結果、第1メモリセルMC1又は第2メモリセルMC2の読み出し動作をより適切に行うことができる。

[0126] また、第1参照トランジスタTRF1及び第2参照トランジスタTRF2の接続関係（配置）は、第1アクセストランジスタTRA1及び第2アクセストランジスタTRA2の接続関係と対応している。これにより、メモリセルMCと参照電圧生成部71との間の電位差等の特性比較をより適切に行うことができる。しかし、これに限られず、第1参照トランジスタは、第1参照抵抗素子RF1とライトビット線WBLとの間に接続されてもよい。第2参照抵抗素子RF2は、第2参照抵抗素子RF2とライトビット線WBLとの間に接続されてもよい。

[0127] [比較例]

図5は、比較例に係る半導体記憶装置1aにおけるビット線容量を説明する回路図である。図6は、第1実施形態に係る半導体記憶装置1におけるビット線容量を説明する回路図である。

[0128] 比較例は、第1実施形態と比較して、メモリセルMC内のフューズ素子及びアクセストランジスタの配置が異なっている。なお、図5では、第1リードビット線RBL L及び第2リードビット線RBL Rに代えて、第1ビット

線B L L及び第2ビット線B L Rが設けられる。同様に、ライトビット線W B Lに代えて、グランド線G N Dが設けられる。

[0129] 第1メモリセルM C 1の第1アクセストランジスタT R A 1は、第1フューズ素子F 1とグランド線G N Dとの間に接続される。したがって、第1フューズ素子F 1は、第1ビット線B L Lに直接接続される。

[0130] 第2メモリセルM C 2の第2アクセストランジスタT R A 2は、第2フューズ素子F 2とグランド線G N Dとの間に接続される。したがって、第2フューズ素子F 2は、第2ビット線B L Rに直接接続される。

[0131] [ビット線容量の比較]

ここで、図5及び図6では、左側に配置される第1メモリセルM C 1の第1フューズ素子F 1（フィラメント）が溶断されている。すなわち、全ての第1メモリセルM C 1は、書き込み状態である。一方、右側に配置される第2メモリセルM C 2の第2フューズ素子F 2は溶断されていない。すなわち、全ての第2メモリセルM C 2は、未書き込み状態である。

[0132] 図5に示す第1ビット線B L Lの総容量は、第1ビット線B L Lのビット線配線容量を用いて、式1により表される。

$$\text{総容量} = \text{ビット線配線容量} \quad (\text{式1})$$

[0133] 図5に示す第2ビット線B L Rの総容量は、第2ビット線B L Rのビット線配線容量、第2フューズ素子F 2のフューズ素子容量、及び、第2アクセストランジスタT R A 2のトランジスタ拡散容量を用いて、式2により表される。

$$\text{総容量} = \text{ビット線配線容量} + (\text{フューズ素子容量} + \text{トランジスタ拡散容量}) \times \text{ビット数} \quad (\text{式2})$$

[0134] 式1及び式2に示すように、第2ビット線B L Rの総容量は、第1ビット線B L Lの総容量よりも大きい。また、書き込みデータのパターンによって、ビット線の総容量が大きく変動する可能性があるため、ビット線にプリチャージされた電荷を引き抜く時間（ビット線の電圧の低下速度）も、書き込みデータのパターンによって大きく変動してしまう可能性がある。この場合

、比較例において、図4に示すプリチャージを用いた読み出し動作を安定して行うことが困難になる可能性がある。

[0135] これに対して、図6に示す第1リードビット線RBL L及び第2リードビット線RBL Rのそれぞれの総容量は、式3により表される。

総容量＝ビット線配線容量＋トランジスタ拡散容量×ビット数 (式3)

[0136] すなわち、第1リードビット線RBL L及び第2リードビット線RBL Rのそれぞれの総容量は、書き込みデータのパターンによらず略一定である。したがって、ビット線にプリチャージされた電荷を引き抜く時間（ビット線の電圧の低下速度）も、書き込みデータのパターンによらず略一定である。これにより、プリチャージを用いた読み出し動作をより安定して行うことができる。

[0137] [動作の比較]

比較例で示す回路構成では、通常、直流電流を流すことによって、第1ビット線BL Lの電圧と第2ビット線BL Rの電圧との間の電位差が生じる。電位差は、比較部72によって増幅して読み出される。

[0138] 図7は、ビット線の電圧の時間変化を示す図である。図7の上段は、ワード線の電圧の時間変化を示すグラフである。図7の中段は、比較例におけるビット線の電圧の時間変化を示すグラフである。図7の下段は、第1実施形態におけるビット線の電圧の時間変化を示すグラフである。図7に示すグラフの縦軸は、電圧である。図7に示すグラフの横軸は、時間である。なお、横軸に示す時間は、全てのグラフで共通する。

[0139] ワード線の電圧は、例えば、ワード線RWL 0、RWL 1、WL 0、WL 1を含む。メモリセルMCと電氣的に接続されたビット線のビット線電圧Vb 0、Vb 1は、実線で示される。ビット線電圧Vb 0は、メモリセルMCが未書き込み状態である場合における電圧を示す。ビット線電圧Vb 1は、メモリセルMCが書き込み状態である場合における電圧を示す。参照電圧生成部71と電氣的に接続されたリファレンスビット線の参照電圧Vrefは、破線で示される。

- [0140] なお、比較例におけるビット線及びリファレンスビット線は、それぞれ、図5に示す第2ビット線BLR及び第1ビット線BLLに対応する。第1実施形態におけるビット線及びリファレンスビット線は、それぞれ、図6に示す第2リードビット線RBLR及び第1リードビット線RBLLに対応する。
- [0141] ワード線の電圧は、初期状態において、ロー (Low) である。ワード線の電圧は、時刻 t_a において、ハイ (High) になる。これにより、ワード線が活性化される。第2フューズ素子 F_2 が電源電圧 V_{DD} によりバイアスされ、直流電流が継続して第2フューズ素子 F_2 を流れる。
- [0142] 比較例の初期状態において、ビット線電圧 V_{b0} 、 V_{b1} 及び参照電圧 V_{ref} は、例えば、ゼロである。
- [0143] 比較例の時刻 t_a の後の時刻 t_b において、ビット線電圧 V_{b0} 、 V_{b1} 及び参照電圧 V_{ref} は、立ち上がる。ビット線電圧 V_{b1} は、フューズ素子が熔断されているため、ビット線電圧 V_{b0} と比較して、電圧が高く、また、電圧が安定するまで時間がかかる。
- [0144] 比較例の時刻 t_c において、例えば、ビット線電圧 V_{b1} が参照電圧 V_{ref} を超える。すなわち、時刻 t_c の後において、参照電圧 V_{ref} が、ビット線電圧 V_{b0} とビット線電圧 V_{b1} との間の電圧レベルになる。したがって、比較例では、少なくとも時刻 t_c を経過するまで十分に待ってから比較部72が比較を行う必要がある。
- [0145] このように、比較例では、ワード線活性化からセンスアンプ活性化まで、直流電流を流し続ける必要がある。また、ビット線電圧 V_{b0} 、 V_{b1} と参照電圧 V_{ref} との間の電位差が十分開くまで比較的長い時間がかかる。
- [0146] なお、比較例におけるビット線電圧 V_{b0} 、 V_{b1} 及び参照電圧 V_{ref} の時間変化は、一例である。
- [0147] 第1実施形態の初期状態において、ビット線電圧 V_{b0} 、 V_{b1} 及び参照電圧 V_{ref} は電源電圧 V_{DD} にプリチャージされている。
- [0148] 第1実施形態の時刻 t_a において、ワード線の電圧は、ハイになる。また

、時刻 t_a において、ビット線電圧 V_{b0} 、 V_{b1} 及び参照電圧 V_{ref} は、低下する。これは、第1アクセストランジスタ $TRA1$ 及び第2アクセストランジスタ $TRA2$ がオンし、電荷が第1リードビット線 RBL_L 及び第2リードビット線 RBL_R から引き抜かれるためである。時刻 t_a の後における参照電圧 V_{ref} の低下速度は、ビット線電圧 V_{b0} の低下速度とビット線電圧 V_{b1} の低下速度との間である。

[0149] 第1実施形態では、比較例と比較して、直流電流を流し続ける必要がない。これは、プリチャージされた電荷が引き抜かれるためである。これにより、低消費電力化が可能になる。さらに、ビット線電圧 V_{b0} 、 V_{b1} と参照電圧 V_{ref} との間の大きな電位差が得られやすく、読み出しマージンを確保することができる。また、アクセストランジスタは、フューズ素子とリードビット線との間に配置される。これにより、電荷が引き抜かれる際における、ビット線の電圧の変化速度（低下速度）が、書き込みデータのパターンによってばらつくことを抑制することができる。この結果、読み出し動作を安定して行うことができる。また、図7に示すように、第1実施形態では、比較例と比較して、ビット線電圧 V_{b0} 、 V_{b1} と、参照電圧 V_{ref} と、の間の電位差が早く広がる。これにより、ワード線活性化からセンスアンプ活性化までの時間を短縮することができる。この結果、高速な読み出し動作が可能になる。

[0150] また、図7の下段に示すように、第1実施形態では、電荷を引き抜く速度の差により、ワード線活性化から比較的短時間でビット線電圧 V_{b0} 、 V_{b1} と参照電圧 V_{ref} との間の電位差が生じている。電荷を引き抜く速度は、抵抗値の差によって生じるため、読み出し開始時のプリチャージ電圧の大きさによらず、十分な電位差が得られる可能性がある。例えば、比較部72が適切に比較を行うことが可能な範囲内で、電源電圧 V_{DD} を低くすることができる。これにより、低電圧化することができる。すなわち、第1電圧と第2電圧との電位差は、デコーダ4が第1アクセストランジスタ $TRA1$ 又は第2アクセストランジスタ $TRA2$ がオンした後における、第1リードビ

ット線RBL Lと第2リードビット線RBL Rとの間の電圧変化速度の差に応じた電位差である。

[0151] <第2実施形態>

図8は、第2実施形態に係る半導体記憶装置1の詳細な構成例を示す回路図である。第2実施形態は、ライトビット線WBLがグランドに接続されている点で、第1実施形態とは異なっている。なお、第2実施形態におけるライトビット線WBLは、比較例におけるグランド線GNDに対応する。

[0152] 図8に示す例では、書き込み動作における第1電圧は、例えば、フューズ電源電圧VDDFILである。書き込み動作における第2電圧は、例えば、グランド電圧(0V)である。したがって、書き込み動作において、第1電圧は、第2電圧よりも高い。読み出し動作における第1電圧は、例えば、電源電圧VDDである。読み出し動作における第2電圧は、例えば、グランド電圧である。したがって、読み出し動作において、第1電圧は、第2電圧よりも高い。なお、書き込み動作における第1電圧(フューズ電源電圧VDDFIL)は、読み出し動作における第1電圧(電源電圧VDD)よりも高い。

[0153] 第2実施形態における電圧供給部8は、第1実施形態と比較して、第3ブロートランジスタTRB3及びリードトランジスタTRRが設けられない。

[0154] 第1ブロートランジスタTRB1は、第1リードビット線RBL L上のノードN4と、フューズ電源電圧ノードVDDFILと、の間に接続される。第1ブロートランジスタTRB1のゲートには、/BLOWL信号が入力される。第1ブロートランジスタTRB1は、例えば、PMOSトランジスタである。

[0155] 第2ブロートランジスタTRB2は、第2リードビット線RBL R上のノードN5と、フューズ電源電圧ノードVDDFILと、の間に接続される。第2ブロートランジスタTRB2のゲートには、/BLOWR信号が入力される。第2ブロートランジスタTRB2は、例えば、PMOSトランジスタである。

[0156] 第1プリチャージトランジスタTRP1は、第1リードビット線RBL L上のノードN4と、電源電圧ノードVDDと、の間に接続される。

[0157] 第2プリチャージトランジスタTRP2は、第2リードビット線RBL R上のノードN5と、電源電圧ノードVDDと、の間に接続される。

[0158] なお、ライトビット線WBLは、グラウンドに接続され、グラウンド電圧に固定されている。すなわち、電圧供給部8は、ライトビット線WBLを第2電圧（グラウンド電圧）に固定させる。

[0159] [半導体記憶装置の書き込み動作]

図9は、第2実施形態に係る半導体記憶装置1の書き込み動作例を示すタイミングチャートである。

[0160] 初期状態において、 \neg BL OWL信号及び \neg BL OWR信号は、ハイ状態である。したがって、第1ブロートランジスタTRB1及び第2ブロートランジスタTRB2は、オフ状態である。ワード線WL0、RWL1の信号は、ロー状態である。したがって、第2アクセストランジスタTRA2及び第1参照トランジスタTRF1は、オフ状態である。

[0161] まず、時刻t21において、ワード線WL0の信号は、ハイになる。これにより、第2アクセストランジスタTRA2は、オンする。

[0162] 次に、時刻t22において、 \neg BL OWR信号は、ローになる。これにより、第2ブロートランジスタTRB2は、オンする。この結果、第2リードビット線RBL Rの電圧が立ち上がり、第2フェーズ素子F2は、フェーズ電源電圧VDDFILによってバイアスされ、書き込み状態になる。

[0163] その後、 \neg BL OWR信号はハイになり、ワード線WL0の信号はローになる。これにより、第2ブロートランジスタTRB2はオフし、第2アクセストランジスタTRA2はオフする。

[0164] [半導体記憶装置の読み出し動作]

図10は、第2実施形態に係る半導体記憶装置1の読み出し動作例を示すタイミングチャートである。

[0165] 図10では、READ信号が入力されない。第2実施形態に係る半導体記

憶装置 1 のその他の読み出し動作については、第 1 実施形態で説明した図 4 と同じである。

[0166] 第 2 実施形態のように、ライトビット線 WBL がグランドに接続されてもよい。この場合にも、第 1 実施形態と同様の効果を得ることができる。

[0167] <第 3 実施形態>

図 11 は、第 3 実施形態に係る半導体記憶装置 1 の詳細な構成例を示す回路図である。第 3 実施形態は、第 1 リードビット線 RBLL 及び第 2 リードビット線 RBLR のプリチャージレベルが 0V である点で、第 1 実施形態とは異なっている。

[0168] 図 11 に示す例では、書き込み動作における第 1 電圧は、例えば、グランド電圧 (0V) である。書き込み動作における第 2 電圧は、例えば、フューズ電源電圧 VDDFIL である。したがって、書き込み動作において、第 1 電圧は、第 2 電圧よりも低い。読み出し動作における第 1 電圧は、例えば、グランド電圧である。読み出し動作における第 2 電圧は、例えば、電源電圧 VDD である。したがって、読み出し動作において、第 1 電圧は、第 2 電圧よりも低い。なお、書き込み動作における第 2 電圧 (フューズ電源電圧 VDDFIL) は、読み出し動作における第 2 電圧 (電源電圧 VDD) よりも高い。

[0169] 第 3 実施形態における電圧供給部 8 は、第 1 実施形態と比較して、第 1 ブロートランジスタ TRB1 及び第 2 ブロートランジスタ TRB2 が設けられない。

[0170] 第 3 ブロートランジスタ TRB3 は、ライトビット線 WBL 上のノード N6 と、フューズ電源電圧ノード VDDFIL と、の間に接続される。

[0171] リードトランジスタ TRR は、ライトビット線 WBL 上のノード N6 と、電源電圧ノード VDD と、の間に接続される。リードトランジスタ TRR のゲートには、/READ 信号が入力される。リードトランジスタ TRR は、例えば、PMOS トランジスタである。

[0172] 第 1 プリチャージトランジスタ TRP1 は、第 1 リードビット線 RBLL

の一端と、グランドと、の間に接続される。第1プリチャージトランジスタTRP1のゲートには、PRE信号が入力される。第1プリチャージトランジスタTRP1は、例えば、NMOSトランジスタである。

[0173] 第2プリチャージトランジスタTRP2は、第2リードビット線RBLRの一端と、グランドと、の間に接続される。第2プリチャージトランジスタTRP2のゲートには、PRE信号が入力される。第2プリチャージトランジスタTRP2は、例えば、NMOSトランジスタである。

[0174] 比較制御部73は、第1実施形態におけるNAND回路ND1に代えて、OR回路OR1を有する。

[0175] OR回路OR1の2つの入力部は、第1リードビット線RBLL及び第2リードビット線RBLRと電氣的に接続される。OR回路OR1の出力部は、比較制御トランジスタTRCのゲートと電氣的に接続される。OR回路OR1は、第1リードビット線RBLL及び第2リードビット線RBLRの少なくとも一方の電圧が第2所定値よりも高い場合、ハイの信号を出力する。

[0176] [半導体記憶装置の書き込み動作]

図12は、第3実施形態に係る半導体記憶装置1の書き込み動作例を示すタイミングチャートである。

[0177] 初期状態において、PRE信号は、ハイ状態である。したがって、第1プリチャージトランジスタTRP1及び第2プリチャージトランジスタTRP2は、オン状態である。

[0178] 書き込み動作中では、第1プリチャージトランジスタTRP1及び第2プリチャージトランジスタTRP2は、第1実施形態における第1ブロートランジスタTRB1及び第2ブロートランジスタTRB2とほぼ同様に動作する。第3実施形態に係る半導体記憶装置1のその他の動作については、第1実施形態で説明した図3と同じである。

[0179] なお、書き込み動作中では、図示しない／READ信号は、ハイ状態である。したがって、リードトランジスタTRRは、オフ状態である。

[0180] [半導体記憶装置の読み出し動作]

図13は、第3実施形態に係る半導体記憶装置1の読み出し動作例を示すタイミングチャートである。

- [0181] 初期状態において、 READ 信号は、ロー状態である。したがって、リードトランジスタ TRR は、オン状態である。この結果、ライトビット線 WBL は、電源電圧 VDD にプリチャージされている。図11に示す、全ての第1アクセストランジスタ TRA1 、全ての第2アクセストランジスタ TRA2 、第1参照トランジスタ TRF1 、及び、第2参照トランジスタ TRF2 は、オフ状態である。したがって、メモリセル MC の状態が書き込み状態（「1」）であるか、又は、未書き込み状態（「0」）であるかによらず、電荷は、抜けることなく、ライトビット線 WBL に蓄積される。
- [0182] 初期状態において、 PRE 信号は、ハイ状態である。したがって、第1プリチャージトランジスタ TRP1 及び第2プリチャージトランジスタ TRP2 は、オン状態である。この結果、第1リードビット線 RBLL （第1分離リードビット線 LBLL ）及び第2リードビット線 RBLR （第2分離リードビット線 LBLR ）の電圧は、例えば、 0V にディスチャージされている。
- [0183] まず、時刻 t_{51} において、 PRE 信号は、ローになる。これにより、第1プリチャージトランジスタ TRP1 及び第2プリチャージトランジスタ TRP2 は、オフする。ワード線 WL0 、 RWL1 の信号は、略同時にハイになる。これにより、第2アクセストランジスタ TRA2 及び第1参照トランジスタ TRF1 は、略同時にオンする。この結果、時刻 t_{51} の後、第1分離リードビット線 LBLL 及び第2分離リードビット線 LBLR の電圧は、上昇する。これは、 0V にディスチャージされた第1分離リードビット線 LBLL 及び第2分離リードビット線 LBLR が、リードトランジスタ TRR 及びライトビット線 WBL を介して、電源電圧 VDD のレベルにチャージされるためである。
- [0184] ここで、第1分離リードビット線 LBLL と第2分離リードビット線 LBLR との間で、電圧の上昇速度が異なっている。第1分離リードビット線 L

B L Lの電圧の上昇速度は、第1参照抵抗素子R F 1の抵抗値によって決まる。したがって、第1分離リードビット線L B L Lの電圧の上昇速度は、第2メモリセルM C 2が有する第2フューズ素子F 2の状態(0/1)によって変化しない。一方、第2分離リードビット線L B L Rの電圧の上昇速度は、第2メモリセルM C 2が有する第2フューズ素子F 2の状態(0/1)によって変化する。

[0185] まず、第2メモリセルM C 2が書き込み状態である場合における読み出し動作について説明する(1-read)。

[0186] 第2メモリセルM C 2の第2フューズ素子F 2の抵抗値は、第1参照抵抗素子R F 1の抵抗値よりも高いため、第2分離リードビット線L B L Rの電圧の上昇速度は、第1分離リードビット線L B L Lの電圧の上昇速度よりも遅い。

[0187] 時刻t 5 2において、第1分離リードビット線L B L Lの電圧は、O R回路O R 1の論理閾値(第2所定値)よりも高くなる。これにより、時刻t 5 3において、O R回路O R 1は、ローからハイになる信号S Eを比較制御トランジスタT R Cのゲートに入力する。また、信号S Eがハイになることにより、時刻t 5 4において、信号C Sは、ローになる。これにより、第1分離トランジスタT R S 1及び第2分離トランジスタT R S 2は、オフする。この結果、第1リードビット線R B L L及び第2リードビット線R B L Rは、それぞれ第1分離リードビット線L B L L及び第2分離リードビット線L B L Rと電氣的に切断される。

[0188] 時刻t 5 3において、比較制御トランジスタT R Cがオンすることにより、比較部7 2による電圧の比較が行われる。すなわち、比較制御部7 3は、第1リードビット線R B L L及び第2リードビット線R B L Rの少なくとも一方の電圧が第2所定値よりも高くなるタイミングで、比較部7 2に比較を開始させる。時刻t 5 3の後、比較部7 2は、第1分離リードビット線L B L Lと第2分離リードビット線L B L Rとの間の電位差を増幅して比較する。

- [0189] その後、PRE信号はハイになり、ワード線WL0、RWL1の信号はローになる。これにより、第1プリチャージトランジスタTRP1及び第2プリチャージトランジスタTRP2はオンし、第2アクセストランジスタTRA2及び第1参照トランジスタTRF1はオフする。
- [0190] 次に、第2メモリセルMC2が未書き込み状態である場合における読み出し動作について説明する（O-read）。
- [0191] 第2メモリセルMC2の第2フューズ素子F2の抵抗値は、第1参照抵抗素子RF1の抵抗値よりも低いため、第2分離リードビット線LBLRの電圧の上昇速度は、第1分離リードビット線LBLLの電圧の上昇速度よりも速い。
- [0192] 時刻t55において、第2分離リードビット線LBLRの電圧は、OR回路OR1の論理閾値（第2所定値）よりも高くなる。これにより、時刻t55において、OR回路OR1は、ローからハイになる信号SEを比較制御トランジスタTRCのゲートに入力する。また、信号SEがハイになることにより、時刻t57において、信号CSは、ローになる。これにより、第1分離トランジスタTRS1及び第2分離トランジスタTRS2は、オフする。この結果、第1リードビット線LBLL及び第2リードビット線LBLRは、それぞれ第1分離リードビット線LBLL及び第2分離リードビット線LBLRと電氣的に切断される。
- [0193] 時刻t56において、比較制御トランジスタTRCがオンすることにより、比較部72による電圧の比較が行われる。すなわち、比較制御部73は、第1リードビット線LBLL及び第2リードビット線LBLRの少なくとも一方の電圧が第2所定値よりも高くなるタイミングで、比較部72に比較を開始させる。時刻t56の後、比較部72は、第1分離リードビット線LBLLと第2分離リードビット線LBLRとの間の電位差を増幅して比較する。
- [0194] その後、PRE信号はハイになり、ワード線WL0、RWL1の信号はローになる。これにより、第1プリチャージトランジスタTRP1及び第2プ

リチャージトランジスタTRP2はオンし、第2アクセストランジスタTRA2及び第1参照トランジスタTRF1はオフする。

[0195] 図13に示すように、第2メモリセルMC2の状態(0/1)によって、比較部72による比較開始タイミングが異なっている。すなわち、ワード線の電圧の立ち上がりからセンスアンプ活性化までのタイミングは、第1分離リードビット線LBLE及び第2分離リードビット線LBLRのうち、OR回路OR1の論理閾値(第2所定値)を先に上回る方の速度で自己整合的に決められる。

[0196] 第3実施形態のように、第1リードビット線RBLE及び第2リードビット線RBLRのプリチャージレベルが0Vであってもよい。この場合にも、第1実施形態と同様の効果を得ることができる。

[0197] <第4実施形態>

図14は、第4実施形態に係る半導体記憶装置1の詳細な構成例を示す回路図である。第4実施形態は、メモリセルMC及び参照電圧生成部71に含まれるトランジスタがPMOSトランジスタである点で、第2実施形態とは異なっている。

[0198] 第1アクセストランジスタTRA1、第2アクセストランジスタTRA2、第1参照トランジスタTRF1、及び、第2参照トランジスタTRF2は、例えば、PMOSトランジスタである。

[0199] [半導体記憶装置の書き込み動作]

図15は、第2実施形態に係る半導体記憶装置1の書き込み動作例を示すタイミングチャートである。

[0200] 第4実施形態では、第2実施形態と比較して、ワード線WL0、RWL1の信号のハイとローとの関係が逆である。第4実施形態に係る半導体記憶装置1のその他の書き込み動作については、第2実施形態で説明した図9と同じである。

[0201] [半導体記憶装置の読み出し動作]

図16は、第4実施形態に係る半導体記憶装置1の読み出し動作例を示す

タイミングチャートである。

[0202] 第4実施形態では、第2実施形態と比較して、ワード線WL0、RWL1の信号のハイとローとの関係が逆である。第4実施形態に係る半導体記憶装置1のその他の読み出し動作については、第2実施形態で説明した図10と同じである。

[0203] 第4実施形態のように、メモリセルMC及び参照電圧生成部71に含まれるトランジスタがPMOSトランジスタであってもよい。この場合にも、第2実施形態と同様の効果を得ることができる。なお、第1実施形態又は第3実施形態においても、メモリセルMC及び参照電圧生成部71に含まれるトランジスタがPMOSトランジスタであってもよい。

[0204] なお、本技術は以下のような構成を取ることができる。

(1)

第1電圧を供給する第1電圧供給線と、前記第1電圧とは異なる第2電圧を供給する第2電圧供給線と、の間に並列に接続される1つ以上の第1メモリセルと、

前記第2電圧供給線と、前記第1電圧を供給する第3電圧供給線と、の間に並列に接続される1つ以上の第2メモリセルと、

を備え、

前記第1メモリセルのそれぞれは、

第1状態又は第2状態に応じた抵抗値を有する第1記憶素子と、

前記第1記憶素子と前記第1電圧供給線との間に接続される第1セルトランジスタと、を有し、

前記第2メモリセルのそれぞれは、

第1状態又は第2状態に応じた抵抗値を有する第2記憶素子と、

前記第2記憶素子と前記第3電圧供給線との間に接続される第2セルトランジスタと、を有する、半導体記憶装置。

(2)

前記第1メモリセルの数、及び、前記第2メモリセルの数は、同じである

、（１）に記載の半導体記憶装置。

（３）

前記第１メモリセル及び前記第２メモリセルは、前記第２電圧供給線を挟んで、略対称に配置される、（１）又は（２）に記載の半導体記憶装置。

（４）

前記第１メモリセル又は前記第２メモリセルの読み出し動作において、前記第１電圧供給線及び前記第３電圧供給線に前記第１電圧を供給させるとともに、前記第２電圧供給線に前記第２電圧を供給させ、前記第１電圧の供給を停止させる電圧供給部と、

前記第１電圧の供給停止中に、読み出し対象である前記第１メモリセルが有する前記第１セルトランジスタ、又は、読み出し対象である前記第２メモリセルが有する前記第２セルトランジスタをオンするセルトランジスタ制御部と、

をさらに備える、（１）乃至（３）のいずれか一項に記載の半導体記憶装置。

（５）

前記第１電圧と前記第２電圧との電位差は、前記セルトランジスタ制御部が前記第１セルトランジスタ又は前記第２セルトランジスタがオンした後における、前記第１電圧供給線と前記第３電圧供給線との間の電圧変化速度の差に応じた電位差である、（４）に記載の半導体記憶装置。

（６）

前記第２電圧供給線は、前記第２電圧に固定される、（４）又は（５）に記載の半導体記憶装置。

（７）

第１状態に応じた抵抗値を有する前記第１記憶素子及び前記第２記憶素子が、前記第１電圧及び前記第２電圧に基づいてバイアスされて生成される電圧と、第２状態に応じた抵抗値を有する前記第１記憶素子及び前記第２記憶素子が、前記第１電圧及び前記第２電圧に基づいてバイアスされて生成され

る電圧と、の間の電圧レベルを有する参照電圧を生成する参照電圧生成部と、

前記参照電圧と、前記第 1 記憶素子又は前記第 2 記憶素子が前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、を比較する比較部と、

をさらに備える、(1)乃至(6)のいずれか一項に記載の半導体記憶装置。

(8)

前記参照電圧生成部は、

前記第 1 電圧供給線と前記第 2 電圧供給線との間に接続され、前記第 2 メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第 1 参照電圧生成部と、

前記第 2 電圧供給線と前記第 3 電圧供給線との間に接続され、前記第 1 メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第 2 参照電圧生成部と、

を有する、(7)に記載の半導体記憶装置。

(9)

前記第 1 参照電圧生成部及び前記第 2 参照電圧生成部は、前記第 2 電圧供給線を挟んで、略対称に配置される、(8)に記載の半導体記憶装置。

(10)

前記第 1 参照電圧生成部は、

第 1 参照抵抗素子と、

前記第 1 参照抵抗素子と前記第 1 電圧供給線との間に接続される第 1 参照トランジスタと、

を有し、

前記第 2 参照電圧生成部は、

第 2 参照抵抗素子と、

前記第 2 参照抵抗素子と前記第 3 電圧供給線との間に接続される第 2 参照

トランジスタと、

を有する、(8)又は(9)に記載の半導体記憶装置。

(11)

前記比較部は、前記第1電圧供給線の電圧と、前記第3電圧供給線の電圧と、を比較することにより、前記参照電圧と、前記第1記憶素子又は前記第2記憶素子が前記第1電圧及び前記第2電圧に基づいてバイアスされて生成される電圧と、を比較し、

前記第1電圧供給線及び前記第3電圧供給線の電圧に応じたタイミングで、前記比較部に比較を開始させる比較制御部をさらに備える、(7)乃至(10)のいずれか一項に記載の半導体記憶装置。

(12)

前記比較制御部は、

前記第1電圧が前記第2電圧よりも高い場合、前記第1電圧供給線及び前記第3電圧供給線の少なくとも一方の電圧が第1所定値よりも低くなるタイミングで、前記比較部に比較を開始させ、

前記第1電圧が前記第2電圧よりも低い場合、前記第1電圧供給線及び前記第3電圧供給線の少なくとも一方の電圧が第2所定値よりも高くなるタイミングで、前記比較部に比較を開始させる、(11)に記載の半導体記憶装置。

(13)

読み出し動作において、前記第1電圧は、前記第2電圧よりも高い、(1)乃至(12)のいずれか一項に記載の半導体記憶装置。

(14)

書き込み動作において、前記第1電圧は、前記第2電圧よりも低く、書き込み動作における前記第2電圧は、読み出し動作における前記第1電圧よりも高い、(13)に記載の半導体記憶装置。

(15)

書き込み動作において、前記第1電圧は、前記第2電圧よりも高く、

書き込み動作における前記第1電圧は、読み出し動作における前記第1電圧よりも高い、(13)に記載の半導体記憶装置。

(16)

読み出し動作において、前記第1電圧は、前記第2電圧よりも低い、(1)乃至(12)のいずれか一項に記載の半導体記憶装置。

(17)

書き込み動作において、前記第1電圧は、前記第2電圧よりも低く、書き込み動作における前記第2電圧は、読み出し動作における前記第2電圧よりも高い、(16)に記載の半導体記憶装置。

[0205] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0206] 1 半導体記憶装置、2 メモリセルアレイ、4 デコーダ、7 読み出し回路、71 参照電圧生成部、711 第1参照電圧生成部、712 第2参照電圧生成部、72 比較部、73 比較制御部、8 電圧供給部、F フューズ素子、F1 第1フューズ素子、F2 第2フューズ素子、MC メモリセル、MC1 第1メモリセル、MC2 第2メモリセル、TRA1 第1アクセストランジスタ、TRA2 第2アクセストランジスタ、RBL1 第1リードビット線、RBL2 第2リードビット線、LBL1 第1分離リードビット線、LBL2 第2分離リードビット線、WBL ライトビット線、RF1 第1参照抵抗素子、RF2 第2参照抵抗素子、TRF1 第1参照トランジスタ、TRF2 第2参照トランジスタ、VDD 電源電圧、VDDFIL フューズ電源電圧

請求の範囲

- [請求項1] 第1電圧を供給する第1電圧供給線と、前記第1電圧とは異なる第2電圧を供給する第2電圧供給線と、の間に並列に接続される1つ以上の第1メモリセルと、
- 前記第2電圧供給線と、前記第1電圧を供給する第3電圧供給線と、の間に並列に接続される1つ以上の第2メモリセルと、
- を備え、
- 前記第1メモリセルのそれぞれは、
- 第1状態又は第2状態に応じた抵抗値を有する第1記憶素子と、
- 前記第1記憶素子と前記第1電圧供給線との間に接続される第1セルトランジスタと、 を有し、
- 前記第2メモリセルのそれぞれは、
- 第1状態又は第2状態に応じた抵抗値を有する第2記憶素子と、
- 前記第2記憶素子と前記第3電圧供給線との間に接続される第2セルトランジスタと、 を有する、半導体記憶装置。
- [請求項2] 前記第1メモリセルの数、及び、前記第2メモリセルの数は、同じである、請求項1に記載の半導体記憶装置。
- [請求項3] 前記第1メモリセル及び前記第2メモリセルは、前記第2電圧供給線を挟んで、略対称に配置される、請求項1に記載の半導体記憶装置。
- [請求項4] 前記第1メモリセル又は前記第2メモリセルの読み出し動作において、前記第1電圧供給線及び前記第3電圧供給線に前記第1電圧を供給させるとともに、前記第2電圧供給線に前記第2電圧を供給させ、前記第1電圧の供給を停止させる電圧供給部と、
- 前記第1電圧の供給停止中に、読み出し対象である前記第1メモリセルが有する前記第1セルトランジスタ、又は、読み出し対象である前記第2メモリセルが有する前記第2セルトランジスタをオンするセルトランジスタ制御部と、

をさらに備える、請求項 1 に記載の半導体記憶装置。

[請求項5] 前記第 1 電圧と前記第 2 電圧との電位差は、前記セルトランジスタ制御部が前記第 1 セルトランジスタ又は前記第 2 セルトランジスタがオンした後における、前記第 1 電圧供給線と前記第 3 電圧供給線との間の電圧変化速度の差に応じた電位差である、請求項 4 に記載の半導体記憶装置。

[請求項6] 前記第 2 電圧供給線は、前記第 2 電圧に固定される、請求項 4 に記載の半導体記憶装置。

[請求項7] 第 1 状態に応じた抵抗値を有する前記第 1 記憶素子及び前記第 2 記憶素子が、前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、第 2 状態に応じた抵抗値を有する前記第 1 記憶素子及び前記第 2 記憶素子が、前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、の間の電圧レベルを有する参照電圧を生成する参照電圧生成部と、

前記参照電圧と、前記第 1 記憶素子又は前記第 2 記憶素子が前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、を比較する比較部と、

をさらに備える、請求項 1 に記載の半導体記憶装置。

[請求項8] 前記参照電圧生成部は、
前記第 1 電圧供給線と前記第 2 電圧供給線との間に接続され、前記第 2 メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第 1 参照電圧生成部と、

前記第 2 電圧供給線と前記第 3 電圧供給線との間に接続され、前記第 1 メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第 2 参照電圧生成部と、

を有する、請求項 7 に記載の半導体記憶装置。

[請求項9] 前記第 1 参照電圧生成部及び前記第 2 参照電圧生成部は、前記第 2 電圧供給線を挟んで、略対称に配置される、請求項 8 に記載の半導体

記憶装置。

- [請求項10] 前記第1参照電圧生成部は、
第1参照抵抗素子と、
前記第1参照抵抗素子と前記第1電圧供給線との間に接続される第1参照トランジスタと、
を有し、
前記第2参照電圧生成部は、
第2参照抵抗素子と、
前記第2参照抵抗素子と前記第3電圧供給線との間に接続される第2参照トランジスタと、
を有する、請求項8に記載の半導体記憶装置。
- [請求項11] 前記比較部は、前記第1電圧供給線の電圧と、前記第3電圧供給線の電圧と、を比較することにより、前記参照電圧と、前記第1記憶素子又は前記第2記憶素子が前記第1電圧及び前記第2電圧に基づいてバイアスされて生成される電圧と、を比較し、
前記第1電圧供給線及び前記第3電圧供給線の電圧に応じたタイミングで、前記比較部に比較を開始させる比較制御部をさらに備える、請求項7に記載の半導体記憶装置。
- [請求項12] 前記比較制御部は、
前記第1電圧が前記第2電圧よりも高い場合、前記第1電圧供給線及び前記第3電圧供給線の少なくとも一方の電圧が第1所定値よりも低くなるタイミングで、前記比較部に比較を開始させ、
前記第1電圧が前記第2電圧よりも低い場合、前記第1電圧供給線及び前記第3電圧供給線の少なくとも一方の電圧が第2所定値よりも高くなるタイミングで、前記比較部に比較を開始させる、請求項11に記載の半導体記憶装置。
- [請求項13] 読み出し動作において、前記第1電圧は、前記第2電圧よりも高い、請求項1に記載の半導体記憶装置。

- [請求項14] 書き込み動作において、前記第1電圧は、前記第2電圧よりも低く、
書き込み動作における前記第2電圧は、読み出し動作における前記第1電圧よりも高い、請求項13に記載の半導体記憶装置。
- [請求項15] 書き込み動作において、前記第1電圧は、前記第2電圧よりも高く、
書き込み動作における前記第1電圧は、読み出し動作における前記第1電圧よりも高い、請求項13に記載の半導体記憶装置。
- [請求項16] 読み出し動作において、前記第1電圧は、前記第2電圧よりも低い、請求項1に記載の半導体記憶装置。
- [請求項17] 書き込み動作において、前記第1電圧は、前記第2電圧よりも低く、
書き込み動作における前記第2電圧は、読み出し動作における前記第2電圧よりも高い、請求項16に記載の半導体記憶装置。

補正された請求の範囲
[2023年1月13日 (13.01.2023) 国際事務局受理]

- [請求項1] (補正後) 第1電圧を供給する第1電圧供給線と、前記第1電圧とは異なる第2電圧を供給する第2電圧供給線と、の間に並列に接続される1つ以上の第1メモリセルと、
- 前記第2電圧供給線と、前記第1電圧を供給する第3電圧供給線と、の間に並列に接続される1つ以上の第2メモリセルと、
- を備え、
- 前記第1メモリセルのそれぞれは、
- 第1状態又は第2状態に応じた抵抗値を有する第1記憶素子と、
- 前記第1記憶素子と前記第1電圧供給線との間に接続される第1セルトランジスタと、
- を有し、
- 前記第2メモリセルのそれぞれは、
- 第1状態又は第2状態に応じた抵抗値を有する第2記憶素子と、
- 前記第2記憶素子と前記第3電圧供給線との間に接続される第2セルトランジスタと、
- を有し、
- 第1状態に応じた抵抗値を有する前記第1記憶素子及び前記第2記憶素子が、前記第1電圧及び前記第2電圧に基づいてバイアスされて生成される電圧と、第2状態に応じた抵抗値を有する前記第1記憶素子及び前記第2記憶素子が、前記第1電圧及び前記第2電圧に基づいてバイアスされて生成される電圧と、の間の電圧レベルを有する参照電圧を生成する参照電圧生成部と、
- 前記参照電圧と、前記第1記憶素子又は前記第2記憶素子が前記第1電圧及び前記第2電圧に基づいてバイアスされて生成される電圧と、を比較する比較部と、
- をさらに備え、
- 前記参照電圧生成部は、

前記第1電圧供給線と前記第2電圧供給線との間に接続され、前記第2メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第1参照電圧生成部と、

前記第2電圧供給線と前記第3電圧供給線との間に接続され、前記第1メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第2参照電圧生成部と、

を有し、

前記第1参照電圧生成部及び前記第2参照電圧生成部は、前記第2電圧供給線を挟んで、略対称に配置される、半導体記憶装置。

[請求項2] 前記第1メモリセルの数、及び、前記第2メモリセルの数は、同じである、請求項1に記載の半導体記憶装置。

[請求項3] 前記第1メモリセル及び前記第2メモリセルは、前記第2電圧供給線を挟んで、略対称に配置される、請求項1に記載の半導体記憶装置。

[請求項4] 前記第1メモリセル又は前記第2メモリセルの読み出し動作において、前記第1電圧供給線及び前記第3電圧供給線に前記第1電圧を供給させるとともに、前記第2電圧供給線に前記第2電圧を供給させ、前記第1電圧の供給を停止させる電圧供給部と、

前記第1電圧の供給停止中に、読み出し対象である前記第1メモリセルが有する前記第1セルトランジスタ、又は、読み出し対象である前記第2メモリセルが有する前記第2セルトランジスタをオンするセルトランジスタ制御部と、

をさらに備える、請求項1に記載の半導体記憶装置。

[請求項5] 前記第1電圧と前記第2電圧との電位差は、前記セルトランジスタ制御部が前記第1セルトランジスタ又は前記第2セルトランジスタがオンした後における、前記第1電圧供給線と前記第3電圧供給線との間の電圧変化速度の差に応じた電位差である、請求項4に記載の半導体記憶装置。

- [請求項6] 前記第2電圧供給線は、前記第2電圧に固定される、請求項4に記載の半導体記憶装置。
- [請求項7] (削除)
- [請求項8] (削除)
- [請求項9] (削除)
- [請求項10] (補正後) 前記第1参照電圧生成部は、
第1参照抵抗素子と、
前記第1参照抵抗素子と前記第1電圧供給線との間に接続される第1参照トランジスタと、
を有し、
前記第2参照電圧生成部は、
第2参照抵抗素子と、
前記第2参照抵抗素子と前記第3電圧供給線との間に接続される第2参照トランジスタと、
を有する、請求項1に記載の半導体記憶装置。
- [請求項11] (補正後) 前記比較部は、前記第1電圧供給線の電圧と、前記第3電圧供給線の電圧と、を比較することにより、前記参照電圧と、前記第1記憶素子又は前記第2記憶素子が前記第1電圧及び前記第2電圧に基づいてバイアスされて生成される電圧と、を比較し、
前記第1電圧供給線及び前記第3電圧供給線の電圧に応じたタイミングで、前記比較部に比較を開始させる比較制御部をさらに備える、請求項1に記載の半導体記憶装置。
- [請求項12] 前記比較制御部は、
前記第1電圧が前記第2電圧よりも高い場合、前記第1電圧供給線及び前記第3電圧供給線の少なくとも一方の電圧が第1所定値よりも低くなるタイミングで、前記比較部に比較を開始させ、
前記第1電圧が前記第2電圧よりも低い場合、前記第1電圧供給線及び前記第3電圧供給線の少なくとも一方の電圧が第2所定値よりも

高くなるタイミングで、前記比較部に比較を開始させる、請求項 1 1 に記載の半導体記憶装置。

[請求項13] 読み出し動作において、前記第 1 電圧は、前記第 2 電圧よりも高い、請求項 1 に記載の半導体記憶装置。

[請求項14] 書き込み動作において、前記第 1 電圧は、前記第 2 電圧よりも低く、
書き込み動作における前記第 2 電圧は、読み出し動作における前記第 1 電圧よりも高い、請求項 1 3 に記載の半導体記憶装置。

[請求項15] 書き込み動作において、前記第 1 電圧は、前記第 2 電圧よりも高く、
書き込み動作における前記第 1 電圧は、読み出し動作における前記第 1 電圧よりも高い、請求項 1 3 に記載の半導体記憶装置。

[請求項16] 読み出し動作において、前記第 1 電圧は、前記第 2 電圧よりも低い、請求項 1 に記載の半導体記憶装置。

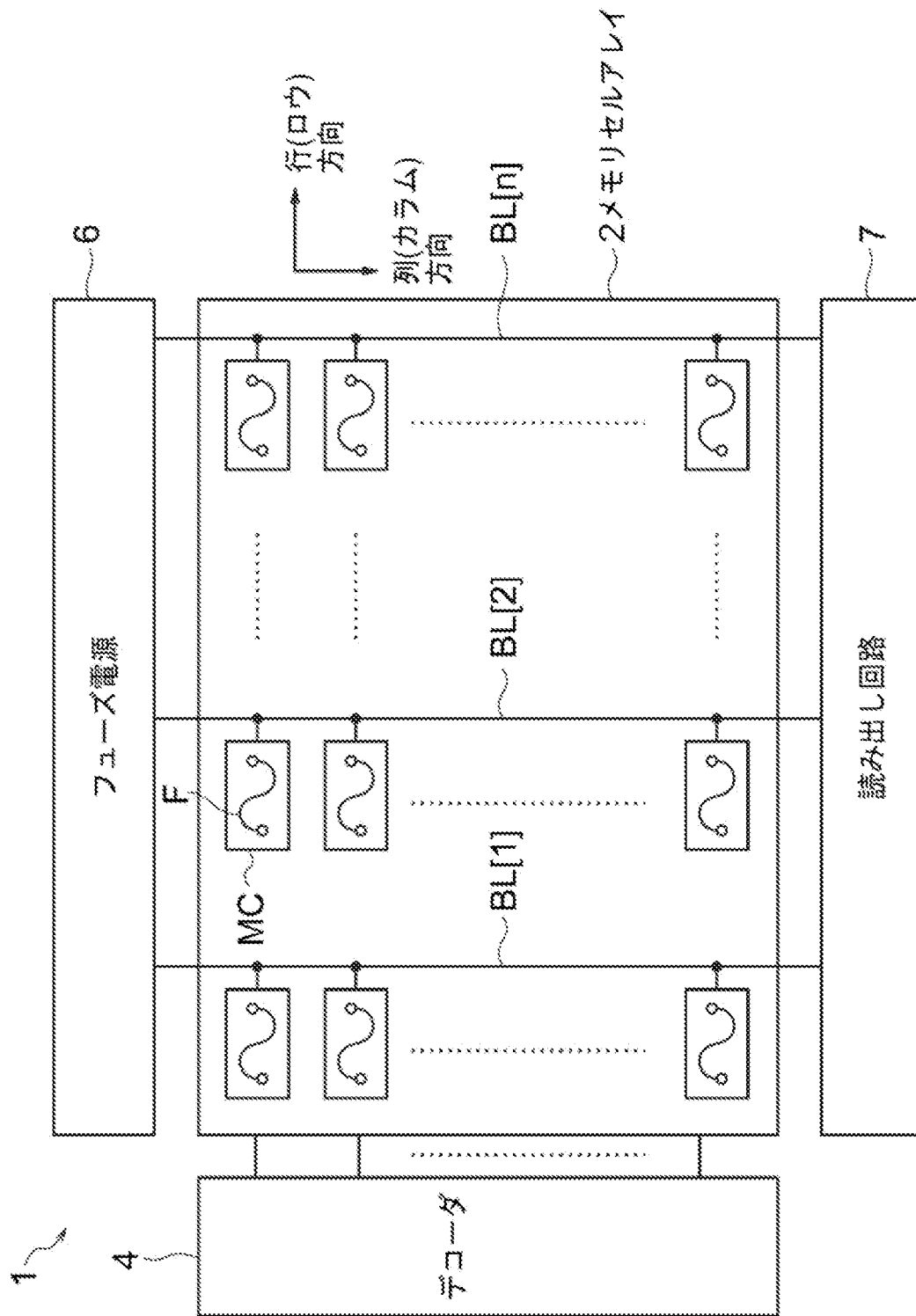
[請求項17] 書き込み動作において、前記第 1 電圧は、前記第 2 電圧よりも低く、
書き込み動作における前記第 2 電圧は、読み出し動作における前記第 2 電圧よりも高い、請求項 1 6 に記載の半導体記憶装置。

条約第19条（1）に基づく説明書

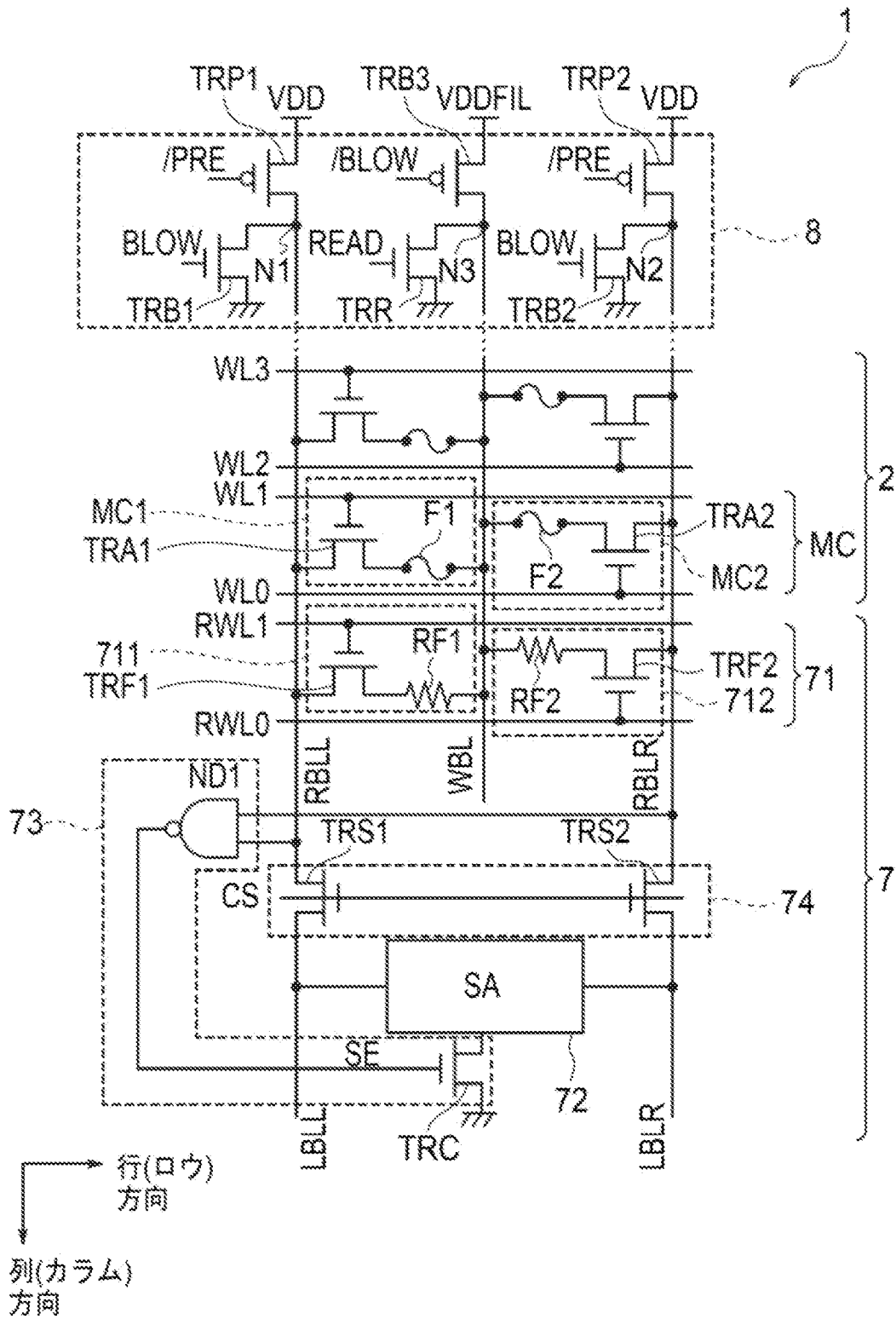
補正後の請求項1は、補正前の請求項7～9に記載の限定事項を含んでいません。補正前の請求項9に係る発明は、国際調査報告において、新規性及び進歩性を有すると認定されています。従って、補正後の請求項1に係る発明は、特許性を具備するものと思料いたします。また、補正後の請求項2～6、10～17に係る発明は、補正後の請求項1に従属する発明であり、補正後の請求項1と同様に特許性を具備するものと思料いたします。

上記の補正事項は、請求項の減縮に該当し、新規事項を追加するものではなく、出願当初の明細書及び図面にサポートされているものであり、適法な補正です。

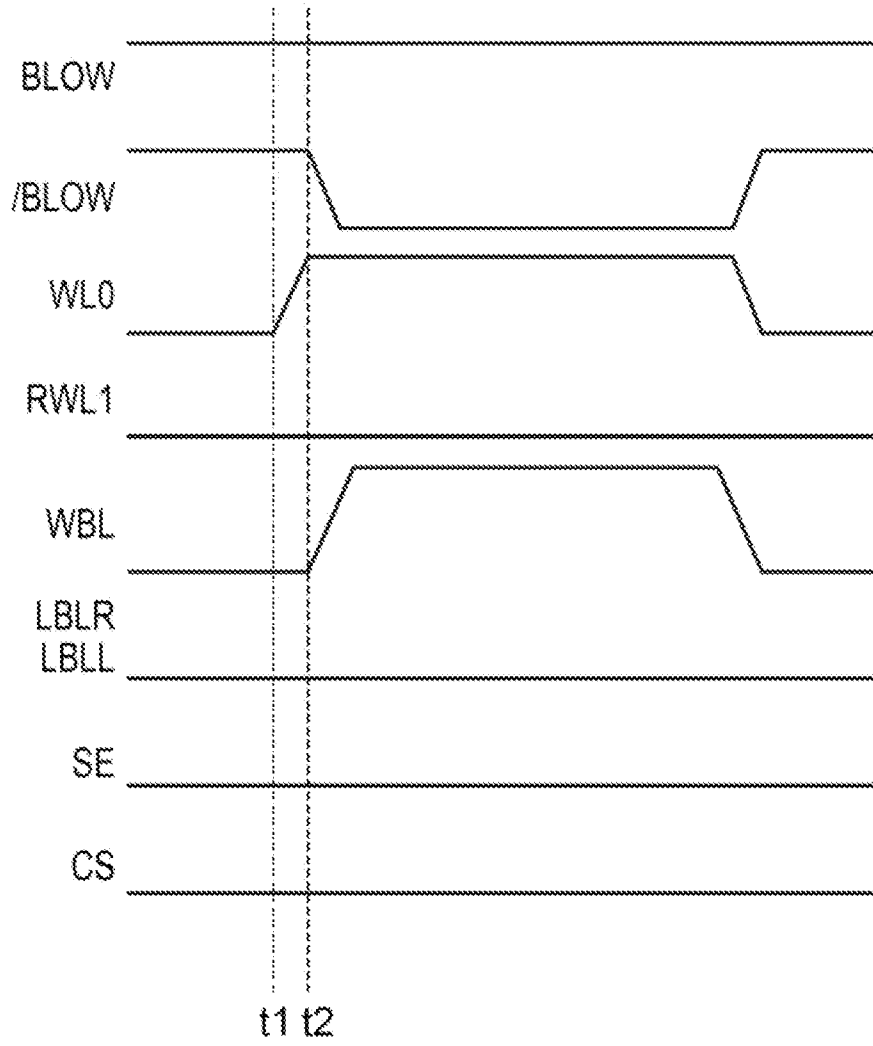
[図1]



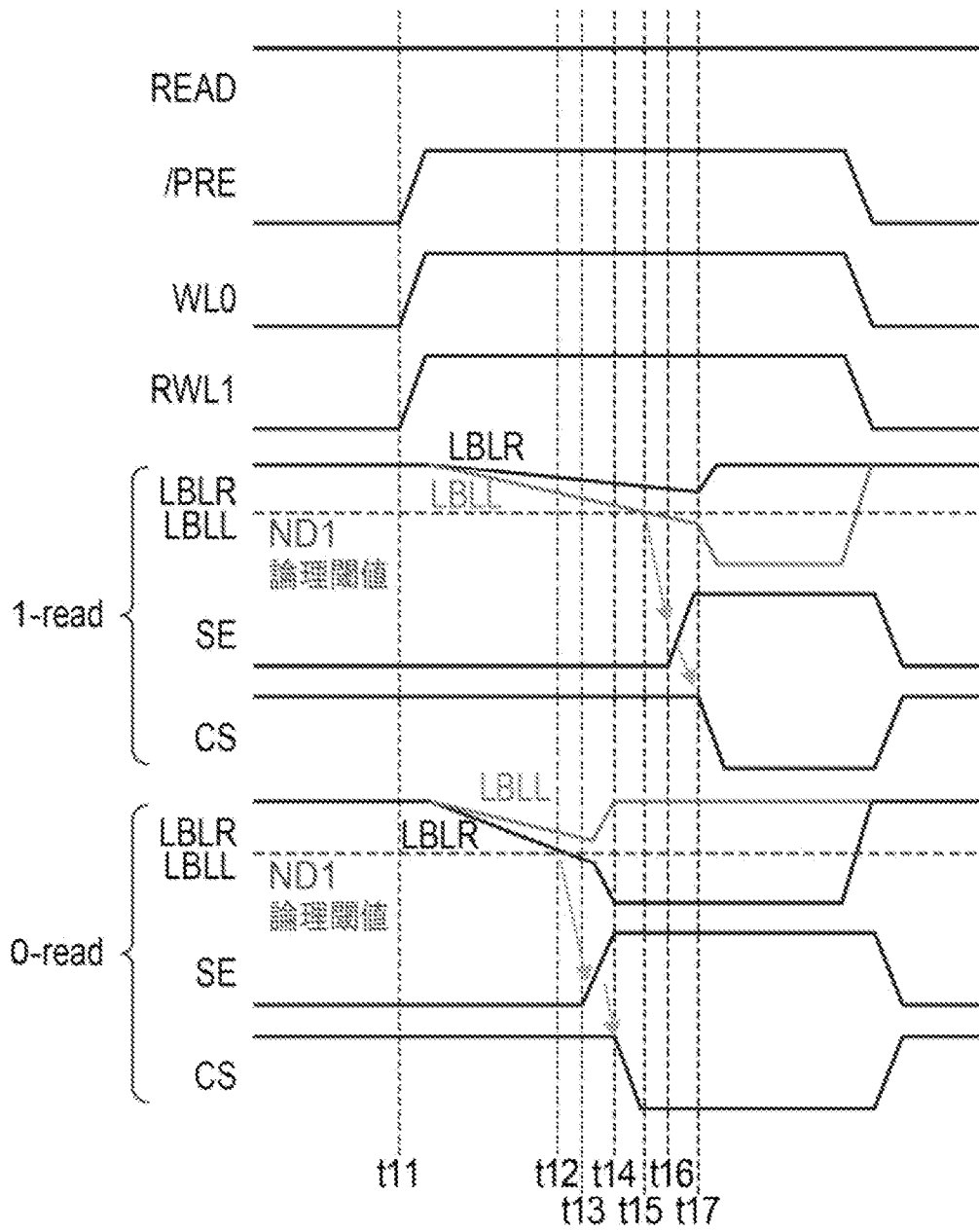
[図2]



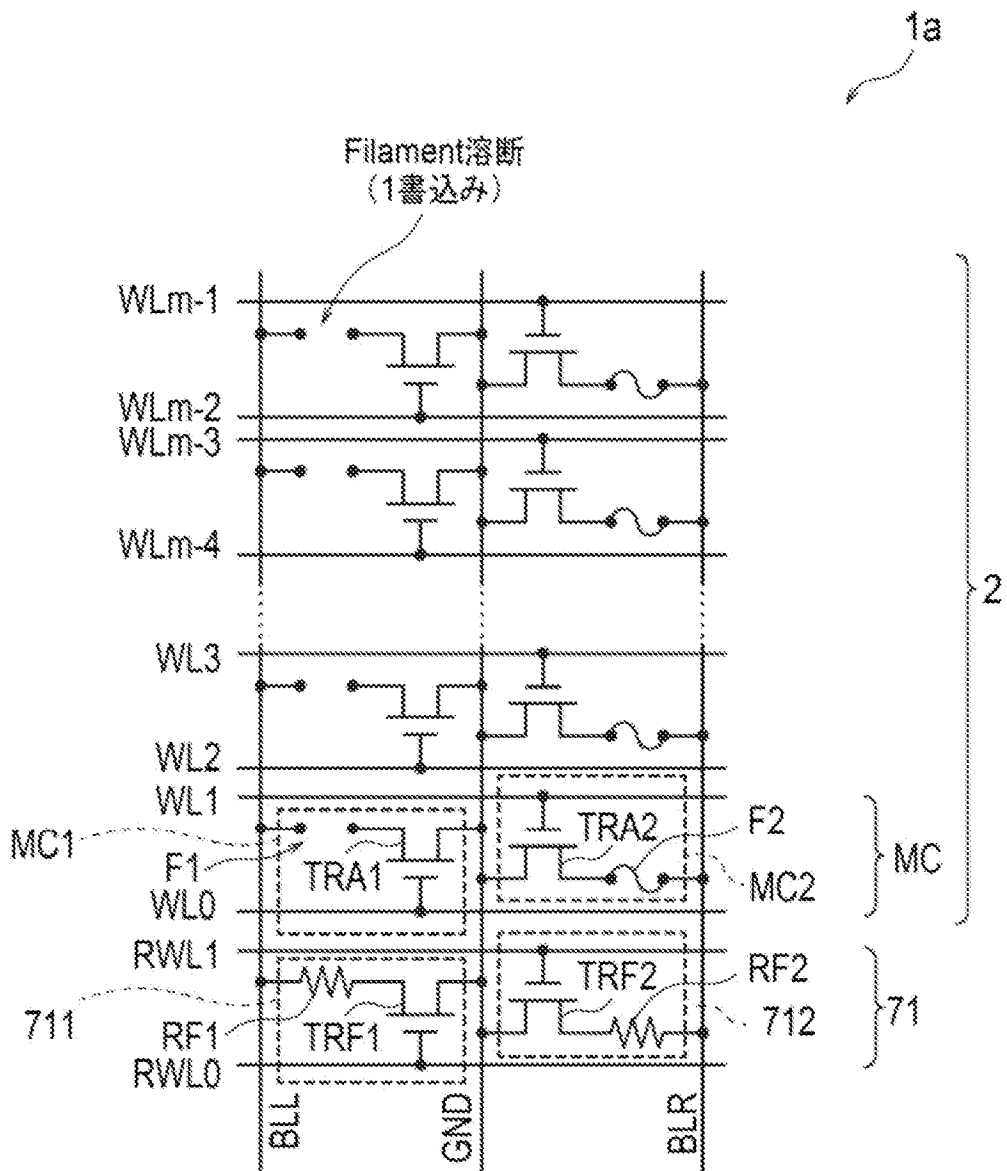
[図3]



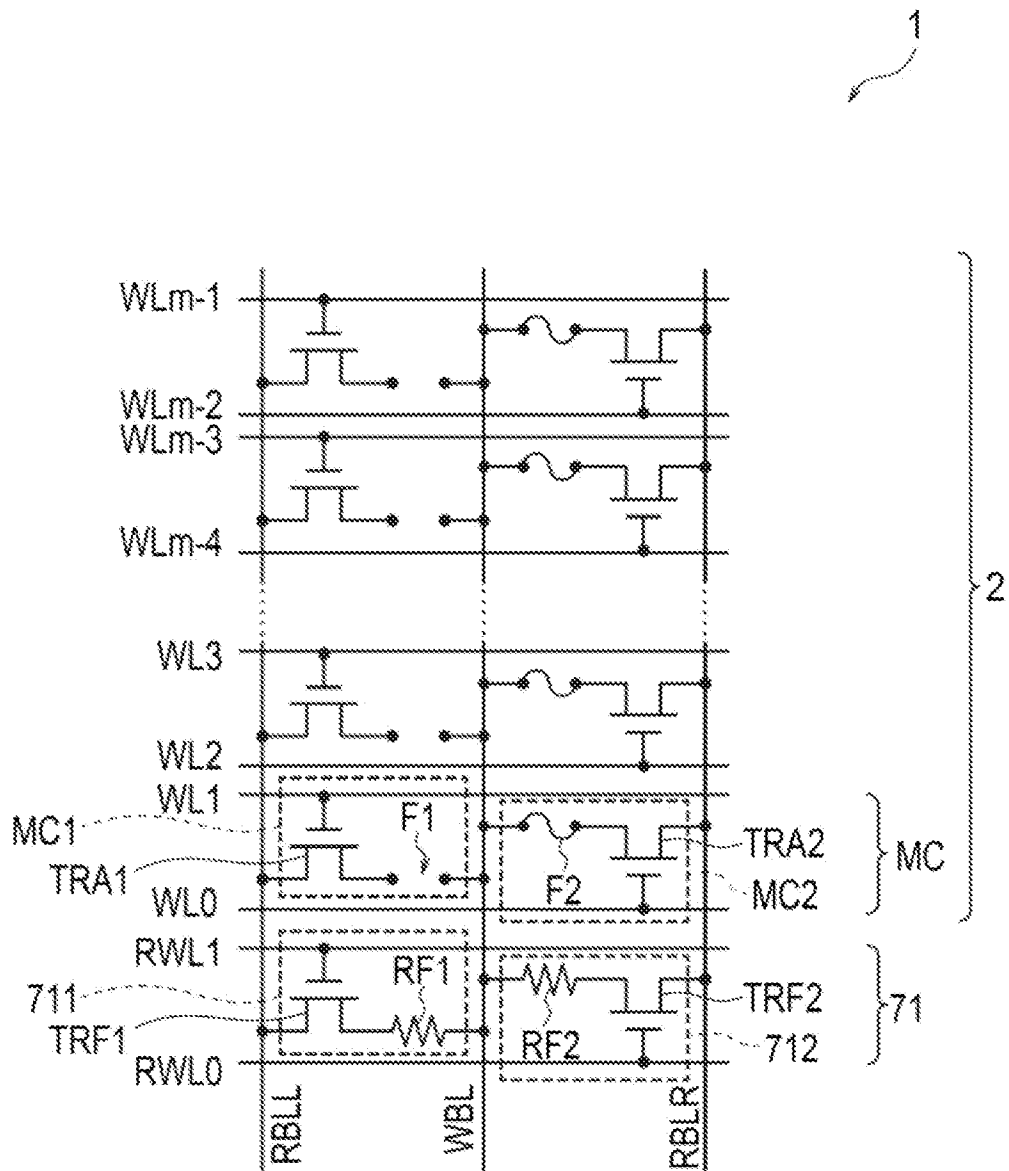
[図4]



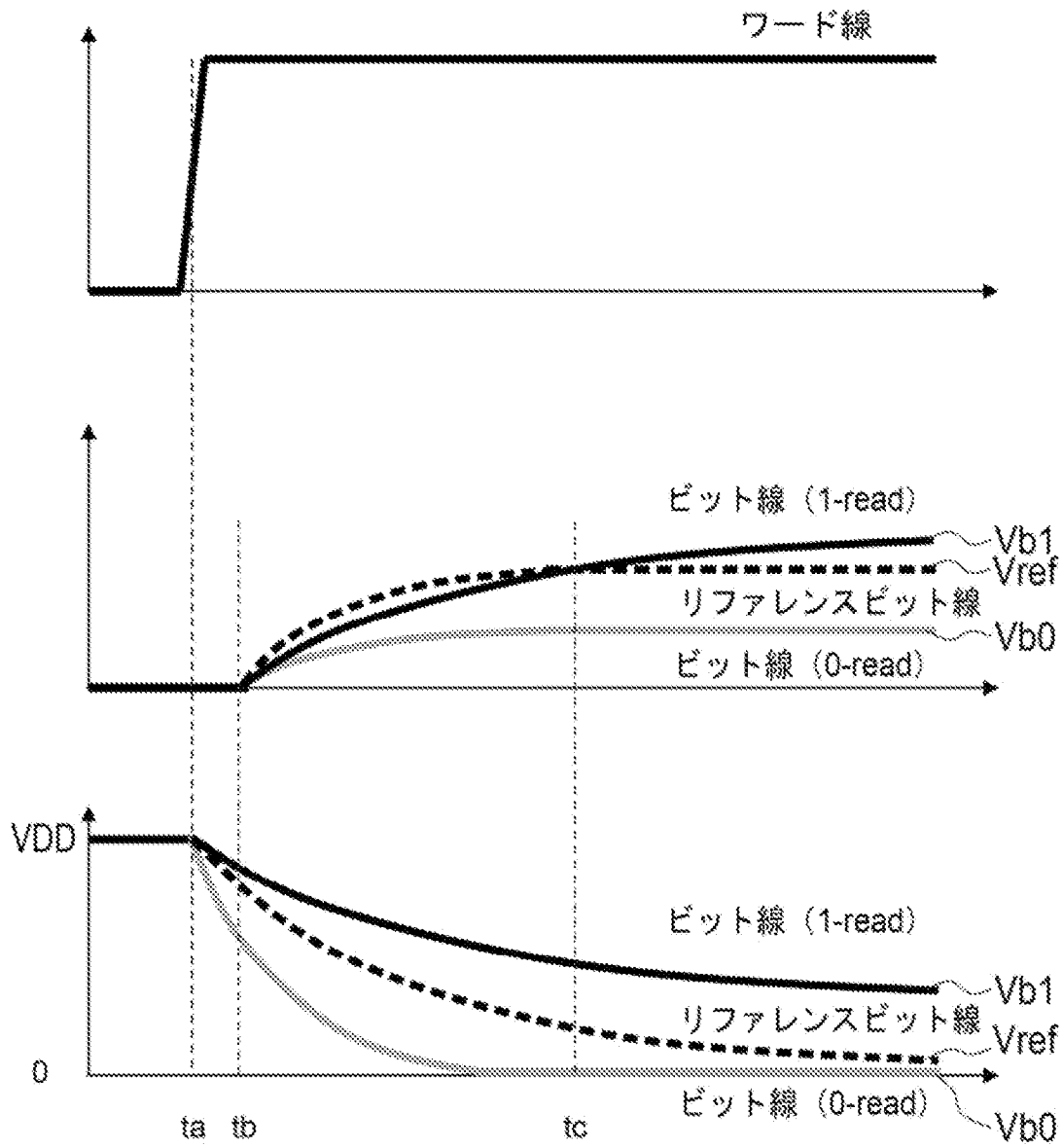
[図5]



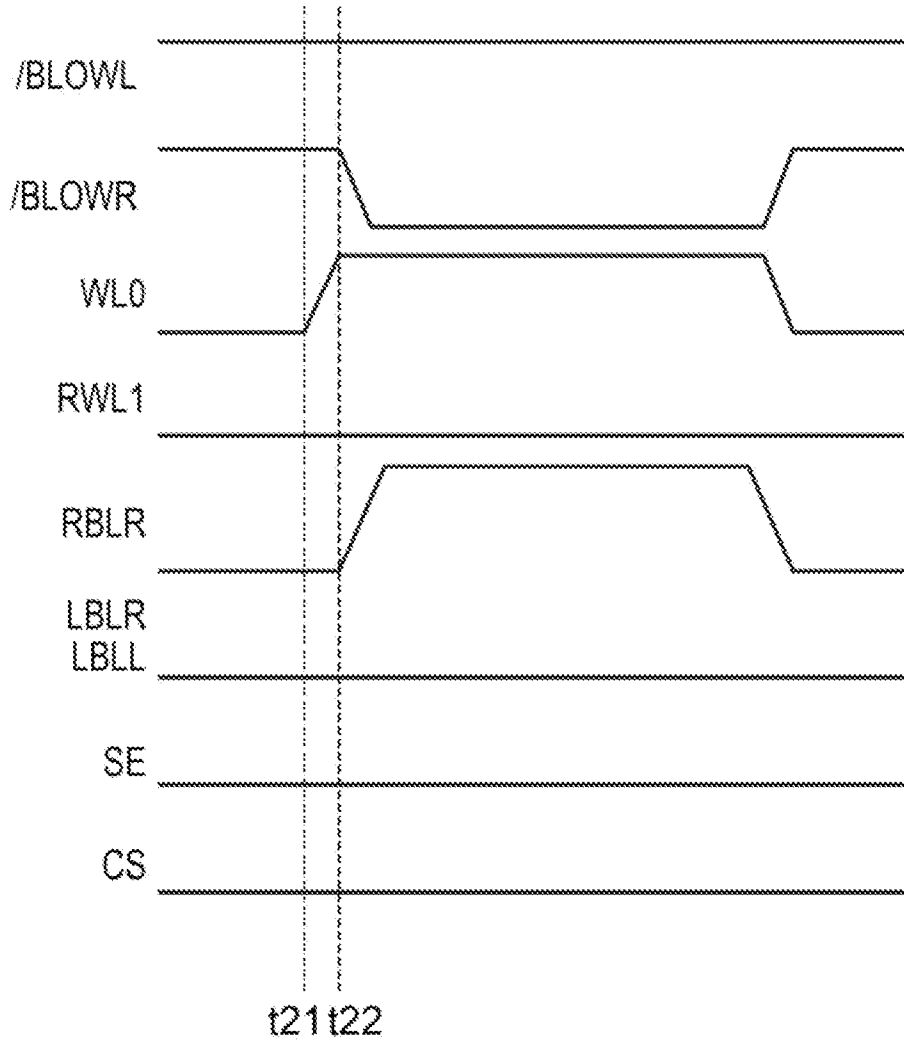
[図6]



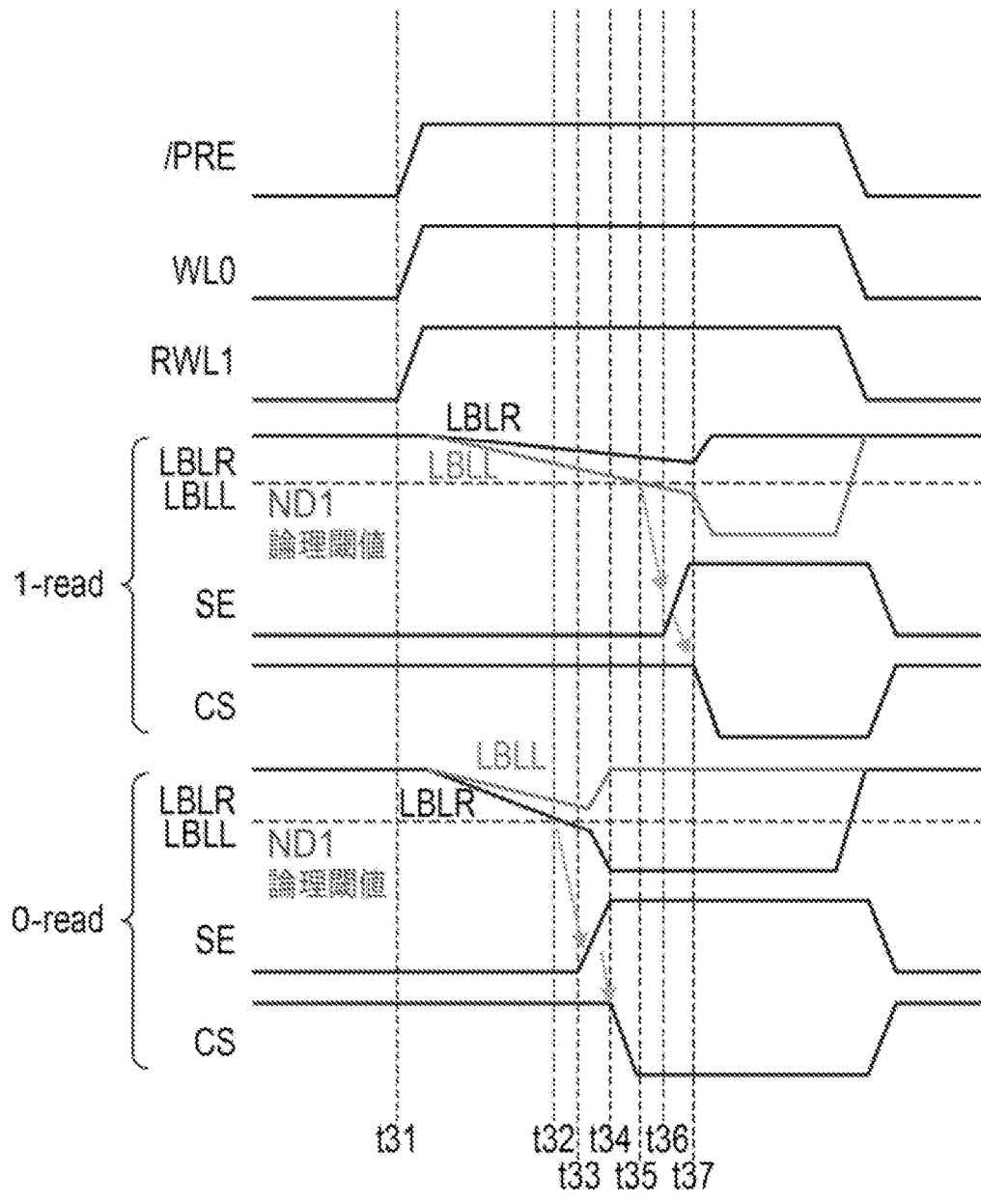
[図7]



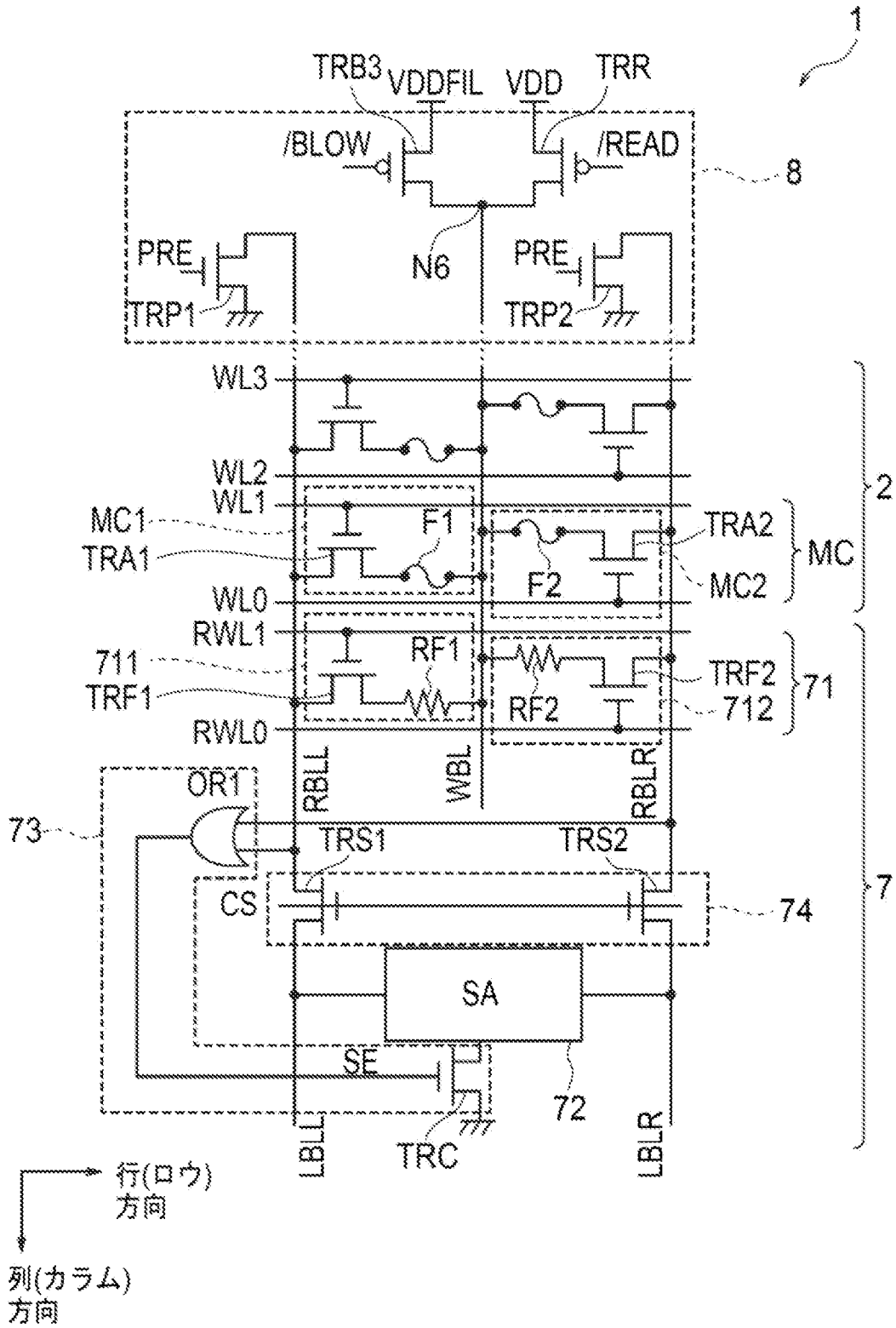
[図9]



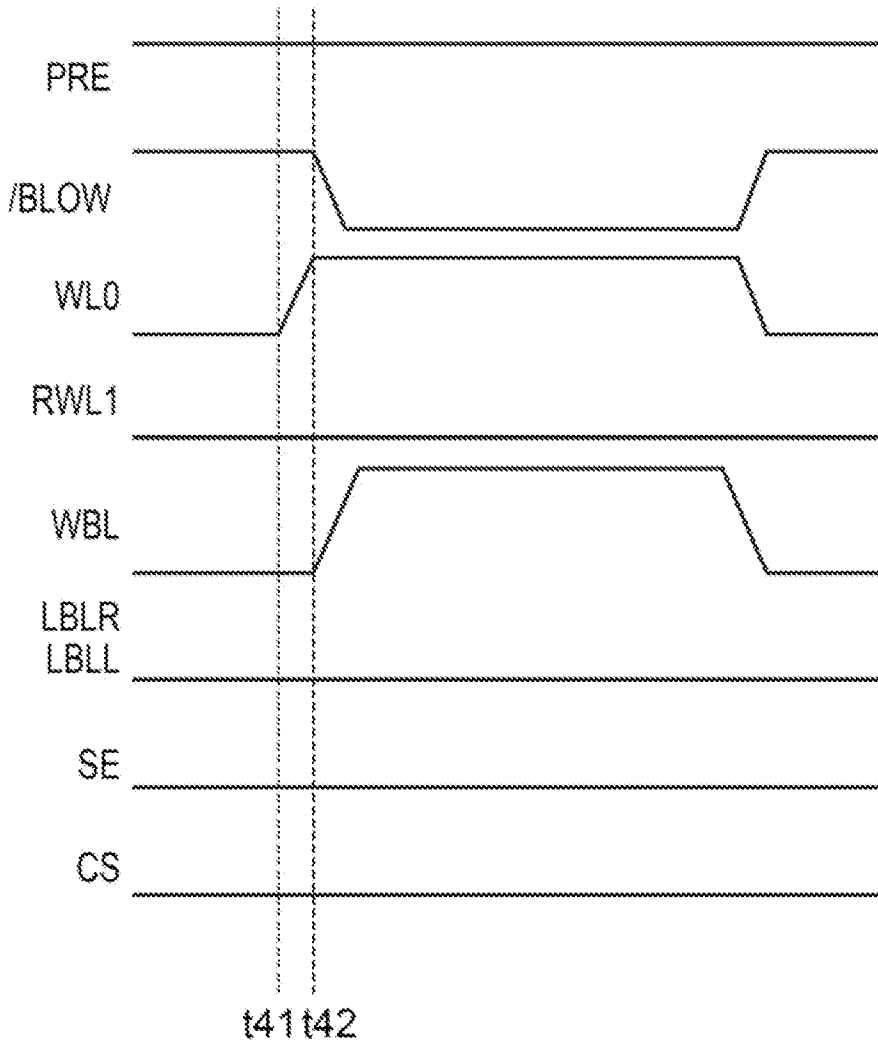
[図10]



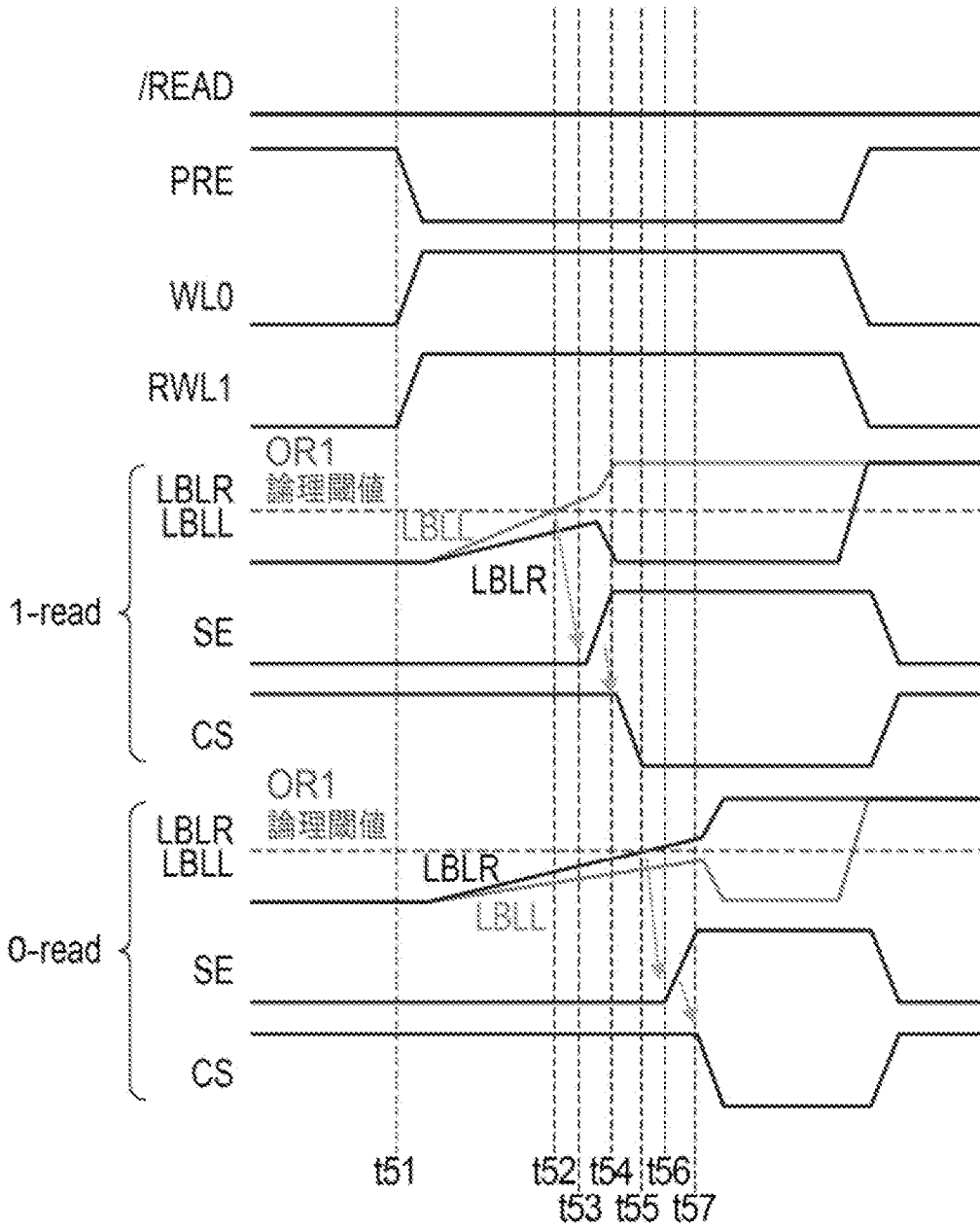
[図11]



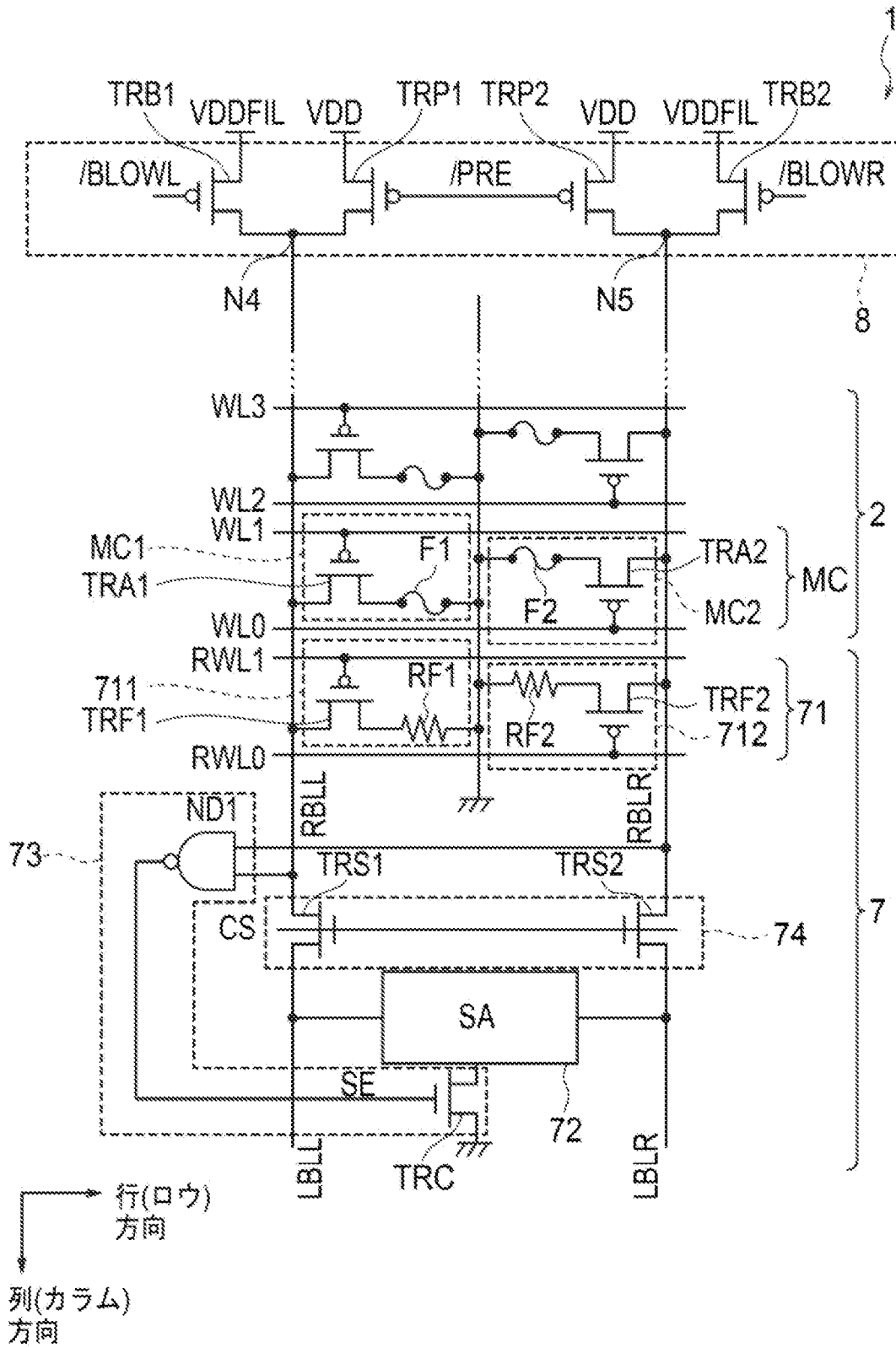
[図12]



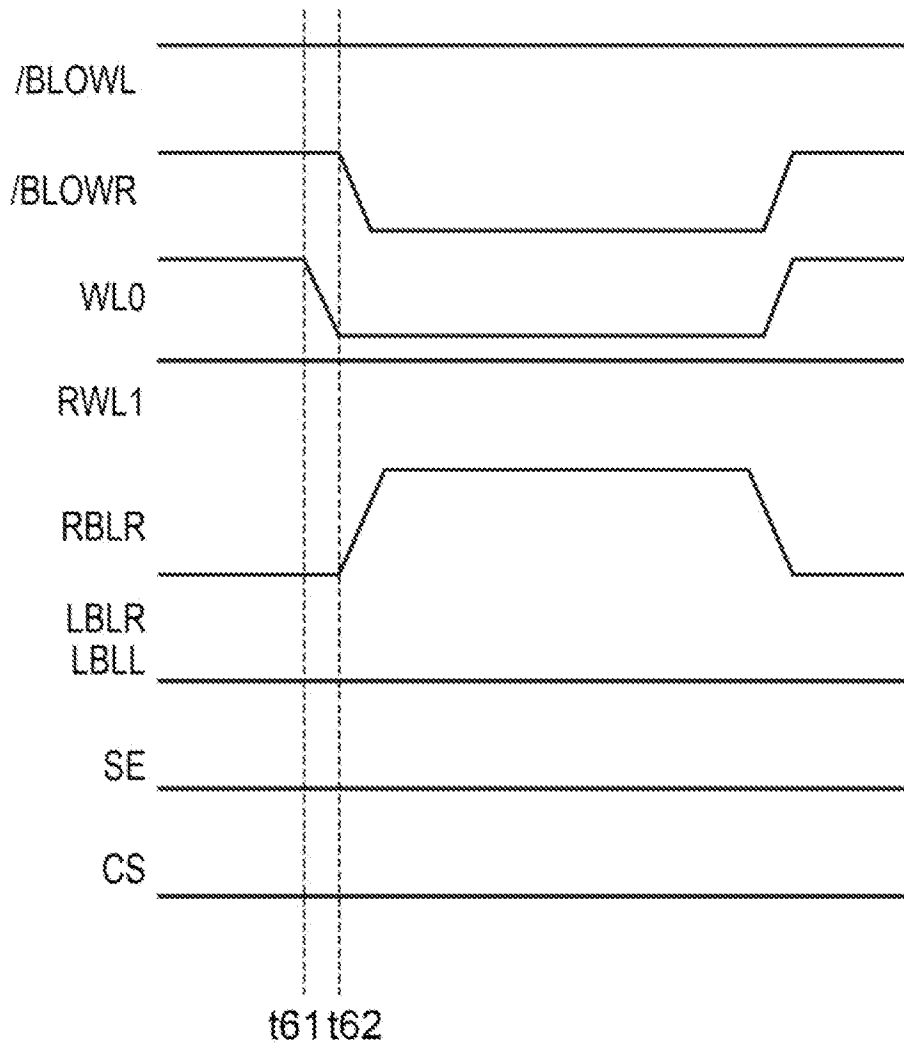
[図13]



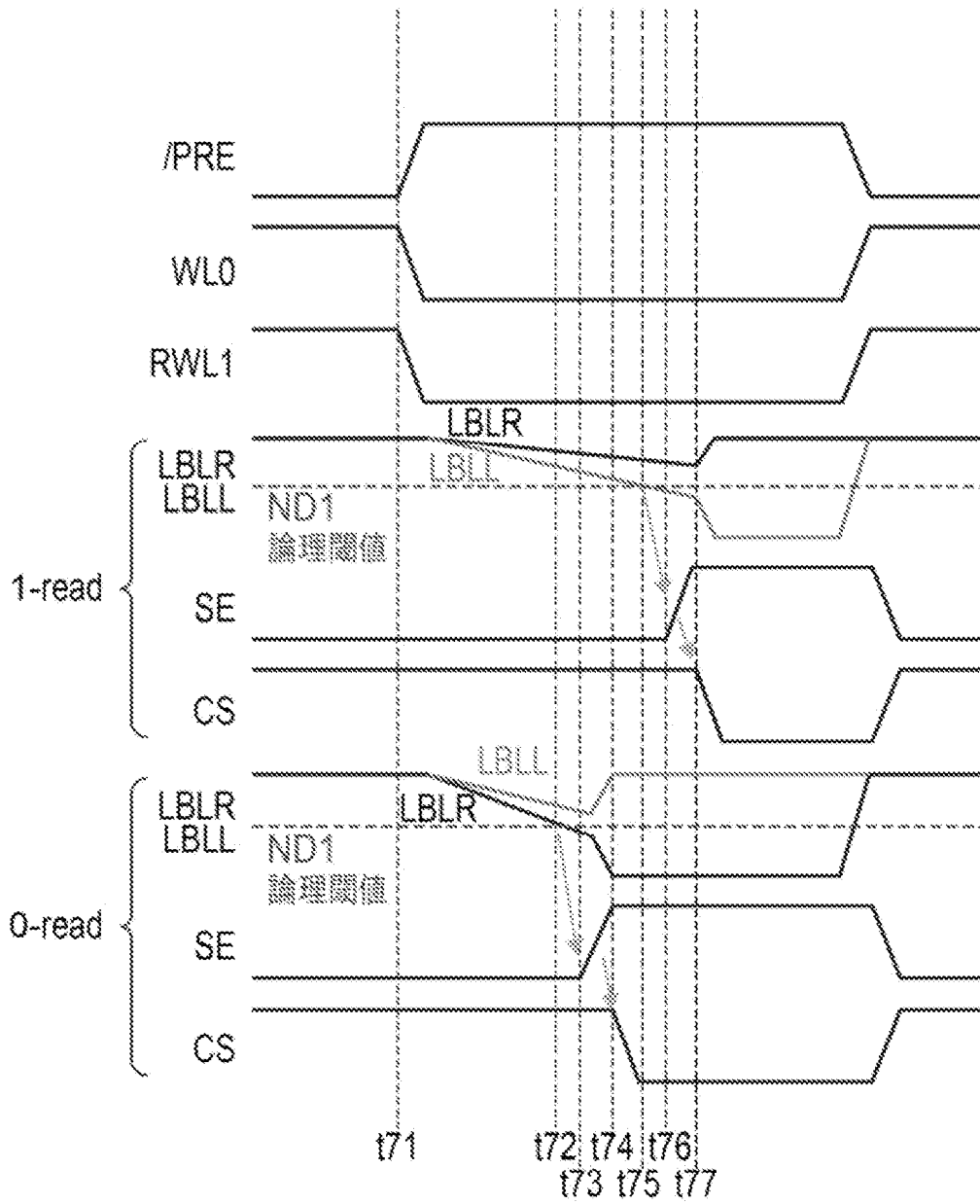
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/036022

A. CLASSIFICATION OF SUBJECT MATTER		
<i>G11C 7/14</i> (2006.01)i; <i>G11C 17/16</i> (2006.01)i; <i>G11C 17/18</i> (2006.01)i FI: G11C17/16; G11C17/18; G11C7/14		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C7/14; G11C17/16; G11C17/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-251035 A (TOSHIBA CORP.) 12 December 2013 (2013-12-12) paragraphs [0007]-[0273], fig. 1-29	1-6, 13, 16
Y		14-17
A		7-12
X	JP 2017-142869 A (TOSHIBA CORP.) 17 August 2017 (2017-08-17) paragraphs [0004]-[0088], fig. 1-7	1-8, 10-13
Y		14-17
A		9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 December 2022		Date of mailing of the international search report 20 December 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/036022

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-251035	A	12 December 2013	US 2013/0322161 A1 paragraphs [0007]-[0294], fig. 1-29	
				US 2016/0019942 A1	
JP	2017-142869	A	17 August 2017	US 9691499 B1 column 1, line 31, column 14, line 3, fig. 1-7	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 7/14(2006.01)i; G11C 17/16(2006.01)i; G11C 17/18(2006.01)i FI: G11C17/16; G11C17/18; G11C7/14		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G11C7/14; G11C17/16; G11C17/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-251035 A (株式会社東芝) 12.12.2013 (2013-12-12) 段落0007-0273, 図1-29	1-6, 13, 16 14-17 7-12
X Y A	JP 2017-142869 A (株式会社東芝) 17.08.2017 (2017-08-17) 段落0004-0088, 図1-7	1-8, 10-13 14-17 9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12.12.2022	国際調査報告の発送日 20.12.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小林 紀和 5S 4240 電話番号 03-3581-1101 内線 3546	

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/036022

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-251035 A	12.12.2013	US 2013/0322161 A1 段落0007-0294, 図1-29 US 2016/0019942 A1	
JP 2017-142869 A	17.08.2017	US 9691499 B1 第1欄31行-第14欄3行, 図1-7	