



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년11월06일
(11) 등록번호 10-2726552
(24) 등록일자 2024년10월31일

- (51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) H01L 23/00 (2006.01)
H01L 23/14 (2006.01) H01L 23/482 (2006.01)
H01L 25/065 (2023.01)
- (52) CPC특허분류
H01L 23/5389 (2013.01)
H01L 23/147 (2013.01)
- (21) 출원번호 10-2023-7000001
- (22) 출원일자(국제) 2021년07월06일
심사청구일자 2023년01월31일
- (85) 번역문제출일자 2023년01월01일
- (65) 공개번호 10-2023-0031883
- (43) 공개일자 2023년03월07일
- (86) 국제출원번호 PCT/IB2021/056039
- (87) 국제공개번호 WO 2022/009086
국제공개일자 2022년01월13일
- (30) 우선권주장
16/925,133 2020년07월09일 미국(US)
- (56) 선행기술조사문헌
US20130092310 A1*
US20130092310 A1*
US20200176419 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
- (72) 발명자
레오반둥, 에펜디
미국 뉴욕 10598-0218, 요크타운 하이츠, 피오 박스 218, 키차완 로드 1101, 아이비엠 코포레이션
- (74) 대리인
허정훈

전체 청구항 수 : 총 22 항

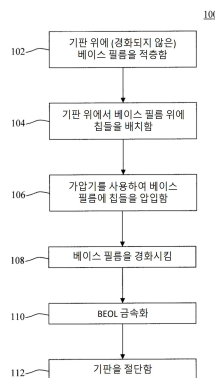
심사관 : 백중현

(54) 발명의 명칭 인터포저 없는 멀티칩 모듈

(57) 요약

인터포저 없는 멀티칩 모듈이 제공된다. 일 실시예에서, 인터포저 없는 멀티칩 모듈은 기관; 기관 상에 배치된 베이스 필름; 및 베이스 필름에 압입된 칩들을 포함하며, 상기 칩들의 상면은 동일 평면이다. 예를 들어, 칩들은 다양한 두께를 가질 수 있고, 칩들의 상단 표면이 동일 평면이 되도록 다양한 깊이로 베이스 필름에 압입된다. BEOL(Back-end-of-Line) 금속 배선을 갖는 상호연결층이 웨이퍼 위에서 칩들 위에 존재할 수 있다. 인터포저 없는 멀티칩 모듈을 형성하는 방법들도 제공된다.

대표도 - 도1



(52) CPC특허분류

H01L 23/482 (2013.01)

H01L 23/5381 (2013.01)

H01L 23/5386 (2013.01)

H01L 24/73 (2013.01)

H01L 25/0655 (2023.08)

H01L 2924/1431 (2013.01)

H01L 2924/1434 (2013.01)

H01L 2924/19041 (2013.01)

H01L 2924/19105 (2013.01)

명세서

청구범위

청구항 1

인터포저 없는 멀티칩 모듈(interposer-less multi-chip module)에 있어서, 상기 인터포저 없는 멀티칩 모듈은:

기판;

상기 기판 상에 배치된 베이스 필름(base film); 및

상기 베이스 필름에 압입된(pressed into) 칩들을 포함하고, 상기 칩들은 다양한 두께들(varying thicknesses)을 가지며, 상기 칩들의 상단 표면들은 동일 평면(coplanar)인,

인터포저 없는 멀티칩 모듈.

청구항 2

제1항에 있어서, 상기 베이스 필름은: 스핀 온 글라스(spin-on-glass), 도핑된 폴리머(doped polymer) 및 이들의 조합으로 이루어진 군에서 선택되는 재료를 포함하는,

인터포저 없는 멀티칩 모듈.

청구항 3

제1항에 있어서, 상기 베이스 필름은 교차 결합된(cross-liked),

인터포저 없는 멀티칩 모듈.

청구항 4

제1항에 있어서, 상기 기판은 실리콘(Si) 웨이퍼를 포함하는,

인터포저 없는 멀티칩 모듈.

청구항 5

제1항에 있어서, 상기 칩들은 상향 금속 랜딩 패드들(upward facing metal landing pads)을 포함하는,

인터포저 없는 멀티칩 모듈.

청구항 6

인터포저 없는 멀티칩 모듈(interposer-less multi-chip module)에 있어서, 상기 인터포저 없는 멀티칩 모듈은:

기판;

상기 기판 상에 배치된 베이스 필름(base film);

상기 베이스 필름에 압입된(pressed into) 칩들- 상기 칩들은 다양한 두께들(varying thicknesses)을 가지며, 상기 칩들의 상단 표면들이 동일 평면(coplanar)이 되도록 상기 칩들은 다른 깊이들(different depths)로 상기 베이스 필름에 압입됨-; 및

상기 칩들 위에서 상기 기판 상에 존재하는 상호연결층(interconnect layer)을 포함하고, 상기 상호연결층은 BEOL(Back-End-of-Line) 금속 배선을 구비하는,

인터포저 없는 멀티칩 모듈.

청구항 7

제6항에 있어서, 상기 베이스 필름은: 스핀 온 글라스(spin-on-glass), 도핑된 폴리머(doped polymer) 및 이들의 조합으로 이루어진 군에서 선택되는 재료를 포함하는,

인터포저 없는 멀티칩 모듈.

청구항 8

제6항에 있어서, 상기 칩들은 상향 금속 랜딩 패드들(upward facing metal landing pads)을 포함하고, 상기 BEOL 금속 배선은 상기 상향 금속 랜딩 패드들을 접촉하는,

인터포저 없는 멀티칩 모듈.

청구항 9

제6항에 있어서, 상기 BEOL 금속 배선은 상기 칩들 사이에 브리지 연결들(bridge connections)을 제공하는,

인터포저 없는 멀티칩 모듈.

청구항 10

제6항에 있어서, 상기 인터포저 없는 멀티칩 모듈은:

상기 금속 배선과 접촉하는 상기 상호연결층에 존재하는 솔더 범프들(solder bumps)을 더 포함하는,

인터포저 없는 멀티칩 모듈.

청구항 11

인터포저 없는 멀티칩 모듈을 형성하는 방법에 있어서, 상기 인터포저 없는 멀티칩 모듈 형성 방법은:

기판 위에 베이스 필름을 적층하는 단계;

상기 기판 위에서 칩들을 상기 베이스 필름 위에 배치하는 단계;

상기 칩들의 상단 표면들이 동일 평면이 되도록 가압기를 사용하여 상기 칩들을 상기 베이스 필름에 압입하는 단계; 및

상기 베이스 필름을 교차 결합시키기 위해 상기 베이스 필름을 경화시키는 단계를 포함하는,

인터포저 없는 멀티칩 모듈 형성 방법.

청구항 12

제11항에 있어서, 상기 베이스 필름은: 스핀 온 글라스(spin-on-glass), 도핑된 폴리머(doped polymer) 및 이들의 조합으로 이루어진 군에서 선택되는 재료를 포함하는,

인터포저 없는 멀티칩 모듈 형성 방법.

청구항 13

제11항에 있어서, 상기 가압기는 상기 칩들 모두에 걸쳐 있는 평면 표면을 포함하는,

인터포저 없는 멀티칩 모듈 형성 방법.

청구항 14

제11항에 있어서, 상기 칩들은 다양한 두께들(varying thicknesses)을 갖는,

인터포저 없는 멀티칩 모듈 형성 방법.

청구항 15

제11항에 있어서, 상기 칩들은 상향 금속 랜딩 패드들을 포함하는,

인터포저 없는 멀티칩 모듈 형성 방법.

청구항 16

제11항에 있어서, 상기 베이스 필름을 경화시키는 단계는 상기 기판을 100℃내지 500℃및 그 사이의 온도에서, 1시간 내지 5시간 및 그 사이의 시간에서 어닐링(annealing)하는 단계를 포함하는,
인터포저 없는 멀티칩 모듈 형성 방법.

청구항 17

인터포저 없는 멀티칩 모듈을 형성하는 방법에 있어서, 상기 인터포저 없는 멀티칩 모듈 형성 방법은:
기판 위에 베이스 필름을 적층하는 단계;
상기 기판 위에서 칩들을 상기 베이스 필름 위에 배치하는 단계 - 상기 칩들은 다양한 두께들(varying thicknesses)을 가짐 -;
가압기를 사용하여 상기 칩들을 상기 베이스 필름에 압입하는 단계 - 상기 가압기는 상기 칩들의 상단 표면들이 동일 평면이 되도록 상기 다양한 두께들을 갖는 칩들을 다른 깊이들로 상기 베이스 필름에 압입함 -;
상기 베이스 필름을 경화시키는 단계; 및
상기 칩들 위에서 상기 기판 상에 상호연결층(interconnect layer)을 형성하는 단계를 포함하고, 상기 상호연결층은 BEOL(Back-End-of-Line) 금속 배선을 구비하는,
인터포저 없는 멀티칩 모듈 형성 방법.

청구항 18

제17항에 있어서, 상기 베이스 필름은: 스핀 온 글라스(spin-on-glass), 도핑된 폴리머(doped polymer) 및 이들의 조합으로 이루어진 군에서 선택되는 재료를 포함하는,
인터포저 없는 멀티칩 모듈 형성 방법.

청구항 19

제17항에 있어서, 상기 가압기는 상기 칩들 모두에 걸쳐 있는 평면 표면을 포함하는,
인터포저 없는 멀티칩 모듈 형성 방법.

청구항 20

제17항에 있어서, 상기 칩들은 상향 금속 랜딩 패드들을 포함하고, 상기 BEOL 금속 배선은 상기 상향 금속 랜딩 패드에 접촉하는,
인터포저 없는 멀티칩 모듈 형성 방법.

청구항 21

제17항에 있어서, 상기 BEOL 금속 배선은 상기 칩들 사이에 브리지 연결들(bridge connections)을 제공하는,
인터포저 없는 멀티칩 모듈 형성 방법.

청구항 22

제17항에 있어서, 상기 인터포저 없는 멀티칩 모듈 형성 방법은: 상기 금속 배선과 접촉하는 상기 상호연결층 위에 솔더 범프를 형성하는 단계를 더 포함하는,
인터포저 없는 멀티칩 모듈 형성 방법.

발명의 설명

기술 분야

[0001] 본 발명은 멀티칩 모듈 기술(multi-chip module technology)에 관한 것으로, 더욱 상세하게는 인터포저

없는 멀티칩 모듈(interposer-less multi-chip modules) 및 그 처리 기술에 관한 것이다.

배경 기술

[0002] 집적회로(IC) 패키징 설계에서 실리콘(Si) 인터포저는 종종 칩과 패키지 기판 사이에 삽입된다. 이러한 Si 인터포저는 칩들을 서로 연결하거나 하부 패키지 기판(underlying package substrate)에 연결한다. Si 인터포저의 사용은 이종 IC 부품(heterogenous IC components)의 고성능 통합을 제공하기 위한 선도적인 프로세스이다.

발명의 내용

해결하려는 과제

[0003] 그러나, Si 인터포저의 구현에 대해 주목할 만한 단점은 비용이다. 즉, Si 인터포저의 제조에는 TSV(Through Silicon via) 공정이 사용되는 경우가 많은데, 이는 제조 복잡성을 증가시키고 생산 비용을 증가시킨다. 또한, Si 인터포저의 사용은 다수의 본딩 단계(bonding steps)를 필요로 한다. Si 인터포저에는, 예를 들어, 개별 칩, 복수의 칩 모듈 등이 먼저 탑재된다. 그런 다음 Si 인터포저는 패키지 기판에 본딩되어야 한다. 이러한 다수의 본딩 단계는 다시 제작 복잡성을 증가시키고 생산 비용을 증가시킨다.

[0004] 따라서 개선된 인터포저 설계 및 이를 사용하는 기술이 필요하다.

과제의 해결 수단

[0005] 본 발명은 인터포저 없는 멀티칩 모듈 및 그 처리 기술을 제공한다. 본 발명의 일 실시예에서, 인터포저 없는 멀티칩 모듈이 제공된다. 상기 인터포저 없는 멀티칩 모듈은 기판; 상기 기판 상에 배치된 베이스 필름; 및 상기 베이스 필름에 압입된 칩을 포함하며, 상기 칩의 상단 표면은 동일 평면이다.

[0006] 본 발명의 다른 실시예에서, 다른 인터포저 없는 멀티칩 모듈이 제공된다. 상기 인터포저 없는 멀티칩 모듈은 기판; 상기 기판 상에 배치된 베이스 필름; 상기 베이스 필름에 압입된 칩들 - 여기서 상기 칩들은 다양한 두께를 가지며 상기 칩들의 상단 표면이 동일 평면(coplanar)이 되도록 상기 칩들이 상이한 깊이로 상기 베이스 필름에 압입됨(pressed) - ; 및 상기 웨이퍼 위에서 상기 칩들 위에 존재하는 상호연결층(interconnect layer)을 포함하며, 상기 상호연결층은 BEOL(back-end-of line) 금속 배선을 포함한다.

[0007] 본 발명의 또 다른 실시예에서는 인터포저 없는 멀티칩 모듈을 형성하는 방법이 제공된다. 상기 방법은 기판 상에 베이스 필름을 적층하는 단계; 상기 베이스 필름 위의 기판 상에 칩을 배치하는 단계; 상기 칩의 상단 표면이 동일 평면이 되도록 가압기(presser)를 사용하여 상기 칩을 상기 베이스 필름으로 압입하는 단계; 및 상기 베이스 필름을 교차 결합(cross-link)시키기 위해 상기 베이스 필름을 경화(curing)시키는 단계를 포함한다.

[0008] 본 발명의 또 다른 실시예에서는, 인터포저 없는 멀티칩 모듈을 형성하는 또 다른 방법이 제공된다. 상기 방법은 기판 상에 베이스 필름을 적층하는 단계; 상기 기판 위에서 상기 베이스 필름 위에 칩들을 배치하는 단계 - 상기 칩들은 다양한 두께를 가짐 -; 가압기를 사용하여 상기 칩들을 상기 베이스 필름에 압입하는 단계 - 상기 가압기는 상기 칩들의 상단 표면이 동일 평면이 되도록 다양한 두께를 갖는 칩들을 상기 베이스 필름에 상이한 깊이로 압입함 -; 상기 베이스 필름을 경화시키는 단계; 및 상기 웨이퍼 위에서 상기 칩들 위에 상호연결층을 형성하는 단계를 포함하고, 상기 상호연결층은 BEOL 금속 배선을 포함한다.

[0009] 본 발명에 대한 보다 완전한 이해는 물론, 본 발명의 추가적인 특징 및 장점은 아래의 상세한 설명 및 도면을 참조하여 얻을 수 있을 것이다.

발명의 효과

[0010] 후술하는 바와 같이, 본 발명의 인터포저 없는 멀티칩 모듈 설계를 구현하기 위한 한 가지 과제는 칩들의 두께가 다양할 수 있다는 것이다. 그러므로 모듈의 기판에 적층될 때, 칩들은 후속 금속화(metallization) 공정이 수행되기 어려운 불균일한 지형(topography)을 갖는 비평면 표면을 생성할 것이다. 그러나 여기서 발견된 바와 같이, 스핀 온 글라스(spin-on-glass), 에폭시 및/또는 폴리이미드와 같은 유연한 베이스 필름을 기판 상에 먼저 적층하는 경우, 가압기를 사용하여 칩들을 평평하게 하고 이에 따라 금속화를 위한 평면을 형성할 수 있다. 즉, 이 공정을 통해, 유연한 베이스 필름은 칩들 간의 두께 차이를 수용하기 위해 사용되며, 두꺼운 칩들

은 얇은 칩들보다 더 많이 베이스 필름에 압입되고 그 반대의 경우도 마찬가지이다.

도면의 간단한 설명

- [0011] [0010] 도 1은 본 발명의 일 실시예에 따른 인터포저 없는 멀티칩 모듈을 형성하기 위한 예시적인 방법을 도시한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 인터포저 없는 멀티칩 모듈에 집적하기 위한 금속 랜딩 패드(metal landing pads)를 구비한 칩을 도시한 하향식 도면(top-down diagram)이다.
- 도 3은 본 발명의 일 실시예에 따른 칩에 대한 정렬 마크(alignment marks)를 갖는 예시적인 기판을 도시한 하향식 도면이다.
- 도 4는 본 발명의 일 실시예에 따라 기판 상에 적층된 (경화되지 않은) 베이스 필름을 나타내는 단면도이다.
- 도 5는 본 발명의 일 실시예에 따라 베이스 필름 위의 기판 상에 배치된 칩을 도시하는 하향식 도면이다.
- 도 6은 본 발명의 일 실시예에 따라 칩들의 두께가 다양한 것을 나타내는 단면도이다.
- 도 7은 본 발명의 일 실시예에 따라 다양한 칩 높이를 평준화하기 위해 베이스 필름에 칩을 압입하는 데 사용된 가압기를 나타내는 단면도이며, 칩의 상단 표면이 동일 평면이 되도록 한 후, 베이스 필름이 경화된다.
- 도 8은 본 발명의 일 실시예에 따라 베이스 필름 및 칩 위의 기판 상에 형성된 BEOL(back-end of line) 금속 배선을 갖는 상호연결층을 예시하는 단면도이다.
- 도 9는 본 발명의 일 실시예에 따라 BEOL 금속 배선과 접촉하는 상호연결층에 형성된 솔더 범프(solder bumps)를 나타내는 단면도이다.
- 도 10은 본 발명의 일 실시예에 따라 각각이 칩을 적어도 2개 이상 포함하는 복수의 세그먼트로 절단된 기판을 나타내는 단면도이다.
- 도 11은 본 발명의 일 실시예에 따라 고정된 위치 스테이지(position stage)에 배치된 베이스 필름 위에 칩이 배치된 기판과, 가장 두꺼운 칩과 먼저 접촉하기 위해 스테이지를 향해 하강된 가압기를 도시하는 단면도이다.
- 도 12는 본 발명의 일 실시예에 따라, 두 번째로 두꺼운 칩과 접촉하기 위해 가압기를 스테이지를 향해 더 가깝게 하강시킨 것을 나타내는 단면도이다.
- 도 13은 본 발명의 일 실시예에 따라, 세 번째로 두꺼운 칩과 접촉하기 위해 가압기를 스테이지를 향해 더욱 가깝게 하강시킨 것을 나타내는 단면도이다.
- 도 14는 본 발명의 일 실시예에 따라, 다음으로 가장 얇은 칩과 접촉하기 위해 가압기를 스테이지를 향해 더 가깝게 하강시킨 것을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] [0011] 전술한 바와 같이, 종래의 실리콘(Si) 인터포저 기술은 일반적으로 관통 실리콘 비아(Through Silicon via : TSV) 프로세스 및 다수의 본딩 단계(즉, 인터포저에 칩 및/또는 칩 모듈, 다음에 패키지 기판에 인터포저)를 사용하는 것을 포함한다. 이 두 가지 요인은 모두 제조의 복잡성을 증가시키고 생산 비용을 증가시킨다.
- [0013] [0012] 바람직하게는, ('인터포저 없는 멀티칩 모듈'로 또한 여기서 지칭되는) 인터포저의 필요성을 완전히 제거한 새로운 멀티칩 모듈 설계가 여기서 제공된다. 따라서, 현재의 인터포저 없는 멀티칩 모듈 설계로, TSV 및 다수의 본딩 단계의 필요성이 제거되어, 전체적인 IC 집적이 단순화된다. 집적 프로세스를 단순화하면 전체적인 제조 복잡성을 줄여 생산 비용을 절감할 수 있다.
- [0014] [0013] 후술하는 바와 같이, 본 발명의 인터포저 없는 멀티칩 모듈 설계를 구현하기 위한 한 가지 과제는 칩들의 두께가 다양할 수 있다는 것이다. 그러므로 모듈의 기판에 적층될 때, 칩들은 후속 금속화(metallization) 공정이 수행되기 어려운 불균일한 지형(topography)을 갖는 비평면 표면을 생성할 것이다. 그러나 여기서 발견된 바와 같이, 스핀 온 글라스(spin-on-glass), 에폭시 및/또는 폴리이미드와 같은 유연한 베이스 필름을 기판 상에 먼저 적층하는 경우, 가압기를 사용하여 칩들을 평평하게 하고 이에 따라 금속화를 위한 평면을 형성할 수 있다. 즉, 이 공정을 통해, 유연한 베이스 필름은 칩들 간의 두께 차이를 수용하기 위해 사용되며, 두꺼운 칩들

은 얇은 칩들보다 더 많이 베이스 필름에 압입되고 그 반대의 경우도 마찬가지이다.

- [0015] [0014] 본 발명의 개요가 이제 도 1의 방법(100)을 참조하여 제공된다. 단계(102)에서, (경화되지 않은) 베이스 필름이 기판 위에 적층된다. 일 실시예에 따르면, 상기 기판은 실리콘(Si) 웨이퍼와 같은 반도체 웨이퍼이다. 또는, 상기 기판은 이산화규소(SiO₂), 폴리머 라미네이트(polymer laminate) 등과 같은 다른 재료로 형성될 수 있다. 기판 상에 베이스 필름을 균일하게 적층하기 위해 스핀-코팅(spin-coating) 또는 스프레이 코팅(spray coating)과 같은 캐스팅 공정(casting process)이 사용될 수 있다. 일 실시예에 따르면, 상기 베이스 필름은 약 5 마이크로미터(μm) 내지 약 20 μm 의 두께로 기판 상에 적층된다.
- [0016] [0015] 일반적으로, 베이스 필름은 칩들 사이의 두께 변화를 수용할 수 있는 유연한 재료를 포함한다. 유연(pliable)하다는 것은 경화되지 않은 베이스 필름에 압력이 가해졌을 때 모양이 변할 수 있다는 것을 의미한다. 따라서, 다양한 두께의 칩들이 베이스 필름에 압입될 때(아래 참조), 두꺼운 칩이 베이스 필름에 더 압입되어 높이가 균일해질 수 있다. 베이스 필름의 또 다른 요구 사항은 칩과 기판 모두와 유사한 열팽창 계수(coefficient of thermal expansion : CTE)를 갖는다는 것이다. 따라서, 나중에 베이스 필름과 기판을 가열하여 베이스 필름을 경화시킬 때, 베이스 필름은 칩 또는 기판 중 어느 하나에 변형을 주지 않는다. 일 실시예에 따르면, 약 3배(3X) 이하, 예를 들어 약 2X 내지 약 3X)의 CTE 차이는 '유사한' 것으로 간주된다. 예를 들어, 베이스 필름에 적합한 재료는 스핀 온 글라스(spin-on-glass) 및/또는 도핑된 폴리머(doped polymer)를 포함하지만, 이에 제한되는 것은 아니다. 예를 들어, 스핀 온 글라스는 용매 내에 분산된 이산화규소(SiO₂)(및 선택적 도펀트(optional dopants))를 포함한다. 적층 후 어닐링(annealing)을 수행하여 용매를 제거하고 스핀-온-글라스를 경화시킨다.
- [0017] [0016] 단계(104)에서, 칩은 베이스 필름 위의 기판 위에 배치된다. 아래에서 상세히 설명되는 바와 같이, 칩은 공정의 후반에 형성될 BEOL(Back-End-of-Line) 배선에 연결하기 위해 상향의(upward facing) 금속 랜딩 패드(metal landing pads)를 포함하는 것이 바람직하다(아래 참조). 특히, 기판 상에 배치된 칩의 두께에 약간의 변화가 예상된다. 따라서, 배치된 칩은 기판 위에 평면이 아닌 표면을 생성한다. 비평면 표면은 후속 BEOL 처리에 바람직하지 않다.
- [0018] [0017] 그러므로, 단계(106)에서, 압축 가능한 베이스 필름에 칩을 물리적으로 가압하기 위한 가압기가 사용된다. 가압기는 다수의 칩(예를 들어, 가압기는 모든 칩에 걸쳐 있음)과의 인터페이스에 평면 표면을 포함한다. 이 평면 표면은 여러 개의 칩의 상단에 힘을 가하기 때문에, 두꺼운 칩은 얇은 칩보다 베이스 필름에 더 많이 눌리게 된다. 즉, 적어도 가압기의 평면 표면이 가장 얇은 칩의 상단에 닿을 때까지 힘이 가해진다. 그러나 그 시점에서 원할 경우 가장 얇은 칩을 베이스 필름으로 더 가라앉히기 위해 압입을 계속할 수 있다. 그 결과 칩의 상단 전체에 평면 표면이 생성된다. 당연히 이를 위해서는 칩이 베이스 필름에 서로 다른 깊이로 압입되어야 한다. 즉, 더 두꺼운 칩은 더 얇은 칩보다 더 깊은 깊이로 베이스 필름에 압입된다.
- [0019] [0018] 단계(108)에서, 베이스 필름은 경화된다. 경화는 베이스 필름을 교차 결합시켜 기판에 칩의 위치(가압기에 의해 칩의 상단 전체에 생성된 평면 표면 포함)를 설정한다. 예를 들어, 경화는 베이스 필름을 약 100°C 내지 약 500°C 및 그 사이의 온도에서, 약 1시간 내지 약 5시간 및 그 사이의 시간 동안 어닐링함으로써 수행된다.
- [0020] [0019] 단계(110)에서, 칩 위의 Si 웨이퍼 상에 BEOL 금속 배선 및 솔더 범프를 형성하기 위해 금속화 기술이 사용된다. BEOL 금속 배선은 칩의 상단에 있는 금속 랜딩 패드와 접촉하며 칩 간의 브리지 연결(bridge connections)을 제공한다. 아래에서 상세히 설명하는 바와 같이, 이 BEOL 금속화는 (현재 동일 평면인 상단 표면을 가진) 칩 위의 기판에 유전체를 적층하는 것과, 유전체에 금속 라인(metal lines)을 형성하는 것을 포함할 수 있다. 금속 라인을 갖는 유전체는 본 명세서에서 '상호연결층(interconnect layer)'으로 지칭될 수 있다. 제어된 접힘 칩 연결(controlled collapse chip connection : C4) 공정이 금속 배선과 접촉하는 상호연결층에 솔더 범프를 형성하기 위해 사용될 수 있다. 결과적인 구조, 즉, (경화된) 베이스 필름 내에 서로 다른 깊이로 칩이 설정된 기판 및 칩 위의 BEOL 금속 배선은, 본 명세서에서 인터포저 없는 멀티칩 모듈로 지칭된다.
- [0021] [0020] 단계(112)에서, 기판은 각각의 세그먼트가 적어도 2개의 칩을 포함하는 복수의 세그먼트로 절단(dicing)될 수 있다. 표준 웨이퍼 절단 기술이 사용될 수 있다. 각 세그먼트는 개별적으로 내장된 칩을 위한 인터포저 없는 멀티칩 모듈 역할을 한다.
- [0022] [0021] 방법(100)에 대한 상기 설명을 고려하여, 인터포저 없는 멀티칩 모듈을 형성하기 위한 본 발명의 실시예가 도 2 내지 도 14를 참조하여 설명된다. 도 2에 도시된 바와 같이, 본 발명의 인터포저 없는 멀티칩 모듈은

다양한 두께(아래 참조)를 포함하여 다양한 치수를 갖는 다른 유형(예를 들어, 메모리, 로직 등)의 칩(여기서는 '칩 1' 및 '칩 2'로 표기됨)의 이중 집적을 허용한다. 설명의 용이성과 명확성을 위해, 본 실시예에서는 두 개의 칩 유형을 설명한다. 다만, 단일 유형의 칩만을 사용하는 시나리오를 포함하여, 도시된 것보다 많거나 적은 칩 유형으로 본 발명을 구현할 수 있음을 이해하여야 한다. 또한, 칩 1과 칩 2는 일반적으로 (저항, 커패시터 등과 같은 관련 부품과 함께) 공통 패키지 내의 단일 칩에서 여러 칩에 이르는 모든 것을 나타낸다.

[0023] [0022] 도 2에 도시된 바와 같이, 칩(칩 1 및 칩 2)은 정렬 마크(alignment marks)(202)를 가질 수 있다. 이 실시예에서, 정렬 마크(202)는 칩의 모서리에 배치된다. 예를 들어, 정렬 마크(202)는 표준 포토리소그래피 및 에칭 공정을 사용하여 칩 1 및 칩 2에 형성될 수 있다. 후술하는 바와 같이, 정렬 마크(202)는 기판 상의 대응하는 정렬 마크를 사용하여 기판 상에 칩을 배치하는 동안 사용될 것이다.

[0024] [0023] 도 2에 도시된 바와 같이, 칩(칩 1 및 칩 2)은 각각 상단 표면에 다수의 상향 금속 랜딩 패드(upward facing metal landing pads)(204)를 갖는다. 이러한 금속 랜딩 패드(204)는 후술하는 바와 같이, 공정의 후반부에 형성될 상호연결층에 칩을 연결하기 위해 사용될 것이다. 금속 랜딩 패드(204)는 소위 '다마신(damascene)' 또는 '듀얼 다마신(dual damascene)' 공정을 사용하여 형성될 수 있으며, 여기서 트렌치(trench) 및/또는 비아(via)와 같은 특징부(다마신 공정) 또는 이들의 조합(듀얼 다마신 공정)이 먼저 유전체에 패터닝된다. 그런 다음, 상기 특징부는 구리(Cu), 코발트(Co), 루테튬(Ru) 및/또는 텅스텐(W)과 같은 접촉 금속(contact metal)으로 채워진다. 접촉 금속을 상기 특징부에 적층(depositing)하기 위해 증발(evaporation), 스퍼터링 또는 전기화학적 도금과 같은 공정이 사용될 수 있다. 접촉 금속을 적층하기 전에, 상기 특징부는 확산 장벽층(diffusion barrier layer)(도시되지 않음)으로 라이닝(lining)될 수 있다. 확산 장벽층에 적합한 재료로는 티타늄(Ti), 탄탈(Ta), 티타늄 질화물(TiN) 및/또는 탄탈 질화물(TaN) 등이 있으나, 이에 한정되는 것은 아니다.

[0025] [0024] 기판(300)이 제공된다. 도 3을 참조하면, 일 실시예에 따르면, 기판(300)은 벌크(Bulk) Si 또는 SOI(Silicon-on-Insulator) 웨이퍼와 같은 반도체 웨이퍼이다. 또는, 기판은 이산화규소(SiO₂), 폴리머 라미네이트(polymer laminate) 등과 같은 다른 재료로 형성될 수 있다. SOI 웨이퍼는 매립된 절연체(buried insulator)에 의해 하부 기판으로부터 분리된 SOI 층을 포함한다. 매립된 절연체가 산화물인 경우, 본 명세서에서 매립된 산화물 또는 BOX라고 한다. 도 3에 도시된 바와 같이, 기판(300)에는 정렬 마크(302)가 존재한다. 위에서 강조한 바와 같이, 이러한 정렬 마크(302)는 칩의 정렬 마크(202)에 해당한다. 그러므로 칩이 기판(300) 상에 배치될 때, 칩의 정렬 마크(202)와 기판(300) 상의 정렬 마크(302)를 정렬함으로써 적절한 위치 결정이 달성될 수 있다. 예를 들어, 정렬 마크(302)는 표준 포토리소그래피 및 에칭 공정을 사용하여 기판(300) 상에 형성될 수 있다.

[0026] [0025] 다음으로, 기판(300) 상에 (경화되지 않은) 베이스 필름(402)이 적층된다. 도 4를 참조한다. 도 4는 기판(300)을 A-A'선(도 3 참조)을 따라 관통하는 단면도를 제공한다. 일반적으로, 베이스 필름(402)은 베이스 필름(402)에 칩이 압입될 때 칩들 사이의 두께 변화를 수용할 수 있는 임의의 재료를 포함할 수 있다. 베이스 필름의 또 다른 요건은 기판(300) 및 칩의 열팽창 계수(CTE)와 유사한 CTE를 갖는 것이다. 따라서, 나중에 베이스 필름(402)과 기판(300)을 가열하여 베이스 필름(402)을 경화시킬 때, 기판(300)이나 칩에 변형이 주어지지 않는다. 이러한 요구 조건을 만족하는 베이스 필름에 적합한 재료로는 스핀 온 글라스(spin-on-glass) 및/또는 도핑된 폴리머(doped polymer)를 들 수 있으나, 이에 한정되는 것은 아니다.

[0027] [0026] 전술한 바와 같이, 기판(300) 상에 베이스 필름(402)을 균일하게 적층하기 위해 스핀-코팅 또는 스프레이 코팅과 같은 캐스팅 공정(casting process)이 사용될 수 있다. 일 실시예에 따르면, 베이스 필름(402)의 두께는 약 5 μm 내지 약 20 μm, 및 그 사이의 범위이다.

[0028] [0027] 도 5에 도시된 바와 같이, 칩(칩 1 및 칩 2)은 기판(300) 상의 베이스 필름(402) 위에 놓인다. 일 실시예에 따르면, 칩은 픽 앤드 플레이스 머신(pick and place machine)을 사용하여 기판(300) 위에 배치된다. 전술한 바와 같이, 이러한 배치는 칩 상의 정렬 마크(202)와 기판(300) 상의 대응하는 정렬 마크(302)에 의해 안내된다.

[0029] [0028] 도 6에 도시된 바와 같이, 칩들은 다양한 두께를 갖는다. 도 6은 B-B'(도 5 참조)를 따라 기판(300)과 칩(칩 1 및 칩 2)을 관통하는 단면도를 제공한다. 설계(즉, 두께를 포함한 다른 치수를 갖는 다른 칩들, 다수의 칩이 공통 패키지 내에 제공됨) 및/또는 공정 변화로 인해 이러한 두께의 변화가 발생할 수 있다.

[0030] [0029] 공정 변화와 관련하여, 도 6에 도시된 바와 같이, 동일한 유형의 칩(칩 1 또는 칩 2)이 두께에 차이가 있을 수 있다. 예를 들어, 본 실시예에서, 제1의 칩 1(기준 번호 602가 부여됨)은 두께 T1을 가지며, 제2의 칩

1(기준 번호 606이 부여됨)은 두께 T2를 가지며, 여기서 $T1 > T2$ 이다. 유사하게, 제1의 칩 2(기준 번호 604)는 두께 T3를 가지며, 제2의 칩 2(기준 번호 608)는 두께 T4를 갖는다. 또한, 이 예에서는, $T4 > T1 > T3 > T2$ 이다. 이러한 두께 치수는 칩들을 베이스 필름(402)에 압입하여 칩들의 상단 표면에 걸쳐 동일 평면을 형성하는 과정을 설명하기 위해 후술하기로 한다.

[0031] [0030] 도 6에 도시된 바와 같이, 배치된 칩들은 베이스 필름(402)의 상부에 위치하며, 베이스 필름(402)은 칩들 사이의 두께 변화로 인해 칩들의 상단 표면에 걸쳐 비동일면 표면(non-coplanar surface)을 형성한다. 예를 들어, 가장 두꺼운 칩(608)은 베이스 필름(402) 위에 가장 높은 상단 표면을 가지며, 그 다음이 칩(602) 등이다. 따라서, 배치된 칩들은 기판 위에 평면이 아닌 표면을 생성한다. 베이스 필름(402) 위의 다양한 높이에서 이들 칩에 BEOL 금속 배선을 형성하는 것은 가능할지라도 매우 어려울 것이다.

[0032] [0031] 그러므로, 다양한 칩 높이를 평평하게 하기 위해 다음으로, 가압기(702)가 베이스 필름(402)에 칩들을 압입하기 위해 사용된다. 도 7을 참조한다. 도 7은 B-B'(도 5 참조)를 따라 기판(300)과 칩(칩 1 및 칩 2)을 관통하는 단면도를 제공한다. 즉, 도 7에 도시된 바와 같이, 가압기(702)는 칩과의 계면에 편평한 평면 표면(704)을 포함한다. 이 실시예에서, 평면 표면(704)은 기판(300)의 칩(602 내지 608) 모두에 걸쳐 있다. 이 평면 표면은 여러 개의 칩의 상단에 힘을 가하기 때문에, 더 두꺼운 칩은 더 얇은 칩보다 베이스 필름(402)에 더 눌리게 된다. 칩(602, 604, 606, 608)은, 예를 들면, 각각, T1, T3, T2 및 T4의 두께를 가지며, 여기서 $T4 > T1 > T3 > T2$ 이다. 이에 따라, 칩(602, 604, 606, 608)은 각각 깊이 D1, D3, D2 및 D4로 베이스 필름(402)에 압입되고, 여기서 $D4 > D1 > D3 > D2$ 가 된다. 칩들의 상단을 가로질러 동일한 평면 표면의 표면을 달성하기 위해, 적어도 가압기(702)가 가장 얇은 칩의 상단에 접촉할 때까지 하향의 힘이 가해진다. 그러나 원하는 경우, 칩들을 베이스 필름에 더 많이 가라앉히기 위해 압입은 그 지점을 넘어서 계속될 수 있다.

[0033] [0032] 베이스 필름(402)에 대한 예시적인 두께 값은 위에서 제공되었다. 그러나 베이스 필름(402)의 두께는 본질적으로 칩들 사이의 두께 차이에 달려 있다. 즉, 베이스 필름(402)은 칩의 상부에 걸쳐 동일한 평면 표면을 형성하기 위해서 적어도 가장 두꺼운 칩과 가장 얇은 칩의 두께 차이만큼 두꺼워야 한다. 즉, 베이스 필름(402)은 두께가 가장 작은 칩의 두께를 뺀 가장 큰 칩의 두께보다 크거나 동일한 TBASE 필름을 갖는다. 도 7에 제공된 실시예를 예로 들면, 칩 중에서 칩(608)의 두께(T4)가 가장 크고, 칩(606)의 두께(T2)가 가장 작다. 그 경우, 베이스 필름(402)(TBASE 필름)의 두께는 $\geq T4 - T2$ 이다. 이와 같이, 가장 두꺼운 칩은, 가압기(702)가 가장 얇은 칩에 접촉하기 전에, 베이스 필름에 $T4 - T2$ 의 양만큼 압입될 수 있다.

[0034] [0033] 베이스 필름(402)에 칩을 가압한 후, 베이스 필름(402)이 경화된다. 전술한 바와 같이, 경화는 베이스 필름을 교차 결합시킴으로써, 기판 상의 칩들의 (동일 평면) 위치를 설정한다. 일 실시예에 따르면, 베이스 필름(402)의 경화는 기판(300)/베이스 필름(402)을 약 100°C 내지 약 500°C 및 그 사이의 온도에서, 약 1시간 내지 약 5시간 및 그 사이의 시간 동안 어닐링하여 수행된다.

[0035] [0034] 그런 다음, 기판(300) 상에서 베이스 필름(402)과 칩 위에 상호연결층(802)이 형성된다. 도 8을 참조한다. 도 8은 B-B'(도 5 참조)를 따라 기판(300)과 칩(칩 1 및 칩 2)을 관통하는 단면도를 제공한다. 도 8에 도시된 바와 같이, 상호연결층(802)은 기판(300) 상에서 베이스 필름(402)과 칩들 위에 적층된 유전체(804)와, 유전체(804)에 형성된 BEOL 금속 배선(806)을 포함한다.

[0036] [0035] 적합한 유전체(804) 재료는 산화규소(SiO_x) 및/또는 산화물 울트라로우케이 층간 유전체(ultralow-κ interlayer dielectric : ULK-ILD) 재료과 같은 산화물 로우케이 재료(oxide low-κ materials), 예를 들어, 유전율 상수 κ가 2.7 미만인 재료를 포함하지만, 이에 한정되는 것은 아니다. 이에 비해 이산화규소(SiO₂)는 유전율 상수 κ 값이 3.9이다. 적합한 울트라로우케이 유전체 재료는 다공성 유기 규산염 유리(porous organosilicate glass : pSiCOH)를 포함하지만, 이에 한정되는 것은 아니다. 유전체(804)를 적층하기 위해서는 CVD(Chemical Vapor Deposition), ALD(Atomic Layer Deposition) 또는 PVD(Physical Vapor Deposition)와 같은 공정이 사용될 수 있으며, 그 후에는 CMP(Chemical Mechanical Polishing)와 같은 공정을 사용하여 유전체(804)를 평탄화할 수 있다. 유전체(804)가 단층으로 도시되지만, 유전체(804)는 상이한 유전체 재료로부터 선택적으로 형성된 복수의 층을 포함할 수 있다는 것이 주목할 만하다.

[0037] [0036] BEOL 금속 배선(806)은 금속 랜딩 패드(204)와 마찬가지로 유전체(804)에 다마신 또는 듀얼 다마신 공정을 이용하여 형성될 수 있으며, 여기서 트렌치 및/또는 비아와 같은 특징부(다마신 공정) 또는 이들의 조합(듀얼 다마신 공정)이 유전체(804)에 먼저 패터닝된다. 그런 다음 특징부가 Cu, Co, Ru 및/또는 W와 같은 접촉 금속으로 채워진다. 접촉 금속을 상기 특징부에 적층하기 위해 증발, 스퍼터링 또는 전기화학적 도금과 같은 공정

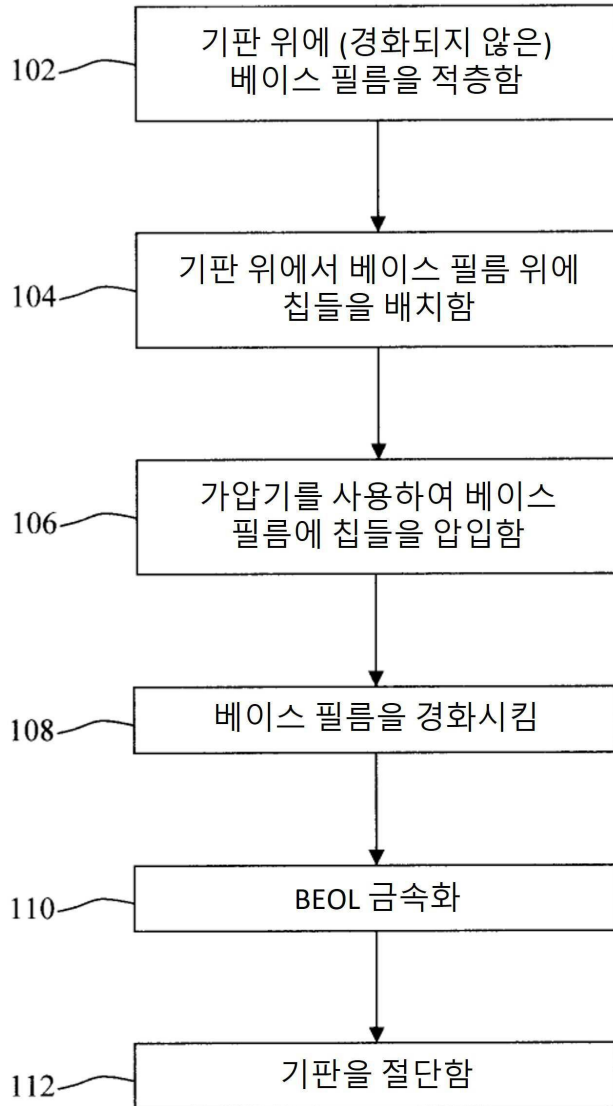
이 사용될 수 있다. 접촉 금속을 적층하기 전에, 특징부는 확산 장벽층(도시되지 않음)으로 라이닝될 수 있다. 확산 장벽층에 적합한 재료로는 Ti, Ta, TiN 및/또는 TaN을 들 수 있으나, 이에 한정되는 것은 아니다.

- [0038] [0037] 도 8에 도시된 바와 같이, BEOL 금속 배선(806)은 칩들의 상부에 있는 금속 랜딩 패드(204)와 접촉한다. 도 8에 도시된 바와 같이, 금속 배선은 또한 칩들 사이에 브리지 연결을 제공할 수 있다.
- [0039] [0038] 도 9에 도시된 바와 같이, BEOL 금속 배선(806)과 접촉하는 상호연결층(802) 상에 솔더 범프(902)를 형성하기 위해 C4 공정이 사용될 수 있다. 도 9는 B-B'(도 5 참조)를 따라 기관(300)과 칩(칩 1 및 칩 2)을 관통하는 단면도를 제공한다. 결과적인 구조, 즉 즉 베이스 필름(402)에 서로 다른 깊이로 설정된 칩들, 및 BEOL 금속 배선(806)을 갖는 칩 위의 상호연결층(802)을 구비하는 기관을 여기서서는 인터포저 없는 멀티칩 모듈이라고 한다.
- [0040] [0039] 마지막으로, 도 10에 도시된 바와 같이, 기관(300)은 복수의 세그먼트(1002)로 절단(dicing)될 수 있다. 각 세그먼트(1002)는 적어도 두 개의 칩을 포함한다. 표준 웨이퍼 절단 기술이 사용될 수 있다. 전술한 바와 같이, 각 세그먼트(1002)는 그것이 포함하는 칩을 위한 인터포저 없는 멀티칩 모듈 온칩 인터포저(interposer-less multi-chip module on-chip interposer)로서 개별적으로 역할을 한다.
- [0041] [0040] 가압기(702)의 작용은 이제 도 11 내지 도 14를 참조하여 더 설명된다. 위와 동일한 구조는 동일한 번호가 매겨질 것이다. 도 11에 도시된 바와 같이, 베이스 필름(402) 위에 칩(602 내지 608)이 배치된 기관(300)은 고정된 위치 스테이지(position stage)(1102)에 배치된다. 즉, 가압기(702)의 위치가 스테이지(1102)를 향해 이동하는 동안 스테이지(1102)의 위치는 고정된 상태로 유지된다. 일 실시예에 따르면, 포스트(post)(1104)는 가압기(702)를 스테이지(1102)로부터 하향/상향 향하여/멀어지게 작동시키는 기계적 프레스(mechanical press)(미도시)에, 가압기(702)를 연결한다.
- [0042] [0041] 가압기(702)가 스테이지(1102)를 향해 하강함에 따라 가압기(702)의 평면 표면(704)이 칩들 중에서 가장 큰 두께(T4)를 갖는 칩(608)과 먼저 접촉하게 된다. 도 11을 참조한다. 즉, 칩(602, 604, 606 및 608)은 전술한 바와 같이, 각각 두께 T1, T3, T2 및 T4를 가지며, 여기서 $T4 > T1 > T3 > T2$ 이다.
- [0043] [0042] 가압기(702)가 스테이지(1102)에 가까워질수록, 가압기(702)의 평면 표면(704)은 칩들 중에서 두 번째로 큰 두께(T1)를 갖는 칩(602)과 다음으로 접촉하게 된다. 도 12를 참조한다. 도 12에 도시된 바와 같이, 가압기(702)를 칩(602)과 접촉시키는 이러한 동작은 칩(608)을 베이스 필름(402) 안으로 압입하게 된다.
- [0044] [0043] 가압기(702)를 스테이지(1102)를 향해 계속해서 내림으로써, 가압기(702)의 평면 표면(704)은 칩들 중에서 세 번째로 큰 두께(T3)를 갖는 칩(604)과 접촉하게 된다. 도 13을 참조한다. 도 13에 도시된 바와 같이, 가압기(702)를 칩(604)과 접촉시키는 이러한 동작은 칩(602)을 베이스 필름(402) 안으로 압입하고, 칩(608)을 베이스 필름(402) 안으로 더 압입하게 된다.
- [0045] [0044] 가압기(702)를 스테이지(1102)를 향해 더 하강시키면, 가압기(702)의 평면 표면(704)은 최종적으로 칩들 중에서 가장 작은 두께(T2)를 갖는 칩(606)과 접촉하게 된다. 도 14를 참조한다. 도 14에 도시된 바와 같이, 가압기(702)를 칩(606)과 접촉시키는 이러한 동작은 칩(604)을 베이스 필름(402) 안으로 압입하고, 칩(602, 608)을 베이스 필름(402) 안으로 더욱 압입하게 된다.
- [0046] [0045] 본 발명의 예시적인 실시예가 본 명세서에서 설명되었으나, 본 발명이 이러한 실시예에 한정되는 것은 아니며, 본 발명의 범위를 벗어나지 않고 당업자에 의해 다양한 변경 및 변형이 이루어질 수 있음을 이해하여야 한다.

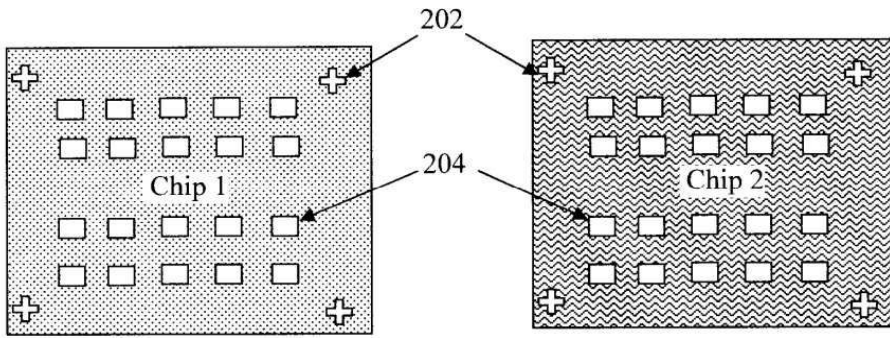
도면

도면1

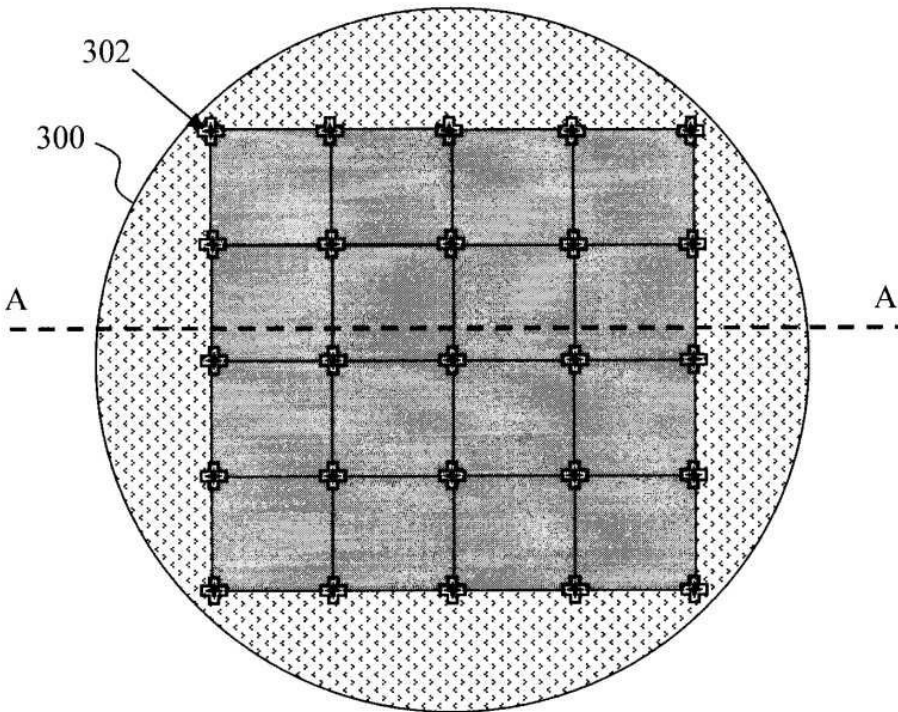
100



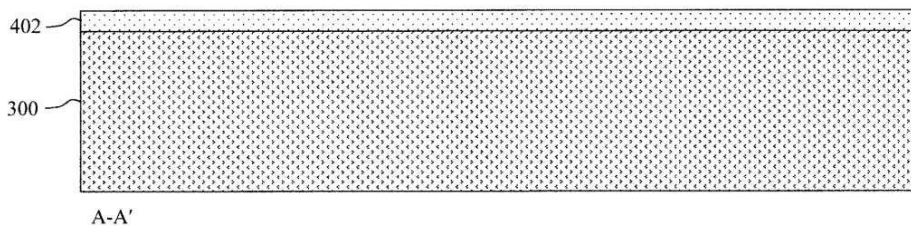
도면2



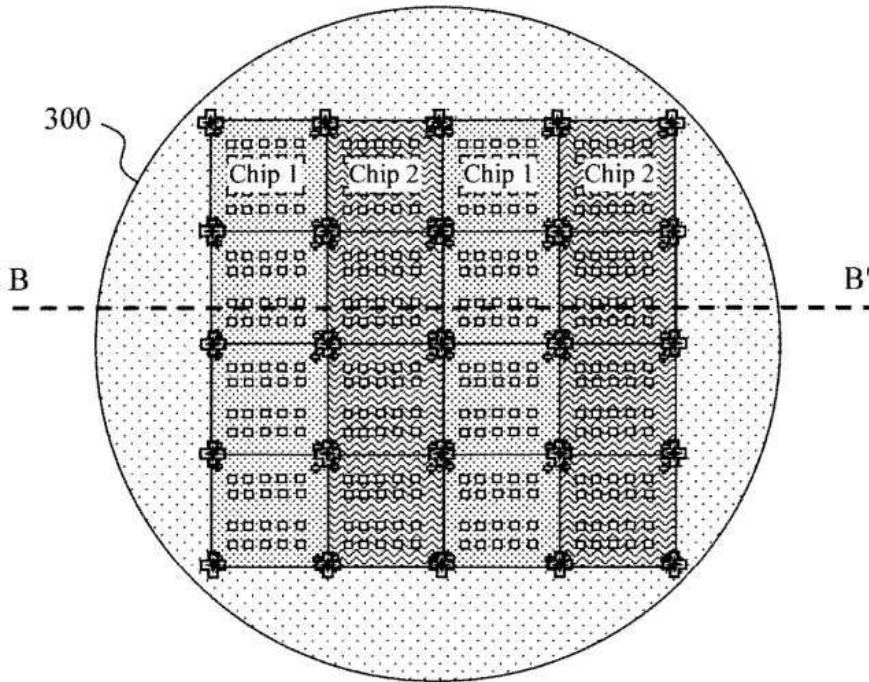
도면3



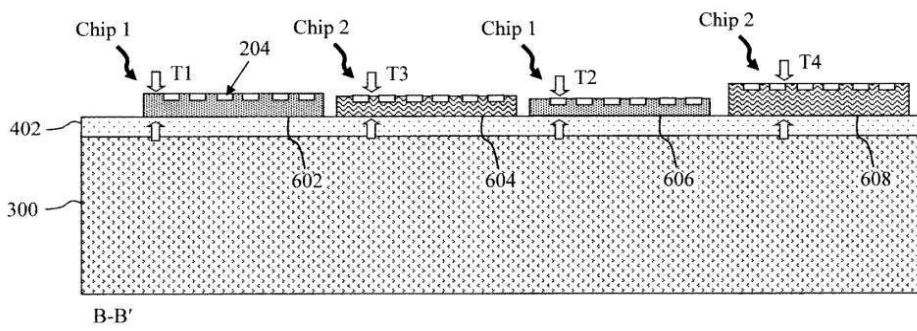
도면4



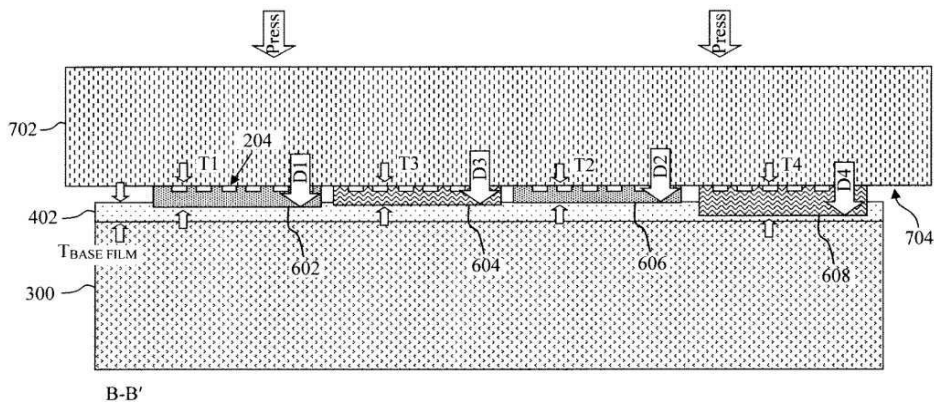
도면5



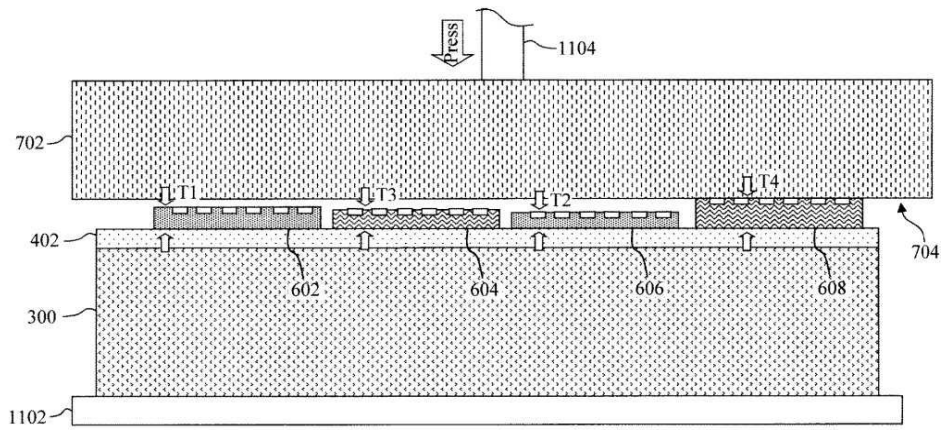
도면6



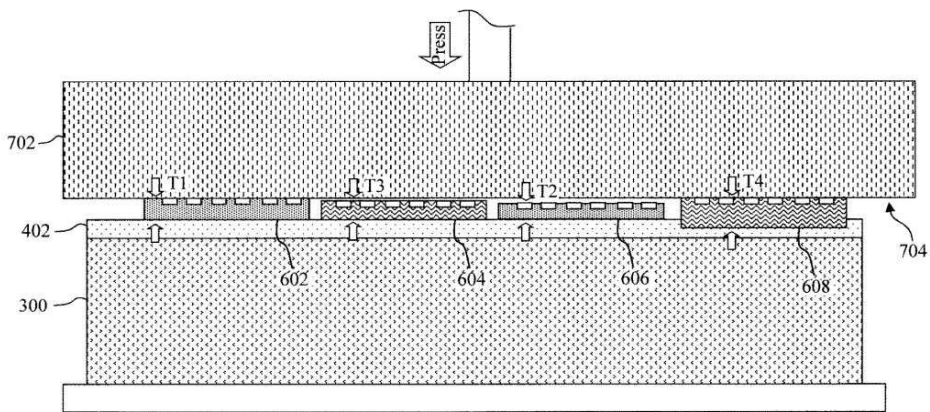
도면7



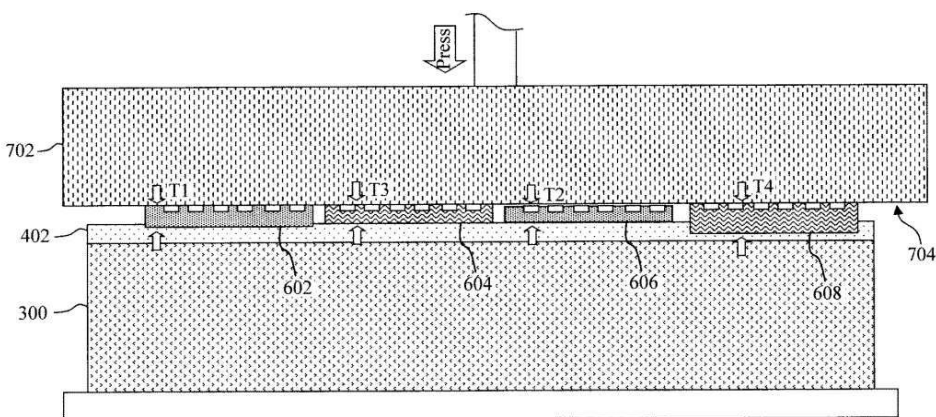
도면11



도면12



도면13



도면14

