



(12)发明专利申请

(10)申请公布号 CN 106030814 A

(43)申请公布日 2016. 10. 12

(21)申请号 201480076296.3

(51)Int.Cl.

(22)申请日 2014.03.24

H01L 29/78(2006.01)

H01L 21/336(2006.01)

(85)PCT国际申请进入国家阶段日  
2016.08.24

(86)PCT国际申请的申请数据  
PCT/US2014/031599 2014.03.24

(87)PCT国际申请的公布数据  
W02015/147783 EN 2015.10.01

(71)申请人 英特尔公司  
地址 美国加利福尼亚

(72)发明人 G·A·格拉斯 A·S·默西

(74)专利代理机构 永新专利商标代理有限公司  
72002

代理人 陈松涛 韩宏

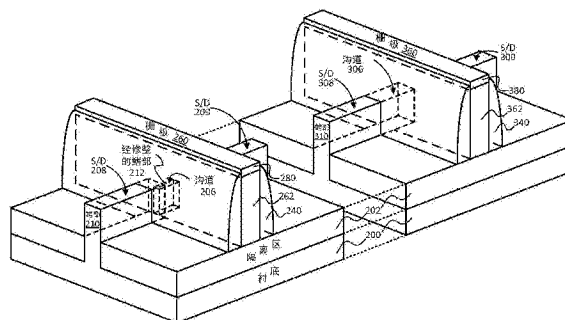
权利要求书2页 说明书13页 附图8页

(54)发明名称

用于在单个管芯上实现多个晶体管鳍部尺寸的技术

(57)摘要

公开了用于在单个管芯或半导体衬底上获得多个鳍部尺寸的技术。在某些情形下,通过使用修整蚀刻工艺光刻地限定(例如,硬掩模和图案化)待修整的区域来实现多个鳍部尺寸,留下管芯的剩余部分未受影响。在某些这样的情形下,当在替代栅极工艺期间再次暴露出鳍部的沟道区时,仅在那些沟道区上执行修整蚀刻。修整蚀刻可以使得被修整的鳍部的宽度(或仅仅这些鳍部的沟道区)变窄例如2-6nm。替代地或另外地,修正可以减小鳍部的高度。技术可以包括任意数量的图案化和修整工艺以实现在给定管芯上的多个鳍部尺寸和/或鳍部沟道尺寸,这对于集成电路和片上系统(SOC)应用可以是有用的。



1. 一种集成电路,包括:

第一组鳍部,所述第一组鳍部形成在衬底上并且由所述衬底形成,所述第一组鳍部均具有源极/漏极区和沟道区,其中,所述第一组鳍部在所述源极/漏极区中均具有第一宽度(W1)并且在所述沟道区中均具有第二宽度(W2),并且其中,W2小于W1;以及

第二组鳍部,所述第二组鳍部形成在所述衬底上并且由所述衬底形成,所述第二组鳍部均具有源极/漏极区和沟道区,其中,所述第二组鳍部在所述源极/漏极区和所述沟道区中均具有第三宽度(W3)。

2. 根据权利要求1所述的集成电路,其中:

所述第一组或所述第二组中的鳍部中的至少一个鳍部在所述鳍部上的第一位置处具有第一沟道高度并且在所述鳍部上的第二位置处具有第二沟道高度;和/或

所述第一组中的鳍部中的至少一个鳍部具有第一沟道高度,并且所述第二组中的鳍部中的一个鳍部具有第二沟道高度;

其中,所述第一沟道高度和所述第二沟道高度包括有意地不同的沟道高度。

3. 根据权利要求1所述的集成电路,其中,W1大于15nm并且W2为15nm或更小。

4. 根据权利要求1所述的集成电路,其中,W1比W2大2nm与6nm之间。

5. 根据权利要求1所述的集成电路,其中,W3基本上类似于W1。

6. 根据权利要求1所述的集成电路,其中,所述第一组鳍部和所述第二组鳍部均具有构建在其上的至少一个半导体器件。

7. 根据权利要求6所述的集成电路,其中,所述半导体器件是p-MOS、n-MOS、或CMOS晶体管器件。

8. 根据权利要求1所述的集成电路,还包括:形成在所述衬底上并由所述衬底形成的第三组鳍部,所述第三组鳍部均具有源极/漏极区和沟道区,其中,所述第三组鳍部在所述源极/漏极区中均具有第四宽度(W4)并且在所述沟道区中均具有第五宽度(W5)。

9. 根据权利要求1所述的集成电路,其中,W5不等于W2。

10. 根据权利要求1-9中任一项所述的集成电路,其中,所述集成电路是片上系统(SOC)器件。

11. 一种用于形成集成电路的方法,所述方法包括:

执行沟槽蚀刻以在衬底中形成鳍部和沟槽,其中,每个鳍部都具有第一宽度(W1);

在所述沟槽中沉积绝缘体材料;

在所述鳍部的沟道区上形成虚设栅极;

在所述鳍部和所述虚设栅极的形貌上方沉积附加的绝缘体层;

光刻地限定待开口的第一区域;

去除所述第一区域中的虚设栅极,以再次暴露出所述第一区域中的鳍部的沟道区;以

及

在所述第一区域中的鳍部的沟道区上执行第一修整蚀刻,其中,所述第一区域中的每个鳍部的经修整的沟道区具有第二宽度(W2),并且其中,W2小于W1。

12. 根据权利要求11所述的方法,还包括:重复以下工艺:光刻地限定待开口的区域;去除所述区域中的虚设栅极,以再次暴露出所述区域中的鳍部的沟道区;以及在所述区域中的鳍部的沟道区上执行修整蚀刻,以获得具有不同尺寸的沟道区的鳍部。

13. 根据权利要求11所述的方法,还包括:

光刻地限定待开口的第二区域;

去除所述第二区域中的虚设栅极,以再次暴露出所述第二区域中的鳍部的沟道区;以及

在所述第二区域中的鳍部的沟道区上执行第二修整蚀刻,其中,所述第二区域中的每个鳍部的经修整的沟道区均具有第三宽度(W3),并且其中,W3小于W1。

14. 根据权利要求11-13中任一项所述的方法,其中,光刻地限定包括形成硬掩模层以及图案化所述待开口的区域。

15. 根据权利要求11-13中任一项所述的方法,其中,执行修整蚀刻包括使用基于氯的化学品的低离子能量等离子体处理和热处理中的至少一个。

16. 根据权利要求11-13中任一项所述的方法,其中,执行修整蚀刻包括在10秒与40秒之间的时间内使用小于5kW的射频能量并使用基于氯的化学品。

17. 根据权利要求11-13中任一项所述的方法,其中,执行修整蚀刻包括在存在HCl的情况下在20秒与120秒之间的时间内在外延反应器中使用小于900摄氏度的热量并使用热处理。

18. 根据权利要求11-13中任一项所述的方法,其中,执行修整蚀刻包括在存在Cl<sub>2</sub>的情况下在20秒与120秒之间的时间内在外延反应器中使用小于700摄氏度的热量并使用热处理。

19. 根据权利要求11-13中任一项所述的方法,其中,W1大于15nm并且W2为15nm或更小。

20. 根据权利要求11-13中任一项所述的方法,其中,W3不等于W2。

21. 一种集成电路,包括:

第一组一个或多个晶体管,所述第一组一个或多个晶体管包括在衬底上形成并且由所述衬底形成的鳍式沟道区;以及

第二组一个或多个晶体管,所述第二组一个或多个晶体管包括在所述衬底上形成并且由所述衬底形成的鳍式沟道区;

其中,在隔离区上方,第一组沟道区的高度尺寸和宽度尺寸中的至少一个与第二组沟道区的对应尺寸不同。

22. 根据权利要求21所述的集成电路,其中,所述第一组沟道区在隔离区内具有第一宽度(W1)并且在所述隔离区上方具有第二宽度(W2),并且W2小于W1。

23. 根据权利要求21-22中任一项所述的集成电路,其中,在隔离区上方,所述第一组沟道区的宽度小于所述第二组沟道区的宽度。

24. 根据权利要求21-22中任一项所述的集成电路,其中,在隔离区上方,所述第一组沟道区的高度小于所述第二组沟道区的宽度。

25. 根据权利要求21-22中任一项所述的集成电路,其中,在隔离区上方,所述第一组沟道区的宽度和高度分别小于所述第二组沟道区的宽度和高度。

## 用于在单个管芯上实现多个晶体管鳍部尺寸的技术

### 背景技术

[0001] 集成电路(IC)设计(尤其是高度集成的片上系统(SOC)器件)涉及多个重要的问题,并且晶体管结构已经面临特定的复杂性,例如关于实现具有低功耗的器件同时实现高性能器件的这些复杂性。鳍式晶体管(finned transistor)配置包括围绕半导体材料的薄带(通常被称为鳍部)所构建的晶体管。晶体管包括标准的场效应晶体管(FET)节点,包括栅极、栅极电介质、源极区、以及漏极区。器件的导电沟道有效地驻留在鳍部的外侧上,栅极电介质下方。具体而言,电流沿着鳍部的两个侧壁/在两个侧壁内(基本上垂直于衬底表面的侧)并沿着鳍部的顶部(基本上平行于衬底表面的侧)流动。由于这些配置的导电沟道基本上沿着鳍部的三个不同的外部、平面区域驻留,因此这些配置已经被称为鳍式场效应晶体管(finFET)和三栅极晶体管。还可以使用其它类型的鳍式配置(例如,所谓的双栅极 finFET),其中,导电沟道主要仅沿着鳍部的两个侧壁驻留(并且例如不沿着鳍部的顶部驻留)。

### 附图说明

[0002] 图1示出了根据本公开内容的一个或多个实施例的形成包括多个鳍部沟道尺寸的集成电路结构的方法。

[0003] 图2例示了根据实施例的包括鳍部的半导体衬底在执行沟槽蚀刻以在衬底中形成鳍部之后的透视图。

[0004] 图3例示了根据实施例的在沟槽中沉积氧化物材料并蚀刻沟槽氧化物材料以使其凹陷在鳍部的水平高度下方之后的图2中的结构的透视图。

[0005] 图4例示了根据实施例的在鳍部上形成虚设栅极之后的图3中的包括虚设栅极的结构透视图。

[0006] 图5例示了根据实施例的在沉积绝缘层并将该绝缘层抛光至虚设栅极的顶部之后的图4中的包括绝缘层的结构的透视图。

[0007] 图6例示了根据实施例的在光刻地限定待开口的区域之后的图5中的结构(包括在衬底上被处理的附加区域,包括来自附加区域的鳍部)的透视图。

[0008] 图7A例示了根据实施例的在从开口的区域去除虚设栅极以再次暴露出鳍部的沟道区之后的图6中的结构(除了附加区域以外)的透视图。

[0009] 图7B例示了图7A中所示出的结构的顶部平面视图。

[0010] 图7C例示了垂直于鳍部并且跨图7A中所示出的结构的沟道区所截取的前横截面视图。

[0011] 图8从图7C继续,并且例示了根据实施例的在执行修整蚀刻以便在沟道区中获得修整的鳍部之后的得到的结构;图7C和图8还可以被视为根据实施例的在修整蚀刻后相同的两个鳍部的不同位置处截取的横截面。

[0012] 图9例示了根据一个或多个实施例的在进行附加处理以形成半导体器件之后的图8中的结构(包括图6中所示出的附加区域)的透视图。

[0013] 图10例示了利用根据本公开内容的一个或多个实施例所配置的一个或多个集成电路实现的计算系统。

### 具体实施方式

[0014] 公开了用于在单个管芯或半导体衬底上、甚至在单个连续鳍部结构上实现多个鳍部尺寸的技术。在某些情形下,通过光刻地限定(例如,硬掩模和图案化)待使用修整蚀刻工艺进行修整的区域来获得多个鳍部尺寸,留下管芯的剩余部分(和给定鳍部结构的其它部分)未受影响。在某些这样的情形下,当给定的一组鳍部(一个或多个鳍部)的沟道区在替代栅极工艺期间被再次暴露出时,仅在這些沟道区上执行修整蚀刻。修整蚀刻可以包括例如低离子能量等离子处理或热处理,并且其可以使得被修整的鳍部的宽度(或仅是这些鳍部的沟道区)变窄例如2-6nm。替代地或另外地,修整可以减小鳍部的高度。技术可以包括任意数量的图案化和修整工艺以实现给定管芯上的多个鳍部尺寸和/或鳍部沟道尺寸,其对于集成电路和片上系统(SOC)应用可以是有用的。鉴于本公开内容,众多配置和变型将是显而易见的。

### [0015] 总体概述

[0016] 如先前所解释的,存在与制造集成电路(以及尤其是片上系统(SOC)器件)相关联的多个重要问题。对于高度集成的SOC器件,对晶体管性能的要求通常随芯片的不同部分而变化。逻辑区域可能需要非常低的泄漏以实现较长的电池寿命,而功率管理区域可能需要高电流来致动封装体中的其它系统。单个晶体管类型难以满足这些不同的要求。在平面晶体管器件架构的背景中,这些问题通常用不同的栅极和沟道尺寸来解决。在鳍式晶体管器件架构(例如,三栅极或finFET架构)的背景中,通常由间隔体图案化技术来确定沟道尺寸,间隔体图案化技术限于给定管芯上的单个鳍部高度/宽度尺寸(以及由此鳍部的沟道区中的单个高度/宽度)。

[0017] 因此并根据本公开内容的一个或多个实施例,提供了用于在单个管芯上、甚至在单个连续的鳍部上实现多个鳍部尺寸的技术。在某些实施例中,通过光刻地限定(例如,硬掩模和图案化)待修整的区域并且随后仅在這些区域上执行修整蚀刻来实现多个鳍部尺寸,留下鳍部和管芯的剩余部分(例如,未被图案化的区域)未受影响。在某些这样的实施例中,当光刻限定的区域的沟道区例如在替代栅极工艺期间被再次暴露时,仅在這些沟道区上执行修整蚀刻。修整蚀刻可以包括例如低离子能量等离子处理(例如,使用基于Cl的化学品)或热处理(例如,使用HCl或Cl<sub>2</sub>)。技术可以包括任意数量的图案化和修整工艺以实现给定管芯上的多种鳍部尺寸和/或鳍部沟道尺寸,这对于集成电路和片上系统(SOC)应用可以是有用的。

[0018] 如鉴于本公开内容将显而易见的,在给定管芯上被修整的鳍部(例如,第一组一个或多个鳍部)在大于10nm(例如,15nm、20nm、或30nm)的修整蚀刻之前可以具有初始/第一宽度(W1)。在修整蚀刻之后,被修整的这些鳍部可以具有15nm或以下(例如,15nm、10nm或7nm)的第二宽度(W2)。在某些实施例中,可以仅修整鳍部的沟道区(例如,在替代栅极工艺期间),得到每个都具有相对于相同鳍部的源极/漏极区较窄的沟道区的经修整的鳍部。在某些情形下,修整蚀刻可以造成鳍部变窄2-6nm。在某些实施例中,可以期望在执行修整蚀刻以使鳍部的宽度变窄时尽可能少地减小鳍部的高度。例如,可以期望确保经修整的鳍部在

沟槽氧化物平面上方具有20nm或更大的经修整的高度。因此,在某些实施例中,可以期望以高的初始鳍部高度(例如,大于25nm、30nm、50nm或75nm)开始。在某些实施例中,经修整的鳍部的宽度和/或高度可以基于期望的应用而减少期望的百分比,例如10%、15%、20%或25%,或者某个其它适当的百分比。减小沟道区中的鳍部宽度可以使得其更容易地通过施加栅极偏置来电气地使沟道反向并且当栅极未被偏置时减少载流子泄漏。在剩余的未修整的/未受影响的鳍部(例如,第二组鳍部)中,鳍部可具有第三宽度(W3),其可以等于或基本上类似于W1。

[0019] 应当指出,在某些情况下,鳍部高度的变化可以是无意的或者以其它方式不可避免的和相应地规划的。例如,在某些这样的情形下,鳍部高度的变化有效地是宽度修整过程附带造成的结果。然而,在其它实施例中,鳍部高度可以被有意地改变,以提供特定的鳍部高度。在这些实施例中,例如可以在单个管芯上实现多个鳍部高度和/或可以实现多个晶体管鳍式沟道高度。例如,在CMOS应用中,沿着相同的鳍部提供多个鳍部高度值(例如,对于p型晶体管的30nm的第一鳍部高度,和对于n型晶体管的20nm的第二鳍部高度)可以是有用的。

[0020] 因此,取决于应用和期望的电路性能,单个管芯可具有多个晶体管几何结构。这些晶体管中的某些晶体管可在沟道区中具有第一鳍部宽度,而这些晶体管中的其它晶体管可在沟道区中具有第二鳍部宽度,或第三鳍部宽度等等。类似地,这些晶体管中的某些晶体管可在沟道区中具有第一鳍部高度,而这些晶体管中的其它晶体管可在沟道区中具有第二鳍部高度、或第三鳍部高度等等。出于这个目的,在该管芯上的每个晶体管器件都可以如对于给定应用所需要的进行配置,并可以具有任何适当的几何结构(宽度/高度组合)。在某些示范性实施例中,多样的晶体管几何结构在相同的鳍部上,而在其它实施例中,在管芯上的第一位置处提供了第一晶体管几何结构,并且在管芯上的第二位置处提供了第二晶体管几何结构、等等。在其它实施例中,单个管芯可以被配置为具有包括不同的晶体管几何结构的不同的鳍部组以及包括多样的晶体管几何结构的一个或多个单个鳍部。

[0021] 回想到可以执行任意数量的图案化和修整工艺来实现给定管芯上的多个鳍部尺寸或鳍部沟道尺寸。例如,如果执行第二序列的图案化和修整,则可以产生具有可能与前两组鳍部尺寸不同的鳍部尺寸的第三组鳍部、等等。应当指出,如本文中所使用的一组鳍部包括一个或多个鳍部。在形成具有不同尺寸(或至少在这些组鳍部的沟道区中的不同尺寸)的多组鳍部之后,可以在鳍部上形成各种半导体器件(例如,晶体管),包括鳍式金属-氧化物-半导体(MOS)晶体管器件(例如,三栅极或finFET器件)。这些MOS晶体管器件可以包括n型MOS器件(n-MOS)、和p型MOS器件(p-MOS)、以及互补型MOS器件(CMOS)。

[0022] 在分析(例如,扫描电子显微镜和/或成分映射(composition mapping))之后,根据一个实施例配置的结构将有效地示出在给定管芯上或甚至在给定的单个连续鳍部上的多个鳍部尺寸和/或多个鳍部沟道尺寸。在某些实施例中,仅有一组鳍部的沟道区可以被修整,因此具有相对于该组鳍部的源极/漏极区并且相对于给定管芯上的另一组鳍部的沟道区较窄的宽度。例如,本文中所描述的技术可以创建在给定衬底/管芯上并且由给定衬底/管芯形成的第一组鳍部,其中,第一组鳍部在源极/漏极区中均具有第一宽度(W1)并在沟道区中均具有第二宽度(W2),以使得W2小于W1。此外,给定的衬底/管芯可具有第二组鳍部,其中,第二组鳍部在源极/漏极区和沟道区中均具有第三宽度(W3)(例如,在鳍部的所有三个

区域中具有一致宽度)。在这样的示例性情形中,  $W_3$  可以等于或基本上类似于  $W_1$ , 这是因为这些区域将不受所执行的任何修整蚀刻影响, 如本文中描述的。因此, 宽度  $W_1$ 、 $W_2$  和  $W_3$  可以被检查和比较。

[0023] 此外, 在某些情形下, 使用本文中所描述的技术制造的(例如, 由单个衬底/管芯的)集成电路可以提供优于传统结构的改进, 该改进关于至少基于给定衬底/管芯上的晶体管的位置来提供不同的晶体管性能分区。例如, 集成电路管芯的区域可以包括在管芯上的一个位置处形成的并具有适合于低泄漏/较长电池寿命应用(例如, 逻辑区域)的沟道尺寸的第一组鳍部, 以及在管芯上的另一位置处形成的并具有适合于高电流应用(例如, 功率管理区域)的沟道尺寸的第二组鳍部。如将鉴于本公开内容进一步意识到的, 管芯的这些几何上多样的晶体管区域也可以形成在相同的连续鳍部上。因此, 包括如本文中多方面描述的多个鳍部尺寸或多个鳍部沟道尺寸的集成电路对于片上系统(SOC)应用(尤其是高度集成的SOC应用)可以是有用的。鉴于本公开内容, 许多配置和变型将是显而易见的。

#### [0024] 方法和架构

[0025] 图1示出了根据本公开内容的一个或多个实施例的用于形成包括多个鳍部沟道尺寸的集成电路结构的方法101。如鉴于本公开内容将显而易见的, 本文中在替代栅极工艺(例如, 替代金属栅极(RMG)工艺)的背景中描述了修整/雕刻(例如, 使用如本文中多方面描述的修整蚀刻)以实现不同的鳍部沟道尺寸。然而, 在某些实施例中, 可以在栅极(或虚设栅极)沉积之前执行修整/雕刻, 以便修整在源极/漏极区和沟道区两者中的每个鳍部, 如下面将进一步详细讨论的。图2-图9例示了根据某些实施例的在执行图1中的工艺流程或方法101时所形成的示例性结构。尽管本文中在形成具有不同沟道尺寸的鳍式晶体管配置(例如, 三栅极或finFET)的背景中描绘和描述了图1中的方法101和图2-图9中示出的结构, 但如本文中多方面描述的类似原理和技术可用于其它晶体管配置, 例如包括平面、双栅极、环绕栅极(例如, 纳米线/纳米带)、和其它适当的半导体器件和配置, 如将鉴于本公开内容显而易见的。

[0026] 图2例示了根据实施例的在执行沟槽蚀刻102以在衬底200中形成鳍部210和220之后的包括鳍部210和220的半导体衬底200的透视图。在某些情形下, 方法101可以包括初始地提供衬底200, 以使得可以在所提供的衬底200上执行沟槽蚀刻102。衬底200例如可以包括硅、多晶硅、或单晶硅, 可以由硅、多晶硅、或单晶硅形成, 用硅、多晶硅、或单晶硅沉积, 或生长自硅、多晶硅、或单晶硅。衬底200可以使用用于形成硅基底或衬底(例如, 硅单晶晶圆)的各种其它适当的技术来形成。衬底200可以例如用体硅、绝缘体上硅配置(SOI)、或用多层结构(包括在随后的栅极图案化工艺之前在其上形成鳍部的这些衬底)来实现。在其它实施方式中, 衬底200可以使用替代的材料(例如, 锗)形成, 这些材料可以或可以不与硅进行组合。在更通常的意义上, 可以作为在其上可构建半导体器件的基础的任何材料可以根据本公开内容的实施例来使用。出于本公开内容的目的, 衬底200也可以被认为是管芯。

[0027] 进一步参照图2, 如先前描述的, 在执行沟槽蚀刻102之后, 在衬底200中形成鳍部210和220。因此, 在该实施例中, 鳍部210和220形成在衬底200上并由衬底200形成。在其它实施例中, 可以通过其它适当的工艺来形成、生长、或产生鳍部210和220。例如, 在某些情形下, 鳍部210和220可以从在衬底200中形成的沟槽生长(例如, 外延地生长)。图2还示出了在鳍部210与220之间形成的沟槽215。可以使用任何适当的技术形成鳍部210和220, 如将鉴于

本公开内容显而易见的。例如,在某些情形下,沟槽蚀刻102可以包括使用抗蚀剂和硬掩模来图案化和蚀刻衬底200的厚度,以形成鳍部210和220。在某些这样的情形下,多个抗蚀剂或硬掩模层可以用于图案化材料。在某些情形下,沟槽蚀刻102可以包括例如在10-100毫托范围中的压强下、并且在室温下使用 $O_2$ 或 $O_2/Ar$ 等离子体蚀刻。

[0028] 如可以在图2中看到的,为了描述的简单起见,鳍部210和220被描绘为在形状上是矩形的。然而,如本文中各方面所描述的鳍部不需要如此限制。例如,在其它实施例中,在沟槽蚀刻120期间形成的鳍部可具有圆形顶部、三角形形状、或某种其它适当的鳍部形状,如鉴于本公开内容将显而易见的。如鉴于本公开内容还将显而易见的,鳍部210和220可用于例如n型MOS器件(n-MOS)、p型MOS器件(p-MOS)、或CMOS器件(例如,其中鳍部210将是n型MOS,鳍部220将是p型MOS)。还应当指出,尽管为了描述的简单起见,仅示出了两个鳍部210和220(以及之间形成的沟槽215);然而,应当预期到,任何数量的类似鳍部和沟槽(例如,数百个鳍部、数千个鳍部、数百万个鳍部、数十亿个鳍部、等等)可以形成在衬底200上,并且得益于本文中所描述的技术。

[0029] 图3例示了根据实施例的在沟槽中沉积103绝缘体材料并蚀刻绝缘体材料以使其凹陷在鳍部210和220的水平高度下方之后的包括浅沟槽隔离(STI)(由隔离区202提供)的图2中的结构的透视图。沉积103以形成隔离区202可以包括原子层沉积(ALD)、化学气相沉积(CVD)、旋涂沉积(SOD)、高密度等离子体(HDP)、等离子体增强化学沉积(PECVD)、和/或某种其它适当的技术。在其中图案化硬掩模用于形成鳍部210和220的情形下,可以在沉积沟槽氧化物材料之前去除硬掩模。在某些情形下,在蚀刻绝缘体或氧化物材料以使其凹陷在鳍部210和220的水平高度下方之前,可以将这些材料抛光平坦至鳍部210和220的顶部的水平高度。绝缘区202例如可以包括电介质,例如二氧化硅( $SiO_2$ )。然而,绝缘区202可以是给定的目标应用或最终用途提供期望量的电隔离的任何绝缘体、氧化物、或层间电介质(ILD)材料,如鉴于本公开内容将显而易见的。

[0030] 图4例示了根据实施例的在鳍部210和220上形成104虚设栅极230之后的图3中的包括虚设栅极230的结构透视图。如先前描述的,本文中所公开的用于实现多个鳍部沟道尺寸的技术可以在替代栅极工艺期间执行,替代栅极工艺也可以被称为替代金属栅极(RMG)工艺。在该实施例中,虚设栅极230可以通过沉积虚设栅极电介质/氧化物和虚设栅极电极232(例如,虚拟多晶硅)首先被沉积。可以对得到的结构进行图案化,并且可以沉积并蚀刻间隔体材料240以形成图4中示出的结构。这些沉积、图案化、以及蚀刻可以使用任何适当的技术来完成,如鉴于本公开内容将显而易见的。应当指出,未示出虚设栅极氧化物,这是因为在该示例性实施例中,其位于虚设电极/多晶硅层232下方。还应当指出,为了便于参考,在间隔体材料240的顶部上指示了虚设栅极230,并且如本文中所指代的虚设栅极230(其包括虚设栅极氧化物和虚设电极/多晶硅层232)可以包括或不包括间隔体材料240,当进行讨论时。

[0031] 图5例示了根据实施例的在沉积105绝缘体层250并将层250抛光至虚设栅极230的顶部之后的图4中的包括绝缘体层250的结构透视图。绝缘体层250可以包括通过ALD、CVD、SOD、HDP、PECVD、和/或某种其它适当的技术来沉积的任何适当的填充材料,包括电介质材料,例如 $SiO_2$ ,如鉴于本公开内容将显而易见的。

[0032] 图6例示了根据实施例的在光刻地限定106待开口的区域之后的图5中的结构(包



括在管芯/衬底200上被处理的附加区域,包括鳍部310和320)的透视图。在该示例性实施例中,光刻地限定106待开口的区域包括硬掩模和图案化工艺,得到了所示出的硬掩模270图案。硬掩模层270可具有任何期望的配置和厚度,并且在某些实例中,可以被提供为基本上共形的层。硬掩模层270可以例如使用化学气相沉积(CVD)、旋涂工艺、和/或适合于提供硬掩模材料的层的任何其它工艺来形成,如鉴于本公开内容将显而易见的。此外,在某些实施例中,硬掩模层270例如可以包括氮化物,例如氮化硅( $\text{Si}_3\text{N}_4$ )。然而,硬掩模层270在材料成分上并非如此限制,并且在更通常的意义上,硬掩模层270可以是对于给定的目标应用或最终用途具有足够的回弹力的任何硬掩模材料,如鉴于本公开内容将显而易见的。

[0033] 在已经形成硬掩模层270之后,可以如期望地利用任何适当的和/或定制的图案化工艺来图案化硬掩模层270。在某些实施例中,可以对硬掩模层270进行图案化,以对包括覆盖期望被雕刻的鳍部的虚设栅极的区域进行开口(如下面将描述的)。如在图6中示出的示例性实施例中所例示的,对硬掩模层270进行图案化,以对包括虚设栅极230(包括虚设栅极氧化物232)的区域进行开口。然而,应当指出,并非在光刻地限定106待开口的区域的图案化工艺期间对覆盖鳍部310和320的沟道区的虚设栅极330(包括虚设栅极氧化物330)进行开口,如下面将更详细地讨论的。可以如期望地经由硬掩模层的图案化来对任何适当的区域进行开口,以便可以到达一个或多个虚设栅极(每个虚设栅极都覆盖一个或多个鳍部的沟道区),从而在单个衬底/管芯200上实现多个鳍部沟道尺寸,如鉴于本公开内容将显而易见的。

[0034] 图7A例示了根据实施例的在去除107虚设栅极230以再次暴露出鳍部210和220的沟道区206(或一旦完全制造了器件就可以变为沟道区的部分)之后的图6中的结构(排除图6中示出的包括鳍部310和320的附加区域)的透视图。去除107虚设栅极230可以包括去除虚设栅极的顶部上的任何覆盖层(例如,由间隔体材料240形成的),并随后去除虚设栅极电极/多晶硅232和虚设栅极氧化物。这些去除可以使用任何适当的蚀刻、抛光、和/或清洗工艺来完成,如鉴于本公开内容将显而易见的。回想到在该示例性实施例中,去除107虚设栅极仅针对虚设栅极230而发生(例如,并不针对图6中示出的虚设栅极330而发生),这是因为执行硬掩模和图案化工艺106来对包含虚设栅极230的区域进行开口。图7B例示了图7A中示出的结构的顶部平面视图。如可以在该顶部平面视图中看到的,已经再次暴露出鳍部210和220的沟道区206。如还可以看到的,并且如下面将更详细地讨论的,鳍部210和220均具有第一宽度 $W_1$ 。

[0035] 图7C例示了图7A中示出的结构的仅沟道区206的前平面视图。如在图7C中可以看到,鳍部210和220均具有第一宽度 $W_1$ 和第一高度 $H_1$ 。尽管鳍部210和220不需要具有相同的初始宽度 $W_1$ 和高度 $H_1$ ,但为了易于解释,它们在该实施例中是相同的。应当指出,如本文中所使用的第一高度 $H_1$ 是从隔离区202的顶部至鳍部210和220的顶部的距离。还应当指出,鳍部210和220的源极区和漏极区(或者一旦完全制造出器件就可以成为源极区或漏极区的区域)可以从与鳍部210和220的沟道区206相同的初始/第一宽度 $W_1$ 和高度 $H_1$ 开始。例如,如在图7A-7B中可以看到,初始的鳍部宽度 $W_1$ 和高度 $H_1$ 在源极/漏极区中与在沟道区206中相同。在某些实施例中,以及如鉴于本公开内容将显而易见的,第一宽度 $W_1$ 可以由沟槽蚀刻102来确定,执行沟槽蚀刻102来在衬底200中形成鳍部210和220。

[0036] 图8从图7C继续并例示了根据实施例的在执行鳍部210和220的沟道区206的修整

蚀刻108以分别获得经雕刻/经修整的鳍部212和222之后的得到的结构。在某些实施例中，可以使用外延沉积工具或外延反应器和/或在外延沉积工具或外延反应器内部执行修整蚀刻108。在某些实施例中，修整蚀刻可以包括例如：1)使用基于氯(Cl)或氟(F)的化产品的低离子能量等离子体处理或者2)热处理。在某些实施例中，使用基于Cl或F的化产品可以包括使用小于5kW(或小于1kW)的射频能量例如持续10秒与40秒之间的时间。在某些实施例中，低离子能量等离子体处理可以使用外延沉积工具和基于Cl的化产品以实现修整蚀刻108。一个这样的示例包括在以下条件下使用包含等离子体的低能量Cl:200mT、10sccm Cl<sub>2</sub>、100sccm H<sub>2</sub>、300sccm Ar、50W、离子能量2eV、20秒。在某些实施例中，热处理可以采用外延反应器或晶圆腔室处理以实现修整蚀刻108。在某些实施例中，热处理可以采用具有在500-700摄氏度的温度范围内的Cl<sub>2</sub>或者在700-900摄氏度的温度范围内的HCl的外延沉积反应器，举例来说，例如持续20秒与120秒之间的时间。一个这样的示例包括在以下条件下的热处理：750摄氏度、100sccm HCl、10000sccm H<sub>2</sub>、20T、60秒。如鉴于本公开内容将显而易见的，任何数量的适当的蚀刻工艺可用于修整蚀刻108。

[0037] 如可以在图8中看到的，在该示例性实施例中，经修整的鳍部212和222均已经被雕刻/修整为第二宽度W<sub>2</sub>和第二高度H<sub>2</sub>。回想到仅雕刻/修整了鳍部210和220的沟道区206，得到了经修整的鳍部212和222。在该示例性实施例中，鳍部210和220的源极/漏极区未受修整蚀刻108影响，这是因为它们被至少绝缘体层250覆盖(例如，如在图7A-7B中示出的)。应当指出，未开口区域(例如，在先前的硬掩模和图案化106期间剩下的被硬掩模层270覆盖的区域)中的鳍部(例如，图6中示出的鳍部310和320)的沟道区以及源极/漏极区也未受修整蚀刻108影响。在某些实施例中，W<sub>2</sub>可以等于或小于W<sub>1</sub>。在某些实施例中，H<sub>2</sub>可以等于或小于H<sub>1</sub>。在某些实施例中，W<sub>1</sub>可以大于15nm并且W<sub>2</sub>可以是15nm或更小。在某些实施例中，W<sub>1</sub>可以比W<sub>2</sub>大1nm与15nm之间。在某些实施例中，W<sub>1</sub>可以比W<sub>2</sub>大2nm与6nm之间。在某些实施例中，W<sub>1</sub>可以大于10nm(例如，15nm、20nm、或30nm宽)。在某些实施例中，W<sub>2</sub>可以是15nm或更小(例如，15nm、10nm、或7nm宽)。在某些实施例中，W<sub>2</sub>可以是至少5nm。在某些实施例中，H<sub>2</sub>可以是至少20nm。在某些实施例中，H<sub>1</sub>可以比H<sub>2</sub>大不超过5nm。在某些实施例中，可以期望确保在执行修整蚀刻108之后H<sub>2</sub>为至少20nm。因此，在某些实施例中，可以期望以具有高的初始高度H<sub>1</sub>(例如，至少25nm、30nm、50nm、或75nm)的鳍部开始，以确保在修整蚀刻108之后保留足够的经修整的鳍部高度H<sub>2</sub>。应当指出，在该示例性实施例中，鳍部210的经修整的部分212和鳍部220的经修整的部分222位于隔离区202上方，并且鳍部在接近于隔离区202或在隔离区202内的部分中保持它们的初始宽度W<sub>1</sub>，如例如在图8中示出的。

[0038] 回想到尽管鳍部210和220以及经修整的鳍部部分212和222被描绘为在形状上是矩形的，但本公开内容不需要如此限制。在其中鳍部从顶部到底部具有不规则宽度的某些实施例中，在修整蚀刻107期间仅可以只雕刻鳍部的一部分。例如，在其中初始形成的鳍部成锥形(例如，其中顶部比基部薄)的情况下，可以期望在修整蚀刻107期间主要雕刻或仅雕刻鳍部的底部部分。在这些情形下，可以执行雕刻以获得对于鳍部的整个沟道部分更一致的宽度。例如，可以在这些情形下执行修整蚀刻107以使得鳍部成形为直的(而不是成锥形)。在另一个实施例中，鳍部将具有鞍状的形状，以使得高度和宽度在其中鳍部接触间隔体侧壁的沟道的边缘处最大。在这些实施例中，在沟道的中心处，鳍部将较短和较窄。用于执行修整蚀刻107的其它适当的配置或变型将取决于给定应用并且鉴于本公开内容将是显

而易见的。

[0039] 在其它实施例中,应当指出,图7C和图8还可以被视为在已经完成修整蚀刻之后的相同的两个鳍部的两个不同位置处的相应的横截面。例如,图7C中在鳍部的210/220位置处截取的横截面描绘了第一鳍部高度H1和宽度W1,而图8中在这些鳍部的212/222位置处截取的横截面描绘了第二鳍部高度H2和宽度W2。鉴于本公开内容,任何数量的其它混合的鳍部几何结构将是显而易见的,不管在不同的鳍部组上、相同鳍部上、还是它们的组合。

[0040] 根据本公开内容的一个或多个实施例,图1中的方法101可以如期望地以重复109工艺106(光刻地限定待开口的区域)、107(从开口区域中去除一个或多个虚设栅极以再次暴露出开口区域中的鳍部的沟道区)、以及108(对开口区域中的鳍部的沟道区执行修整蚀刻)继续。工艺106、107和108每个可以被执行一次,以获得例如具有不同鳍部沟道宽度的两组鳍部(例如,如下面将参照图9所讨论的)。然而,工艺106、107、和108可以被重复109多达期望的次数,以便在给定的衬底/管芯上和/或甚至在沿着相同鳍部的不同位置处(如果这样期望的话(例如,CMOS器件))获得多个鳍部沟道尺寸,如鉴于本公开内容将显而易见的。应当指出,当重复光刻地限定106待开口的区域时,可以选择衬底/管芯200上的任何适当的区域。还应当指出,当重复修整蚀刻108时,不同条件可用于如期望地雕刻再次暴露出的鳍部沟道区域,例如以上面列出的方式或任何其它适当的方式。

[0041] 根据某些实施例,图1中的方法101可以可选地继续形成110一个或多个半导体器件(如传统地进行的)。例如,图9例示了根据本公开内容的一个或多个实施例的在进行附加处理以形成半导体器件之后(例如,在完成替代栅极工艺并执行源极/漏极接触沟槽蚀刻之后)的图8中的结构(包括来自图6中示出的管芯/衬底200上的附加区域的鳍部310)的透视图。在该示例性实施例中,已经形成两个鳍式晶体管(例如,三栅极或finFET)。如可以在图9中看到的,为了例示的目的示出了鳍部210和310,并且在沟道区206中修整212鳍部210。如还可以看到的,鳍部210在源极/漏极区208和209中保持第一宽度W1,并且鳍部310贯穿其源极/漏极区308和309及其沟道区306具有一致的宽度(W3)。换言之,整个鳍部310和鳍部210的源极/漏极区208和209未受修整蚀刻108的影响,这是因为仅当暴露出鳍部210和220的沟道区206时执行修整蚀刻108。因此,经过鳍部210的源极/漏极区208和109(以及任何相关的尖端区和接触部)的邻近的电阻通路可能由于源极/漏极区中的鳍部与沟道区206中的鳍部210的经修整的部分212相比物理上较宽的尺寸而全都相对更低(例如,与经过源极/漏极区308和309的电阻通路相比)。

[0042] 在某些实施例中,鳍部310的宽度W3可以等于或基本上类似于(例如,在1nm或2nm内)W1。在更通常的意义上,W1和W2可以分别表示第一组鳍部中的每个鳍部的源极/漏极区和沟道区中的宽度,其中,根据方法101来选择性地修整第一组鳍部。W3可以表示在所有剩余鳍部的所有区域(源极/漏极和沟道)中的宽度,所有剩余的鳍部可以构成第二组鳍部。如先前描述的,对鳍部的区域的选择性雕刻/修整可以如期望地重复109许多次。因此,可以使用本文中所描述的技术来在给定的衬底/管芯上形成任何数量的组的鳍部(例如,3、4、5、……n组),以获得多个鳍部沟道尺寸。在某些实施例中,所有这些组的鳍部的沟道区可以被雕刻/修整至某种程度(相对于这些鳍部的源极/漏极区)。因此,在某些实施例中,给定衬底/管芯上的所有鳍部的鳍部沟道宽度可以小于对应的源极/漏极区中的鳍部宽度。应当指出,在该示例性实施例中,源极/漏极区208/209和308/309被示出为分别形成在衬底200上

并且由衬底200形成的初始鳍部210和310的部分。然而,本公开内容不需要如此限制。例如,在某些实施例中,可以去除任何和/或所有源极/漏极区,并且用另一种材料来代替源极/漏极区,因此,源极/漏极区中的某些或全部可以在其中不具有原始鳍部的部分。在其它实施例中,鳍部的源极/漏极区中的任何和/或全部还可以经受打薄、雕刻、重新成形、电镀、和/或其它各种适当的工艺。因此,在某些实施例中,源极/漏极区中的鳍部部分的宽度可以不等同于初始鳍部宽度(例如,图7C和图8中示出的宽度W1)。

[0043] 进一步参照图9,在该实施例中,沉积/形成栅极电极262和362来分别替代虚设栅极电极232和332,并且如传统地进行的,可以在栅极电极262和362下方直接形成可选的栅极电介质(未示出)。如还可以看到的,分别围绕栅极260和360形成间隔体240和340,并且栅极260和360还具有形成在其上的硬掩模280和380(其可以被去除以形成金属栅极接触部)。栅极电极262和362和栅极电介质可以使用任何适当的技术来形成并可以由任何适当的材料形成。例如,替代栅极260和360可以使用各种各样的工艺(包括CVD、物理气相沉积(PVD)、金属沉积工艺、和/或它们的任意组合)中的任何工艺来形成。在某些实施例中,栅极电极262和362可以包括各种各样的材料(例如,多晶硅或各种适当的金属(例如,铝(Al)、钨(W)、钛(Ti)、铜(Cu)、或任何其它适当的金属或合金))中的任何材料。用于形成替代栅极或替代金属栅极(RMG)的其它适当的配置、材料、和工艺将取决于给定应用并且将鉴于本公开内容而显而易见。

[0044] 进一步参照图9,如示出的,执行蚀刻工艺(例如,任何适当的湿法或干法蚀刻工艺),以分别暴露出鳍部210的源极/漏极区208、209和鳍部310的源极/漏极区308、309。用于形成集成电路器件的方法101可以包括另外的或替代的工艺,如鉴于本公开内容将显而易见的。例如,方法可以继续源极/漏极处理并可以包括沉积源极/漏极金属接触部或接触层。可以使用硅化工艺(总的来说,沉积接触金属和随后的退火)来执行对源极和漏极接触部的这种金属化。例如,可以使用在具有或不具有锗预非晶化注入的情况下借助于镍、铝、镍-铝或镍-铝或镍和铝的其它合金、或钛的硅化来形成低电阻锗化物。

[0045] 在某些实施例中,如本文中多方面描述的原理和技术可以用于在沉积栅极(或虚设栅极)之前雕刻/修整开口区域中的整个鳍部。例如,这可以包括光刻地限定(例如,硬掩模和图案化)待雕刻/修整的区域,并随后在沉积栅极之前执行修整蚀刻以雕刻/修整区域中的鳍部。在这些实施例中,来自经雕刻的/经修整的区域中的每个鳍部的尺寸将在源极/漏极区和沟道区两者中是相同的。用于选择性地雕刻/修整鳍部的区域的工艺可以如期望地重复多次,以获得给定衬底/管芯上的多个鳍部尺寸。

[0046] 如先前提及的,为了易于例示,本文中在具有不同沟道尺寸的鳍式晶体管配置(例如,三栅极或finFET)的背景中描绘和描述了方法101和图2-图9中示出的结构。然而,如本文中各方面所描述的原理和技术可用于在具有多个鳍部尺寸的单个管芯上形成其它半导体器件和晶体管配置,包括例如,平面、双栅极、环绕栅极(例如,纳米线/纳米带)、和其它适当的器件和配置。还回想到本文中所描述的结构可用于取决于特定配置来形成p-MOS、n-MOS、或CMOS晶体管器件。鉴于本公开内容,许多变型和配置将是显而易见的。

#### [0047] 示例性系统

[0048] 图10例示了利用根据本公开内容的一个或多个实施例配置的一个或多个集成电路实现的计算系统1000。如可以看到的,计算系统100容纳母板1002。母板1002可以包括多

个部件,包括但不限于处理器1004和至少一个通信芯片1006,其中每个都可以物理和电气地耦合到主板1002,或者以其它方式集成在其中。如将意识到的,主板1002可以是例如任何印刷电路板,不管是主板还是安装在主板上的子板或是系统1000的唯一的板。

[0049] 取决于其应用,计算系统1000可以包括一个或多个其它部件,这些部件可以物理和电气耦合到主板1002,也可以不存在这样的耦合。这些其它部件可以包括但不限于易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)、图形处理器、数字信号处理器、密码协处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)设备、罗盘、加速度计、陀螺仪、扬声器、照相机、以及大容量储存设备(例如,硬盘驱动、压缩盘(CD)、数字多功能盘(DVD)等等)。包括在计算系统1000中的部件中的任何部件可以包括如本文中各方面描述的一个或多个集成电路结构(例如,包括多个鳍部尺寸、尤其在鳍部的沟道区中)。这些集成电路结构可用于例如实现片上系统(SOC)器件,其可以包括以下各项中的至少一项:例如微处理器、微控制器、存储器、和功率管理电路。在某些实施例中,多个功能可以被集成到一个或多个芯片中(例如,应当指出,通信芯片1006可以是处理器1004的部分,或者以其它方式被集成到处理器1004中)。

[0050] 通信芯片1006实现了无线通信,以便将数据传送到计算系统1000以及从计算系统1000传送数据。术语“无线”及其派生词可用于描述可通过使用经由非固态介质的经调制的电磁辐射来传送数据的电路、设备、系统、方法、技术、通信信道等。该术语并非暗示相关联的设备不包含任何导线,尽管在某些实施例中它们可能不含有。通信芯片1006可以实施多个无线标准或协议中的任何标准或协议,这些标准或协议包括但不限于Wi-Fi(IEEE 802.11系列)、WiMAX(IEEE 802.16系列)、IEEE 802.20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、及其衍生物,以及被命名为3G、4G、5G及更高的任何其它无线协议。计算系统1000可以包括多个通信芯片1006。例如,第一通信芯片1006可以专用于较短距离无线通信(例如,NFC、Wi-Fi和蓝牙),并且第二通信芯片1006可以专用于较长距离无线通信(例如,GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO以及其它)。

[0051] 计算系统1000的处理器1004包括被封装在处理器1004内的集成电路管芯。在某些实施例中,处理器的集成电路管芯包括利用如本文中各方面描述的一个或多个半导体或晶体管结构(例如,其中,在单个管芯上使用多个鳍部尺寸以获得具有不同沟道尺寸的鳍式晶体管结构)实现的板上存储电路。术语“处理器”可以指代例如对来自寄存器和/或存储器的电子数据进行处理以便将该电子数据转换成可以储存在寄存器和/或存储器中的其它电子数据的任何器件或器件的一部分。

[0052] 通信芯片1006还可以包括被封装在通信芯片1006内的集成电路管芯。根据某些这样的示范性实施例,通信芯片的集成电路管芯包括利用如本文中各方面描述的一个或多个晶体管结构实现的一个或多个器件(例如,片上处理器或存储器)。如根据本公开内容将意识到的,应当指出,多个标准的无线能力可以被直接集成到处理器1004中(例如,其中任何芯片1006的功能被集成到处理器1004中,而不是具有单独的通信芯片)。还应当指出,处理器1004可以是具有这种无线能力的芯片组。简言之,可以使用任意数量的处理器1004和/或通信芯片1006。类似地,任何一个芯片或芯片组都可以具有被集成在其中的多个功能。

[0053] 在各种实施方式中,计算系统1000可以是膝上计算机、上网本、笔记本、智能电话、平板电脑、个人数字助理(PDA)、超级移动PC、移动电话、台式计算机、服务器、打印机、扫描

仪、监视器、机顶盒、娱乐控制单元、数码相机、便携式音乐播放器、或数字视频录像机。在其它实施方式中,计算系统1000可以是处理数据或采用如本文中各方面描述的一个或多个集成电路结构或器件的任何其它电子设备。

[0054] 其它示例性实施例

[0055] 以下示例涉及其它实施例,根据这些实施例,许多变更和配置将是显而易见的。

[0056] 示例1是一种集成电路,其包括:第一组一个或多个鳍部,该第一组一个或多个鳍部形成在衬底上并且由衬底形成,第一组鳍部均具有源极/漏极区和沟道区,其中,第一组鳍部在源极/漏极区中均具有第一宽度(W1)并且在沟道区中均具有第二宽度(W2),并且其中,W2小于W1;以及第二组一个或多个鳍部,该第二组一个或多个鳍部形成在衬底上并且由衬底形成,该第二组鳍部均具有源极/漏极区和沟道区,其中,第二组鳍部在源极/漏极区和沟道区中均具有第三宽度(W3)。

[0057] 示例2包括示例1的主题,其中,第一组或第二组中的鳍部中的至少一个鳍部在鳍部上的第一位置处具有第一沟道高度并且在鳍部上的第二位置处具有第二沟道高度;和/或第一组中的鳍部中的至少一个鳍部具有第一沟道高度并且第二组中的鳍部中的一个鳍部具有第二沟道高度;其中,第一沟道高度和第二沟道高度包括有意地不同的沟道高度。

[0058] 示例3包括示例1-2中任一示例的主题,其中W1大于15nm并且W2为15nm或更小。

[0059] 示例4包括示例1-3中任一示例的主题,其中,W1比W2大2nm与6nm之间。

[0060] 示例5包括示例1-4中任一示例的主题,其中,W2为至少5nm。

[0061] 示例6包括示例1-5中任一示例的主题,其中,W3基本上类似于W1。

[0062] 示例7包括示例6的主题,其中,基本上类似于表示在1nm内。

[0063] 示例8包括示例1-7中任一示例的主题,其中,与沟道区相比,第二组鳍部在源极/漏极区中具有基本上不同的宽度。

[0064] 示例9包括示例1-8中任一示例的主题,其中,第一组鳍部和第二组鳍部均具有构建于其上的至少一个半导体器件。

[0065] 示例10包括示例9的主题,其中,半导体器件是p-MOS、n-MOS、或CMOS晶体管器件。

[0066] 示例11包括示例1-10中任一示例的主题,还包括形成在衬底上并由衬底形成的第三组鳍部,第三组鳍部均具有源极/漏极区和沟道区,其中,第三组鳍部在源极/漏极区中均具有第四宽度(W4)并且在沟道区中均具有第五宽度(W5)。

[0067] 示例12包括示例11的主题,其中,W5不等于W2。

[0068] 示例13包括示例1-12中任一示例的主题,其中,集成电路是片上系统(SOC)器件。

[0069] 示例14包括移动计算系统,该移动计算系统包括示例1-13中任一示例的主题。

[0070] 示例15是用于形成集成电路的方法,该方法包括:执行沟槽蚀刻以在衬底中形成鳍部和沟槽,其中,每个鳍部均具有第一宽度(W1);在沟槽中沉积绝缘体材料;在鳍部的沟道区上形成虚设栅极;在鳍部和虚设栅极的形貌(topography)上方沉积附加的绝缘体层;光刻地限定待开口的第一区域;去除第一区域中的虚设栅极以再次暴露出第一区域中的鳍部的沟道区;以及在第一区域中的鳍部的沟道区上执行第一修整蚀刻,其中,第一区域中的每个鳍部的经修整的沟道区具有第二宽度(W2),并且其中,W2小于W1。

[0071] 示例16包括示例15的主题,还包括:重复以下工艺:光刻地限定待开口的区域,去除该区域中的虚设栅极以再次暴露出该区域中的鳍部的沟道区,以及在该区域中的鳍部的

沟道区上执行修整蚀刻以获得具有不同尺寸的沟道区的鳍部。

[0072] 示例17包括示例15-16中任一示例的主题,还包括:去除第二区域中的虚设栅极以再次暴露出该第二区域中的鳍部的沟道区;以及在第二区域中的鳍部的沟道区上执行第二修整蚀刻,其中,第二区域中的每个鳍部的经修整的沟道区均具有第三宽度(W3),并且其中,W3小于W1。

[0073] 示例18包括示例15-17中任一示例的主题,其中,光刻地限定包括形成硬掩模层和图案化待开口的区域。

[0074] 示例19包括示例15-18中任一示例的主题,其中,执行修整蚀刻包括使用基于氯的化学品的低离子能量等离子体处理和热处理中的至少一个。

[0075] 示例20包括示例15-19中任一示例的主题,其中,执行修整蚀刻包括在10秒与40秒之间的时间内使用基于氯的化学品并使用小于5kW的射频能量。

[0076] 示例21包括示例15-20中任一示例的主题,其中,执行修整蚀刻包括在10秒与40秒之间的时间内使用基于氯的化学品并使用小于1kW的射频能量。

[0077] 示例22包括示例15-19中任一示例的主题,其中,执行修整蚀刻包括在存在HCl的情况下在20秒与120秒之间的时间内在外延反应器中使用小于900摄氏度的热量并使用热处理。

[0078] 示例23包括示例15-19中任一示例的主题,其中,执行修整蚀刻包括在存在Cl<sub>2</sub>的情况下在20秒与120秒之间的时间内在外延反应器中使用小于700摄氏度的热量并使用热处理。

[0079] 示例24包括示例15-23中任一示例的主题,其中,衬底材料包括硅(Si)。

[0080] 示例25包括示例15-24中任一示例的主题,其中,W1大于15nm并且W2为15nm或更小。

[0081] 示例26包括示例15-25中任一示例的主题,其中,W1比W2大2nm与6nm之间。

[0082] 示例27包括示例15-26中任一示例的主题,其中,W1大于10nm。

[0083] 示例28包括示例15-27中任一示例的主题,其中,W2为至少5nm。

[0084] 示例29包括示例17-28中任一示例的主题,其中,W3不等于W2。

[0085] 示例30包括示例17-29中任一示例的主题,还包括:在第一区域中的鳍部上、在第二区域中的鳍部上、和/或未在第一区域或第二区域中的鳍部上形成至少一个半导体器件。

[0086] 示例31包括示例30的主题,其中,一个或多个半导体器件是p-MOS、n-MOS、或CMOS晶体管器件。

[0087] 示例32包括具有用于执行示例15-29中任一示例的主题的单元的装置。

[0088] 示例33包括一种集成电路,其包括:第一组一个或多个晶体管,该第一组一个或多个晶体管包括在衬底上形成并且由衬底形成的鳍式沟道区;以及第二组一个或多个晶体管,该第二组一个或多个晶体管包括在衬底上形成并且由衬底形成的鳍式沟道区;其中,在隔离区上方,第一组沟道区的高度尺寸和宽度尺寸中的至少一个与第二组沟道区的对应尺寸不同。

[0089] 示例34包括示例33的主题,其中,第一组沟道区在隔离区内具有第一宽度(W1)并且在隔离区上方具有第二宽度(W2),并且W2小于W1。

[0090] 示例35包括示例34的主题,其中,W1大于15nm并且W2为15nm或更小。

- [0091] 示例36包括示例34-35中任一示例的主题,其中,W1比W2大2nm与6nm之间。
- [0092] 示例37包括示例33-36中任一示例的主题,其中,在隔离区上方,第一组沟道区的宽度小于第二组沟道区的宽度。
- [0093] 示例38包括示例33-36中任一示例的主题,其中,在隔离区上方,第一组沟道区的高度小于第二组沟道区的宽度。
- [0094] 示例39包括示例33-36中任一示例的主题,其中,在隔离区上方,第一组沟道区的宽度和高度分别小于第二组沟道区的宽度和高度。
- [0095] 示例40包括示例33-39中任一示例的主题,其中,晶体管是p-MOS、n-MOS、和/或CMOS晶体管。
- [0096] 示例41包括具有示例33-40中任一示例的主题的片上系统(SOC)器件。
- [0097] 示例42包括示例41的主题,还包括以下各项中的至少一个:微处理器、微控制器、存储器、和功率管理电路。
- [0098] 出于例示和描述的目的,已经呈现了对示例性实施例的前述描述。其并非旨在是详尽的或者将本公开内容限制到所公开的精确形式。鉴于本公开内容,许多修改和变型是可能的。旨在本公开内容的范围并非由该具体实施方式来限制,而是由所附权利要求来限制。请求本申请的优先权的将来提交的申请可以以不同的方式来请求所公开的主题,并且通常可以包括如各方面公开的或者以其它方式证明的任何组的一个或多个限制。



方法  
**101** →

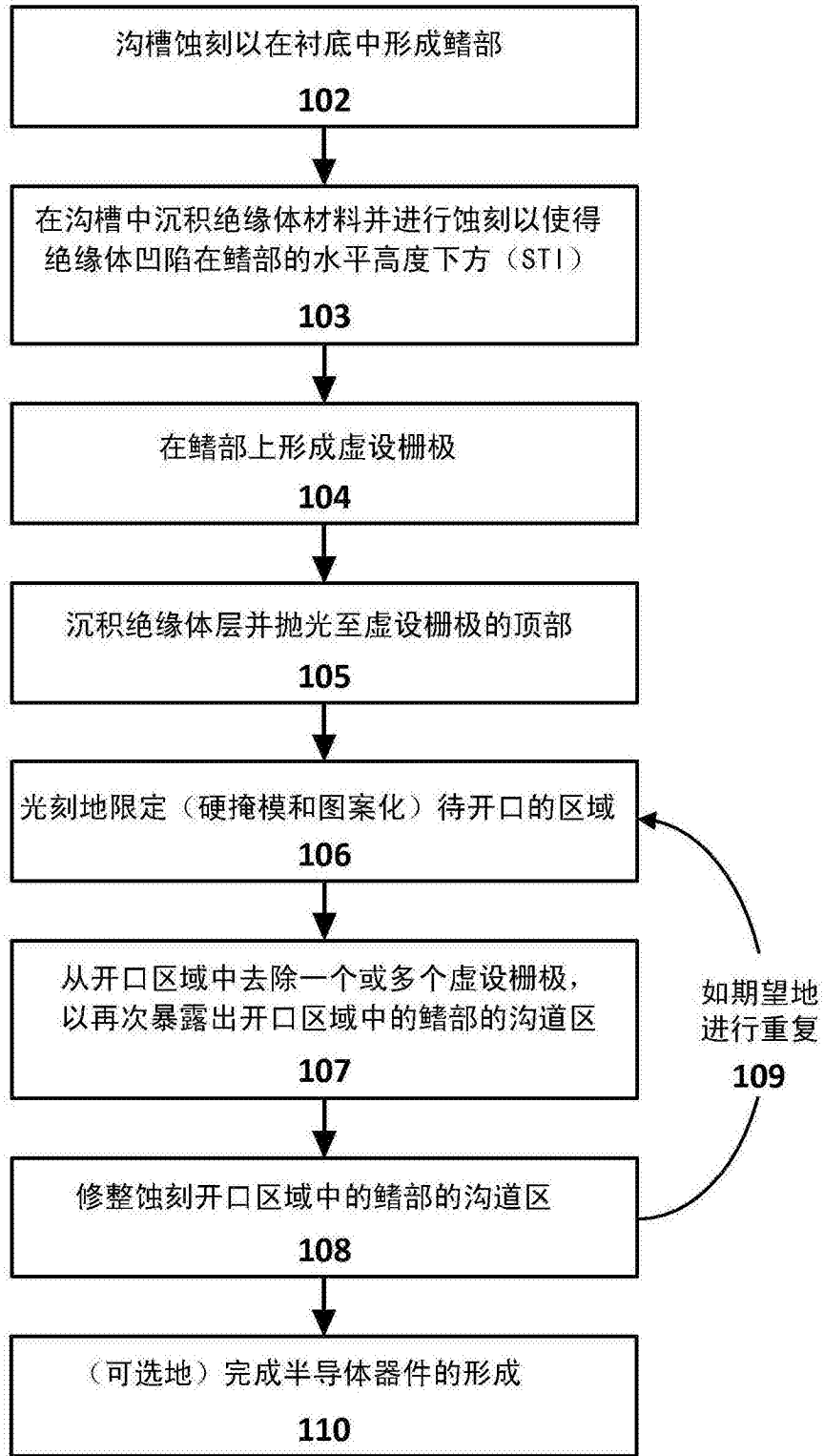


图1

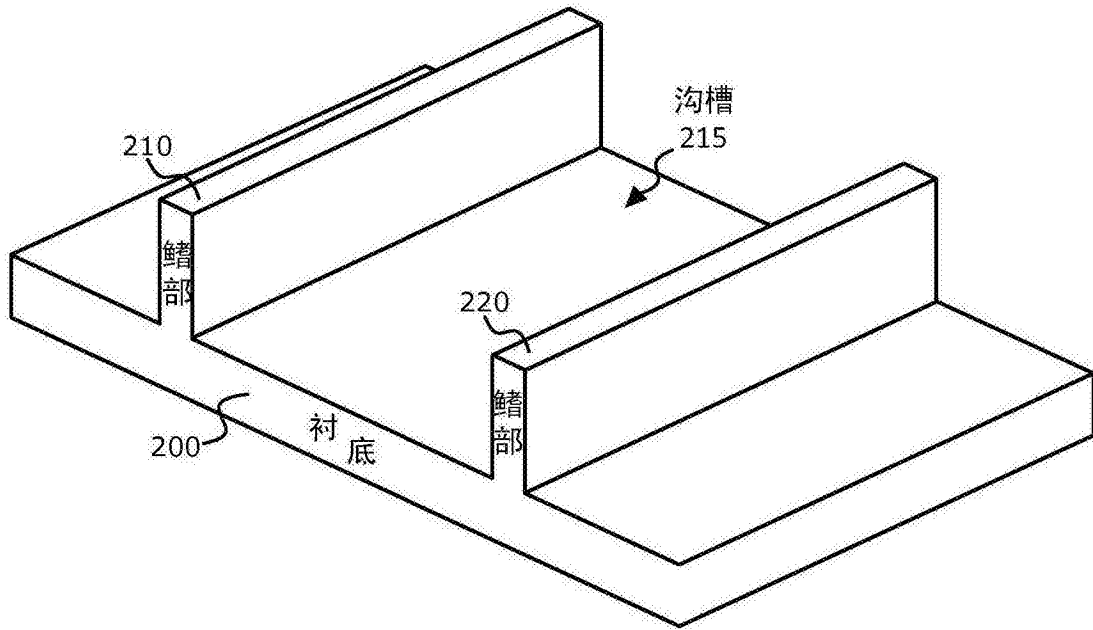


图2

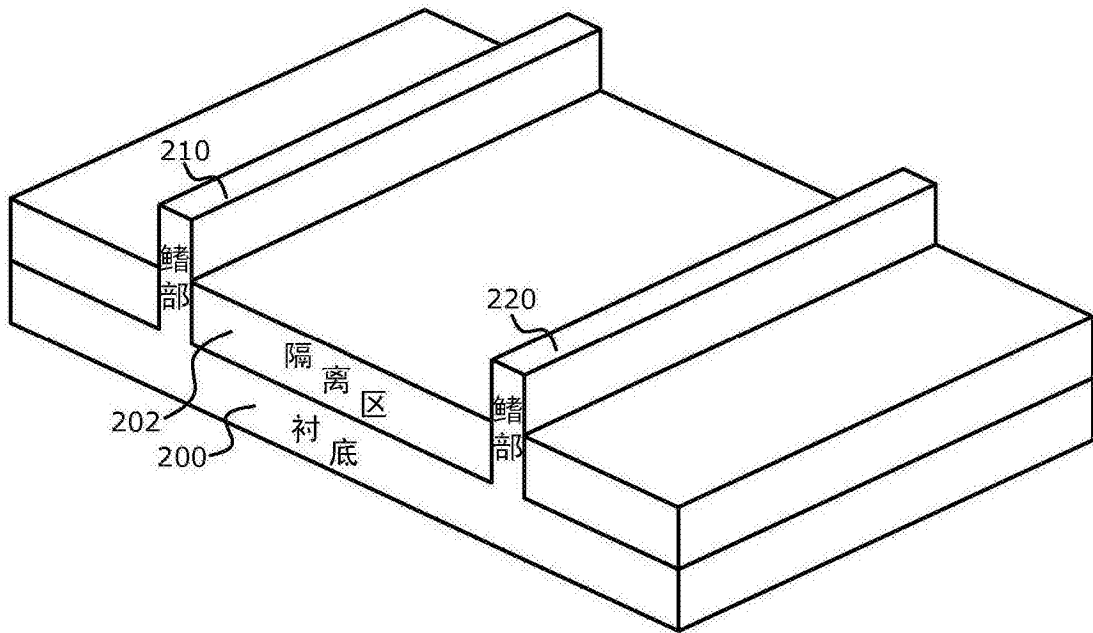


图3

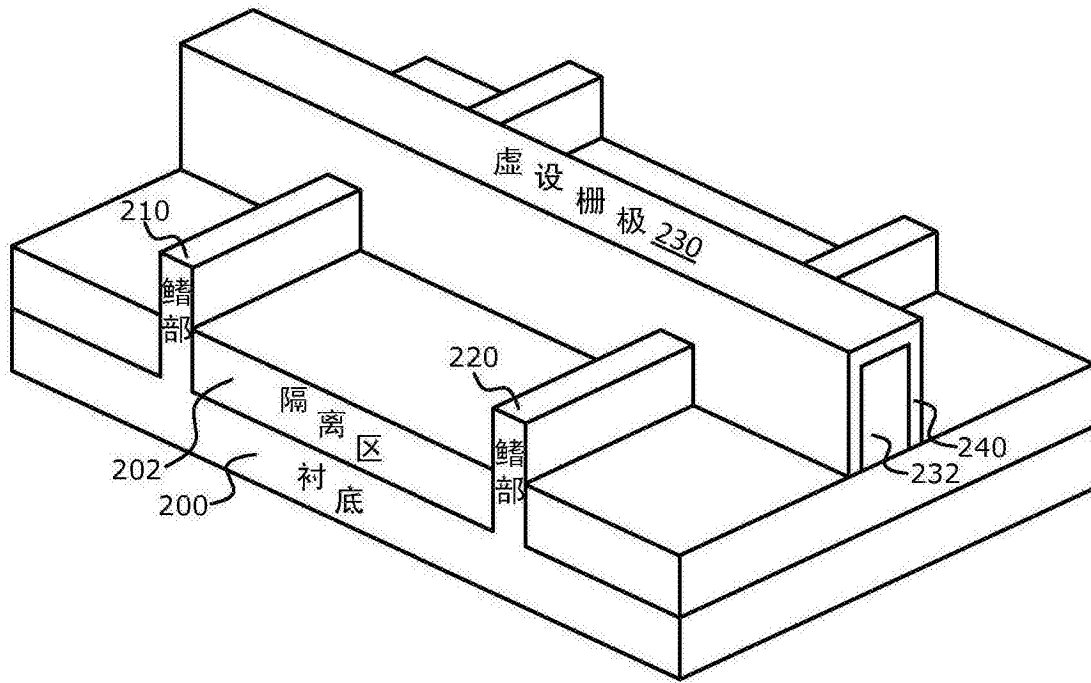


图4

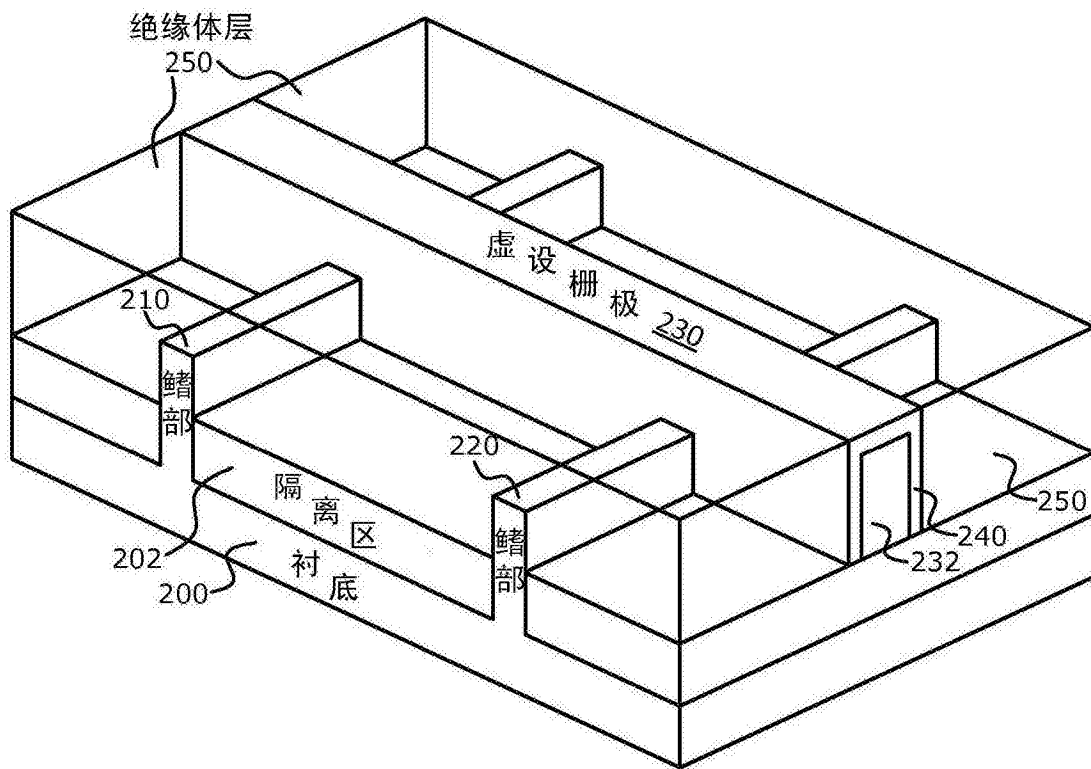


图5

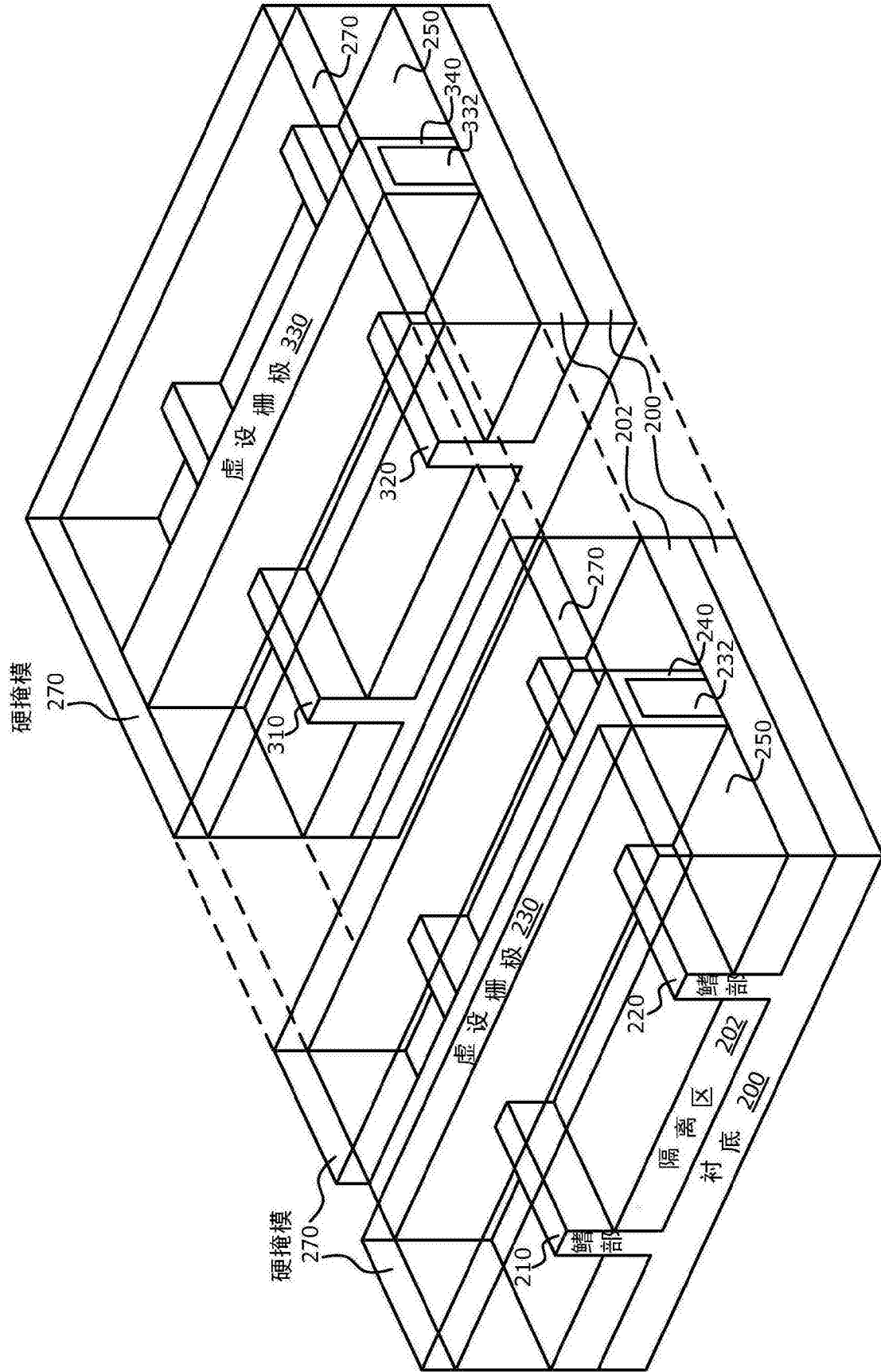


图6

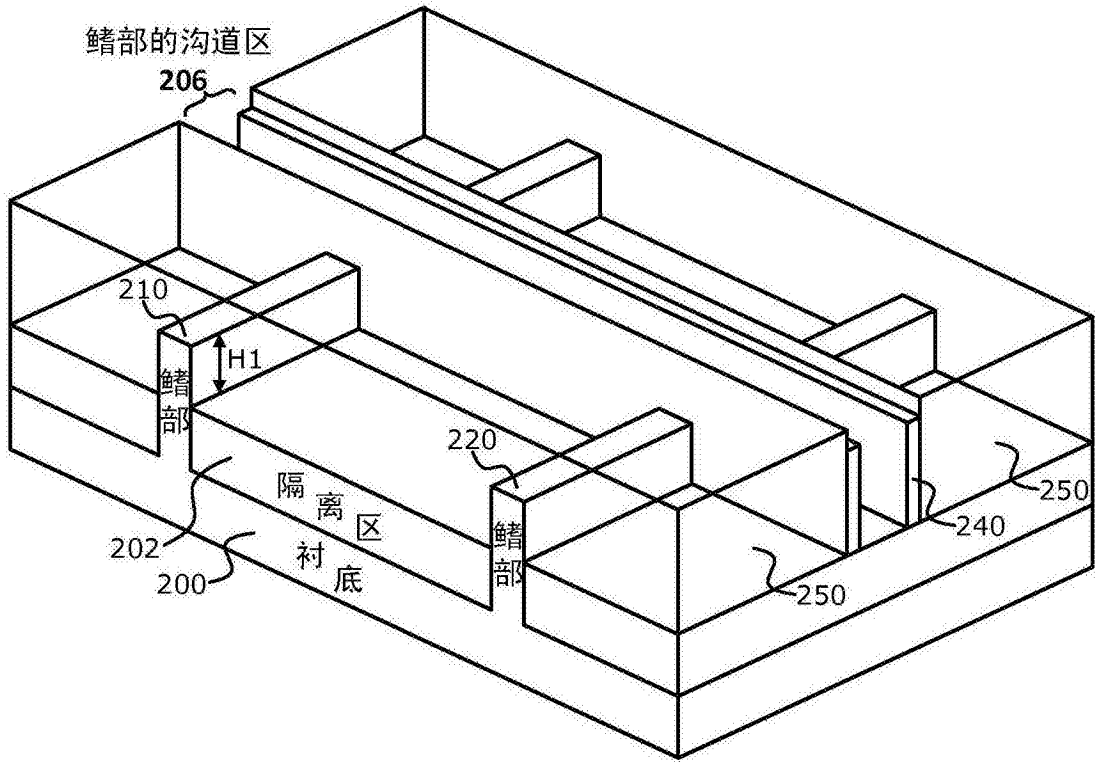


图7A

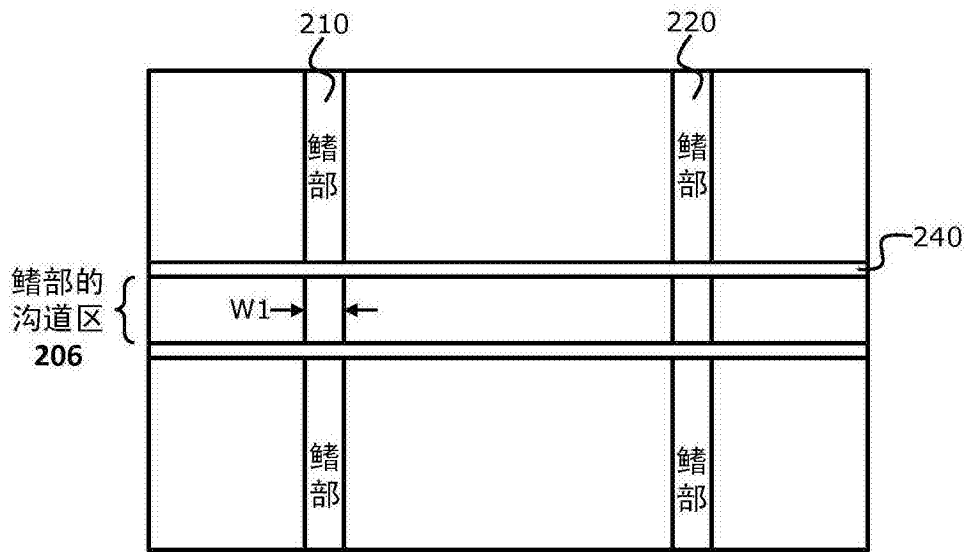


图7B

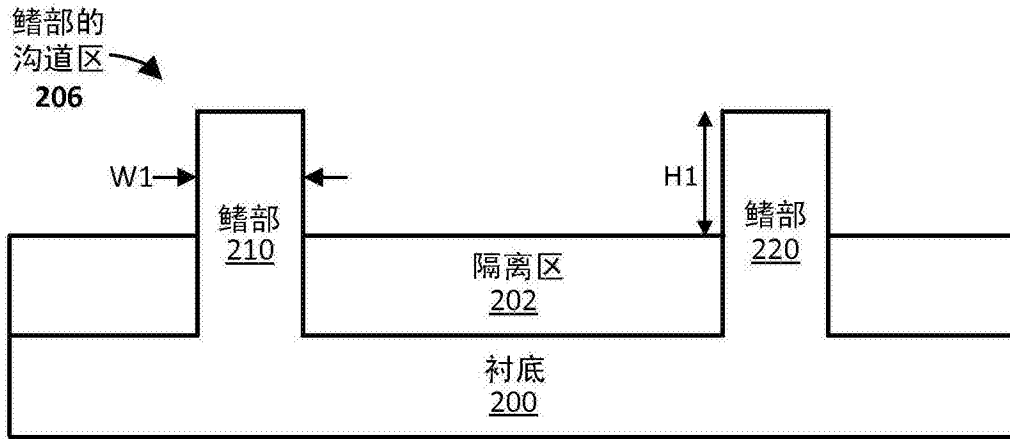


图7C

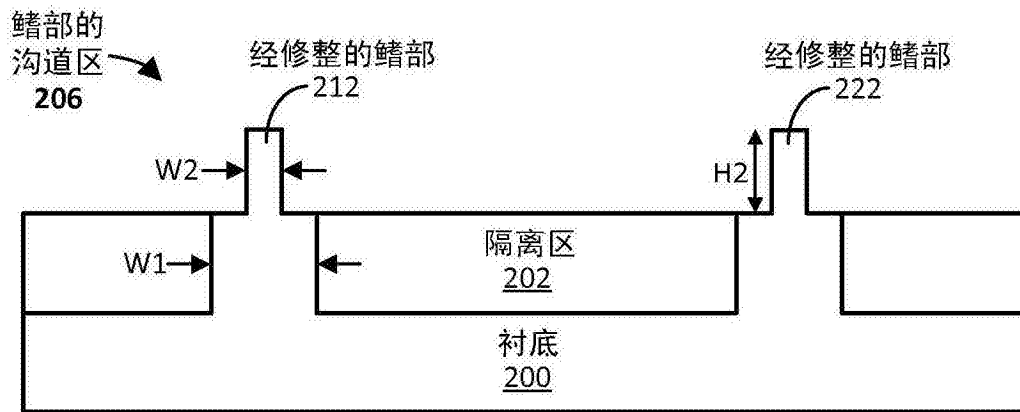


图8

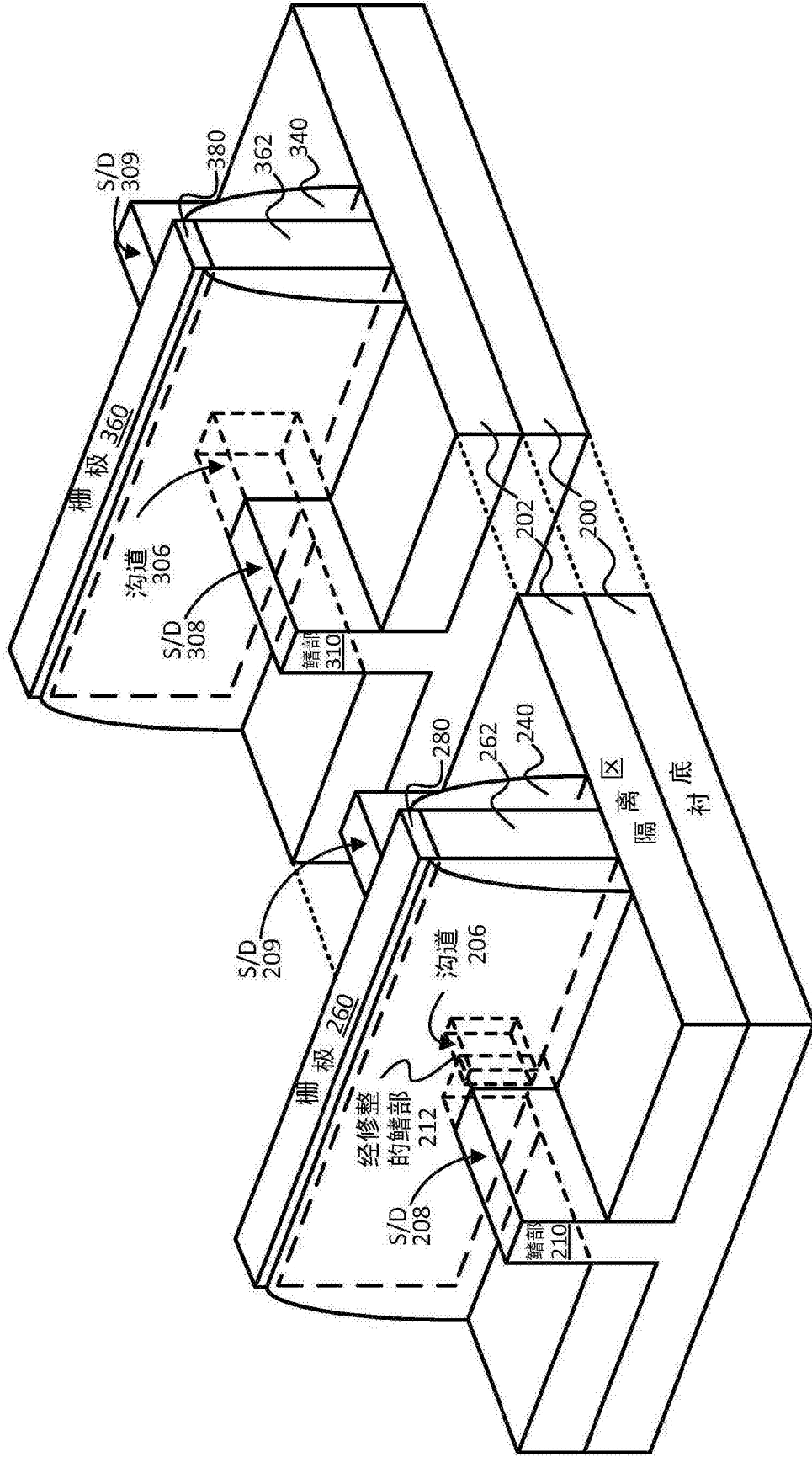


图9

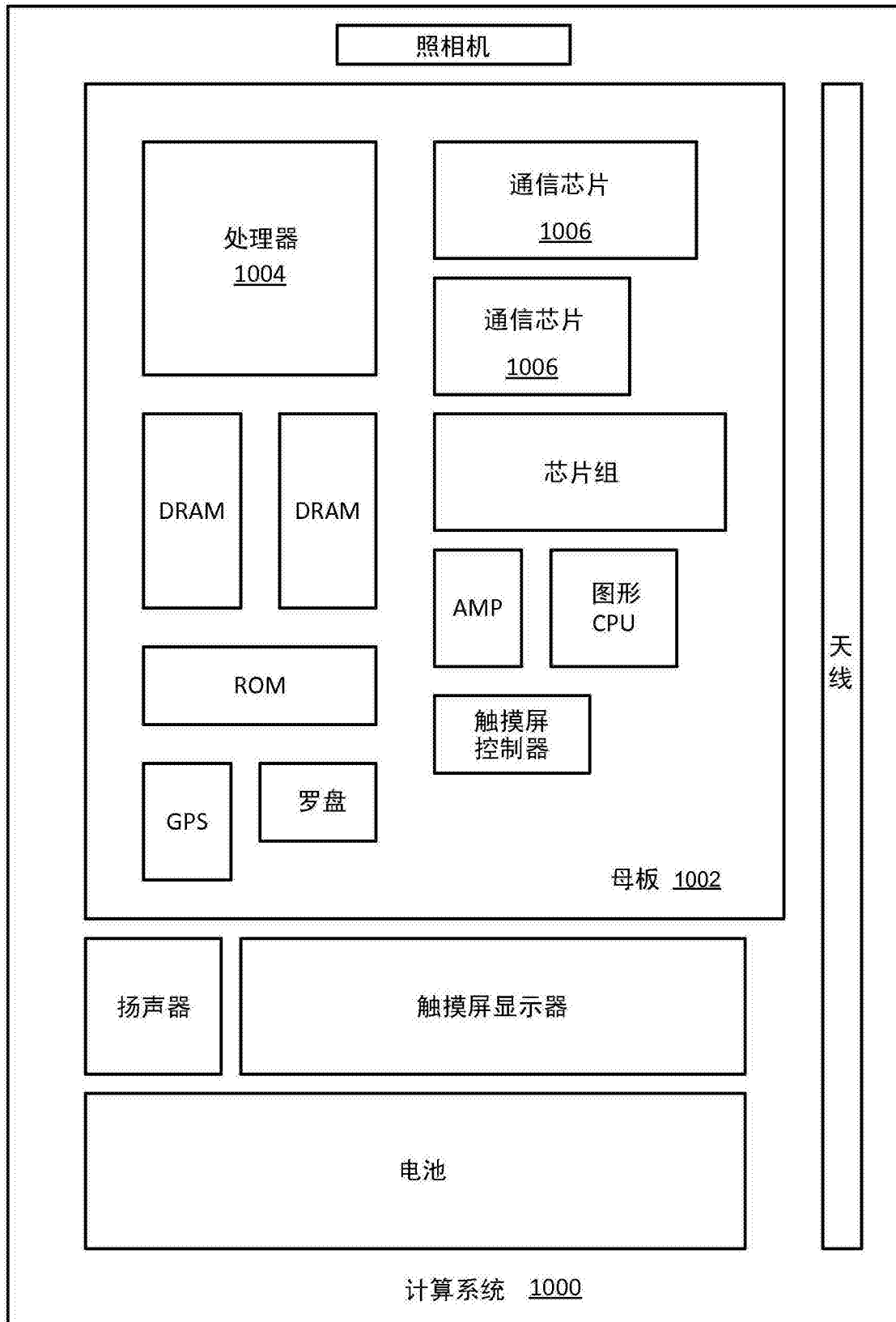


图10