(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月29日(29.08.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/176379 A1

(51) 国際特許分類:
*G09F 9/30* (2006.01) *H10K 59/00* (2023.01)

(21) 国際出願番号： PCT/JP2023/006440

(22) 国際出願日： 2023年2月22日(22.02.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: シャープディスプレイテクノロジー株式会社(**SHARP DISPLAY TECHNOLOGY CORPORATION**) [JP/JP]; 〒5190198 三重県亀山市白木町幸川４６４番 Mie (JP).

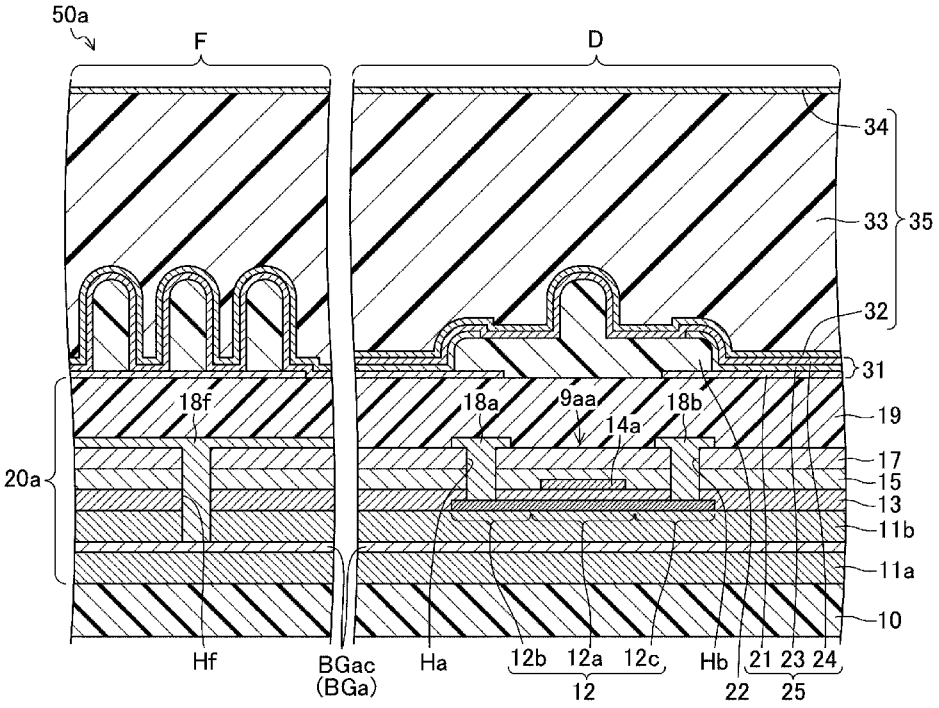
(72) 発明者: 斉藤 貴翁(**SAITOH Takao**). 神崎 庸輔(**KANZAKI Yohsuke**). 山中 雅貴(**YAMANAKA Masaki**). 三輪 昌彦(**MIWA Masahiko**). 孫 屹(**SUN Yi**). 藤原 正樹(**FUJIWARA Masaki**). 釜谷 康平(**KAMATANI Kouhei**).

(74) 代理人: 弁理士法人前田特許事務所(**MAEDA & PARTNERS**); 〒5300004 大阪府大阪市北区堂島浜１丁目２番１号 新ダイビル２３階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY,

(54) **Title:** DISPLAY DEVICE, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称： 表示装置及びその製造方法




(57) **Abstract:** According to the present invention, a TFT layer (20a) on a resin substrate (10) has a polysilicon semiconductor layer (12) formed from a polysilicon film. In conductor regions (12b, 12c), first TFTs (9aa) electrically connected to each other via a source line (18f) are provided corresponding to a plurality of sub-pixels (P) that constitute a display region (D). A transparent back gate layer (BGa), which is formed from an oxide semiconductor film and has a conductive portion (BGac) obtained by making at least a portion thereof conductive, is provided in a lower layer of the TFT layer

WO 2024/176379 A1

［続葉有］

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告(条約第21条(3))

(20a). The conductive portion (BGac) overlaps at least a channel region (12a) in a plane view, and is electrically connected to the source line (18f).

(57) 要約:樹脂基板(１０)上のＴＦＴ層(２０ａ)にはポリシリコン膜により形成されたポリシリコン半導体層(１２)を有し、その導体領域(１２ｂ、１２ｃ)においてソース線(１８ｆ)を介して互いに電気的に接続された第１ＴＦＴ(９ａａ)が表示領域(Ｄ)を構成する複数のサブ画素(Ｐ)に対応して設けられ、ＴＦＴ層(２０ａ)の下層には酸化物半導体膜により形成され、少なくとも一部が導体化された導体化部(ＢＧａｃ)を有する透過性のバックゲート層(ＢＧａ)が設けられ、導体化部(ＢＧａｃ)は少なくともチャネル領域(１２ａ)と平面視で重なり、ソース線(１８ｆ)と電気的に接続されている。

# 明　細　書

## 発明の名称 ： 表示装置及びその製造方法

## 技術分野

[0001] 本発明は、表示装置及びその製造方法に関するものである。

## 背景技術

[0002] 近年、液晶表示装置に代わる表示装置として、有機エレクトロルミネッセンス（electroluminescence、以下「ＥＬ」とも称する）素子を用いた自発光型の有機ＥＬ表示装置が注目されている。有機ＥＬ表示装置では、例えば、ベース基板として可撓性を有する樹脂基板上に、表示領域を構成するサブ画素毎に有機ＥＬ素子を駆動するための薄膜トランジスタ（thin film transistor、以下「ＴＦＴ」とも称する）が複数形成されたＴＦＴ層を備えるフレキシブルな有機ＥＬ表示装置が提案されている。ここで、ＴＦＴを構成する半導体層としては、例えば、移動度が高いポリシリコンからなるポリシリコン半導体層、リーク電流が小さいＩｎ－Ｇａ－Ｚｎ－Ｏ等の酸化物半導体からなる酸化物半導体層等がよく知られている。

[0003] ここで、フレキシブルな有機ＥＬ表示装置において、ポリシリコン半導体層を備えるＴＦＴ（以下「ポリシリコンＴＦＴ」とも称する）、特にポリシリコン半導体層の上層にゲート電極が形成されたトップゲート構造を有するポリシリコンＴＦＴは、樹脂基板の分極に起因して、閾値（Ｖｔｈ）特性が安定しないことがある。ポリシリコンＴＦＴの閾値の安定化のために、ポリシリコンＴＦＴの下層に無機膜を隔ててメタル膜等を成膜し、このメタル膜をバックゲートとすることが知られている。例えば、特許文献１に記載の表示装置では、ポリシリコンＴＦＴ（スイッチング素子）の下方に、チャネル裏面からの光の侵入等による特性変化を抑制したり、バックゲート効果を付与したりするための付加膜が配置されている。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特開２０２０－２７８６２号公報

## 発明の概要

### 発明が解決しようとする課題

[0005] しかしながら、フレキシブルな有機ＥＬ表示装置において、そのパネル下に指紋センサーやカメラ等を配置する場合は高いパネル開口率（透過率）が必要となるものの、メタル膜、特許文献１に記載の光の侵入等による特性変化を抑制するために遮光性を有する付加膜は、これら膜に起因してパネル透過率が低減するため、バックゲートを構成する材料として不向きである。

[0006] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、ベース基板、特に樹脂基板上に設けられたポリシリコン半導体層を備えるＴＦＴの閾値の安定化とパネル透過率の保持とを両立することにある。

### 課題を解決するための手段

[0007] 上記目的を達成するために、本発明に係る表示装置は、ベース基板と、上記ベース基板上に設けられた薄膜トランジスタ層とを備え、上記薄膜トランジスタ層には、ポリシリコン膜により形成され、チャネル領域と導体領域が規定されたポリシリコン半導体層を有し、上記導体領域において信号配線を介して互いに電気的に接続された複数の薄膜トランジスタが、表示領域を構成する複数のサブ画素に対応して設けられ、上記薄膜トランジスタ層の下層には、酸化物半導体膜により形成され、上記酸化物半導体膜の少なくとも一部が導体化された導体化部を有する透過性のバックゲート層が設けられた表示装置であって、上記導体化部は、少なくとも上記チャネル領域と平面視で重なり、上記信号配線と電気的に接続されていることを特徴とする。

[0008] 本発明に係る表示装置の製造方法は、ベース基板と、上記ベース基板上に設けられた薄膜トランジスタ層とを備え、上記薄膜トランジスタ層には、ポリシリコン膜により形成され、チャネル領域と導体領域が規定されたポリシリコン半導体層を有し、上記導体領域において信号配線を介して互いに電気的に接続された複数の薄膜トランジスタが、表示領域を構成する複数のサブ画素に対応して設けられ、上記薄膜トランジスタ層の下層には、酸化物半導

体膜により形成され、上記酸化物半導体膜の少なくとも一部が導体化された導体化部を有する透過性のバックゲート層が設けられた表示装置の製造方法であって、上記薄膜トランジスタ層を形成する薄膜トランジスタ層形成工程は、上記ベース基板上に第１ベースコート膜を形成する第１ベースコート膜形成工程と、上記第１ベースコート膜が形成された基板表面に上記酸化物半導体膜を成膜した後、該酸化物半導体膜をパターニングして、上記バックゲート層を形成するバックゲート層形成工程と、上記バックゲート層が形成された基板表面に第２ベースコート膜を形成する第２ベースコート膜形成工程と、上記第２ベースコート膜が形成された基板表面に上記ポリシリコン膜を成膜した後、該ポリシリコン膜をパターニングして、上記ポリシリコン半導体層を形成するポリシリコン半導体層形成工程と、上記ポリシリコン半導体層が形成された基板表面に上記ポリシリコン半導体層を覆うようにゲート絶縁膜を形成するゲート絶縁膜形成工程と、上記ゲート絶縁膜が形成された基板表面に下側金属膜を成膜した後、上記下側金属膜をパターニングして、複数のゲート電極を形成するゲート電極形成工程と、上記各ゲート電極をマスクとしてドーピングを行い、上記ポリシリコン半導体層の上記チャネル領域及び上記導体領域を形成するドーピング工程と、上記複数のゲート電極が形成された基板表面に少なくとも一層の層間絶縁膜を形成する層間絶縁膜形成工程と、上記少なくとも一層の層間絶縁膜が形成された基板表面に、上記ポリシリコン半導体層における上記導体領域及び上記バックゲート層における上記導体化部の少なくとも一部を露出するコンタクトホールを形成するコンタクトホール形成工程と、上記コンタクトホールが形成された基板表面に上側金属膜を成膜した後、上記上側金属膜をパターニングして、該コンタクトホール内で露出する上記導体化部の露出面を覆う上記信号配線を形成する信号配線形成工程とを備え、上記第２ベースコート膜形成工程において、上記第２ベースコート膜を形成した後の熱処理により、上記バックゲート層において、少なくとも上記チャネル領域と平面視で重なる領域を導体化して上記導体化部を形成し、上記信号配線形成工程において、上記導体化部と上記信

号配線とを電気的に接続することを特徴とする。

## 発明の効果

[0009] 本発明によれば、ベース基板、特に樹脂基板上に設けられたポリシリコン半導体層を備えるＴＦＴの閾値の安定化とパネル透過率の保持とを両立することができる。

## 図面の簡単な説明

[0010] [図1]図１は、本発明の第１の実施形態に係る有機ＥＬ表示装置の概略構成を示す平面図である。

[図2]図２は、本発明の第１の実施形態に係る有機ＥＬ表示装置の表示領域の平面図である。

[図3]図３は、本発明の第１の実施形態に係る有機ＥＬ表示装置の画素回路を示す等価回路図である。

[図4]図４は、本発明の第１の実施形態に係る有機ＥＬ表示装置の画素回路の配列を模式的に示す模式平面図である。

[図5]図５は、本発明の第１の実施形態に係る有機ＥＬ表示装置の画素回路を構成する第１ＴＦＴを示す、図４中の二点鎖線内の拡大平面図である。

[図6]図６は、本発明の第１の実施形態に係る有機ＥＬ表示装置の画素回路を構成する第１ＴＦＴの変形例を示す、図４中の二点鎖線内の拡大平面図であり、図５に相当する図である。

[図7]図７は、本発明の第１の実施形態に係る有機ＥＬ表示装置の画素回路を構成する第１ＴＦＴの変形例を示す、図４中の二点鎖線内の拡大平面図であり、図５に相当する図である。

[図8]図８は、本発明の第１の実施形態に係る有機ＥＬ表示装置の表示領域及び額縁領域の断面図である。

[図9]図９は、本発明の第１の実施形態に係る有機ＥＬ表示装置を構成する有機ＥＬ層を示す断面図である。

[図10]図１０は、本発明の第２の実施形態に係る有機ＥＬ表示装置の表示領域及び額縁領域の断面図であり、図８に相当する図である。

[図11]図１１は、本発明の第３の実施形態に係る有機ＥＬ表示装置の表示領域及び額縁領域の断面図であり、図８に相当する図である。

[図12]図１２は、本発明の第４の実施形態に係る有機ＥＬ表示装置の画素回路の配列を模式的に示す模式平面図であり、図４に相当する図である。

[図13]図１３は、本発明の第４の実施形態に係る有機ＥＬ表示装置の画素回路を構成する第１ＴＦＴを示す、図１２中の二点鎖線内の拡大平面図である。

[図14]図１４は、図１３中のXIV－XIV線に沿った本発明の第４の実施形態に係る有機ＥＬ表示装置の表示領域の断面図である。

[図15]図１５は、本発明の第５の実施形態に係る有機ＥＬ表示装置の画素回路を構成する第１ＴＦＴを示す、図１２中の二点鎖線内の拡大平面図である。

[図16]図１６は、図１５中のXVI－XVI線に沿った本発明の第５の実施形態に係る有機ＥＬ表示装置の表示領域の断面図である。

## 発明を実施するための形態

[0011] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0012] 《第１の実施形態》

図１～図９は、本発明に係る表示装置の第１の実施形態を示している。なお、以下の各実施形態では、発光素子を備えた表示装置として、有機ＥＬ素子を備えた有機ＥＬ表示装置を例示する。ここで、図１は、本実施形態の有機ＥＬ表示装置５０ａの概略構成を示す平面図である。図２は、有機ＥＬ表示装置５０ａの表示領域Ｄの平面図である。図３は、有機ＥＬ表示装置５０ａの画素回路Ｃを示す等価回路図である。図４は、有機ＥＬ表示装置５０ａの画素回路Ｃの配列を模式的に示す模式平面図である。図５は、有機ＥＬ表示装置５０ａの画素回路Ｃを構成する第１ＴＦＴ９ａａを示す、図４中の二点鎖線内の拡大平面図である。図６は、有機ＥＬ表示装置５０ａの画素回路Ｃを構成する第１ＴＦＴ９ａａの変形例を示す、図４中の二点鎖線内の拡大

平面図であり、図５に相当する図である。図７は、有機ＥＬ表示装置５０ａの画素回路Ｃを構成する第１ＴＦＴ９ａａの変形例を示す、図４中の二点鎖線内の拡大平面図であり、図５に相当する図である。図８は、有機ＥＬ表示装置５０ａの表示領域Ｄ及び額縁領域Ｆの断面図である。図９は、有機ＥＬ表示装置５０ａを構成する有機ＥＬ層２３を示す断面図である。なお、図５～図７では、ゲート電極１４ａの上層が省略されている。

[0013] 有機ＥＬ表示装置５０ａは、図１に示すように、例えば、矩形状に設けられた画像表示を行う表示領域Ｄと、表示領域Ｄの周囲に枠状に設けられた額縁領域Ｆとを備える。なお、本実施形態では、矩形状の表示領域Ｄを例示したが、この矩形状には、例えば、辺が円弧状になった形状、角部が円弧状になった形状、辺の一部に切り欠きがある形状等の略矩形状も含まれる。

[0014] 表示領域Ｄには、図２に示すように、複数のサブ画素Ｐがマトリクス状に配列されている。また、表示領域Ｄでは、図２に示すように、例えば、赤色の表示を行うための赤色発光領域Ｌｒを有するサブ画素Ｐ、緑色の表示を行うための緑色発光領域Ｌｇを有するサブ画素Ｐ、及び青色の表示を行うための青色発光領域Ｌｂを有するサブ画素Ｐが互いに隣り合うように設けられている。なお、表示領域Ｄでは、例えば、赤色発光領域Ｌｒ、緑色発光領域Ｌｇ及び青色発光領域Ｌｂを有する隣り合う３つのサブ画素Ｐにより、１つの画素が構成されている。なお、サブ画素Ｐの配列は、特に限定されず、例えば、ペンタイル配列、ストライプ配列等が挙げられる。

[0015] 額縁領域Ｆの一端部（図１では右端部）には、端子部Ｔが一方向（図１中の縦方向）に延びるように設けられている。また、図１に示すように、端子部Ｔと表示領域Ｄとの間における額縁領域Ｆには、図１中の縦方向を折り曲げの軸として、例えば１８０°に（Ｕ字状に）折り曲げ可能な折り曲げ部Ｂが一方向（図１中の縦方向）に延びるように設けられている。

[0016] 有機ＥＬ表示装置５０ａは、図８に示すように、ベース基板として設けられた可撓性を有する樹脂基板１０と、樹脂基板１０上に設けられたＴＦＴ層２０ａとを備える。

[0017] 樹脂基板１０は、例えば、ポリイミド樹脂等の有機樹脂材料により構成されている。なお、ベース基板は、樹脂基板１０に限定されず、例えばガラス基板等であってもよい。

[0018] ＴＦＴ層２０ａでは、各サブ画素Ｐにおいて、図３に示すように、第１ＴＦＴ９ａａ、第２ＴＦＴ９ｂ及びキャパシタ９ｃが画素回路Ｃとして設けられている。図４に示すように、画素回路Ｃは、各サブ画素Ｐに対応して、マトリクス状に配列されている。なお、図３及び図４に示す黒丸（●）は、ノードを示す。

[0019] ＴＦＴ層２０ａは、図８に示すように、樹脂基板１０上に設けられた第１ベースコート膜１１ａ及び第２ベースコート膜１１ｂと、第２ベースコート膜１１ｂ上にサブ画素Ｐ毎に設けられた複数の第１ＴＦＴ９ａａ、複数の第２ＴＦＴ９ｂ（図３参照）及び複数のキャパシタ９ｃ（図３参照）と、各第１ＴＦＴ９ａａ、各第２ＴＦＴ９ｂ及び各キャパシタ９ｃ上に設けられた平坦化膜１９とを備えている。ここで、ＴＦＴ層２０ａには、図２～図４に示すように、図中横方向に互いに平行に延びるように複数のゲート線１４が信号配線として設けられている。また、ＴＦＴ層２０ａには、図２～図４に示すように、複数のゲート線１４と交差（直交）する方向、即ち図中縦方向に互いに平行に延びるように複数のソース線１８ｆが信号配線として設けられている。また、ＴＦＴ層２０ａには、図２及び図３に示すように、図中縦方向に互いに平行に延びるように複数の電源線１８ｇが設けられている。なお、各電源線１８ｇは、図２に示すように、各ソース線１８ｆと隣り合うように設けられている。また、各ソース線１８ｆは、図４に示すように、例えばソースドライバＳＤに接続されている。

[0020] また、ＴＦＴ層２０ａでは、図８に示すように、第１ベースコート膜１１ａ及び第２ベースコート膜１１ｂと、半導体層となる半導体膜と、ゲート絶縁膜１３と、ゲート線１４（図２～図４も参照）、ゲート電極１４ａ、下部導電層等の第１配線層となる第１金属膜（下側金属膜）と、第１層間絶縁膜１５と、上部導電層等の第２配線層となる第２金属膜、第２層間絶縁膜１７

と、ソース線１８ｆ（図２～図４も参照)、ソース電極１８ａ、ドレイン電極１８ｂ、電源線１８ｇ等の第３配線層となる第３金属膜（上側金属膜）と、平坦化膜１９とが樹脂基板１０上に順に積層されている。

[0021] 第１ベースコート膜１１ａ、第２ベースコート膜１１ｂ、ゲート絶縁膜１３、第１層間絶縁膜１５及び第２層間絶縁膜１７は、例えば、窒化シリコン（ＳｉＮｘ（ｘは正数））、酸化シリコン（$SiO_2$）、酸窒化シリコン（ＳｉＯＮ）等の無機絶縁膜の単層膜又は積層膜により構成されている。中でも、第１ベースコート膜１１ａは、ＳｉＮｘ（上層）／$SiO_2$（下層）等の積層膜により構成されていることが好ましい。第２ベースコート膜１１ｂは、$SiO_2$（上層）／ＳｉＮｘ（下層）等の積層膜により構成されていることが好ましい。

[0022] 第１金属膜、第２金属膜及び第３金属膜は、例えば、モリブデン（Ｍｏ）、チタン（Ｔｉ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、タングステン（Ｗ）等の金属単層膜、又はＭｏ（上層）／Ａｌ（中層）／Ｍｏ（下層）、Ｔｉ／Ａｌ／Ｔｉ、Ａｌ（上層）／Ｔｉ（下層）、Ｃｕ／Ｍｏ、Ｃｕ／Ｔｉ等の金属積層膜により構成されている。

[0023] 第１ＴＦＴ９ａａは、図３に示すように、各サブ画素Ｐにおいて、対応するゲート線１４及びソース線１８ｆ（信号配線）に電気的に接続されている。また、第１ＴＦＴ９ａａは、図８に示すように、第２ベースコート膜１１ｂ上に順に設けられたポリシリコン半導体層１２（第１半導体層）、ゲート絶縁膜１３、ゲート電極１４ａ、第１層間絶縁膜１５、第２層間絶縁膜１７、並びにソース電極１８ａ及びドレイン電極１８ｂを備えている。即ち、第１ＴＦＴ９ａａは、トップゲート型のポリシリコンＴＦＴといえる。

[0024] ポリシリコン半導体層１２は、例えば、ＬＴＰＳ（low temperature polysilicon）等の低温ポリシリコン膜により構成されている。図８に示すように、ポリシリコン半導体層１２は、第２ベースコート膜１１ｂ上に、平面視で島状に設けられる。ポリシリコン半導体層１２は、不純物イオンがドーピングされ、一部が導体化されている。これにより、ポリシリコン半導体層１２

は、導体領域として互いに離間するように規定されたソース領域１２ｂ及びドレイン領域１２ｃと、ソース領域１２ｂ及びドレイン領域１２ｃの間に規定されたチャネル領域１２ａとを有している。このソース領域１２ｂ及びドレイン領域１２ｃにおいて、対応するゲート線１４及びソース線１８ｆ（信号配線）を介して、複数の第１ＴＦＴ９ａａが電気的に接続されている。

[0025] ゲート絶縁膜１３は、図８に示すように、ポリシリコン半導体層１２を覆うように設けられている。

[0026] ゲート電極１４ａ（第１配線層）は、図８に示すように、ポリシリコン半導体層１２のチャネル領域１２ａと重なるように、ゲート絶縁膜１３上に設けられている。ゲート電極１４ａは、ポリシリコン半導体層１２のソース領域１２ｂ及びドレイン領域１２ｃの間の導通を制御するように構成されている。ゲート電極１４ａは、第１金属膜により形成されている。

[0027] 第１層間絶縁膜１５及び第２層間絶縁膜１７は、図８に示すように、ゲート電極１４ａを覆うように順に設けられている。

[0028] ソース電極１８ａ及びドレイン電極１８ｂ（第３配線層）は、図８に示すように、第２層間絶縁膜１７上に互いに離間するように設けられている。また、ソース電極１８ａ及びドレイン電極１８ｂは、図８に示すように、ゲート絶縁膜１３、第１層間絶縁膜１５及び第２層間絶縁膜１７の積層膜に形成された各コンタクトホールＨａ，Ｈｂを介して、ポリシリコン半導体層１２のソース領域１２ｂ及びドレイン領域１２ｃにそれぞれ電気的に接続されている。ソース電極１８ａ及びドレイン電極１８ｂは、第３金属膜により形成されている。

[0029] ここで、有機ＥＬ表示装置５０ａでは、図４～図８に示すように、ＴＦＴ層２０ａを構成する第１ＴＦＴ９ａａの下層に、バックゲート層ＢＧａが設けられる。具体的には、バックゲート層ＢＧａは、第１ＴＦＴ９ａａを構成する第１ベースコート膜１１ａ及び第２ベースコート膜１１ｂの間に設けられる。なお、バックゲート層ＢＧａは、ＴＦＴ層２０ａの全面を覆うように表示領域Ｄ及び額縁領域Ｆに設けられていてもよく、後述する導体化部ＢＧ

ａｃとして必要な領域だけに設けられていてもよい。バックゲート層ＢＧａの厚さは、例えば１０～１００ｎｍ程度である。

[0030] バックゲート層ＢＧａは、上述したＩｎ－Ｇａ－Ｚｎ－Ｏ系の酸化物半導体膜により構成されており、透過性（透明性）を有する。そのため、有機ＥＬ表示装置５０ａにおいて、そのパネル（表示領域Ｄ）下に指紋センサーやカメラ等を配置する場合にも、バックゲート層ＢＧａ（及びその導体化部ＢＧａｃ）によるパネル透過率への影響は小さく、パネル透過率が低減し難い。

[0031] Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の酸化物半導体は、Ｉｎ（インジウム）、Ｇａ（ガリウム）、Ｚｎ（亜鉛）の三元系酸化物であって、Ｉｎ、Ｇａ及びＺｎの割合（組成比）は、特に限定されない。また、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体は、アモルファスでもよいし、結晶質でもよい。なお、結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体としては、ｃ軸が層面に概ね垂直に配向した結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体が好ましい。また、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体の代わりに、他の酸化物半導体を含んでいてもよい。他の酸化物半導体としては、例えば、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系半導体（例えば、$In_2O_3$－$SnO_2$－ＺｎＯ；ＩｎＳｎＺｎＯ）を含んでもよい。ここで、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系半導体は、Ｉｎ（インジウム）、Ｓｎ（スズ）及びＺｎ（亜鉛）の三元系酸化物である。また、他の酸化物半導体としては、Ｉｎ－ＡＩ－Ｚｎ－Ｏ系半導体、Ｉｎ－ＡＩ－Ｓｎ－Ｚｎ－Ｏ系半導体、Ｚｎ－Ｏ系半導体、Ｉｎ－Ｚｎ－Ｏ系半導体、Ｚｎ－Ｔｉ－Ｏ系半導体、Ｃｄ－Ｇｅ－Ｏ系半導体、Ｃｄ－Ｐｂ－Ｏ系半導体、ＣｄＯ（酸化カドミウム）、Ｍｇ－Ｚｎ－Ｏ系半導体、Ｉｎ－Ｇａ－Ｓｎ－Ｏ系半導体、Ｉｎ－Ｇａ－Ｏ系半導体、Ｚｒ－Ｉｎ－Ｚｎ－Ｏ系半導体、Ｈｆ－Ｉｎ－Ｚｎ－Ｏ系半導体、ＡＩ－Ｇａ－Ｚｎ－Ｏ系半導体、Ｇａ－Ｚｎ－Ｏ系半導体、Ｉｎ－Ｇａ－Ｚｎ－Ｓｎ－Ｏ系半導体、$InGaO_3(ZnO)_5$、酸化マグネシウム亜鉛（$Mg_xZn_{1-x}O$）、酸化カドミウム亜鉛（$Cd_xZn_{1-x}O$）等を含んでいてもよい。なお、Ｚｎ－Ｏ系半導体としては、１族元素、１３族元素、１４族元素、

１５族元素、１７族元素等のうち１種又は複数種の不純物元素が添加されたＺｎＯの非晶質（アモルファス）状態のもの、多結晶状態のもの、非晶質状態と多結晶状態が混在する微結晶状態のもの、又は何も不純物元素が添加されていないものを用いることができる。

[0032] また、バックゲート層ＢＧａは、図４～図８に示すように、酸化物半導体膜が導体化された導体化部ＢＧａｃを有する。導体化部ＢＧａｃは透明導電層といえる。なお、バックゲート層ＢＧａの少なくとも一部が導体化部ＢＧａｃであってよく、バックゲート層ＢＧａ全体が導体化部ＢＧａｃであってもよい。

[0033] 導体化部ＢＧａｃ（バックゲート層ＢＧａ）は、図４に示すように、平面視において、ソース線１８ｆ（信号配線）の延びる方向に沿って、複数のサブ画素Ｐ（それを構成する画素回路Ｃ）を跨ぐように一体（帯状）に設けられる。

[0034] ここで、有機ＥＬ表示装置５０ａでは、導体化部ＢＧａｃは、図８に示すように、第１ＴＦＴ９ａａを構成するポリシリコン半導体層１２のチャネル領域１２ａと平面視で重なっている。なお、導体化部ＢＧａｃは、少なくともポリシリコン半導体層１２のチャネル領域１２ａと平面視で重なっていればよい。例えば、図５及び図６に示すように、平面視において、バックゲート層ＢＧａ及びその導体化部ＢＧａｃ（図中のドット部）は、ポリシリコン半導体層１２のパターン形状に対応するように網目状パターンに設けられていてもよい。この場合、導体化部ＢＧａｃは、バックゲート層ＢＧａの網目状パターンの少なくとも一部に形成してもよく（図５参照）、該パターン全体に形成してもよい（図６参照）。一方、図７に示すように、平面視において、バックゲート層ＢＧａ及びその導体化部ＢＧａｃは、各サブ画素Ｐ（それを構成する画素回路Ｃ）の全体を覆うように設けられていてもよい。この場合も、導体化部ＢＧａｃは、バックゲート層ＢＧａのパターンの少なくとも一部に形成してもよく、該パターン全体に形成してもよい（図７参照）。

[0035] 以上のように構成される第１ＴＦＴ９ａａは、例えば、書込用ＴＦＴ、駆

動用ＴＦＴ、電源供給用ＴＦＴ、発光制御用ＴＦＴ等のｐチャネル型のＴＦＴが例示される。書込用ＴＦＴは、ゲート線１４の選択に応じてソース線１８ｆの電圧を駆動用ＴＦＴの一方の端子電極（以下「第１端子電極」と称する）に印加するように構成されている。駆動用ＴＦＴは、そのゲート電極とその第１端子電極との間に印加される電圧に応じた駆動電流を発光制御用ＴＦＴの一方の端子電極に印加するように構成されている。ここで、駆動用ＴＦＴは、後述する有機ＥＬ素子２５の電流を制御するように構成されている。電源供給用ＴＦＴは、電源線１８ｇの電圧を駆動用ＴＦＴの第１端子電極に印加するように構成されている。発光制御用ＴＦＴは、上記駆動電流を有機ＥＬ素子２５に印加するように構成されている。これらの中では、第１ＴＦＴ９ａａは駆動用ＴＦＴであることが好ましい。換言すると、駆動用ＴＦＴは、有機ＥＬ素子２５の明るさに影響するため、導体化部ＢＧａｃを有するバックゲート層ＢＧａを備える第１ＴＦＴ９ａａにより構成されていることが好ましい。なお、駆動用ＴＦＴ以外の書込用ＴＦＴ、電源供給用ＴＦＴ及び発光制御用ＴＦＴは、スイッチングＴＦＴのため、バックゲート層ＢＧａを備えていてもよく、備えていなくてもよい。

[0036] 第２ＴＦＴ９ｂは、図３に示すように、各サブ画素Ｐにおいて、対応する第１ＴＦＴ９ａａ及び電源線１８ｇに電気的に接続されている。また、第２ＴＦＴ９ｂは、第２半導体層、ゲート絶縁膜１３、ゲート電極、第１層間絶縁膜１５、第２層間絶縁膜１７、並びにソース電極及びドレイン電極を備え、上述した第１ＴＦＴ９ａａと同様の構造を有する。第２半導体層は、例えば、低温ポリシリコン膜やＩｎ－Ｇａ－Ｚｎ－Ｏ系の酸化物半導体膜等により形成されている。なお、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の酸化物半導体は、上述したＩｎ－Ｇａ－Ｚｎ－Ｏ系の酸化物半導体と同様のものが適用される。

[0037] 以上のように構成される第２ＴＦＴ９ｂは、例えば、初期化用ＴＦＴ、補償用ＴＦＴ、陽極放電用ＴＦＴ等のｎチャネル型のＴＦＴが例示される。初期化用ＴＦＴは、駆動用ＴＦＴのゲート電極にかかる電圧を初期化するように構成されている。補償用ＴＦＴは、ゲート線１４の選択に応じて駆動用Ｔ

ＦＴをダイオード接続状態にして、駆動用ＴＦＴの閾値電圧を補償するように構成されている。陽極放電用ＴＦＴは、ゲート線１４の選択に応じて有機ＥＬ素子２５の後述する第１電極２１に蓄積した電荷をリセットするように構成されている。なお、初期化用ＴＦＴ、補償用ＴＦＴ及び陽極放電用ＴＦＴは、スイッチングＴＦＴのため、バックゲート層ＢＧａを備えていてもよく、備えていなくてもよい。

[0038] なお、本実施形態では、トップゲート型の第１ＴＦＴ９ａａ及び第２ＴＦＴ９ｂを例示したが、第１ＴＦＴ９ａａ及び第２ＴＦＴ９ｂは、ボトムゲート型のＴＦＴであってもよい。第１ＴＦＴ９ａａはトップゲート型のＴＦＴが好ましい。

[0039] キャパシタ９ｃは、図３に示すように、各サブ画素Ｐにおいて、対応する第１ＴＦＴ９ａａ及び電源線１８ｇに電気的に接続されている。ここで、キャパシタ９ｃは、例えば、第１金属膜により形成された下部導電層（第１配線層）と、下部導電層を覆うように設けられた第１層間絶縁膜１５と、第１層間絶縁膜１５上に下部導電層と重なるように設けられ、第２金属膜により形成された上部導電層（第２配線層）とを備えている。なお、上部導電層１６は、例えば、第２層間絶縁膜１７に形成されたコンタクトホールを介して電源線１８ｇに電気的に接続されている。

[0040] ここで、有機ＥＬ表示装置５０ａでは、図８に示すように、表示領域Ｄにおいて複数のサブ画素Ｐが配置された領域（以下「アクティブ領域」とも称する）だけでなく、額縁領域Ｆにもバックゲート層ＢＧａ及びその導体化部ＢＧａｃが配置される。

[0041] そして、有機ＥＬ表示装置５０ａでは、導体化部ＢＧａｃは、図４及び図８に示すように、額縁領域Ｆにおけるサブ画素Ｐが配置されてない領域（以下「非アクティブ領域」とも称する）において、ソース線１８ｆ（信号配線）と電気的に接続されている。具体的には、図８に示すように、導体化部ＢＧａｃとソース線１８ｆとの間に設けられた少なくとも一層の無機絶縁膜として第２ベースコート膜１１ｂ、ゲート絶縁膜１３、第１層間絶縁膜１５及

び第２層間絶縁膜１７の積層膜に形成されたコンタクトホールＨｆを介して、導体化部ＢＧａｃとソース線１８ｆとが電気的に接続される。これにより、導体化部ＢＧａｃは、ソース線１８ｆの電位に固定される。

[0042] ところで、トップゲート型のポリシリコンＴＦＴの下層に無機絶縁膜（ベースコート膜）を隔てたバックゲートを備えたフレキシブルな有機ＥＬ表示装置において、画素回路Ｃ内（アクティブ領域）内で、無機絶縁膜に形成されたコンタクトホールを介してバックゲートと電位固定用の配線（信号配線）とを電気的に接続する従来の表示装置では、バックゲート直下にある樹脂基板からの不純物により、ＴＦＴの閾値特性が安定しないという不都合がある。これは、ＴＦＴ近傍にコンタクトホールが設けられていることに起因して、コンタクトホールの開口によりベースコート膜から発生する水素原子がＴＦＴのチャネル部に付着するためと考えられる。

[0043] これに対して、有機ＥＬ表示装置５０ａでは、画素回路Ｃ外（非アクティブ領域）で、コンタクトホールＨｆを介してバックゲート層ＢＧａにおける導体化部ＢＧａｃとソース線１８ｆとを電気的に接続するため、上記の不都合が生じ難い。

[0044] 平坦化膜１９は、表示領域Ｄにおいて平坦な表面を有し、例えば、ポリイミド樹脂、アクリル樹脂等の有機樹脂材料、又はポリシロキサン系のＳＯＧ（spin on glass）材料等により構成されている。

[0045] 有機ＥＬ表示装置５０ａは、図８に示すように、ＴＦＴ層２０ａの上層として、表示領域Ｄを構成する発光素子層として設けられた有機ＥＬ素子層３１と、有機ＥＬ素子層３１上に設けられた封止膜３５とを備える。

[0046] 有機ＥＬ素子層３１は、図８に示すように、複数のサブ画素Ｐに対応してマトリクス状に配列された複数の発光素子として複数の有機ＥＬ素子２５を備えている。

[0047] 有機ＥＬ素子２５は、図８に示すように、平坦化膜１９上に順に設けられ複数の第１電極２１と、第１電極２１上に各サブ画素Ｐに設けられた複数の有機ＥＬ層２３と、有機ＥＬ層２３上に複数のサブ画素Ｐに共通して設けら

れた第２電極２４とを備えている。また、有機ＥＬ素子２５は、図８に示すように、封止膜３５で覆われている。

[0048] 第１電極２１は、図８に示すように、複数のサブ画素Ｐに対応するように、平坦化膜１９上にマトリクス状に設けられている。また、各第１電極２１は、図８に示すように、平坦化膜１９に形成されたコンタクトホールを介して、各第２ＴＦＴ９ｂのドレイン電極１８ｄ（又はソース電極１８ｃ）に電気的に接続されている。また、第１電極２１は、有機ＥＬ層２３にホール（正孔）を注入する機能を有している。また、第１電極２１は、有機ＥＬ層２３への正孔注入効率を向上させるために、仕事関数の大きな材料で形成するのがより好ましい。ここで、第１電極２１を構成する材料としては、例えば、銀（Ａｇ）、アルミニウム（Ａｌ）、バナジウム（Ｖ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、タングステン（Ｗ）、金（Ａｕ）、チタン（Ｔｉ）、ルテニウム（Ｒｕ）、マンガン（Ｍｎ）、インジウム（Ｉｎ）、イッテルビウム（Ｙｂ）、フッ化リチウム（ＬｉＦ）、白金（Ｐｔ）、パラジウム（Ｐｄ）、モリブデン（Ｍｏ）、イリジウム（Ｉｒ）、スズ（Ｓｎ）等の金属材料が挙げられる。また、第１電極２１を構成する材料は、例えば、アスタチン（Ａｔ）／酸化アスタチン（$AtO_2$）等の合金であっても構わない。さらに、第１電極２１を構成する材料は、例えば、酸化スズ（ＳｎＯ）、酸化亜鉛（ＺｎＯ）、インジウムスズ酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）のような導電性酸化物等であってもよい。また、第１電極２１は、上記材料からなる層を複数積層して形成されていてもよい。なお、仕事関数の大きな化合物材料としては、例えば、インジウムスズ酸化物（ＩＴＯ）やインジウム亜鉛酸化物（ＩＺＯ）等が挙げられる。

[0049] 第１電極２１の周端部は、複数のサブ画素Ｐに共通して格子状に設けられたエッジカバー２２で覆われている。ここで、エッジカバー２２を構成する材料としては、例えば、ポリイミド樹脂、アクリル樹脂、ポリシロキサン樹脂、ノボラック樹脂等のポジ型の感光性樹脂材料、又はポリシロキサン系のＳＯＧ材料等が挙げられる。エッジカバー２２の表面の一部は、図８に示す

ように、図中上方に突出して、島状に設けられた画素フォトスペーサになっている。

[0050] 有機ＥＬ層２３は、図８に示すように、各第１電極２１上に配置され、複数のサブ画素Ｐに対応するように、マトリクス状に設けられている。ここで、各有機ＥＬ層２３は、図９に示すように、第１電極２１上に順に設けられた正孔注入層１、正孔輸送層２、発光層３、電子輸送層４及び電子注入層５を備えている。

[0051] 正孔注入層１は、陽極バッファ層とも呼ばれ、第１電極２１と有機ＥＬ層２３とのエネルギーレベルを近づけ、第１電極２１から有機ＥＬ層２３への正孔注入効率を改善する機能を有している。ここで、正孔注入層１を構成する材料としては、例えば、トリアゾール誘導体、オキサジアゾール誘導体、イミダゾール誘導体、ポリアリールアルカン誘導体、ピラゾリン誘導体、フェニレンジアミン誘導体、オキサゾール誘導体、スチリルアントラセン誘導体、フルオレノン誘導体、ヒドラゾン誘導体、スチルベン誘導体等が挙げられる。

[0052] 正孔輸送層２は、第１電極２１から有機ＥＬ層２３への正孔の輸送効率を向上させる機能を有している。ここで、正孔輸送層２を構成する材料としては、例えば、ポルフィリン誘導体、芳香族第三級アミン化合物、スチリルアミン誘導体、ポリビニルカルバゾール、ポリ－ｐ－フェニレンビニレン、ポリシラン、トリアゾール誘導体、オキサジアゾール誘導体、イミダゾール誘導体、ポリアリールアルカン誘導体、ピラゾリン誘導体、ピラゾロン誘導体、フェニレンジアミン誘導体、アリールアミン誘導体、アミン置換カルコン誘導体、オキサゾール誘導体、スチリルアントラセン誘導体、フルオレノン誘導体、ヒドラゾン誘導体、スチルベン誘導体、水素化アモルファスシリコン、水素化アモルファス炭化シリコン、硫化亜鉛、セレン化亜鉛等が挙げられる。

[0053] 発光層３は、第１電極２１及び第２電極２４による電圧印加の際に、第１電極２１及び第２電極２４から正孔及び電子がそれぞれ注入されると共に、

正孔及び電子が再結合する領域である。ここで、発光層３は、発光効率が高い材料により形成されている。そして、発光層３を構成する材料としては、例えば、金属オキシノイド化合物［８－ヒドロキシキノリン金属錯体］、ナフタレン誘導体、アントラセン誘導体、ジフェニルエチレン誘導体、ビニルアセトン誘導体、トリフェニルアミン誘導体、ブタジエン誘導体、クマリン誘導体、ベンズオキサゾール誘導体、オキサジアゾール誘導体、オキサゾール誘導体、ベンズイミダゾール誘導体、チアジアゾール誘導体、ベンズチアゾール誘導体、スチリル誘導体、スチリルアミン誘導体、ビススチリルベンゼン誘導体、トリススチリルベンゼン誘導体、ペリレン誘導体、ペリノン誘導体、アミノピレン誘導体、ピリジン誘導体、ローダミン誘導体、アクイジン誘導体、フェノキサゾン、キナクリドン誘導体、ルブレン、ポリ－ｐ－フェニレンビニレン、ポリシラン等が挙げられる。

[0054] 電子輸送層４は、電子を発光層３まで効率良く移動させる機能を有している。ここで、電子輸送層４を構成する材料としては、例えば、有機化合物として、オキサジアゾール誘導体、トリアゾール誘導体、ベンゾキノン誘導体、ナフトキノン誘導体、アントラキノン誘導体、テトラシアノアントラキノジメタン誘導体、ジフェノキノン誘導体、フルオレノン誘導体、シロール誘導体、金属オキシノイド化合物等が挙げられる。

[0055] 電子注入層５は、第２電極２４と有機ＥＬ層２３とのエネルギーレベルを近づけ、第２電極２４から有機ＥＬ層２３へ電子が注入される効率を向上させる機能を有し、この機能により、有機ＥＬ素子２５の駆動電圧を下げることができる。なお、電子注入層５は、陰極バッファ層とも呼ばれる。ここで、電子注入層５を構成する材料としては、例えば、フッ化リチウム（ＬｉＦ）、フッ化マグネシウム（$MgF_2$）、フッ化カルシウム（$CaF_2$）、フッ化ストロンチウム（$SrF_2$）、フッ化バリウム（$BaF_2$）のような無機アルカリ化合物、酸化アルミニウム（$Al_2O_3$）、酸化ストロンチウム（ＳｒＯ）等が挙げられる。

[0056] 第２電極２４は、図８に示すように、各有機ＥＬ層２３及びエッジカバー

２２を覆うように設けられている。また、第２電極２４は、有機ＥＬ層２３に電子を注入する機能を有している。また、第２電極２４は、有機ＥＬ層２３への電子注入効率を向上させるために、仕事関数の小さな材料で構成するのがより好ましい。ここで、第２電極２４を構成する材料としては、例えば、銀（Ａｇ）、アルミニウム（Ａｌ）、バナジウム（Ｖ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、タングステン（Ｗ）、金（Ａｕ）、カルシウム（Ｃａ）、チタン（Ｔｉ）、イットリウム（Ｙ）、ナトリウム（Ｎａ）、ルテニウム（Ｒｕ）、マンガン（Ｍｎ）、インジウム（Ｉｎ）、マグネシウム（Ｍｇ）、リチウム（Ｌｉ）、イッテルビウム（Ｙｂ）、フッ化リチウム（ＬｉＦ）等が挙げられる。また、第２電極２４は、例えば、マグネシウム（Ｍｇ）／銅（Ｃｕ）、マグネシウム（Ｍｇ）／銀（Ａｇ）、ナトリウム（Ｎａ）／カリウム（Ｋ）、アスタチン（Ａｔ）／酸化アスタチン（$AtO_2$）、リチウム（Ｌｉ）／アルミニウム（Ａｌ）、リチウム（Ｌｉ）／カルシウム（Ｃａ）／アルミニウム（Ａｌ）、フッ化リチウム（ＬｉＦ）／カルシウム（Ｃａ）／アルミニウム（Ａｌ）等の合金により形成されていてもよい。また、第２電極２４は、例えば、酸化スズ（ＳｎＯ）、酸化亜鉛（ＺｎＯ）、インジウムスズ酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）等の導電性酸化物により形成されていてもよい。また、第２電極２４は、上記材料からなる層を複数積層して形成されていてもよい。なお、仕事関数が小さい材料としては、例えば、マグネシウム（Ｍｇ）、リチウム（Ｌｉ）、フッ化リチウム（ＬｉＦ）、マグネシウム（Ｍｇ）／銅（Ｃｕ）、マグネシウム（Ｍｇ）／銀（Ａｇ）、ナトリウム（Ｎａ）／カリウム（Ｋ）、リチウム（Ｌｉ）／アルミニウム（Ａｌ）、リチウム（Ｌｉ）／カルシウム（Ｃａ）／アルミニウム（Ａｌ）、フッ化リチウム（ＬｉＦ）／カルシウム（Ｃａ）／アルミニウム（Ａｌ）等が挙げられる。

[0057] 封止膜３５は、図８に示すように、第２電極２４を覆うように設けられた第１封止無機絶縁膜３２と、第１封止無機絶縁膜３２上に設けられた封止有機膜３３と、封止有機膜３３を覆うように設けられた第２封止無機絶縁膜３

４とを備え、有機ＥＬ層２３を水分や酸素等から保護する機能を有している。ここで、第１封止無機絶縁膜３２及び第２封止無機絶縁膜３４は、例えば、酸化シリコン（$SiO_2$）や酸化アルミニウム（$Al_2O_3$）、四窒化三ケイ素（$Si_3N_4$）のような窒化シリコン（ＳｉＮｘ（ｘは正数））、炭窒化ケイ素（ＳｉＣＮ）等の無機材料により構成されている。また、封止有機膜３３は、例えば、アクリル樹脂、ポリ尿素樹脂、パリレン樹脂、ポリイミド樹脂、ポリアミド樹脂等の有機材料により構成されている。

[0058] 上述した有機ＥＬ表示装置５０ａは、各サブ画素Ｐにおいて、ゲート線１４を介して第１ＴＦＴ９ａａにゲート信号を入力することにより、第１ＴＦＴ９ａａをオン状態にし、ソース線１８ｆを介して第２ＴＦＴ９ｂのゲート電極及びキャパシタ９ｃにデータ信号を書き込み、第２ＴＦＴ９ｂのゲート電圧に応じた電源線１８ｇからの電流が有機ＥＬ層２３に供給されることにより、有機ＥＬ層２３の発光層３が発光して、画像表示を行うように構成されている。なお、有機ＥＬ表示装置５０ａでは、第１ＴＦＴ９ａａがオフ状態になっても、第２ＴＦＴ９ｂのゲート電圧がキャパシタ９ｃによって保持されるので、次のフレームのゲート信号が入力されるまで発光層３による発光が維持される。

[0059] 次に、本実施形態の有機ＥＬ表示装置５０ａの製造方法について説明する。本実施形態の有機ＥＬ表示装置５０ａの製造方法は、ＴＦＴ層形成工程を備える。

[0060] ＜ＴＦＴ層形成工程＞

ＴＦＴ層形成工程は、ＴＦＴ層２０ａを形成する工程であり、第１ベースコート膜形成工程と、バックゲート層形成工程と、第２ベースコート膜形成工程と、ポリシリコン半導体層形成工程と、ゲート絶縁膜形成工程と、ゲート電極形成工程と、ドーピング工程と、層間絶縁膜形成工程と、コンタクトホール形成工程と、信号配線形成工程とを備える。

[0061] （第１ベースコート膜形成工程）

まず、ガラス基板上に形成した樹脂基板１０上に、例えばプラズマＣＶＤ

（Chemical Vapor Deposition）法により、酸化シリコン膜（厚さ２５０ｎｍ程度）及び窒化シリコン膜（厚さ５０ｎｍ程度）を順に成膜することにより、ＳｉＮｘ（上層）／$SiO_2$（下層）等の積層膜により構成された第１ベースコート膜１１ａを形成する。

[0062] （バックゲート層形成工程）

第１ベースコート膜１１ａが形成された基板表面に、例えば、スパッタリング法により、ＩｎＧａＺｎ$O_4$膜（厚さ３０ｎｍ程度）等の酸化物半導体からなる酸化物半導体膜を成膜した後に、その酸化物半導体膜をパターニングする。これにより、後続の工程で形成されるソース線１８ｆの延びる方向と平行に延びる、帯状のバックゲート層ＢＧａを形成する。

[0063] （第２ベースコート膜形成工程）

バックゲート層ＢＧａが形成された基板表面に、例えばプラズマＣＶＤ法により、窒化シリコン膜（厚さ５０ｎｍ程度）及び酸化シリコン膜（厚さ２５０ｎｍ程度）を順に成膜することにより、$SiO_2$（上層）／ＳｉＮｘ（下層）等の積層膜により構成された第２ベースコート膜１１ｂを形成する。

[0064] ここで、有機ＥＬ表示装置５０ａの製造方法では、第２ベースコート膜１１ｂを形成した後の熱処理により、バックゲート層ＢＧａの一部を導体化して、導体化部ＢＧａｃを形成する。具体的には、バックゲート層ＢＧａにおいて、後続の工程で形成されるポリシリコン半導体層１２のうち、少なくともチャネル領域１２ａと平面視で重なる領域に導体化部ＢＧａｃを形成する。

[0065] （ポリシリコン半導体層形成工程）

第２ベースコート膜１１ｂが形成された基板表面に、例えばプラズマＣＶＤ法により、アモルファスシリコン膜（厚さ５０ｎｍ程度）を成膜し、そのアモルファスシリコン膜をレーザーアニール等により結晶化して、ポリシリコンからなるポリシリコン膜を形成した後に、そのポリシリコン膜をパターニングして、ポリシリコン半導体層１２を形成する。

[0066] （ゲート絶縁膜形成工程）

ポリシリコン半導体層１２が形成された基板表面に、例えばプラズマＣＶＤ法により、酸化シリコン膜（厚さ１００ｎｍ程度）を成膜した後に、ポリシリコン半導体層を覆うように、その酸化シリコン膜をパターニングして、ゲート絶縁膜１３を形成する。

[0067] （ゲート電極形成工程）

ゲート絶縁膜１３が形成された基板表面に、例えばスパッタリング法により、モリブデン膜（厚さ２００ｎｍ程度）等の第１金属膜（下側金属膜）を成膜した後に、その第１金属膜をパターニングして、ゲート電極１４ａ、ゲート線１４等の第１配線層を形成する。

[0068] （ドーピング工程）

ゲート電極１４ａをマスクとして、ポリシリコン半導体層１２に不純物イオンをドーピングすることにより、ポリシリコン半導体層１２の一部を導体化して、ポリシリコン半導体層１２にソース領域１２ｂ、ドレイン領域１２ｃ及びチャネル領域１２ａを形成する。

[0069] （層間絶縁膜形成工程）

ゲート電極１４ａが形成された基板表面（ポリシリコン半導体層１２の一部が導体化された基板表面）に、少なくとも一層の層間絶縁膜を形成する。当該基板表面に、例えば、プラズマＣＶＤ法により、窒化シリコン膜（厚さ１５０ｎｍ程度）及び酸化シリコン膜（厚さ１００ｎｍ程度）を順に成膜することにより、第１層間絶縁膜１５を形成する。続いて、第１層間絶縁膜１５が形成された基板表面に、例えば、プラズマＣＶＤ法により、酸化シリコン膜（厚さ１００ｎｍ程度）を成膜することにより、第２層間絶縁膜１７を形成する。

[0070] （コンタクトホール形成工程）

第２層間絶縁膜１７が形成された基板表面の表示領域Ｄ（アクティブ領域）において、ゲート絶縁膜１３、第１層間絶縁膜１５及び第２層間絶縁膜１７を、例えばドライエッチングにより、適宜パターニングして、ポリシリコン半導体層１２におけるソース領域１２ｂ及びドレイン領域１２ｃの少なく

とも一部の表面を露出するコンタクトホールＨａ，Ｈｂを形成する。また、当該基板表面の額縁領域Ｆ（非アクティブ領域）において、第２ベースコート膜１１ｂ、ゲート絶縁膜１３、第１層間絶縁膜１５及び第２層間絶縁膜１７を、例えばドライエッチングにより、適宜パターニングして、バックゲート層ＢＧａにおける導体化部ＢＧａｃの少なくとも一部の表面を露出するコンタクトホールＨｆを形成する。

[0071] （信号配線形成工程）

上記コンタクトホールＨａ，Ｈｂ，Ｈｆが形成された基板表面に、例えば、スパッタリング法により、チタン膜（厚さ５０ｎｍ程度）、アルミニウム膜（厚さ４００ｎｍ程度）及びチタン膜（厚さ２００ｎｍ程度）等を順に成膜して第３金属膜（上側金属膜）を形成した後に、その第３金属膜をパターニングして、ソース線１８ｆ、ソース電極１８ａ、ドレイン電極１８ｂ、電源線１８ｇ等の第３配線層を形成する。

[0072] このように、有機ＥＬ表示装置５０ａの製造方法では、信号配線形成工程において、導体化部ＢＧａｃとソース線１８ｆとを電気的に接続する。

[0073] ＜ＴＦＴ層形成工程における他の工程＞

ＴＦＴ層形成工程は、必要に応じて、第２配線層形成工程、平坦化膜形成工程等を備えていてもよい。

[0074] （第２配線層形成工程）

層間絶縁膜形成工程で第１層間絶縁膜１５が形成された基板表面に、例えばスパッタリング法により、モリブデン膜（厚さ２００ｎｍ程度）等の第２金属膜を成膜した後に、その第２金属膜をパターニングして、上部導電層等の第２配線層を形成する。

[0075] （平坦化膜形成工程）

ソース線１８ｆ等が形成された基板表面に、例えば、スピンコート法やスリットコート法により、アクリル系の感光性樹脂膜（厚さ２μｍ程度）を塗布した後に、その塗布膜に対して、プリベーク、露光、現像及びポストベークを行うことにより、平坦化膜１９を形成する。

[0076] また、有機ＥＬ表示装置５０ａの製造方法は、有機ＥＬ素子層形成工程と、封止膜形成工程とを備える。

[0077] ＜有機ＥＬ素子層形成工程＞

ＴＦＴ層形成工程で形成されたＴＦＴ層２０ａの平坦化膜１９上に、周知の方法を用いて、第１電極２１、エッジカバー２２、有機ＥＬ層２３（正孔注入層１、正孔輸送層２、発光層３、電子輸送層４、電子注入層５）及び第２電極２４を形成して、有機ＥＬ素子２５を形成して、有機ＥＬ素子層３１を形成する。

[0078] ＜封止膜形成工程＞

まず、有機ＥＬ素子層形成工程で形成された有機ＥＬ素子層３１が形成された基板表面に、各有機ＥＬ素子２５を覆うように、蒸着マスクとしてＣＭＭを用いて、例えば、窒化シリコン膜、酸化シリコン膜、酸窒化シリコン膜等の無機絶縁膜をプラズマＣＶＤ法により成膜して、第１封止無機絶縁膜３２を形成する。続いて、第１封止無機絶縁膜３２上に、例えば、インクジェット法により、アクリル樹脂等の有機樹脂材料を成膜して、封止有機膜３３を形成する。その後、封止有機膜３３を覆うように、蒸着マスクとしてＣＭＭを用いて、例えば、窒化シリコン膜、酸化シリコン膜、酸窒化シリコン膜等の無機絶縁膜をプラズマＣＶＤ法により成膜して、第２封止無機絶縁膜３４を形成することにより、封止膜３５を形成する。以上の工程により、表示領域Ｄにおいて、第１封止無機絶縁膜３２、封止有機膜３３及び第２封止無機絶縁膜３４が順に積層された封止膜３５を形成することができる。

[0079] 最後に、基板表面に保護シート（不図示）を貼付した後に、樹脂基板１０のガラス基板側からレーザー光を照射することにより、樹脂基板１０の下面からガラス基板を剥離させ、ガラス基板を剥離させた樹脂基板１０の下面に保護シート（不図示）を貼付する。以上のようにして、有機ＥＬ表示装置５０ａを製造することができる。

[0080] ＜効果＞

以上説明したように、本実施形態の有機ＥＬ表示装置５０ａによれば、以

下の効果を得ることができる。

・有機ＥＬ表示装置５０ａでは、樹脂基板１０と、ポリシリコン半導体層１２を備えるトップゲート型の第１ＴＦＴ９ａａ（ポリシリコンＴＦＴ）が複数のサブ画素Ｐに対応して設けられたＴＦＴ層２０ａとの間に、第２ベースコート膜１１ｂを隔てて、導体化部ＢＧａｃを有するバックゲート層ＢＧａを備える。導体化部ＢＧａｃは、平面視において、ソース線１８ｆ（信号配線）の延びる方向に沿って複数のサブ画素Ｐ（それを構成する画素回路Ｃ）を跨ぐように一体に設けられ、少なくともチャネル部１２ａと平面視で重なり、且つソース線１８ｆと電気的に接続されているため、第１ＴＦＴ９ａａは、樹脂基板１０の分極に起因して閾値（Ｖｔｈ）がずれるのが抑制され、閾値特性が安定する。

・また、有機ＥＬ表示装置５０ａでは、バックゲート層ＢＧａは透明膜である酸化物半導体膜により構成され、その少なくとも一部が導体化された酸化物半導体層により導体化部ＢＧａｃが構成されているため、パネル透過率が確保される。

・このように、有機ＥＬ表示装置５０ａによれば、ＴＦＴ（特に、トップゲート型のポリシリコンＴＦＴ）の閾値の安定化とパネル透過率の保持とを両立することができる。なお、有機ＥＬ表示装置５０ａでは、画素回路Ｃ外（非アクティブ領域）で、コンタクトホールＨｆを介して導体化部ＢＧａｃとソース線１８ｆとが電気的に接続されているため、第１ベースコート膜１１ａから発生する水素原子がチャネル部１２ａに付着するのが抑制され、第１ＴＦＴ９ａａの閾値特性がより一層安定する。

[0081] 《第２の実施形態》

次に、図１０を用いて、本発明の第２の実施形態について説明する。図１０は、本実施形態の有機ＥＬ表示装置５０ｂの表示領域Ｄ及び額縁領域Ｆの断面図であり、図８に相当する図である。有機ＥＬ表示装置５０ｂの全体構成は、ＴＦＴ層２０ｂの構成以外、上述の第１の実施形態の場合と同じであるため、ここでは詳しい説明を省略する。また、上記第１の実施形態と同様

の構成部分については同一の符号を付してその説明を省略する。

[0082] 有機ＥＬ表示装置５０ｂでは、図１０に示すように、額縁領域Ｆ（非アクティブ領域）において、コンタクトホールＨｆの下端と導体化部ＢＧａｃとの間には、平面視で島状のメタル層Ｍが設けられる。メタル層Ｍは、バックゲート層ＢＧａと第２ベースコート膜１１ｂとの間に配置される。これにより、導体化部ＢＧａｃとソース線１８ｆとは、メタル層Ｍを介して電気的に接続される。

[0083] メタル層Ｍは、第１金属膜、第２金属膜、第３金属膜等と同様に、例えば、モリブデン（Ｍｏ）、チタン（Ｔｉ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、タングステン（Ｗ）等の金属単層膜、又はＭｏ（上層）／Ａｌ（中層）／Ｍｏ（下層）、Ｔｉ／Ａｌ／Ｔｉ、Ａｌ（上層）／Ｔｉ（下層）、Ｃｕ／Ｍｏ、Ｃｕ／Ｔｉ等の金属積層膜により構成されている。

[0084] 有機ＥＬ表示装置５０ｂは、上述の有機ＥＬ表示装置５０ａのＴＦＴ層形成工程において、バックゲート層形成工程の後であって、第２ベースコート膜形成工程の前に、以下のメタル層形成工程を追加すればよい。

[0085] （メタル層形成工程）

バックゲート層ＢＧａが形成された基板表面に、例えばスパッタリング法により、上述した金属膜を成膜した後に、その金属膜をパターニングして、メタル層Ｍを形成する。

[0086] ＜効果＞

以上に説明した有機ＥＬ表示装置５０ｂによれば、上述した有機ＥＬ表示装置５０ａの効果に加えて、以下の効果を得ることができる。

・有機ＥＬ表示装置５０ｂでは、額縁領域Ｆ（非アクティブ領域）、具体的には導体化部ＢＧａｃとソース線１８ｆとを電気的に接続するコンタクトホールＨｆと平面視で重畳する領域において、導体化部ＢＧａｃと第２ベースコート膜１１ｂとの間にメタル層Ｍが設けられる。このメタル層Ｍにより、コンタクトホールＨｆを形成するときに、導体化部ＢＧａｃの貫通を防止することができる。

[0087] 《第３の実施形態》

次に、図１１を用いて、本発明の第３の実施形態について説明する。図１１は、本実施形態の有機ＥＬ表示装置５０ｃの表示領域Ｄ及び額縁領域Ｆの断面図であり、図８に相当する図である。有機ＥＬ表示装置５０ｃの全体構成は、ＴＦＴ層２０ｃの構成以外、上述の第１の実施形態の場合と同じであるため、ここでは詳しい説明を省略する。また、上記第１の実施形態と同様の構成部分については同一の符号を付してその説明を省略する。

[0088] 有機ＥＬ表示装置５０ｃでは、図１１に示すように、表示領域Ｄ（アクティブ領域）において、バックゲート層ＢＧｃは、酸化物半導体膜が導体化されていない非導体化部ＢＧｃｎを有する。

[0089] 非導体化部ＢＧｃｎは、信号配線としてソース線１８ｆの延びる方向（図４参照）に互いに隣接する複数のサブ画素Ｐの間に設けられる。換言すると、図１１に示すように、表示領域Ｄ（アクティブ領域）において、バックゲート層ＢＧｃにおける導体化部ＢＧｃｃは、サブ画素Ｐ毎に切り離されて設けられている。導体化部ＢＧｃｃは、第１ＴＦＴ９ａｃ全体（それを構成するポリシリコン半導体層１２の全面）と平面視で重なっている。このように、有機ＥＬ表示装置５０ｃでは、ソース線１８ｆの延びる方向に沿って、導体化部ＢＧｃｃと非導体化部ＢＧｃｎとが交互に配置されている。

[0090] なお、有機ＥＬ表示装置５０ｃは、上述の有機ＥＬ表示装置５０ｂと同様に、メタル層Ｍを設ける構成としてもよい。

[0091] 有機ＥＬ表示装置５０ｃは、上述の有機ＥＬ表示装置５０ａのＴＦＴ層形成工程において、第２ベースコート膜形成工程を以下のように変更すればよい。例えば、ソース線１８ｆの延びる方向において隣り合う複数のサブ画素Ｐ（第１ＴＦＴ９ａｃ）間の領域におけるバックゲート層ＢＧｃが熱の影響を受けない又は低減するように、第２ベースコート膜１１ｂを形成した後の熱処理を実施する。

[0092] ＜効果＞

以上に説明した有機ＥＬ表示装置５０ｃによれば、上述した有機ＥＬ表示

装置５０ａの効果に加えて、以下の効果を得ることができる。

・有機ＥＬ表示装置５０ｃでは、表示領域Ｄ（アクティブ領域）におけるバックゲート層ＢＧｃにおいて、ソース線１８ｆの延びる方向において隣り合う複数のサブ画素Ｐ（第１ＴＦＴ９ａｃ）間に非導体化部ＢＧｃｎが設けられる。この非導体化部ＢＧｃｎにより、導体化部ＢＧｃｃはサブ画素Ｐ毎に切り離されるため、導体化部ＢＧｃｃとポリシリコン半導体層１２との間に電位差が生じ難くなる。その結果、第１ＴＦＴ９ａｃの閾値特性の安定化の向上を図ることができる。

[0093] 《第４の実施形態》

次に、図１２～図１４を用いて、本発明の第４の実施形態について説明する。図１２は、本実施形態の有機ＥＬ表示装置５０ｄの画素回路Ｃの配列を模式的に示す模式平面図であり、図４に相当する図である。図１３は、有機ＥＬ表示装置５０ｄの画素回路Ｃを構成する第１ＴＦＴ９ａｄを示す、図１２中の二点鎖線内の拡大平面図である。図１４は、図１３中のXIV－XIV線に沿った有機ＥＬ表示装置５０ｄの表示領域Ｄの断面図である。なお、図１３では、ゲート電極１４ａの上層が省略されている。有機ＥＬ表示装置５０ｄの全体構成は、ＴＦＴ層２０ｄの構成以外、上述の第１の実施形態の場合と同じであるため、ここでは詳しい説明を省略する。また、上記第１の実施形態と同様の構成部分については同一の符号を付してその説明を省略する。

[0094] 有機ＥＬ表示装置５０ｄでは、図１２～図１４に示すように、導体化部ＢＧｄｃ（バックゲート層ＢＧｄ）は、平面視において、サブ画素Ｐ毎に、サブ画素Ｐ全体を覆うように島状に設けられる。具体的には、図１３及び図１４に示すように、島状の導体化部ＢＧｄｃは、第１ＴＦＴ９ａｄ全体（それを構成するポリシリコン半導体層１２の全面）と平面視で重なっている。

[0095] ここで、有機ＥＬ表示装置５０ｄでは、図１４に示すように、表示領域Ｄ（アクティブ領域）において、コンタクトホールＨｆを介して、導体化部ＢＧｄｃがソース線１８ｆと電気的に接続されている。

[0096] なお、有機ＥＬ表示装置５０ｄは、上述の有機ＥＬ表示装置５０ｂと同様

に、メタル層Ｍを設ける構成としてもよい。

[0097] 有機ＥＬ表示装置５０ｄは、上述の有機ＥＬ表示装置５０ａのＴＦＴ層形成工程において、バックゲート層形成工程及びコンタクトホール形成工程を以下のように変更すればよい。例えば、バックゲート層形成工程において、酸化物半導体膜のパターン形状を変更することにより、後続の工程で形成されるポリシリコン半導体層１２の全面（第１ＴＦＴ９ａｄ全体）と平面視で重なる、島状のバックゲート層ＢＧｄを形成する。コンタクトホール形成工程において、表示領域Ｄ（アクティブ領域）において、第２ベースコート膜１１ｂ、ゲート絶縁膜１３、第１層間絶縁膜１５及び第２層間絶縁膜１７に、導体化部ＢＧｄｃの少なくとも一部の表面を露出するコンタクトホールＨｆを形成する。

[0098] ＜効果＞

以上に説明した有機ＥＬ表示装置５０ｄによれば、上述した有機ＥＬ表示装置５０ａと同様の効果を得ることができる。

[0099] 《第５の実施形態》

次に、図１５～図１６を用いて、本発明の第５の実施形態について説明する。図１５は、本実施形態の有機ＥＬ表示装置５０ｅの画素回路Ｃを構成する第１ＴＦＴ９ａｅを示す、図１２中の二点鎖線内の拡大平面図である。図１６は、図１５中のXVI－XVI線に沿った有機ＥＬ表示装置５０ｅの表示領域Ｄの断面図である。なお、図１５では、ゲート電極１４ａの上層が省略されている。有機ＥＬ表示装置５０ｅの全体構成は、ＴＦＴ層２０ｅの構成以外、上述の第４の実施形態の場合と同じであるため、ここでは詳しい説明を省略する。また、上記第４の実施形態と同様の構成部分については同一の符号を付してその説明を省略する。

[0100] 有機ＥＬ表示装置５０ｅでは、上述の有機ＥＬ表示装置５０ｄと同様に、図１５～図１６に示すように、導体化部ＢＧｅｃ（バックゲート層ＢＧｅ）は、平面視において、サブ画素Ｐ毎に、サブ画素Ｐ全体を覆うように島状に設けられる。具体的には、導体化部ＢＧｅｃは、ポリシリコン半導体層１２

の全面（第１ＴＦＴ９ａｅ全体）と平面視で重なっている。

[0101] ここで、有機ＥＬ表示装置５０ｅでは、上述の有機ＥＬ表示装置５０ｃと同様に、表示領域Ｄ（アクティブ領域）において、バックゲート層ＢＧｅは、酸化物半導体膜が導体化されていない非導体化部ＢＧｅｎを有する。

[0102] 非導体化部ＢＧｅｎは、平面視において、島状の導体化部ＢＧｅｃの周囲に沿って枠状に設けられる。枠状の非導体化部ＢＧｅｎにより、表示領域Ｄ（アクティブ領域）において、バックゲート層ＢＧｅにおける導体化部ＢＧｅｃは、サブ画素Ｐ毎に切り離された孤立パターンに設けられている。

[0103] なお、有機ＥＬ表示装置５０ｅは、上述の有機ＥＬ表示装置５０ｂと同様に、メタル層Ｍを設ける構成としてもよい。

[0104] 有機ＥＬ表示装置５０ｅは、上述の有機ＥＬ表示装置５０ｄのＴＦＴ層形成工程において、第２ベースコート膜形成工程を以下のように変更すればよい。例えば、各サブ画素Ｐ（第１ＴＦＴ９ａｅ）の周囲におけるバックゲート層ＢＧｅが熱の影響を受けない又は低減するように、第２ベースコート膜１１ｂを形成した後の熱処理を実施する。

[0105] ＜効果＞

以上に説明した有機ＥＬ表示装置５０ｅによれば、上述した有機ＥＬ表示装置５０ａの効果に加えて、以下の効果を得ることができる。

・有機ＥＬ表示装置５０ｅでは、バックゲート層ＢＧｅにおいて、サブ画素Ｐ（第１ＴＦＴ９ａｅ）の周囲に沿って枠状の非導体化部ＢＧｅｎが設けられる。枠状の非導体化部ＢＧｅｎにより、導体化部ＢＧｅｃはサブ画素Ｐ毎に切り離されるため、導体化部ＢＧｅｃとポリシリコン半導体層１２との間に電位差が生じ難くなる。その結果、第１ＴＦＴ９ａｅの閾値特性の安定化の向上を図ることができる。

[0106] 《その他の実施形態》

上記各実施形態では、導体化部は、信号配線としてソース線の延びる方向に沿って複数のサブ画素を跨ぐように一体に設けられているが、これに限定されない。導体化部は、信号配線としてゲート線の延びる方向に沿って複数

のサブ画素を跨ぐように一体に設けられていてもよい。この場合、導体化部はゲート線と電気的に接続されていてもよい。

[0107] 上記各実施形態では、正孔注入層、正孔輸送層、発光層、電子輸送層及び電子注入層の５層積層構造の有機ＥＬ層を例示したが、有機ＥＬ層は、例えば、正孔注入層兼正孔輸送層、発光層、及び電子輸送層兼電子注入層の３層積層構造であってもよい。

[0108] また、上記各実施形態では、第１電極を陽極とし、第２電極を陰極とした有機ＥＬ表示装置を例示したが、本発明は、有機ＥＬ層の積層構造を反転させ、第１電極を陰極とし、第２電極を陽極とした有機ＥＬ表示装置にも適用することができる。

[0109] 上記各実施形態では、第１電極に接続されたＴＦＴの電極をドレイン電極とした有機ＥＬ表示装置を例示したが、本発明は、第１電極に接続されたＴＦＴの電極をソース電極と呼ぶ有機ＥＬ表示装置にも適用することができる。

[0110] 上記各実施形態では、表示装置として有機ＥＬ表示装置したが、本発明は、アクティブマトリクス駆動方式の液晶表示装置等の表示装置にも適用することができる。

[0111] 上記各実施形態では、表示装置として有機ＥＬ表示装置を例に挙げて説明したが、本発明は、有機ＥＬ表示装置に限定されず、フレキシブルな表示装置であれば適用可能である。例えば、量子ドット含有層を用いた発光素子であるＱＬＥＤ（Quantum-dot light emitting diode）等を備えたフレキシブルな表示装置に適用することができる。

## 産業上の利用可能性

[0112] 以上説明したように、本発明は、フレキシブルな表示装置について有用である。

## 符号の説明

[0113] ＢＧａ，ＢＧｃ，ＢＧｄ，ＢＧｅ　バックゲート層

ＢＧａｃ，ＢＧｃｃ，ＢＧｄｃ，ＢＧｅｃ　導体化部

ＢＧｃｎ，ＢＧｅｎ　非導体化部

Ｄ　表示領域Ｄ

Ｆ　額縁領域

Ｍ　メタル層

Ｐ　サブ画素

９ａａ，９ａｃ，９ａｄ，９ａｅ　第１ＴＦＴ

１０　樹脂基板（ベース基板）

１１ａ　第１ベースコート膜

１１ｂ　第２ベースコート膜

１２　ポリシリコン半導体層

１２ａ　チャネル領域

１２ｂ　ソース領域（導体領域）

１２ｃ　ドレイン領域（導体領域）

１８ｆ　ソース線（信号配線）

２０ａ，２０ｂ，２０ｃ、２０ｄ、２０ｅ　ＴＦＴ（薄膜トランジスタ）層

２５　有機ＥＬ素子（有機エレクトロルミネッセンス素子、発光素子）

３１　有機ＥＬ素子層（発光素子層）

３５　封止膜

５０ａ，５０ｂ，５０ｃ、５０ｄ、５０ｅ　有機ＥＬ表示装置

# 請求の範囲

[請求項1] ベース基板と、上記ベース基板上に設けられた薄膜トランジスタ層とを備え、

上記薄膜トランジスタ層には、ポリシリコン膜により形成され、チャネル領域と導体領域が規定されたポリシリコン半導体層を有し、上記導体領域において信号配線を介して互いに電気的に接続された複数の薄膜トランジスタが、表示領域を構成する複数のサブ画素に対応して設けられ、

上記薄膜トランジスタ層の下層には、酸化物半導体膜により形成され、上記酸化物半導体膜の少なくとも一部が導体化された導体化部を有する透過性のバックゲート層が設けられた表示装置であって、

上記導体化部は、少なくとも上記チャネル領域と平面視で重なり、上記信号配線と電気的に接続されていることを特徴とする表示装置。

[請求項2] 請求項１に記載された表示装置において、

上記導体化部は、平面視において、上記信号配線の延びる方向に沿って上記複数のサブ画素を跨ぐように一体に設けられることを特徴とする表示装置。

[請求項3] 請求項２に記載された表示装置において、

上記表示領域の周囲には、額縁領域が設けられ、

上記額縁領域には、上記導体化部が配置されており、

上記額縁領域における上記複数のサブ画素が配置されてない領域において、上記導体化部が上記信号配線と電気的に接続されていることを特徴とする表示装置。

[請求項4] 請求項２又は３に記載された表示装置において、

上記表示領域における上記バックゲート層は、上記酸化物半導体膜が導体化されていない非導体化部を有しており、

上記非導体化部は、互いに隣接する上記複数のサブ画素の間に設けられることを特徴とする表示装置。

[請求項5] 請求項１に記載された表示装置において、

上記導体化部は、平面視において、上記サブ画素毎に島状に設けられることを特徴とする表示装置。

[請求項6] 請求項５に記載された表示装置において、

上記表示領域における上記バックゲート層は、上記酸化物半導体膜が導体化されていない非導体化部を有しており、

上記非導体化部は、平面視において、上記島状の上記導体化部の周囲に沿って枠状に設けられることを特徴とする表示装置。

[請求項7] 請求項５又は６に記載された表示装置において、

上記表示領域において、上記島状の上記導体化部が上記信号配線と電気的に接続されていることを特徴とする表示装置。

[請求項8] 請求項１～７の何れか１つに記載された表示装置において、

上記導体化部と上記信号配線とは、該導体化部と該信号配線との間に設けられた少なくとも一層の無機絶縁膜に形成されたコンタクトホールを介して接続されることを特徴とする表示装置。

[請求項9] 請求項８に記載された表示装置において、

上記コンタクトホールの下端と上記導体化部との間には、平面視で島状のメタル層が設けられることを特徴とする表示装置。

[請求項10] 請求項１～９の何れか１つに記載された表示装置において、

上記表示領域における上記導体化部は、平面視において、上記ポリシリコン半導体層の形状に対応するように網目状パターンに設けられることを特徴とする表示装置。

[請求項11] 請求項１～９の何れか１つに記載された表示装置において、

上記表示領域における上記導体化部は、平面視において、上記各サブ画素の全体を覆うように設けられることを特徴とする表示装置。

[請求項12] 請求項１～１１の何れか１つに記載された表示装置において、

上記バックゲート層は、上記薄膜トランジスタ層の全面に設けられることを特徴とする表示装置。

[請求項13] 請求項１～１２の何れか１つに記載された表示装置において、

上記信号配線は、ソース配線又はゲート配線であることを特徴とする表示装置。

[請求項14] 請求項１～１３の何れか１つに記載された表示装置において、

上記薄膜トランジスタ層は、上記ベース基板上に順に積層された第１ベースコート膜及び第２ベースコート膜を備えており、

上記バックゲート層は、上記第１ベースコート膜及び上記第２ベースコート膜の間に設けられることを特徴とする表示装置。

[請求項15] 請求項１４に記載された表示装置において、

上記薄膜トランジスタ層は、

上記第２ベースコート膜上に設けられた上記ポリシリコン半導体層と、

上記ポリシリコン半導体層を覆うように設けられたゲート絶縁膜と、

上記ゲート絶縁膜上に設けられた複数のゲート電極とを備えることを特徴とする表示装置。

[請求項16] 請求項１～１５の何れか１つに記載された表示装置において、

上記薄膜トランジスタ層上に設けられ、上記複数のサブ画素に対応して複数の発光素子が配列された発光素子層と、

上記発光素子層を覆うように設けられた封止膜とを備えていることを特徴とする表示装置。

[請求項17] 請求項１６に記載された表示装置において、

上記各発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする表示装置。

[請求項18] 請求項１６又は１７に記載された表示装置において、

上記複数の薄膜トランジスタは、上記各発光素子の電流を制御するように構成された駆動用薄膜トランジスタであることを特徴とする表示装置。

[請求項19] 請求項１～１８の何れか１つに記載された表示装置において、

上記ベース基板は、樹脂基板であることを特徴とする表示装置。

[請求項20] ベース基板と、上記ベース基板上に設けられた薄膜トランジスタ層とを備え、

上記薄膜トランジスタ層には、ポリシリコン膜により形成され、チャネル領域と導体領域が規定されたポリシリコン半導体層を有し、上記導体領域において信号配線を介して互いに電気的に接続された複数の薄膜トランジスタが、表示領域を構成する複数のサブ画素に対応して設けられ、

上記薄膜トランジスタ層の下層には、酸化物半導体膜により形成され、上記酸化物半導体膜の少なくとも一部が導体化された導体化部を有する透過性のバックゲート層が設けられた表示装置の製造方法であって、

上記薄膜トランジスタ層を形成する薄膜トランジスタ層形成工程は、

上記ベース基板上に第１ベースコート膜を形成する第１ベースコート膜形成工程と、

上記第１ベースコート膜が形成された基板表面に上記酸化物半導体膜を成膜した後、該酸化物半導体膜をパターニングして、上記バックゲート層を形成するバックゲート層形成工程と、

上記バックゲート層が形成された基板表面に第２ベースコート膜を形成する第２ベースコート膜形成工程と、

上記第２ベースコート膜が形成された基板表面に上記ポリシリコン膜を成膜した後、該ポリシリコン膜をパターニングして、上記ポリシリコン半導体層を形成するポリシリコン半導体層形成工程と、

上記ポリシリコン半導体層が形成された基板表面に上記ポリシリコン半導体層を覆うようにゲート絶縁膜を形成するゲート絶縁膜形成工程と、

上記ゲート絶縁膜が形成された基板表面に下側金属膜を成膜した後、上記下側金属膜をパターニングして、複数のゲート電極を形成するゲート電極形成工程と、

上記各ゲート電極をマスクとしてドーピングを行い、上記ポリシリコン半導体層の上記チャネル領域及び上記導体領域を形成するドーピング工程と、

上記複数のゲート電極が形成された基板表面に少なくとも一層の層間絶縁膜を形成する層間絶縁膜形成工程と、

上記少なくとも一層の層間絶縁膜が形成された基板表面に、上記ポリシリコン半導体層における上記導体領域及び上記バックゲート層における上記導体化部の少なくとも一部を露出するコンタクトホールを形成するコンタクトホール形成工程と、

上記コンタクトホールが形成された基板表面に上側金属膜を成膜した後、上記上側金属膜をパターニングして、該コンタクトホール内で露出する上記導体化部の露出面を覆う上記信号配線を形成する信号配線形成工程とを備え、

上記第２ベースコート膜形成工程において、上記第２ベースコート膜を形成した後の熱処理により、上記バックゲート層において、少なくとも上記チャネル領域と平面視で重なる領域を導体化して上記導体化部を形成し、

上記信号配線形成工程において、上記導体化部と上記信号配線とを電気的に接続することを特徴とする表示装置の製造方法。

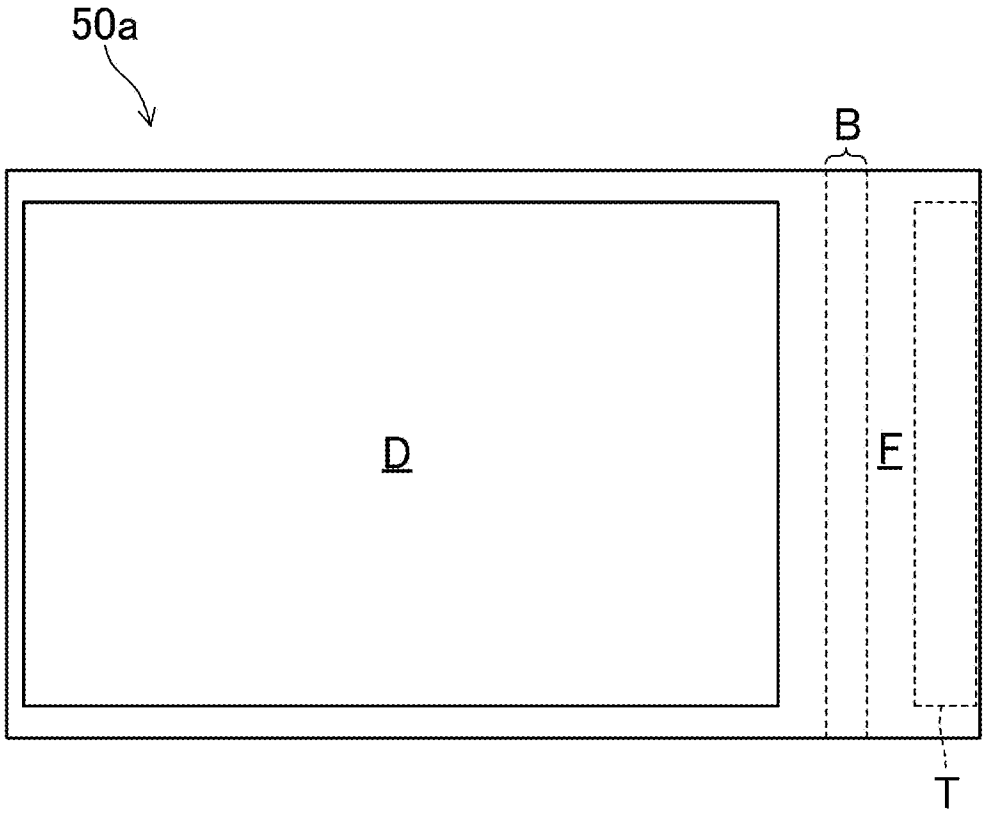
[請求項21] 請求項２０に記載された表示装置の製造方法において、

上記薄膜トランジスタ層形成工程は、上記バックゲート層形成工程の後であって、上記第２ベースコート膜形成工程の前に、メタル層形成工程を備え、

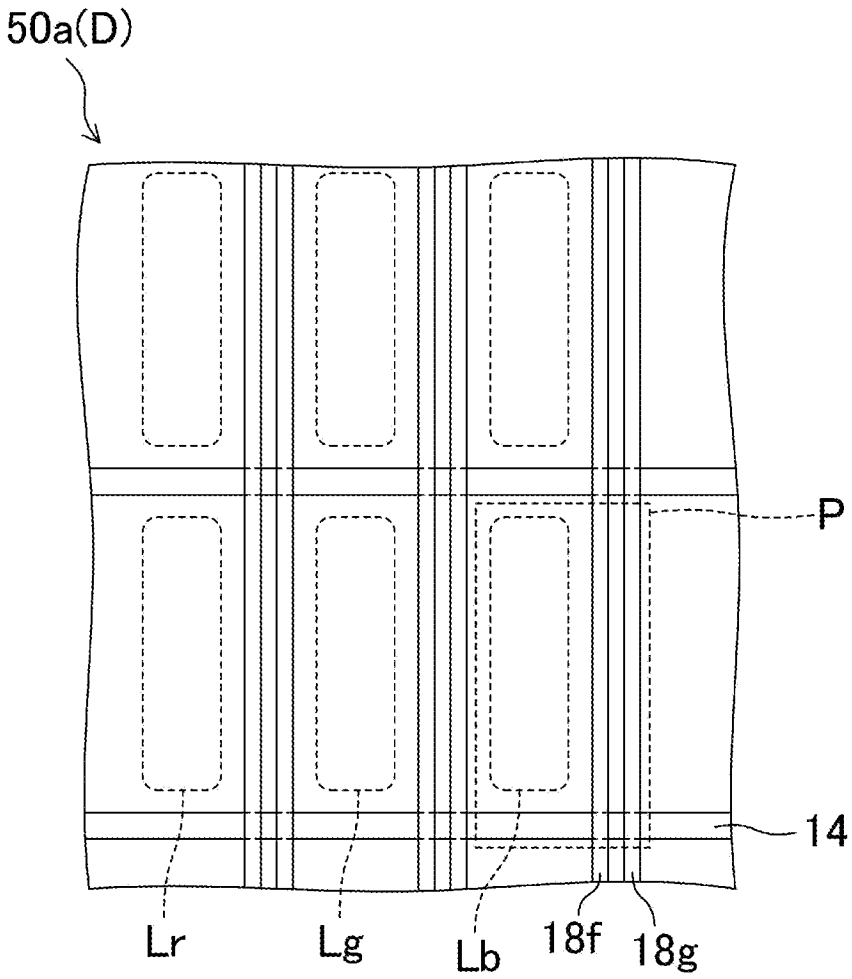
上記メタル層形成工程は、上記バックゲート層が形成された基板表面に金属膜を成膜した後、上記金属膜をパターニングして、上記コン

タクトホールの下端と上記導体化部との間に、平面視で島状のメタル層を形成することを特徴とする表示装置の製造方法。

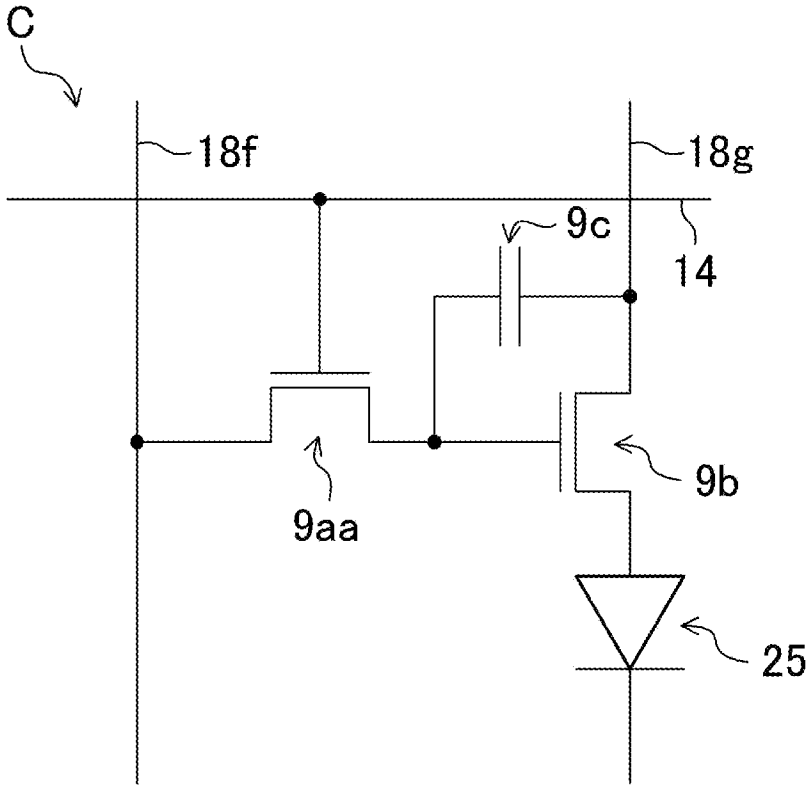
[図1]



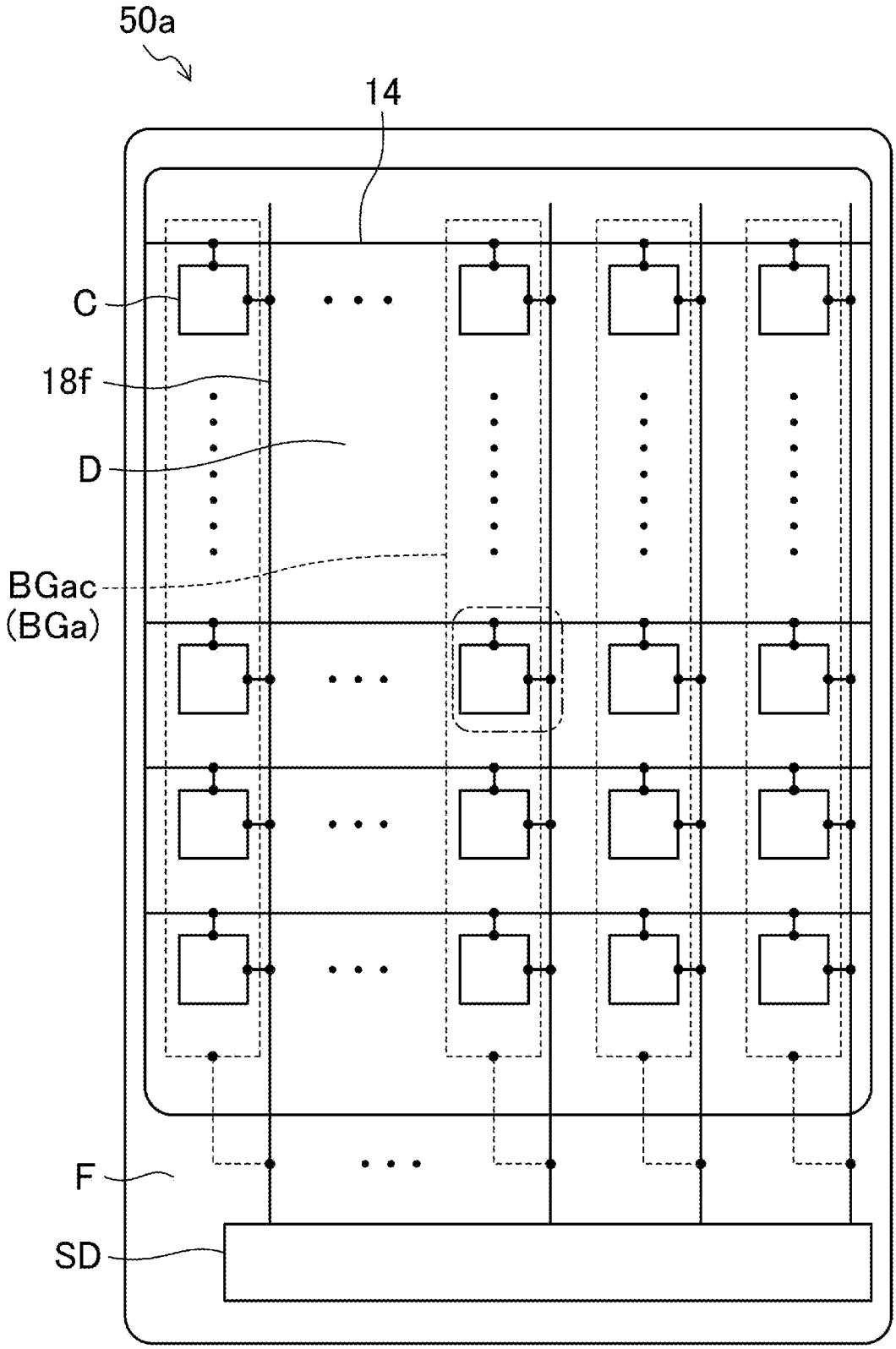

[図2]



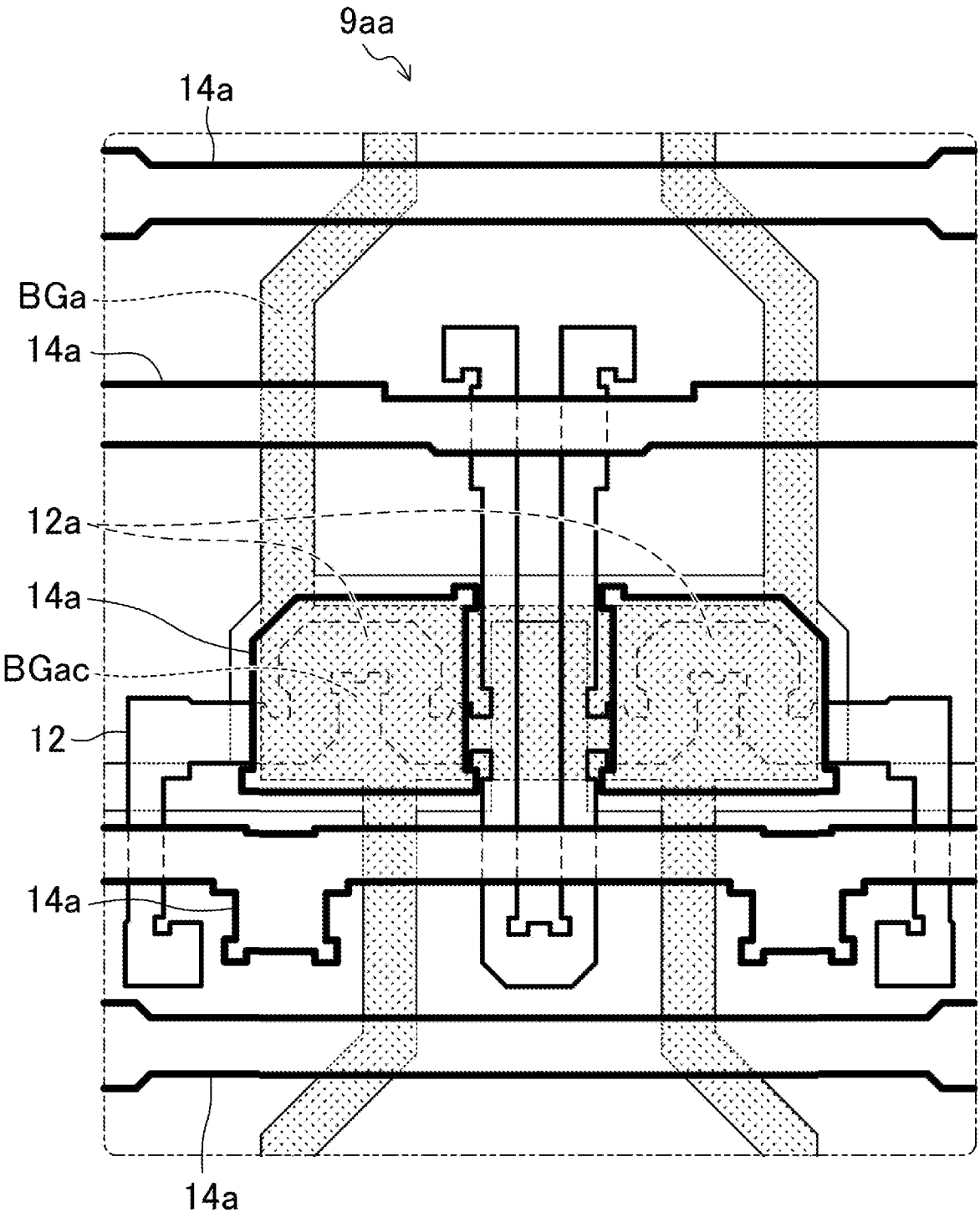
[図3]



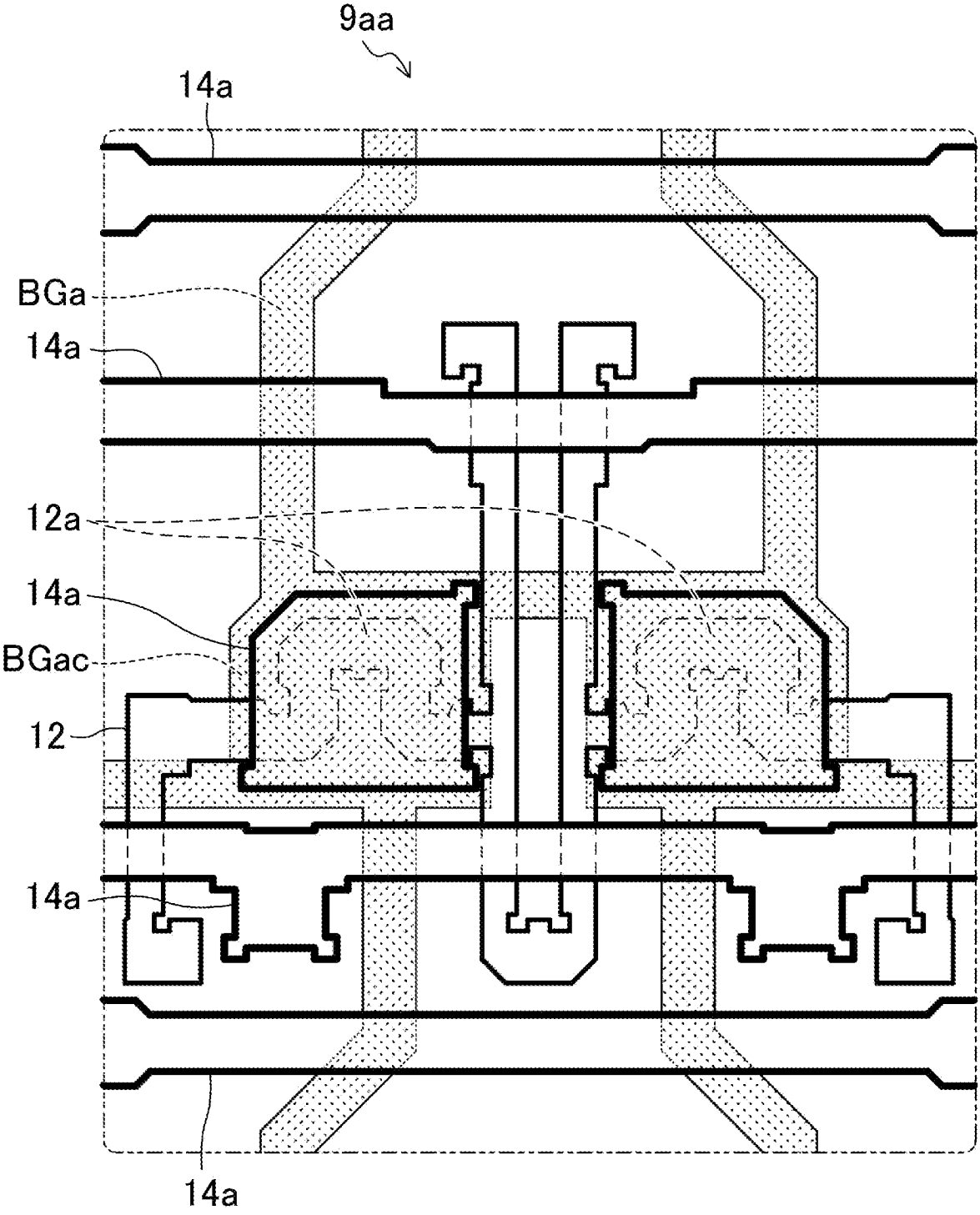
[図4]



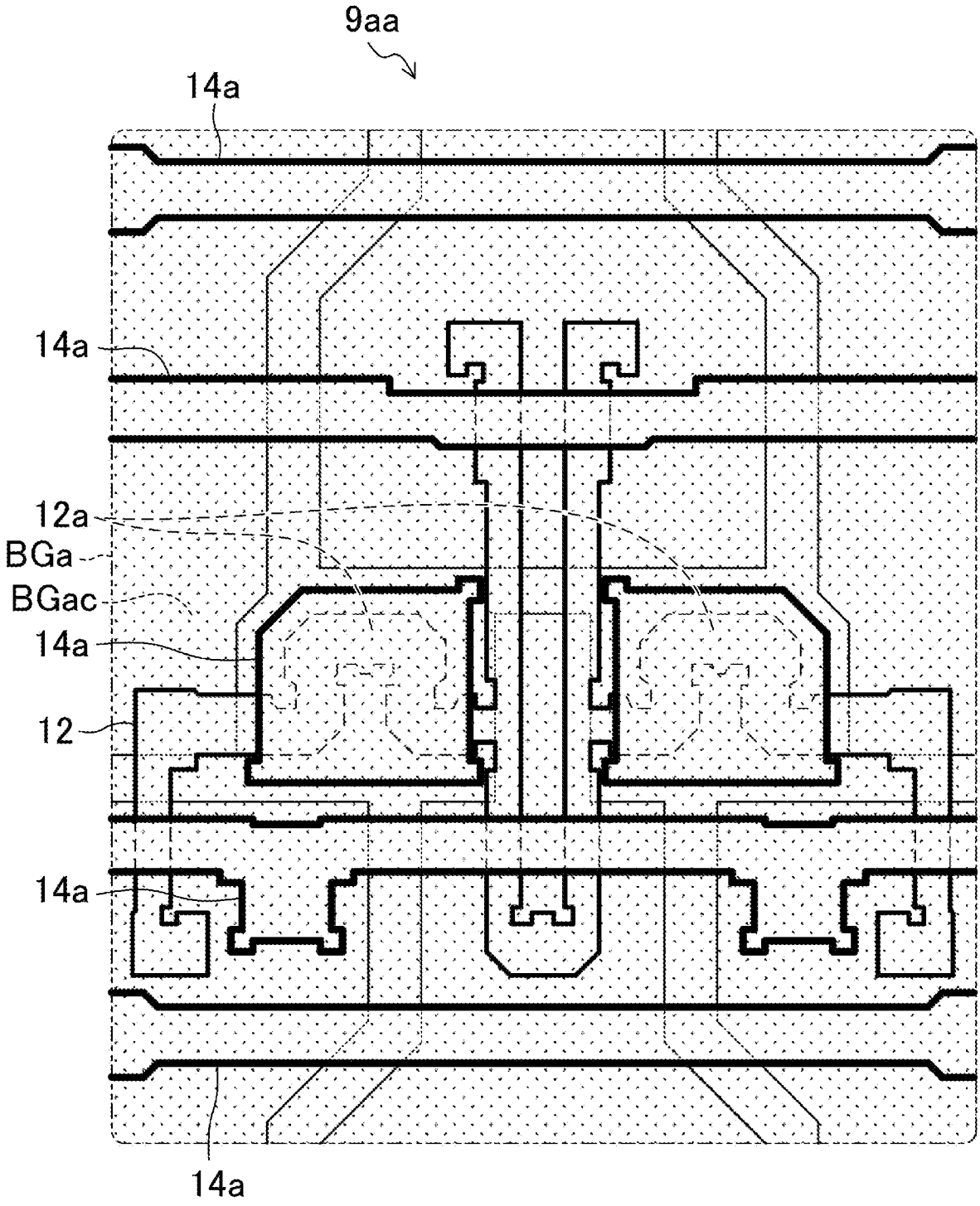
[図5]



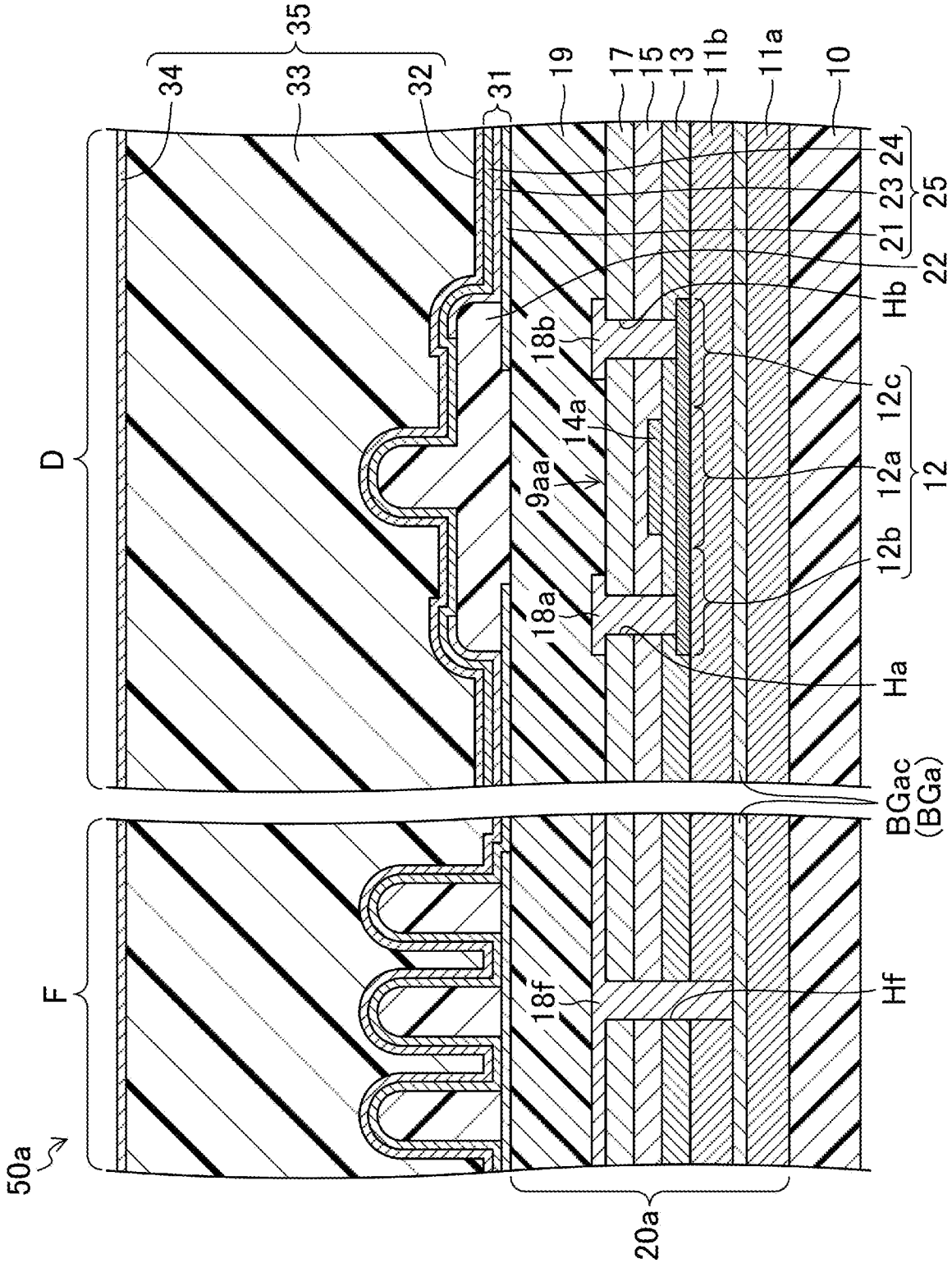
[図6]



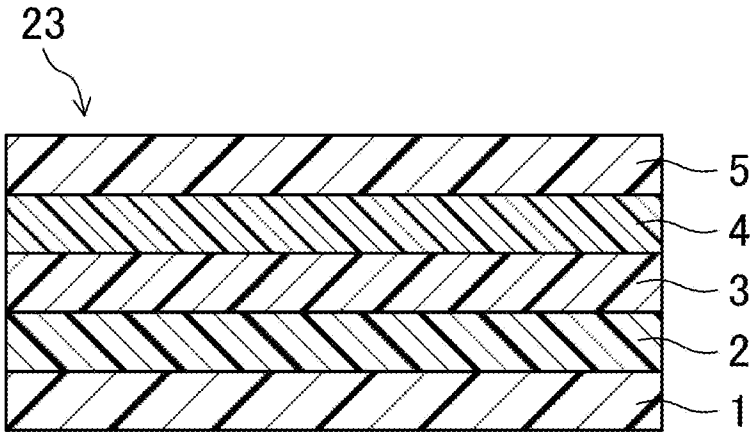
[図7]



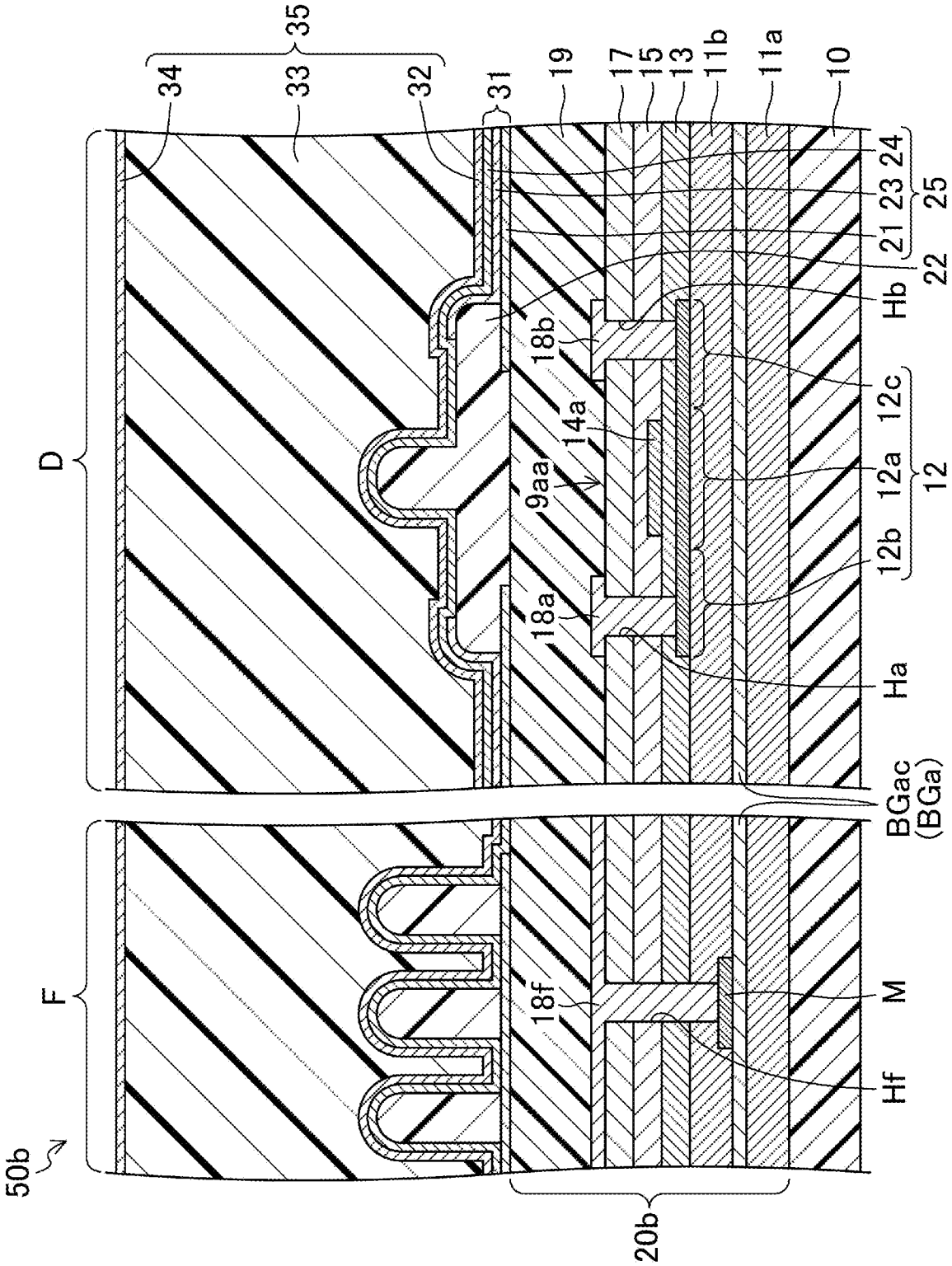
[図8]


35
34
33
32
31
19
17
15
13
11b
11a
10
24
23
21
25
22
Hb
18b
12c
14a
12a
9aa
12
12b
18a
Ha
BGac
(BGa)
D
F
18f
Hf
50a
20a

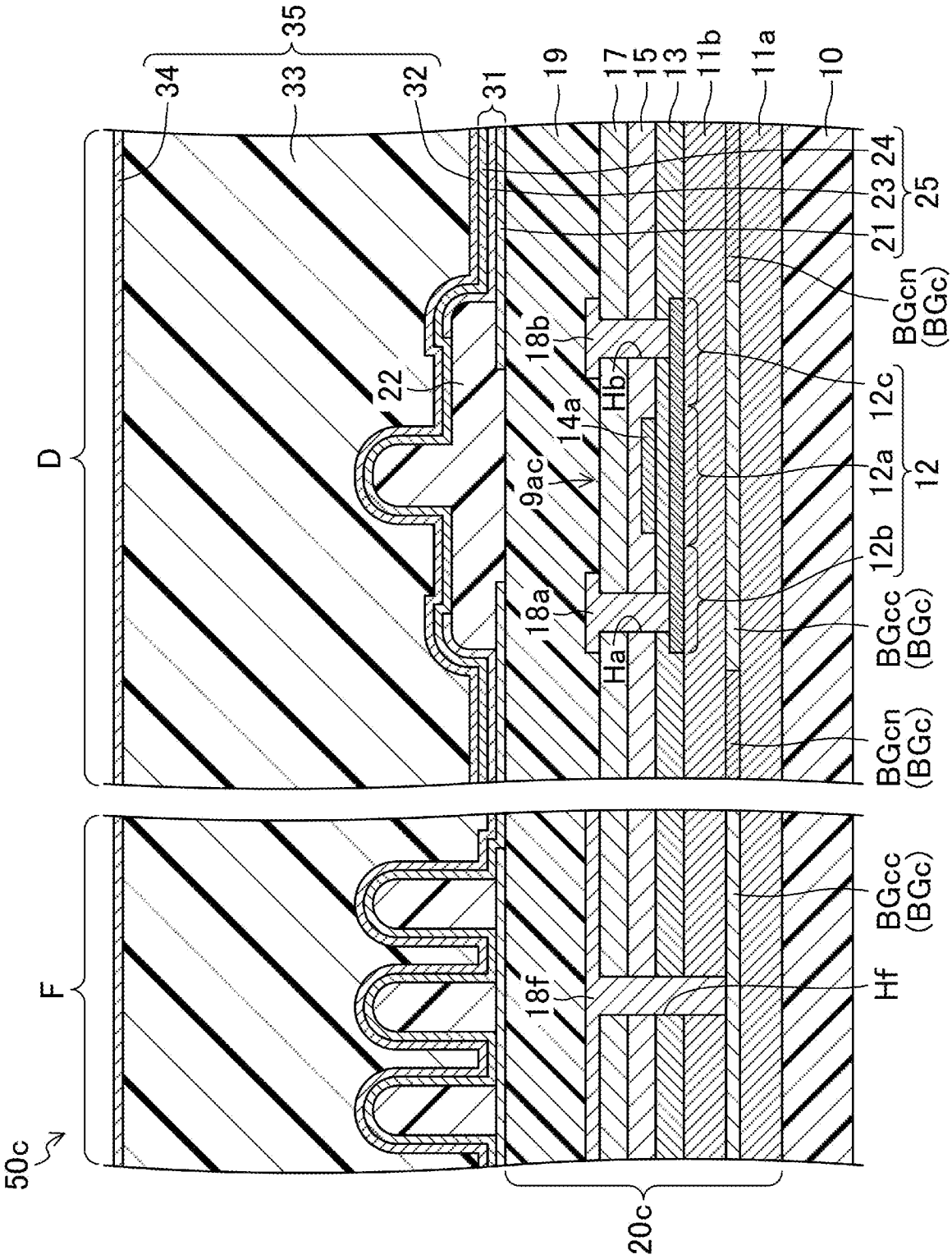
[図9]



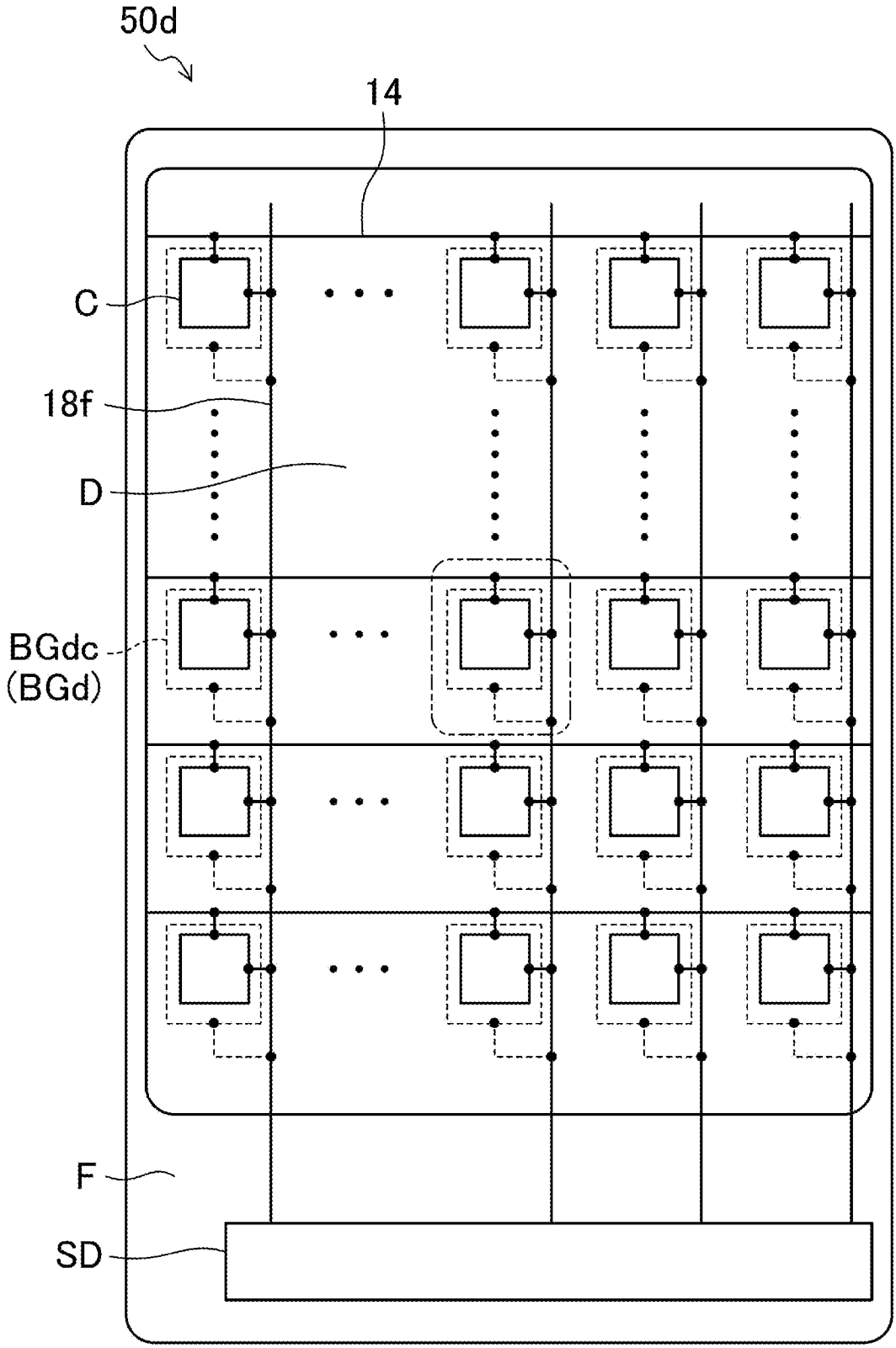
[図10]


35
34
33
32
31
19
17
15
13
11b
11a
10
24
23
25
21
22
Hb
18b
12c
14a
12a
12
9aa
12b
18a
Ha
BGac
(BGa)
D
F
M
18f
Hf
50b
20b

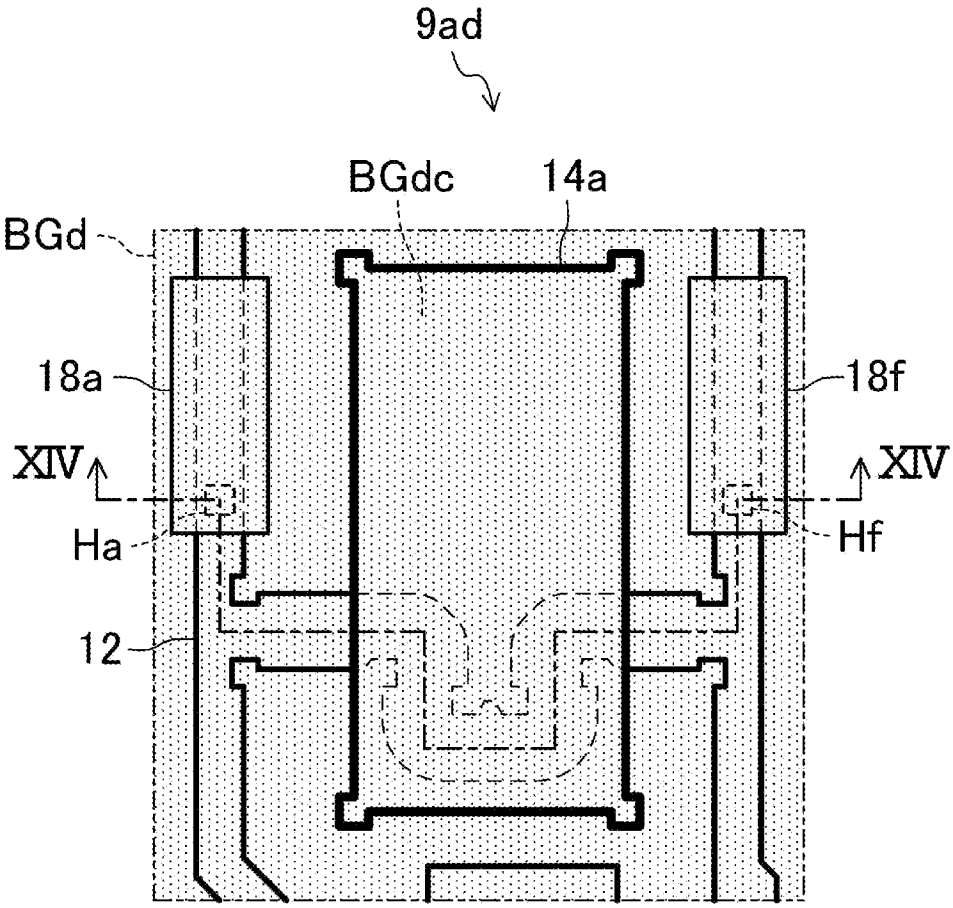
[図11]


50c
D
F
20c
35
34
33
32
31
19
17
15
13
11b
11a
10
24
23
21
25
BGcn
(BGc)
22
18b
Hb
14a
12c
9ac
12a
12
12b
18a
Ha
BGcc
(BGc)
BGcn
(BGc)
BGcc
(BGc)
18f
Hf

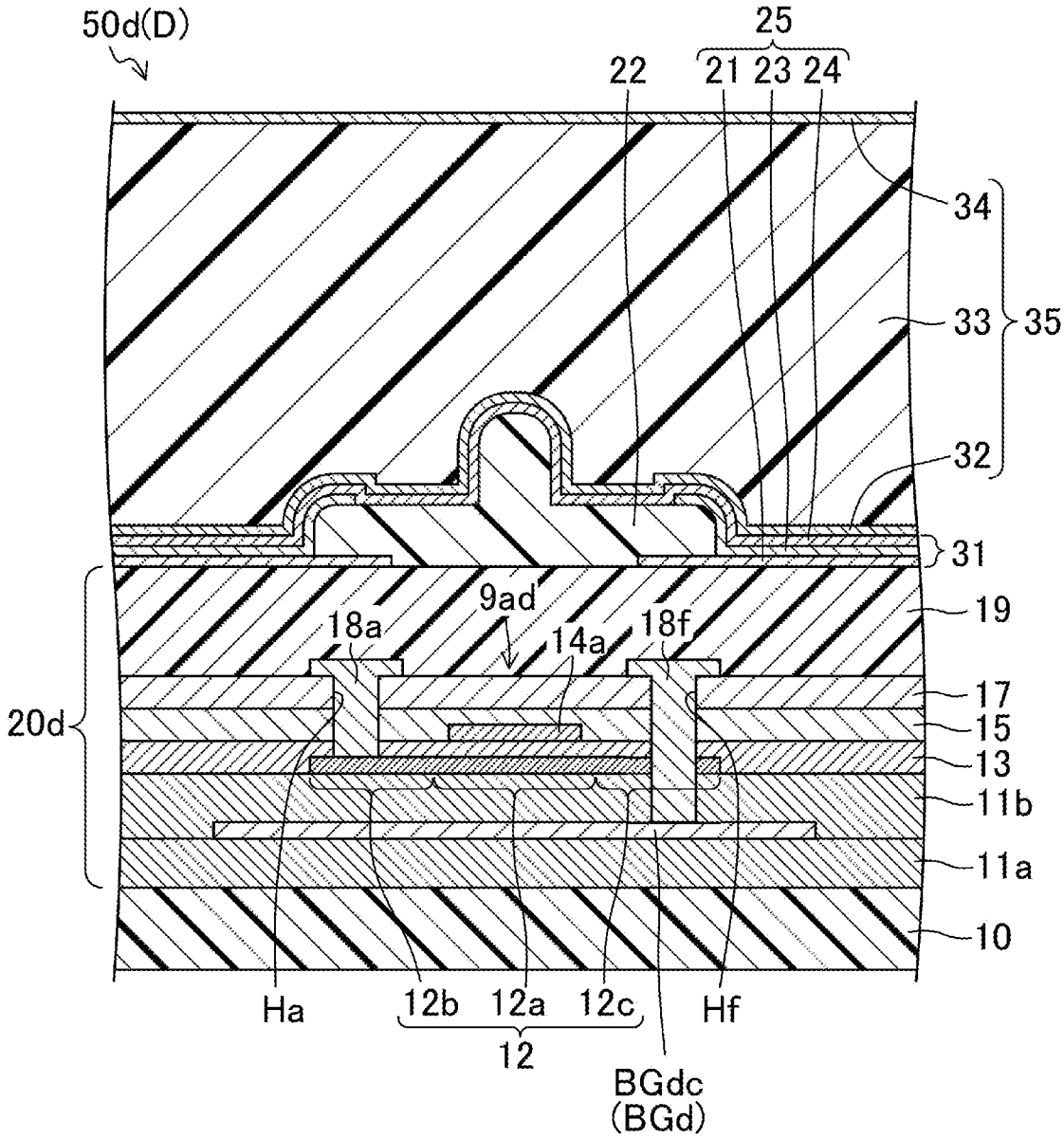
[図12]



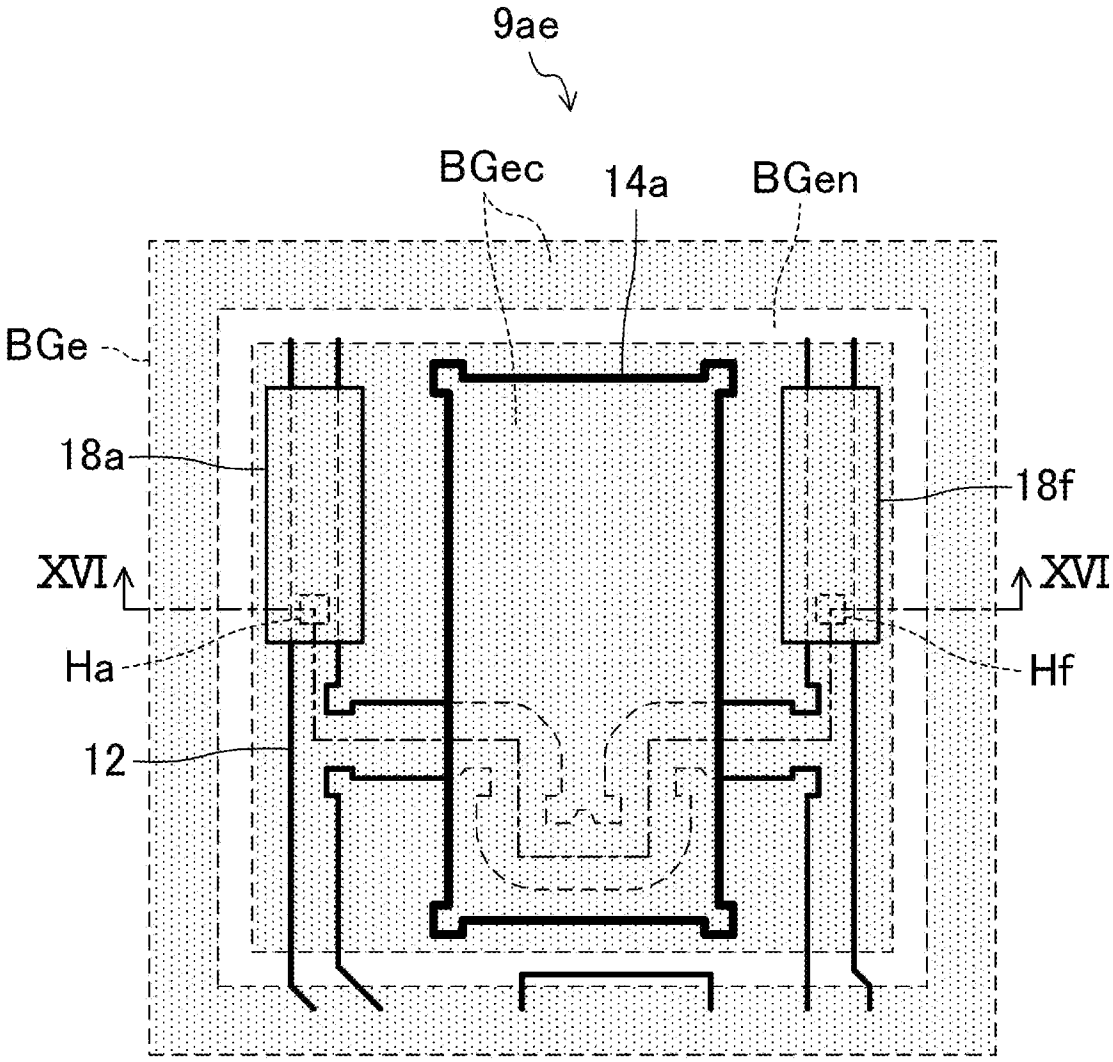
[図13]



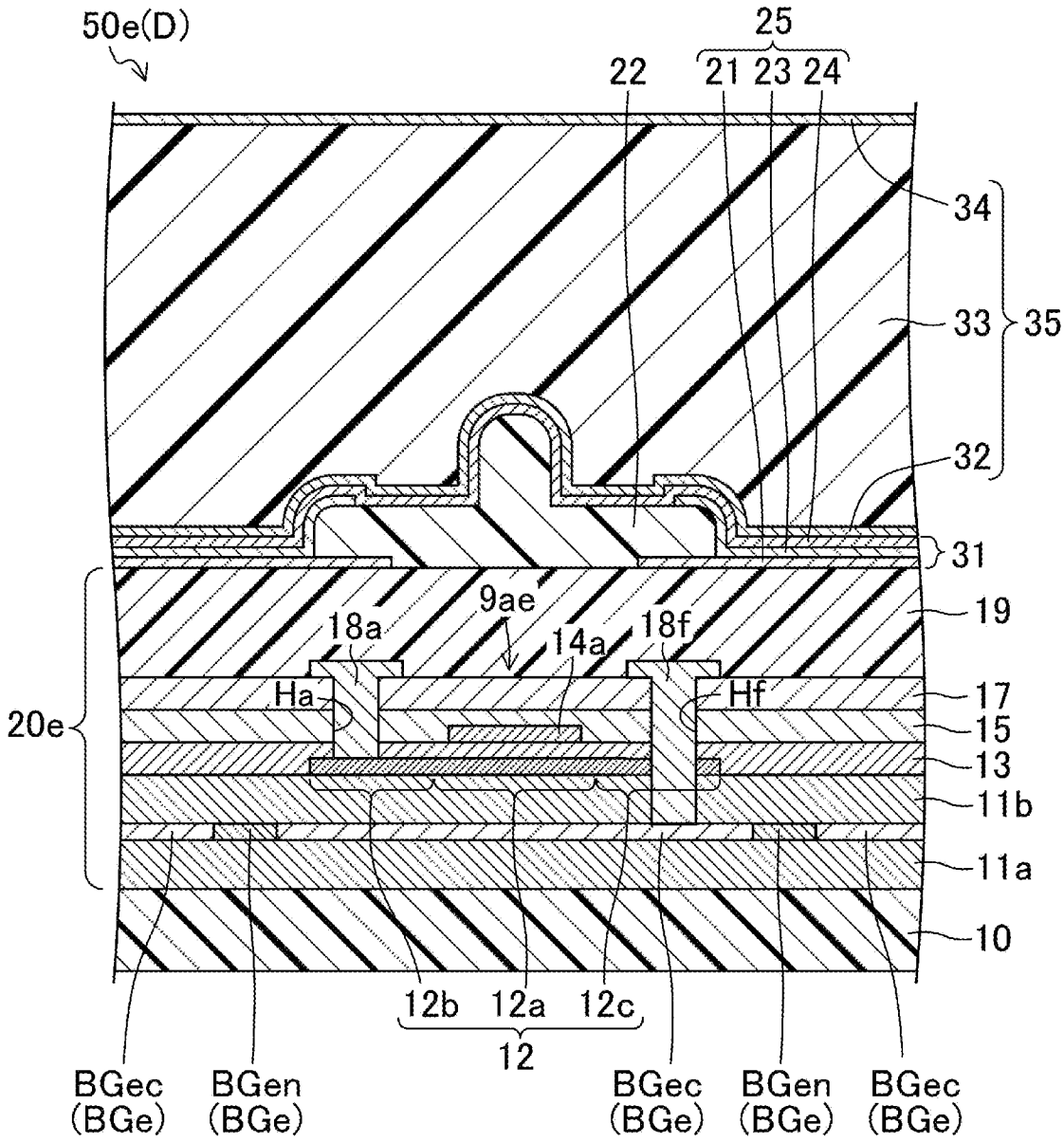
[図14]


50d(D)
25
22
21 23 24
34
33
35
32
31
9ad
18a
18f
14a
19
17
15
13
11b
11a
10
20d
Ha
12b
12a
12c
12
Hf
BGdc
(BGd)

[図15]



[図16]


50e(D)
25
22
21 23 24
34
33
35
32
31
9ae
18a
14a
18f
19
Ha
Hf
17
20e
15
13
11b
11a
10
12b 12a 12c
12
BGec (BGe)
BGen (BGe)
BGec (BGe)
BGen (BGe)
BGec (BGe)

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/JP2023/006440**

## A. CLASSIFICATION OF SUBJECT MATTER

***G09F 9/30***(2006.01)i; ***H10K 59/00***(2023.01)i
FI: G09F9/30 338; G09F9/30 365; H10K59/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00-9/46; H05B33/00-33/28; H05B44/00; H05B45/60; H10K50/00-99/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2019-165130 A (JAPAN DISPLAY INC.) 26 September 2019 (2019-09-26)<br>entire text, all drawings | 1-21 |
| A | JP 2019-165129 A (JAPAN DISPLAY INC.) 26 September 2019 (2019-09-26)<br>entire text, all drawings | 1-21 |
| A | JP 2006-058352 A (CASIO COMPUTER CO., LTD.) 02 March 2006 (2006-03-02)<br>entire text, all drawings | 1-21 |
| A | US 2014/0159008 A1 (LG DISPLAY CO., LTD.) 12 June 2014 (2014-06-12)<br>entire text, all drawings | 1-21 |
| A | WO 2018/043643 A1 (SHARP KABUSHIKI KAISHA) 08 March 2018 (2018-03-08)<br>entire text, all drawings | 1-21 |
| A | WO 2017/150443 A1 (SHARP KABUSHIKI KAISHA) 08 September 2017 (2017-09-08)<br>entire text, all drawings | 1-21 |

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| **14 March 2023** | **28 March 2023** |
| Name and mailing address of the ISA/JP<br>**Japan Patent Office (ISA/JP)**<br>**3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915**<br>**Japan** | Authorized officer<br><br>Telephone No. |

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/JP2023/006440**

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | WO 2016/188302 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 01 December 2016 (2016-12-01)<br>entire text, all drawings | 1-21 |

**INTERNATIONAL SEARCH REPORT**
**Information on patent family members**

International application No.
**PCT/JP2023/006440**

| Patent document cited in search report | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|---|---|---|---|
| JP 2019-165130 A | 26 September 2019 | US 2021/0005771 A1<br>entire text, all drawings<br>WO 2019/181558 A1<br>CN 111868940 A | |
| JP 2019-165129 A | 26 September 2019 | CN 209471965 U<br>entire text, all drawings | |
| JP 2006-058352 A | 02 March 2006 | (Family: none) | |
| US 2014/0159008 A1 | 12 June 2014 | KR 10-2014-0075937 A<br>entire text, all drawings<br>CN 103872259 A | |
| WO 2018/043643 A1 | 08 March 2018 | US 2019/0221590 A1<br>entire text, all drawings<br>CN 109690661 A | |
| WO 2017/150443 A1 | 08 September 2017 | US 2019/0172843 A1<br>entire text, all drawings<br>CN 108713225 A | |
| WO 2016/188302 A1 | 01 December 2016 | US 2017/0132965 A1<br>entire text, all drawings<br>CN 104835451 A | |

国際調査報告

国際出願番号
PCT/JP2023/006440

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09F 9/30(2006.01)i; H10K 59/00(2023.01)i
FI: G09F9/30 338; G09F9/30 365; H10K59/00

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G09F9/00-9/46; H05B33/00-33/28; H05B44/00; H05B45/60; H10K50/00-99/00

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０２３年 |
| 日本国実用新案登録公報 | １９９６－２０２３年 |
| 日本国登録実用新案公報 | １９９４－２０２３年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2019-165130 A (株式会社ジャパンディスプレイ) 26.09.2019 (2019-09-26)<br>全文、全図 | 1-21 |
| A | JP 2019-165129 A (株式会社ジャパンディスプレイ) 26.09.2019 (2019-09-26)<br>全文、全図 | 1-21 |
| A | JP 2006-058352 A (カシオ計算機株式会社) 02.03.2006 (2006-03-02)<br>全文、全図 | 1-21 |
| A | US 2014/0159008 A1 (LG DISPLAY CO., LTD.) 12.06.2014 (2014-06-12)<br>全文、全図 | 1-21 |
| A | WO 2018/043643 A1 (シャープ株式会社) 08.03.2018 (2018-03-08)<br>全文、全図 | 1-21 |
| A | WO 2017/150443 A1 (シャープ株式会社) 08.09.2017 (2017-09-08)<br>全文、全図 | 1-21 |
| A | WO 2016/188302 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 01.12.2016 (2016-12-01)<br>全文、全図 | 1-21 |

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| 14.03.2023 | 28.03.2023 |

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
小野　博之 2I 4072

電話番号 03-3581-1101 内線 3272

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/006440

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|---|---|---|---|
| JP 2019-165130 A | 26.09.2019 | US 2021/0005771 A1<br>全文、全図<br>WO 2019/181558 A1<br>CN 111868940 A | |
| JP 2019-165129 A | 26.09.2019 | CN 209471965 U<br>全文、全図 | |
| JP 2006-058352 A | 02.03.2006 | （ファミリーなし） | |
| US 2014/0159008 A1 | 12.06.2014 | KR 10-2014-0075937 A<br>全文、全図<br>CN 103872259 A | |
| WO 2018/043643 A1 | 08.03.2018 | US 2019/0221590 A1<br>全文、全図<br>CN 109690661 A | |
| WO 2017/150443 A1 | 08.09.2017 | US 2019/0172843 A1<br>全文、全図<br>CN 108713225 A | |
| WO 2016/188302 A1 | 01.12.2016 | US 2017/0132965 A1<br>全文、全図<br>CN 104835451 A | |