



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0023103  
(43) 공개일자 2013년03월07일

(51) 국제특허분류(Int. Cl.)  
*H03M 1/12* (2006.01)  
(21) 출원번호 10-2012-0091897  
(22) 출원일자 2012년08월22일  
심사청구일자 없음  
(30) 우선권주장  
13/215,803 2011년08월23일 미국(US)

(71) 출원인  
엘에스아이 코포레이션  
미국 캘리포니아주 95131, 새너제이, 라이더 파크  
드라이브 1320  
(72) 발명자  
베일리 제임스 에이  
미국 아리조나주 85937 스노우플라크 레이드헤드  
애비뉴 728  
아라빈드 나야크 라트나카르  
미국 펜실베니아주 18104 알렌타운 아파트먼트 에  
프 스프링하우스 로드 613  
하라트슈 에리히 에프  
미국 펜실베니아주 18017 베들레헴 바바리 스트리  
트 5105  
(74) 대리인  
제일특허법인

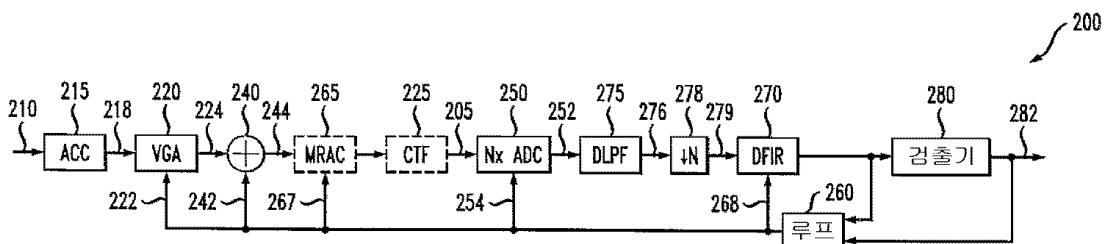
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 오버 샘플링된 아날로그-디지털 변환을 갖는 판독 채널

### (57) 요 약

오버샘플링된 아날로그-디지털 변환을 사용하여 판독 채널 내의 신호를 프로세싱하기 위한 방법 및 장치가 제공된다. 오버샘플링된 아날로그-디지털 변환이 소정의 비트 간격에 대해 아날로그 입력 신호에 대응하는 복수의 디지털 샘플을 생성하기 위해 아날로그 입력 신호에 수행된다. 데이터 검출 알고리즘이 이어서 디지털 샘플의 하나 이상에 적용되어 검출된 출력력을 얻을 수 있다. 오버샘플링된 아날로그-디지털 변환은 등화 및/또는 필터링 프로세스의 적어도 일부를 디지털 도메인에 전달함으로써 아날로그 디자인을 간단화한다.

### 대 표 도



## 특허청구의 범위

### 청구항 1

판독 채널 내의 신호를 프로세싱하기 위한 방법에 있어서,

아날로그 입력 신호를 얻는 단계와,

상기 아날로그 입력 신호에 오버샘플링된 아날로그-디지털 변환(oversampled analog to digital conversion)을 수행하여 소정의 비트 간격에 대해 상기 아날로그 입력 신호에 대응하는 복수의 디지털 샘플을 생성하는 단계와,

상기 디지털 샘플 중 하나 이상에 데이터 검출 알고리즘을 수행하여 검출된 출력을 얻는 단계를 포함하는

판독 채널 내의 신호를 프로세싱하기 위한 방법.

### 청구항 2

제 1 항에 있어서,

연속적인 시간 도메인에서 상기 아날로그 입력 신호를 필터링하고 상기 오버샘플링에 대응하는 레이트에서 상기 디지털 샘플의 하나 이상을 필터링하는 단계를 더 포함하는

판독 채널 내의 신호를 프로세싱하기 위한 방법.

### 청구항 3

제 1 항에 있어서,

보 레이트(baud rate)에서 상기 디지털 샘플 중 적어도 하나를 필터링하고 상기 오버샘플링에 대응하는 레이트에서 상기 디지털 샘플 중 적어도 하나를 필터링하는 단계를 더 포함하는

판독 채널 내의 신호를 프로세싱하기 위한 방법.

### 청구항 4

제 1 항에 있어서,

자기저항 비대칭(magneto-resist asymmetric: MRA) 보정 필터를 사용하여 필터링하는 단계를 더 포함하는

판독 채널 내의 신호를 프로세싱하기 위한 방법.

### 청구항 5

제 1 항에 있어서,

상기 아날로그 입력 신호는 상기 오버샘플링된 아날로그-디지털 변환에 앞서 대역외 노이즈를 감소시키는 저역 통과 코너 주파수를 포함하는 가변 이득 증폭기를 사용하여 필터링되는

판독 채널 내의 신호를 프로세싱하기 위한 방법.

### 청구항 6

아날로그 입력 신호를 디지털 신호로 변환하기 위한 오버샘플링된 아날로그-디지털 컨버터 - 상기 디지털 신호

는 소정의 비트 간격에 대해 상기 아날로그 입력 신호에 대응하는 복수의 디지털 샘플을 포함함 - 와,  
 상기 디지털 샘플의 하나 이상에 데이터 검출 알고리즘을 수행하여 검출된 출력을 얻기 위한 데이터 검출기를  
 포함하는  
 판독 채널.

#### 청구항 7

제 6 항에 있어서,

연속적인 시간 도메인에서 상기 아날로그 입력 신호를 필터링하기 위한 아날로그 필터 및 상기 오버샘플링에 대  
 응하는 레이트에서 상기 디지털 샘플의 하나 이상을 필터링하기 위한 디지털 필터를 더 포함하는  
 판독 채널.

#### 청구항 8

제 6 항에 있어서,

자기저항 비대칭(magneto-resist asymmetric: MRA) 보정 필터를 더 포함하는  
 판독 채널.

#### 청구항 9

제 6 항에 있어서,

소정의 단위 간격에 대해 상기 복수의 디지털 샘플을 필터링하기 위한 분할 간격 디지털 유한 임펄스 응답 필터  
 (fractionally spaced digital finite impulse response filter)를 더 포함하는  
 판독 채널.

#### 청구항 10

아날로그 입력 신호를 디지털 신호로 변환하기 위한 오버샘플링된 아날로그-디지털 컨버터 - 상기 디지털 신호  
 는 소정의 비트 간격에 대해 상기 아날로그 입력 신호에 대응하는 복수의 디지털 샘플을 포함함 - 와,  
 상기 디지털 샘플의 하나 이상에 데이터 검출 알고리즘을 수행하여 검출된 출력을 얻기 위한 데이터 검출기를  
 포함하는  
 접적 회로.

### 명세서

#### 기술 분야

##### 관련 출원의 상호 참조

[0001] 본 발명은 발명의 명칭이 "대응 아날로그 버전을 위한 디지털 저역 통과 필터 제공 컷오프 및 부스트값에 대한 계수의 결정(Determining Coefficients for Digital Low Pass Filter Given Cutoff and Boost Values For Corresponding Analog Version)"인 미국 특허 출원, 발명의 명칭이 "선택적 오버샘플링된 아날로그-디지털 변환을 갖는 판독 채널(Read Channel With Selective Oversampled Analog to Digital Conversion)"인 미국 특허 출원 및 발명의 명칭이 "오버샘플링된 아날로그-디지털 변환 및 병렬 데이터 검출기를 갖는 판독 채널(Read Channel With Oversampled Analog to Digital Conversion and Parallel Data Detectors)"인 미국 특허 출원에 관한 것이고, 이들 각각은 본 출원과 동일자로 출원되었고 본 명세서에 참조로서 포함되어 있다.

### **[0003] 발명의 분야**

[0004] 본 발명은 일반적으로 판독 채널에 관한 것으로서, 더 구체적으로는 오버샘플링된 아날로그-디지털 변환을 사용하는 개량된 판독 채널에 관한 것이다.

### **배경기술**

[0005] 자기 기록 판독 채널은 아날로그 판독 신호를 자기 매체 상에 기록된 사용자 데이터의 추정치로 변환한다. 판독 채널 및 자기 매체는 노이즈 및 다른 왜곡을 판독 신호에 도입한다. 예를 들어, 자기 기록에 있어서 정보 밀도가 증가함에 따라, 심벌간 간섭(ISI)이 더 심각해진다(즉, 채널 임펄스 응답이 더 길어짐). ISI는 하나의 심벌이 하나 이상의 다른 심벌과 간섭하는 신호 왜곡의 형태이다.

[0006] 통상의 판독 채널에서, 연속 시간 필터(CTF)는 통상적으로 아날로그 도메인의 판독 신호를 프로세싱하여 앤티앨리어스(anti-alias) 필터링을 수행하고, 대역 제한 필터링을 프로세싱하여 전자 노이즈를 감소시키고, 신호 정형(signal shaping) 필터링을 프로세싱하여 ISI를 감소시킨다. 일반적으로, 앤티앨리어스 필터링은 앤리어싱을 회피하기 위해 나이퀴스트(Nyquist) 주파수[보 레이트(baud rate) 주파수의 절반에 대응함]를 초과하는 노이즈 및 잔류 신호 성분을 제거한다. 아날로그-디지털 컨버터(ADC)가 일반적으로 CTF 출력을 프로세싱하여 디지털 도메인의 추가의 프로세싱을 위해 디지털 샘플을 생성한다. 비터비(Viterbi) 검출기가 종종 심벌간 간섭 및 다른 노이즈의 존재 하에서 디지털 샘플을 프로세싱하고 기록된 데이터 비트를 검출하기 위해 판독 채널에 사용된다.

### **발명의 내용**

#### **해결하려는 과제**

[0007] 프로세스 기술이 더 소형이 되고 데이터 레이트가 증가함에 따라, 판독 채널의 요구 성능 사양에 부합하는 CTF 필터와 같은 아날로그 회로를 구축하는 것이 점점 더 과제가 되고 있다. 따라서, 아날로그 도메인으로부터 디지털 도메인으로 신호 프로세싱 부담의 부분을 전달하여 이에 의해 아날로그 회로 디자인을 간단화하는 개량된 판독 채널에 대한 요구가 존재한다. 판독 채널 디바이스의 신호 대 노이즈비(SNR) 및 에러율 성능을 향상시키는 다른 요구가 존재한다. 따라서, 더 복잡한 신호 프로세싱 기술이 디지털 도메인에서 적용될 수 있게 하는 개량된 판독 채널에 대한 요구가 존재한다.

#### **과제의 해결 수단**

[0008] 일반적으로, 오버샘플링된 아날로그-디지털 변환을 사용하여 판독 채널 내의 신호를 프로세싱하기 위한 방법 및 장치가 제공된다. 개시된 오버샘플링된 아날로그-디지털 변환이 등화 및/또는 필터링 프로세스의 적어도 일부를 디지털 도메인에 전달함으로써 아날로그 디자인을 간단화한다. 본 발명의 일 양태에 따르면, 판독 채널 내의 신호를 프로세싱하기 위한 방법이 제공된다. 오버샘플링된 아날로그-디지털 변환은 소정의 비트 간격에 대해 아날로그 입력 신호에 대응하는 복수의 디지털 샘플을 생성하기 위해 아날로그 입력 신호에 수행된다. 데이터 검출 알고리즘이 이어서 디지털 샘플의 하나 이상에 적용되어 검출된 출력을 얻을 수 있다.

[0009] 아날로그 입력 신호는 선택적으로 아날로그 자기저항 비대칭(MRA) 보정 필터를 사용하여 필터링될 수 있고 또는 디지털 샘플이 선택적으로 디지털 MRA 보정 필터를 사용하여 필터링될 수 있다. 아날로그 입력 신호는 또한 선택적으로 예를 들어 오버샘플링된 아날로그-디지털 변환에 앞서 대역외 노이즈를 감소시키는 저역 통과 코너 주파수를 포함하는 가변 이득 증폭기를 사용하여 필터링될 수 있다.

[0010] 다른 변형예에서, 소정의 단위 간격에 대한 복수의 디지털 샘플은 분할 디지털 무한 임펄스 응답(FIR) 필터에 적용된다. 분할 디지털 FIR 필터는 소정의 단위 간격에 대한 복수의 디지털 샘플을 단일의 디지털 샘플에 다운 샘플링하기 위한 수단을 추가로 포함할 수 있다.

[0011] 검출된 출력은 하나 이상의 피드백 루프에 적용된다. 예를 들어, 피드백 루프는 (i) 아날로그-디지털 컨버터에 의해 사용된 샘플링 기간을 적응적으로 조정하는 디지털 위상 동기 루프 회로, (ii) 수신된 아날로그 입력으로부터 임의의 DC 오프셋을 적응적으로 조정하는 오프셋 회로, (iii) 수신된 아날로그 입력 신호를 전처리하는데 있어서 사용되는 이득을 적응적으로 조정하는 이득 계산 회로 및 (iv) 디지털 MRA 보정 필터에 대해 피드백값을 생성하기 위한 하나 이상의 회로 및 디지털 유한 임펄스 응답(FIR) 필터에 대한 등화기 계수의 세트 중 하나 이상을 포함할 수 있다.

[0012] 복수의 디지털 샘플은 소정의 비트 간격에 대한 단일의 디지털 샘플을 생성하도록 다운샘플링될 수 있다. 다운샘플링은 디지털 저역 통과 필터를 추가로 포함하는 통합 디바이스에 의해 선택적으로 수행될 수 있다.

[0013] 본 발명, 뿐만 아니라 본 발명의 다른 특징 및 장점의 더 완전한 이해는 이하의 상세한 설명 및 도면을 참조하여 얻어질 수 있을 것이다.

### 도면의 간단한 설명

- [0014] 도 1은 다양한 피드백 루프를 포함하는 예시적인 통상의 데이터 검출 시스템을 도시하는 도면.
- 도 2a는 본 발명의 다양한 양태를 채택하는 예시적인 데이터 검출 시스템을 도시하는 도면.
- 도 2b는 도 2a의 가변 이득 증폭기의 입력에서 신호 및 노이즈의 파워 스펙트럼 밀도를 도시하는 도면.
- 도 2c는 주파수의 함수로서 도 2a의 제한된 대역폭 가변 이득 증폭기의 출력에서 신호 및 노이즈의 파워 스펙트럼 밀도를 도시하는 도면.
- 도 2d는 양자화 노이즈를 갖지 않는 ADC에 대해, 주파수의 함수로서 도 2a의 오버샘플링된 ADC의 출력에서 신호 및 노이즈의 파워 스펙트럼 노이즈를 도시하는 도면.
- 도 2e 및 도 2f는 주파수의 함수로서 도 2a의 DLPF의 출력 및 다운샘플러에서 신호, 노이즈 및 ADC 양자화 노이즈의 파워 스펙트럼 밀도를 각각 도시하는 도면.
- 도 3a 및 도 3b는 도 2a의 DLPF에 대한 필터 계수를 결정하기 위한 예시적인 기술을 도시하는 도면.
- 도 3c는 도 2a의 DLPF 및 다운샘플러의 통합된 버전의 예시적인 구현예를 도시하는 도면.
- 도 4는 디지털 MRA 보정 필터를 채택하는 대안적인 예시적인 데이터 검출 시스템을 도시하는 도면.
- 도 5a 및 도 5b는 각각 도 2a 및 도 4의 예시적인 아날로그 및 디지털 MRA 보정 블록 각각의 블록 다이어그램.
- 도 6은 분할 디지털 무한 유한 임펄스 응답(DFIR) 필터를 채택하는 대안의 예시적인 데이터 검출 시스템을 도시하는 도면.
- 도 7은 도 6의 예시적인 분할 DFIR 등화기(equalizer)의 블록 다이어그램.
- 도 8은 도 6의 예시적인 데이터 검출 시스템에서 도 7의 예시적인 분할 DFIR 등화기와 함께 사용될 수 있는 예시적인 검출기의 블록 다이어그램.
- 도 9a 및 도 9b는 예시적인 최소 평균 제곱(LMS) 적응 알고리즘 및 예시적인 제로 포싱(zero-forcing: ZF) 알고리즘을 각각 도시하는 도면.
- 도 10은 데이터 검출 시스템 및 분할 등화의 모든 요소를 위한 풀 오버샘플링을 채택하는 대안의 예시적인 데이터 검출 시스템을 도시하는 도면.
- 도 11은 본 발명의 다양한 실시예에 따른 저장 시스템을 도시하는 도면.
- 도 12는 본 발명의 하나 이상의 실시예에 따른 수신기를 포함하는 통신 시스템을 도시하는 도면.

### 발명을 실시하기 위한 구체적인 내용

[0015] 본 발명은 비트 기간당 복수의 디지털 샘플을 생성하는 오버샘플링된 ADC를 제공한다. 이 방식으로, CTF 회로는 안티엘리어스 및 노이즈 대역 제한 필터링 및/또는 등화 프로세스의 적어도 일부를 디지털 도메인에 전달함으로써 간단화될 수 있다. 오버샘플링된 ADC는 필터링 및/또는 등화의 일부가 아날로그 도메인에서 수행되게

할 수 있고, 필터링 및/또는 등화의 일부가 디지털 도메인에서 수행될 수 있게 한다. 예를 들어, 대역외 노이즈를 감소시키기 위한 대역 제한 필터링 및 심벌간 간섭을 보상하기 위한 펠스 형상 필터링이 이제 디지털 도메인에서 수행될 수 있다.

[0016] 도 1은 다양한 피드백 루프를 포함하는 예시적인 통상의 데이터 검출 시스템(100)을 도시한다. 데이터 검출 시스템(100)은 AC 커플링(115)을 경유하여 아날로그 입력 신호(110)를 수신하는 아날로그 프론트 엔드(AFE)를 포함한다. 예를 들어, 입력 신호(110)가 자기 저장 매체로부터 감지되는 자기 신호인 경우에, AC 커플링(115)은 감지된 자기장을 대응 아날로그 전기 신호로 변환하는 것이 가능한 회로를 포함할 수 있다.

[0017] AC 커플링(115)의 출력은 가변 이득 증폭기(120)를 사용하여 증폭된다. 가변 이득 증폭기(120)에 의해 인가된 이득은 이득 계산 회로(130)에 의해 제공되는 이득 피드백값(122)에 의해 지배된다. 이득 계산 회로(130)는 입력 에러 신호에 기초하여 가변 이득 출력을 제공하는 것이 가능한 당 기술 분야에 공지된 임의의 회로일 수 있다.

[0018] 증폭된 입력(124)은 합산 요소(140)를 사용하여 오프셋값(142)과 합산된다. 오프셋값(142)은 오프셋 회로(195)에 의해 제공된다. 합(144)은 전술된 바와 같이, 수신된 아날로그 신호로부터 바람직하지 않은 노이즈를 필터링하도록 동작하는 연속 시간 필터(CTF)(125)에 제공된다. 연속 시간 필터(125)는 아날로그 입력 신호(110)를 표현하는 데이터 입력(105)을 제공한다. 연속 시간 필터(125)는 수신된 아날로그 신호로부터 노이즈를 감소시키거나 제거하는 것이 가능한 당 기술 분야에 공지된 임의의 필터일 수 있다. 예를 들어, 연속 시간 필터(125)는 신호로부터 고주파수 노이즈를 감소시키거나 제거하는 것이 가능한 저역 통과 필터일 수 있다. 당 기술 분야의 숙련자에게 명백할 수 있는 바와 같이, 다양한 필터 및 필터 아키텍처가 본 발명의 상이한 실시예에 따라 사용될 수 있다.

[0019] 데이터 입력(105)은 연속적인 아날로그 신호를 일련의 대응 디지털 샘플(152)로 변환하는 아날로그-디지털 컨버터(ADC)(150)에 제공된다. 디지털 샘플(152)은 디지털 위상 동기 루프 회로(160)에 의해 수신된 데이터에 기초하여 생성된 클럭 신호(154)에 따라 얻어진다. 디지털 샘플(152)은 필터링된 출력(172)을 데이터 검출기(180)에 제공하는 디지털 필터(170)에 제공된다. 디지털 필터(170)는 당 기술 분야에 공지된 바와 같이, 예를 들어 디지털 유한 임펄스 응답 필터로서 실시될 수 있다. 데이터 검출기(180)는 합산 요소(190)를 사용하여 대응 디지털 샘플(152)로부터 감산된 이상적인 출력(182)을 제공한다. 데이터 검출기(180)는 비터비 알고리즘 데이터 검출기와 같은 임의의 공지의 데이터 검출기 회로일 수 있다.

[0020] 합산 요소(190)의 최종 출력은 디지털 위상 동기 루프 회로(160), 오프셋 회로(195) 및 이득 계산 회로(130)를 구동하는데 사용되는 에러 신호(184)이다.

[0021] 예시적인 데이터 검출 시스템(100)은 3개의 적응성 피드백 루프를 이용한다. 제 1 루프는 디지털 위상 동기 루프 회로(160)를 포함하고, 아날로그-디지털 컨버터(150)에 의해 사용된 샘플링 기간을 샘플 데이터 입력(105)에 적응식으로 조정하도록[즉, 클럭 신호(154)의 위상 및/또는 주파수를 조정] 동작 가능하다. 제 2 루프는 수신된 아날로그 입력으로부터 임의의 DC 오프셋을 적응식으로 조정하도록 사용되는 오프셋 회로(195)를 포함한다. 제 3 루프는 수신된 아날로그 입력 신호를 전처리하는데 사용되는 이득을 적응식으로 조정하는데 사용되는 이득 계산 회로(130)를 포함한다.

[0022] 예시적인 통상의 데이터 검출 시스템(100)은 예를 들어 CTF(125) 이전에 자기저항 비대칭(MRA) 보정 필터(도 1에는 도시되지 않음)를 또한 포함할 수 있다. 일반적으로, 자기 기록을 위해 사용되는 자기저항(MR) 헤드는 비선형 전달 함수를 나타낸다. 이상적으로, 헤드로부터의 출력 전류(들)는 판독되는 자기 플렉스(x)에 선형적으로 관련된다. 그러나, 대부분의 헤드는 2차 비선형성을 나타내고, 그 결과 출력 전류는  $s = kx + ax^2$ 으로서 표현되고, 여기서 k는 스케일링 팩터이고, a는 헤드 내의 비선형성의 레벨을 제어한다. 이 현상은 헤드 내의 MR 비대칭(MRA)이라 칭한다. 통상의 판독 채널에서, 아날로그부는 도 5a와 함께 이하에 더 설명되는 바와 같이, 헤드 출력을 선형화하는데 필요한 역전달 함수를 근사하는 MRA 보정(MRAC) 블록을 가질 수 있다.

[0023] 전술된 바와 같이, 본 발명은 신호 프로세싱 부담의 일부가 아날로그 도메인[도 1의 ADC(150) 이전의]으로부터 디지털 도메인으로 전달될 수 있다는 것을 인식한다. 본 발명의 일 양태에 따르면, 오버샘플링된 ADC는 비트 기간당 복수의 디지털 샘플을 생성한다. 다른 이익 중에서, 오버샘플링된 디지털 샘플은 CT 회로 디자인이 등화 프로세스의 적어도 일부를 디지털 도메인으로 전달함으로써 간단화될 수 있게 한다.

[0024] 도 2a는 본 발명의 다양한 양태를 채택하는 예시적인 데이터 검출 시스템(200)을 도시한다. 데이터 검출 시스템(200)은 도 1의 통상의 데이터 검출 시스템(100)과 유사한 방식으로 AC 커플링(215)을 경유하여 아날로그 입

력 신호(210)를 수신하는 아날로그 프론트 엔드(AFE)를 구비한다. 게다가, AC 커플링(215)의 출력은 도 1과 유사한 방식으로, 피드백 루프(260)에 의해 제공된 이득 피드백값(222)에 의해 지배되는 가변 이득 증폭기(220)를 사용하여 증폭된다. 가변 이득 증폭기(220)의 출력은 도 2b 및 도 2c와 관련하여 이하에 더 설명된다. 증폭된 입력(224)은 합산 요소(240)를 사용하여 오프셋값(242)과 합산된다. 오프셋값(242)은 도 1과 유사한 방식으로 피드백 루프(260)에 의해 제공된다.

[0025] 도 2a에 도시된 바와 같이, 합(244)은 도 5a와 관련하여 이하에 더 설명되는 바와 같이, 판독 헤드의 출력을 선형화하기 위해 필요한 역전달 함수를 근사하는 선택적 MRA 보정 필터(265)에 제공된다. MRA 보정 필터(265)의 출력은 전술된 바와 같이 수신된 아날로그 신호로부터 바람직하지 않은 노이즈를 필터링하도록 동작할 수 있는 선택적 CTF(225)에 인가된다. 본 발명의 일 양태에 따르면, CTF(225)는 디지털 도메인에 등화 프로세스의 적어도 일부를 전달함으로써 간단화된다. 예를 들어, 일 실시예에서, CTF(225)는 안티앨리어싱 필터링 및 전자 노이즈의 부분 대역 제한 필터링을 수행한다. 본 발명은 도 2f와 관련하여 이하에 더 설명되는 바와 같이, 전자 노이즈의 부가의 대역 제한 필터링, 뿐만 아니라 ISI를 감소시키기 위한 신호 정형 필터링이 디지털 도메인에서 더 양호하게 수행될 수 있다는 것을 인식한다. CTF(225)를 위한 적합한 전달 함수[H(s)]는 표제가 "디지털 LPF를 위한 계수의 결정"인 섹션에서 이하에 제공되고, 여기서 문자 스테이지는 제로를 지시하고 분모는 극을 지시한다.

[0026] CTF(225)는 아날로그 입력 신호(210)를 표현하는 데이터 입력(205)을 제공한다. CTF(225)는 수신된 아날로그 신호로부터 노이즈를 감소시키거나 제거하는 것이 가능한 당 기술 분야에 공지된 임의의 필터일 수 있다. 다양한 필터 및 필터 아키텍처가 당 기술 분야의 숙련자에게 명백할 수 있는 바와 같이, 본 발명의 상이한 실시예에 따라 사용될 수 있다.

[0027] 데이터 입력(205)은 연속적인 아날로그 신호(205)를 각각의 비트 간격에 대해 복수의(N개) 대응 디지털 샘플(252)로 변환하는 오버샘플링된 ADC(250)에 제공된다. 예를 들어, 오버샘플링은 각각의 비트 간격에 대해 N=2 또는 N=4개의 디지털 샘플(252)을 생성할 수 있다. 본 발명이 N=4의 예시적인 오버샘플링 레이트를 사용하여 본 명세서에 예시되지만, 당 기술 분야의 숙련자에게 명백할 수 있는 바와 같이, 임의의 오버샘플링 레이트가 이용될 수 있다. 일반적으로, 오버샘플링 레이트는 1보다 큰 임의의 정수 또는 분수배일 수 있다.

[0028] 디지털 샘플(252)은 도 1과 관련하여 전술된 바와 같이, 예를 들어 루프(260) 내의 디지털 위상 동기 루프 회로에 의해 수신된 데이터 기초하여 생성된 클럭 신호(254)에 따라 얻어진다.

[0029] 오버샘플링된 디지털 샘플(252)은 이어서 도 3a 내지 도 3c와 관련하여 이하에 더 설명되는 디지털 저역 통과 필터(DLPF)(275)에 의해 필터링된다. 일반적으로, DLPF(275)는 본 발명에 따르면, 전자 노이즈의 부가의 대역 제한 필터링, 뿐만 아니라 ISI를 감소시키기 위한 신호 정형 필터링을 수행한다.

[0030] 도 2a의 예시적인 실시예에서, DLPF(275)에 의해 생성된 필터링된 출력(276)은 이어서 다운샘플링 회로(278)에 의해 보 레이트로 다운샘플링된다. 도 3c와 관련하여 이하에 더 설명되는 바와 같이, DLPF(275) 및 다운샘플링 회로(278)는 선택적으로 단일 회로로서 구현될 수 있다. 다운샘플링 회로(278)에 의해 생성된 다운샘플링된 출력(279)은 각각의 비트 간격에 대한 단일 디지털 샘플을 포함한다. 다운샘플링된 출력(279)은 도 1과 유사한 방식으로 데이터 검출기(280)에 필터링된 출력을 제공하는 디지털 FIR 필터(270)(DFIR)에 제공된다. 비터비 알고리즘 데이터 검출기와 같은 데이터 검출기(280)는 피드백 루프(260)에 의해 프로세싱되는 이상적인 출력(282)을 제공한다. 데이터 검출기(280)는 임의의 공지된 데이터 검출기 회로일 수 있다. 예시적인 데이터 검출기(680)가 도 8과 관련하여 이하에 더 설명된다.

[0031] 피드백 루프(260)는 예를 들어 도 1과 유사한 방식으로 이득 피드백값(222), 오프셋값(242) 및 클럭 신호(254)를 각각 생성하는 도 1의 이득 계산 회로(130), 오프셋 회로(195) 및 디지털 위상 동기 루프 회로(160)를 포함할 수 있다.

[0032] 게다가, 피드백 루프(260)는 도 5a와 관련하여 이하에 더 설명되는 바와 같이 공지된 방식으로 MRA 보정 필터(265)에 대한 피드백값(267)과, 도 9a 및 도 9b와 관련하여 이하에 더 설명되는 바와 같이 DFIR 필터(270)에 대한 등화기 계수(268)의 세트를 생성한다.

[0033] 이하에 설명되는 바와 같이, 도 2b 내지 도 2f는 예시적인 데이터 검출 시스템(200) 내의 다양한 점에서 다양한 파워 스펙트럼 밀도를 도시한다. 전자 기기 및 ADC 양자화 노이즈가 예로서 도시되어 있지만, 당 기술 분야의 숙련자에게 명백할 수 있는 바와 같이, 설명은 VGA(218)로의 입력에서 제공되는 임의의 다른 노이즈 구성 요소에 대한 파워 스펙트럼 밀도에 적용될 것이다.

- [0034] 도 2b는 다양한 이득 증폭기(220)의 입력에서 신호(218) 및 노이즈(287)의 파워 스펙트럼 밀도를 도시하고, 여기서 fbaud는 보 레이트 주파수이고 fnyq는 나이퀴스트 주파수(보 레이트 주파수의 절반임)이다. 일반성의 손실 없이, 파워 스펙트럼 밀도는 도 2b에서 이상화된다. 통상적으로, 데이터 전달 신호(218)는 0으로부터 최대 나이퀴스트 주파수(fnyq)까지의 나이퀴스트 대역 내의 상당한 파워 밀도 성분을 가질 것이고, 노이즈(287)는 임의의 주파수에서 존재할 수 있다. 예시의 목적으로, 통상적으로 백색이고 모든 주파수를 가로질러 일정한 전자 노이즈(287)가 도 2b에 도시되어 있다. 실제 신호(218)는 또한 다른 주파수 특징을 갖는 노이즈 소스를 포함할 수 있다.
- [0035] 가변 이득 증폭기(220)의 출력에서 신호(224) 및 노이즈(287)의 파워 스펙트럼 밀도는, 가변 이득 증폭기가 신호 정형 또는 대역 제한 필터링을 수행하면[즉, 가변 이득 증폭기(220)가 고대역폭을 가지면] 도 2b와 유사할 수 있을 것이다.
- [0036] 도 2c는 주파수의 함수로서 도 2a의 가변 이득 증폭기(220)의 출력에서 신호(224) 및 노이즈(287)의 파워 스펙트럼 밀도를 도시하고, 여기서 가변 이득 증폭기(220)는 제한된 대역폭을 갖는다. 예시적인 실시예에서, 가변 이득 증폭기(220)는 최대 대략 보드 레이트 주파수(fbaud) 및 대략 보 레이트 주파수에서 저역 통과 코너 주파수까지의 주파수를 커버하는 통과대역을 갖는 저역 통과 필터 전달 함수를 갖는다. 이 경우에, 예시적인 가변 이득 증폭기(220)는 최대 보 레이트 주파수(fbaud)까지의 왜곡 및 보 레이트 주파수를 초과하는 컷오프 노이즈(287) 없이 아날로그 신호(224)를 유지해야 한다. 대안 실시예에서, CTF(225)는 가변 이득 증폭기(220) 대신에 저역 통과 필터링 기능을 수행하고, 또는 저역 통과 필터링 기능은 가변 이득 증폭기(220)와 CTF(225) 사이에 분배된다.
- [0037] 일반적으로, 이 저역 통과 필터링의 저역 통과 코너 주파수는 나이퀴스트 주파수와 오버샘플링 주파수의 절반 사이의 어딘가에 있어야 하고, 이 오버샘플링 주파수는 예시적인 실시예에서 보 레이트 주파수의 4배이다. 저역 통과 필터 코너 주파수는 오버샘플링 ADC(250)의 출력에서 신호 및 노이즈 성분의 앤리어싱을 회피하기 위해 오버샘플링 주파수의 절반보다 크지 않아야 한다. 아날로그 가변 이득 증폭기(220) 또는 CTF(225)의 구현 복잡성을 감소시키기 위해 보 레이트 주파수에서와 같은 나이퀴스트 주파수를 초과하는 저역 통과 코너 주파수를 선택하는 것이 유리하다. 이 경우에, 저역 통과 코너 주파수에서의 전달 함수의 롤오프(rolloff)는 통상의 보 레이트 시스템에서와 같은 가파르게 설계될 필요는 없다.
- [0038] 도 2d는 양자화 노이즈를 갖지 않는 ADC(즉, 무한 정밀도를 갖는 이상적인 ADC)에 대해 주파수의 함수로서, 도 2a의 오버샘플링된 ADC(250)의 출력에서 신호(252) 및 노이즈(287)의 파워 스펙트럼 밀도를 도시한다. 오버샘플링에 기인하여, 보 레이트 주파수의 4배(4x)에서 노이즈(287)의 노이즈 밀도(287a, 287b) 및 신호(252)의 의사 카페(252a, 252b)가 존재한다. 도 2d에 도시된 바와 같이, 의사 카페(252a, 252b, 287a, 287b)는 오버샘플링비가 예시적인 실시예에서 4이기 때문에 양면이고 대략 4fbaud로 센터링된다. 신호(252) 및 노이즈(287)의 부가의 양면 의사 카페가 8x 및 16x와 같은 4x의 다른 배수에서 존재하고, 이들 의사 카페는 용이한 예시를 위해 도 2d에 도시되어 있지 않다. 일반적으로, N의 오버샘플링비에서, 양면 의사 카페는 Nfbaud, 2Nfbaud 및 3Nfbaud와 같은 보 레이트 주파수의 N배의 배수에서 발생한다. 유한 정밀도 ADC에 대해, ADC 양자화 노이즈가 또한 존재할 수 있다는 것이 주목된다.
- [0039] 도 2e는 주파수의 함수로서 도 2a의 DLPF(275)의 출력에서 신호(276), 노이즈(287) 및 ADC 양자화 노이즈(289)의 파워 스펙트럼 밀도를 도시한다. 오버샘플링에 기인하여, 당 기술 분야의 숙련자에게 명백할 수 있는 바와 같이, 보 레이트 주파수의 4배(4x)에서 신호(276)의 의사 카페(276a, 276b), 노이즈 밀도(287)의 의사 카페(287a, 287b) 및 ADC 양자화 노이즈(289)의 의사 카페(289a, 289b)가 존재하지만, 용이한 예시를 위해 도 2e에는 도시되어 있지 않다. 도 2e에 도시된 바와 같이, 의사 카페(276a, 276b, 287a, 287b, 289a, 289b)는 오버샘플링비가 예시적인 실시예에서 4이기 때문에 양면이고 대략 4fbaud로 센터링된다. DLPF는 대략 나이퀴스트 주파수에서 저역 통과 코너 주파수를 구현하기 때문에, 신호(276), 노이즈(287) 및 ADC 양자화 노이즈(289)의 파워 스펙트럼 밀도는 대역 제한되고 제로와 약 fnyq 사이에서 비례로이다. 또한, 의사 카페(276a, 276b, 287a, 287b)는 이 대역 제한을 반영한다. 신호(276), 노이즈(287) 및 ADC 양자화 노이즈(289)의 부가의 양면 의사 카페는 8x 및 16x와 같은 보 레이트 주파수의 4x의 다른 배수에 존재하고, 이들 의사 카페는 도 2e에는 도시되어 있지 않다.
- [0040] 도 2f는 주파수의 함수로서 도 2a의 다운샘플러(278)의 출력에서 신호(279), 노이즈(287) 및 ADC 양자화 노이즈(289)의 파워 스펙트럼 밀도를 도시하고, 여기서 다운샘플러(278)는 신호(노이즈 성분을 포함함)를 보 레이트로 다운샘플링한다. 보 레이트로의 다운샘플링에 기인하여, 당 기술 분야의 숙련자에게 명백할 수 있는 바와

같이, 보 레이트 주파수의 다양한 배수에서 신호(276)의 의사 카피(279a, 279b), 노이즈 밀도(287)의 의사 카피(288a, 288b) 및 ADC 양자화 노이즈(289)의 의사 카피(290a, 290b)가 존재하지만, 용이한 예시를 위해 도 2f에는 도시되어 있지 않다. 도 2f에 도시된 바와 같이, 의사 카피(279a, 279b, 288a, 288b, 290a, 290b)는 양면이고 대략 보 레이트 주파수(fbaud)로 센터링된다. 다운샘플링에 앞서 DLPF로의 저역 통과 필터링에 기인하여, 도 2d와 관련하여 전술된 바와 같이, 신호(279), 노이즈(287) 및 ADC 양자화 노이즈(289)의 파워 스펙트럼 밀도는 대역 제한되고 제로와 약 fnyq 사이에서 비례로이다. 또한, 의사 카피(279a, 279b, 288a, 288b)(및 모든 다른 의사 카피)는 이 대역 제한을 반영하고, 어떠한 앤리어싱도 그 결과로서 다운샘플링 후에 발생하지 않는다.

[0041] 전술된 바와 같이, 예시적인 DLPF(275)는 본 발명에 따르면, 안티앨리어스 필터링, 전자 노이즈(및 다른 노이즈 성분)의 대역 제한 필터링 및 ISI를 감소시키기 위한 신호 정형 필터링을 수행할 수 있다.

[0042] 일반적으로, 안티앨리어스 필터링은 다운샘플러(278)의 출력에서 앤리어싱을 회피하기 위해 나이퀴스트 주파수를 초과하는 노이즈 및 임의의 잔류 신호 성분을 제거한다. 따라서, DLPF(275)는 대략 나이퀴스트 주파수(fnyq)에서 저역 통과 코너 주파수를 가져야 한다.

[0043] VGA(220) 및/또는 CTF(225)는 오버샘플링된 ADC(250)의 출력에서 앤리어싱을 회피하기 위해 안티앨리어스 및 대역 제한 필터링을 수행할 것이고, DLPF(275)는 다운샘플러(278)의 출력에서 안티앨리어싱을 회피하기 위해 안티앨리어스 및 대역 제한 필터링을 수행할 것이다. VGA(220) 및/또는 CTF(225)의 저역 통과 코너 주파수는 나이퀴스트 주파수와 오버샘플링 주파수의 절반 사이의 어딘가에 있어야 하고, 반면에 DLPF(275)의 저역 통과 코너 주파수는 대략 나이퀴스트 주파수에 있어야 한다. 본 발명은 오버샘플링된 시스템에 대해, 저역 통과 코너 주파수에서의 VGA(220) 또는 CTF(225)의 전달 함수의 기울기가 오버샘플링 없이 종래의 보 레이트 시스템에 비교하여 덜 가파를 수 있기 때문에, VGA(220) 또는 CTF(225)의 디자인이 덜 과제가 되는 것을 인식한다. 일반적으로, 오버샘플링비가 높을수록, 기울기가 덜 가파를 필요가 있다.

[0044] 도 2a 내지 도 2f에 도시된 예시적인 실시예에서, VGA(220)는 보 레이트 주파수를 초과하는 노이즈 및 원하지 않은 신호 성분을 제한하고, DLPF(275)는 나이퀴스트 주파수를 초과하는 노이즈 및 원하지 않는 신호 성분을 제한한다.

[0045] 선택적으로, VGA(220), CTF(225) 또는 DLPF(275)는 예를 들어 일부 또는 전체 심벌간 간섭을 제거하기 위해 신호를 등화하도록 부가의 신호 정형 필터링을 수행할 수 있다.

[0046] VGA(220)가 나이퀴스트 주파수와 오버샘플링 주파수의 절반 사이의 어딘가의 저역 통과 코너 주파수를 갖는 저역 통과 필터 기능을 구현하면, CTF(225)가 생략될 수 있다는 것이 주목된다.

[0047] 다른 변형예에서, CTF(225)는 오버샘플링 ADC(250)의 샘플링 주파수의 절반을 초과하는 노이즈를 감소시키기 위해 저역 통과 필터링을 수행할 수 있다. 예시적인 구현예에서, CTF(225)는 저역 통과 필터링을 구현하기 위해 전달 함수 내에 극만을 구현할 수 있다. 다른 변형예에서, CTF(225)는 선택적으로 예를 들어 소정의 고주파수 부스트를 제공함으로써 일부 폴스 정형 또는 등화를 수행할 수 있다. 예시적인 구현예에서, CTF(225)는 또한 고주파수 부스트를 제공하기 위해 전달 함수 내에 제로를 구현할 수 있다.

[0048] 전술된 바와 같이, CTF(225)에 대한 적합한 전달 함수[H(s)]는 표제가 "디지털 LPF를 위한 계수의 결정"인 이하의 섹션에서 이하에 제공된다.

#### 0049] 디지털 LPF를 위한 계수의 결정

[0050] 전술된 바와 같이, 예시적인 데이터 검출 시스템(200)은 DLPF(275)를 구비한다. 예시적인 실시예에서, DLPF(275)는 유한 임펄스 응답(FIR) 필터로서 구현된다. 또한, 무한 임펄스 응답(IIR) 필터와 같은 다른 공지의 디지털 필터 구조체가 사용될 수 있다. 도 3a 및 도 3b는 DLPF(275)의 FIR 구현의 필터 계수를 결정하기 위한 예시적인 기술을 도시한다. FIR 필터의 디자인 및 구현은 예를 들어 캐샵 케이. 파르히(Keshab K. Parhi)의 "VLSI Digital Signal Processing Systems: Design and Implementation"(1999년 1월 4일) 또는 존 지. 프로아키스(John G. Proakis) 및 디미트리스 케이. 마놀라키스(Dimitris K. Manolakis)의 "Digital Signal Processing"(제 4 판, 2006년 4월 7일)에서 발견될 수 있다.

[0051] 예시적인 DLPF(275)는 본 발명의 양태에 따라 통상의 판독 채널 내의 아날로그 도메인 내의 CTF에 의해 이전에 수행되었던 디지털 도메인에서 하나 이상의 필터 기능을 수행한다는 것을 재차 주목된다. 본 발명의 다른 양태에 따르면, DLPF(275)는 더 적은 자유도를 사용하여 프로그램된다. 적절한 필터링 능력을 제공하기 위해, 판독

채널 내의 전통적인 CTF(225)의 적어도 일부를 대체하는 디지털 필터는 다수의 텁을 가질 필요가 있고, 또한 각각의 텁 계수에 대한 광범위한 값을 지원할 필요가 있다. 따라서, 아날로그 CTF를 최적화하는 것에 비교하여 디지털 필터를 철저하게 최적화하는 것이 더 어렵다. 이를 돋기 위해, 본 발명은 아날로그 CTF(225)의 디지털 등가물에 DLPF(275)의 계수 공간을 맵핑하고 요구 필터 계수를 생성하기 위한 방법을 제공한다.

[0052] 이하에 설명되는 바와 같이, 디지털 DLPF(275)는 통상의 아날로그 CTF(225)와 유사한 방식으로 단지 2개의 자유도, 즉 컷오프 및 부스트만을 사용하여 최적화될 수 있다. 일반적으로, 컷오프 주파수는 전달 함수의 분모 섹션의 크기 응답이 DC에서 분모 섹션의 크기 응답보다 3 dB 미만인 주파수이다. 마찬가지로, 부스트는 컷오프 주파수에서 측정된 분자 섹션의 크기 응답 분포이다. 통상적으로, 부스트는 나이퀴스트 주파수에 근접한 고주파수에서 입력 파워의 증폭을 제공한다. 이는 입력 신호의 소정 등화를 제공한다.

[0053] 구체적으로, DLPF(275)는 통상의 보 레이트 시스템 내의 CTF의 이중선형 변환된 버전이 되도록 프로그램된다. 이 디지털 필터는 일반적으로 IIR(무한 임펄스 응답)이다. 유한 정밀도 상세를 고려하기 위해, DLPF(275)는 IIR 필터의 절단된 임펄스 응답에 이를 맵핑함으로써 FIR(무한 임펄스 응답)이 되도록 더 수정된다.

[0054] 일 예시적인 구현예에서, DLPF(275)는 사용자 지정된 컷오프값 및 부스트값을 사용하여 생성된다. 사용자 지정된 컷오프값 및 부스트값이 주어지면, 전달 함수[H(s)]는 이하와 같이 필터의 아날로그 버전에 대해 구성되고,

$$H(s) = \frac{\frac{s}{a\omega_0} + 1}{\frac{s^2}{\omega_0^2} + \frac{s}{1.086\omega_0} + 1} \times \frac{-\frac{s}{a\omega_0} + 1}{\frac{s^2}{\omega_0^2} + \frac{s}{1.086\omega_0} + 1} \times \frac{1}{\frac{s^2}{\omega_0^2} + \frac{s}{0.6031\omega_0} + 1}$$

[0055] 여기서,  $\omega_0$ 는 필터 컷오프 주파수이고, a는 제로 위치이고, s는 아날로그 주파수이다.

[0057] 그 후에, 절단 함수[H(s)]는 예시적인 이중선형 변환(300)을 사용하여 주파수 도메인 특징[H(z)]으로 변환된다. 도 3a에 도시된 바와 같이, 연속적인 시간 도메인으로부터 오버샘플링된 디지털 도메인으로의 예시적인 이중선형 변환(300)은 이하와 같이 표현될 수 있다.

$$s = \frac{2}{T_a} \left( \frac{1 - z^{-1}}{1 + z^{-1}} \right)$$

[0059] 일 예시적인 실시예에서, 예시적인 전달 함수[H(s)]로부터의 5개의 항(2개의 1차 분자항 및 3개의 2차 분모항)은 각각 이중선형 변환(300)에 개별적으로 적용되어 도 3b와 관련하여 이하에 더 설명되는 바와 같이, 다만 IIR 필터의 소정의 스테이지(i)에 대해 대응 계수의 세트를 생성한다.

$$(\alpha^0, \alpha^1, \beta^0, \beta^1)$$

[0061] 따라서, 예시적인 변환 출력은 20개의 IIR 계수를 포함한다(예시적인 5개의 스테이지 IIR 필터에 대해 스테이지마다 4개의 계수).

[0062] 다른 변형예에서, DLPF 계수는 다수의 컷오프/부스트 조합을 위해 사전 연산되고 루업 테이블 내에 저장될 수 있다. 따라서, 사용자 지정된 컷오프값 및 부스트값이 주어지면, DLPF 계수가 루업 테이블로부터 얻어질 수 있다. 이 방식으로, 계수는 더 신속하게 얻어질 수 있다(테이블 루업은 회로 연산보다 고속임).

[0063] 따라서, DLPF(275)는 컷오프/부스트 조합을 사용하여 프로그램되고, 여기서 DLPF 계수는 계수 연산 필터 또는 루업 테이블을 사용하여 컷오프 및 부스트에 기초하여 결정된다. 계수 연산 필터는 예를 들어 도 3a 및 도 3b와 관련하여 전술된 바와 같이 컷오프 및 부스트에 기초하여 DLPF 계수를 연산한다. 대안적으로, DLPF 계수는 사전 연산되고(예를 들어, 설명된 계수 연산 필터 또는 다른 분석 수단을 사용하여) 상이한 컷오프/부스트 조합을 위해 루업 테이블에 저장될 수 있다. 정상 동작 중에, DLPF 계수는 이어서 특정 컷오프/부스트 쌍에 대해 루업 테이블로부터 검색된다. 일반적으로, 루업 테이블은 입력으로서 컷오프 및 부스트 쌍 값을 이용하고 출력으로서 DLPF 계수를 제공한다. 컷오프/부스트 연산 필터 또는 루업 테이블은 하드웨어, 예를 들어 판독 채널 내에 또는 펌웨어 내에서 구현될 수 있다. 하드웨어 구현에는 사용이 더 용이한 부가의 장점을 갖고 DLPF 계수의 더 고속의 연산을 허용하고, 반면에 펌웨어 구현에는 융통성을 제공한다(루업 테이블 또는 연산 필터는 펌웨어를 재프로그램함으로써 용이하게 변경될 수 있음).

[0064] 게다가, 이중선형 변환(300) 또는 루업 테이블은 하드웨어, 예를 들어 데이터 검출 시스템(200) 내에서 또는 펌웨어 내에서 구현될 수 있다. 하드웨어 구현에는 사용이 용이하고 DLPF 계수의 더 고속의 연산을 허용할 수 있

고, 반면에 펌웨어 구현에는 융통성을 제공한다(예를 들어, 룩업 테이블 또는 연산 필터는 펌웨어를 재프로그램 함으로써 용이하게 변경될 수 있음).

[0065] 도 3b는 DLPF(275)를 위한 계수를 결정하는데 사용되는 예시적인 다단 IIR 필터(350)를 도시한다. 도 3b에 도시된 바와 같이, 예시적인 다단 IIR 필터(350)는 5개의 스테이지(360-1 내지 360-5)를 포함한다. 소정의 스테이지(360-i)가 도 3b에 도시된 바와 같이 다수의 가산자(+), 승산자(X) 및 지연 요소(D)로 구성된다. 이중선형 변환(300)에 의해 각각의 스테이지에 대해 생성된 계수는 도 3b에 도시된 바와 같이 대응 승산자(X)에 적용된다. 임펄스가 5-스테이지 IIR 필터(350)의 입력에 적용되고, DLPF(275)를 위한 계수는 5-스테이지 IIR 필터(350)의 출력에서 생성된다. 전술된 바와 같이, 일 예시적인 구현예에서, 5-스테이지 IIR 필터(350)의 출력에서 생성된 계수는 24의 최대값으로 절단된다.

[0066] 따라서, 예시적인 DLPF(275)는 24개의 필터 탭 계수를 갖는다. 이 방식으로, 본 발명의 양태는 24개의 계수가 LPF의 아날로그 구현예와 유사한 방식으로 단지 2개의 독립적인 변수[컷오프 및 부스트(즉, 제로)]로부터 얻어질 수 있게 한다. 사용자는 따라서 DLPF(275)에 대한 요구 컷오프값 및 부스트값을 선택적으로 지정할 수 있다. 그 후에, 지정된 컷오프값 및 부스트값이 고정점 DLPF(275)를 표현하는 24개의 계수를 연산하는데 사용된다.

[0067] 도 3c는 도 2a의 DLPF(275) 및 다운샘플러(278)에 대응하는 통합형 DLPF 및 다운샘플러(380)의 예시적인 대안 구현예를 도시한다. 일반적으로, 통합형 DLPF 및 다운샘플러(380)는 또한 본 발명에 따라, 전자 노이즈의 부가적인 대역 제한 필터링, 뿐만 아니라 ISI를 감소시키기 위한 신호 정형 필터링을 수행하면서 다운샘플링을 수행한다.

[0068] 예시적인 통합형 DLPF 및 다운샘플러(380)가 N=4의 오버샘플링 레이트에 대해 도시된다. 예시적인 ADC(250)는 비트 주기당 4개의 샘플을 생성한다는 것이 주목된다. 오버샘플링이 없는 1/4 레이트 구현예에 대해, 4개의 보레이트 샘플이 오버샘플링이 없는 보레이트 구현예에 대한 하나의 샘플 각각의 기간에 대조적으로, 각각의 4T 기간에 프로세싱된다(T는 하나의 비트 기간에 대응함). 프로세싱 레이트(처리량)는 비트 기간당 하나의 샘플을 잔류시키지만, 이제 샘플은 병렬로 프로세싱된다. N=4의 오버샘플링 레이트를 갖는 1/4 레이트 구현예에 대해, 예시적인 통합형 DLPF 및 다운샘플러(380)(1/4 레이트에서)는 4T마다 16개의 샘플을 프로세싱하고, 다운샘플링 동작 후에 유지할 수 있는 4T당 4개의 샘플을 생성한다. 달리 말하면, 통합형 DLPF 및 다운샘플러(380)는 다운샘플러(278)에 의해 드롭될 수 있는 4T마다 부가의 12개의 샘플을 생성하지 않는다.

[0069] 도 3c에 도시된 바와 같이, 예시적인 통합형 DLPF 및 다운샘플러(380)는 4개의 샘플에 의해 ADC(250)의 출력(252)을 각각 지연시키는 3개의 지연 요소(390-1 내지 390-3)를 구비한다. 게다가, 예시적인 통합형 DLPF 및 다운샘플러(380)는 ADC(250)의 출력(252)의 4개의 시간 지연된 버전을 각각 프로세싱하는 4개의 병렬 DLPF(395-1 내지 395-4)를 포함한다. 각각의 병렬 DLPF(395)는 도 3b의 IIR 필터(350)에 의해 생성된 계수를 갖는 DLPF로서 구현될 수 있다.

[0070] 도 4는 디지털 MRA 보정 필터를 포함하는 본 발명의 다양한 양태를 채택하는 대안의 예시적인 데이터 검출 시스템(400)을 도시한다. 일반적으로, 도 4의 실시예는 오버샘플링된 ADC 출력이 MRA 보정 노드가 디지털 도메인에서 DLPF 입력으로 이동될 수 있게 하는 것을 인식한다.

[0071] 데이터 검출 시스템(400)은 도 1 및 도 2a의 데이터 검출 시스템(100, 200)과 유사한 방식으로 AC 커플링(415)을 경유하여 아날로그 입력 신호(410)를 수신하는 아날로그 프론트 엔드를 구비한다. 게다가, AC 커플링(415)의 출력은 도 1과 유사한 방식으로 피드백 루프(460)에 의해 제공된 이득 피드백값(422)에 의해 지배되는 가변 이득 증폭기(420)를 사용하여 증폭된다. 증폭된 입력(424)은 합산 요소(440)를 사용하여 오프셋값(442)과 합산된다. 오프셋값(442)은 도 1과 유사한 방식으로 피드백 루프(460)에 의해 제공된다.

[0072] 도 4에 도시된 바와 같이, 아날로그 입력 신호(410)를 표현하는 합(444)은 연속적인 아날로그 신호(444)를 각각의 비트 간격에 대한 복수의(N개의) 대응 디지털 샘플(452)로 변환하는 오버샘플링된 ADC(450)에 제공되고, 여기서 N은 1보다 큰 정부 또는 비-정수일 수 있다. 예를 들어, 오버샘플링은 각각의 비트 간격에 대해 N=2 또는 N=4개의 디지털 샘플(452)을 생성할 수 있다.

[0073] 오버샘플링된 디지털 샘플(452)은 이어서 도 5b와 관련하여 이하에 더 설명되는 디지털 MRA 보정 필터(455)에 의해 프로세싱된다. 일반적으로, DMRA 보정 필터(455)는 오버샘플링된 디지털 도메인에서 구현되고 판독 헤드의 출력을 선형화하는데 필요한 역전달 함수를 근사한다. 예시적인 DMRA 보정 필터(455)는 오버샘플링된 신호를 프로세싱한다. 게다가, 피드백 루프(460)는 도 5b와 관련하여 이하에 더 설명되는 바와 같이 DMRA 보정 필

터(455)에 대한 피드백값(456)( $\beta$ )을 생성한다.

[0074] DMRA 보정 필터(455)의 출력은 DLPF(475)에 인가되는데, 이는 도 2a 및 도 3a 내지 도 3c의 DLPF(275)와 유사한 방식으로 구현될 수 있다. 그러나, 아날로그 CTF를 포함하지 않는 도 4의 실시예에서, DLPF(475)는 도 2b 내지 도 2f와 관련하여 전술된 바와 같이, 앤티엘리어싱 필터링, 전자 노이즈의 폴 대역 제한 필터링, 뿐만 아니라 디지털 도메인에서 ISI를 감소하기 위한 신호 정형 필터링을 수행한다. DLPF(475)는 도 3a 및 도 3b와 관련하여 전술된 기술을 사용하여 구현될 수 있다.

[0075] 도 4의 예시적인 실시예에서, DLPF(475)에 의해 생성된 필터링된 출력(476)은 이어서 다운샘플링 회로(478)에 의해 보레이트로 다운샘플링된다. 도 3c와 관련하여 전술된 바와 같이, DLPF(475) 및 다운샘플링 회로(478)는 선택적으로 단일 접적 회로로서 구현될 수 있다. 다운샘플링 회로(478)에 의해 생성된 다운샘플링된 출력(479)은 각각의 비트 간격에 대해 단일 디지털 샘플을 포함한다. 다운샘플링된 출력(479)은 도 1 및 도 2a와 유사한 방식으로 데이터 검출기(480)에 필터링된 출력을 제공하는 디지털 FIR 필터(470)에 제공된다. 비터비 알고리즘 데이터 검출기와 같은 데이터 검출기(480)는 피드백 루프(460)에 의해 프로세싱되는 이상적인 출력(482)을 제공한다. 데이터 검출기(480)는 임의의 공지된 데이터 검출기 회로일 수 있다. 예시적인 데이터 검출기(680)는 도 8과 관련하여 이하에 설명된다.

[0076] 피드백 루프(460)는 예를 들어 도 1과 유사한 방식으로 이득 피드백값(422), 오프셋값(442) 및 클럭 신호(454)를 각각 생성하는 도 1의 이득 계산 회로(130), 오프셋 회로(195) 및 디지털 위상 동기 루프 회로(160)를 포함할 수 있다. 게다가, 피드백 루프(460)는 도 9a 및 도 9b와 관련하여 이하에 더 설명되는 바와 같이, DFIR(470)에 대한 등화기 계수(468)의 세트를 생성한다.

[0077] 도 5a는 예시적인 아날로그 MRA 보정 블록(265)의 블록 다이어그램(도 2a)이다. 전술된 바와 같이, 자기 기록 시스템에 사용되는 자기저항(MR) 헤드가 통상적으로 비선형 전달 함수를 나타낸다. 이상적으로, 헤드로부터의 출력 전류(들)는 판독되는 자기 풀렉스(x)에 선형적으로 관련된다. 그러나, 대부분의 판독 헤드는 2차 비선형성을 나타내고, 그 결과 출력 전류는 이하와 같이 표현되는데,

$$s = kx + \alpha x^2$$

[0079] 여기서,  $k$ 는 스케일링 팩터이고,  $\alpha$ 는 헤드 내의 비선형성의 레벨을 제어한다. 이 현상은 헤드 내의 MR 비대칭(MRA)이라 칭한다. 통상의 판독 채널에서, 아날로그부는 MRA 보정(MRAC) 블록(265)(도 2a)을 가질 수 있고, 이는 판독 헤드의 출력을 선형화하는데 필요한 역전달 함수를 근사한다. 특히, 이하의 식이 2차 전달 함수를 사용하여 선형 전달 함수에 근사하는 MRAC 블록의 전달 함수이고,

$$y = k_2 s - \beta s^2$$

[0081] 여기서  $k_2$ 는 스케일링 팩터이고, 계수  $\beta$ 는 이상적인 선형 전달 함수에 비교하여 MRAC 블록 출력 내의 잔류 에러를 최소화하기 위해 선택된다. 도 5a에 도시된 바와 같이, 도 2a의 VGA(220)의 출력은 스테이지(520)에서 MRAC(265)에 의해 제곱되고, 가산자(540)에 의해 VGA(220)의 출력으로부터 감산되기 전에 보정 팩터( $\beta$ )를 사용하여 승산자(530)에서 스케일링된다. 이는 연속적인 시간 필터(CTF)(225)로의 입력이 선형화되는 것을 보장한다. 도 2a의 가산자(240)에 의해 수행된 DC 보정은 용이한 도시를 위해 도 5a로부터 생략되어 있다는 것이 주목된다.

[0082] 전술된 바와 같이, 본 발명은 MRAC 블록(265)(도 2a)은 대안적으로 아날로그-디지털 컨버터(ADC)(250)에 의해 생성된 샘플을 사용하여 디지털 도메인에서 구현될 수 있다. 이는 디지털 MRAC(DMRAC) 블록(255)으로 유도된다.

[0083] 도 5b는 예시적인 디지털 MRA 보정 블록(455)(도 4)의 블록 다이어그램이다. 이는 도 2a 및 도 5a의 아날로그 MRAC 블록(265)에 의해 사용된 2차식을 사용하여 또한 구현될 수 있지만, ADC(450)에 의한 디지털화 전에 아날로그 도메인에서 필터링에 기인하여, 선형 출력에 비교하여 잔류 에러를 최소화하기 위해 다른(선형 또는 비선형) 전달 함수를 선택하는 것이 유리할 수 있다.

[0084] 도 5b에 도시된 바와 같이, ADC(450)로부터의 출력 샘플은 스테이지(560)에서 DMRAC(455)에 의해 제곱되고, 가산자(580)에 의해 ADC(450)의 출력으로부터 감산되기 전에 보정 팩터( $\beta$ )를 사용하여 승산자(570)에서 스케일링된다. 이는 DLPF(475)로의 입력이 선형화되는 것을 보장한다.

[0085] 도 6은 분할 DFIR 필터(670)를 포함하는 본 발명의 다양한 양태를 채택하는 대안의 예시적인 데이터 검출 시스

템(600)을 도시한다. 일반적으로, 도 6의 분할 등화 실시예는 도 9a 및 도 9b와 관련하여 이하에 더 설명되는 바와 같이, 필터 계수의 적응을 통해 향상된 성능을 제공한다. 게다가, 이하에 설명되는 바와 같이, 도 6의 분할 등화 실시예는 총 필터링 요건의 부분을 수행하기 위해 아날로그 CTF(625)를 선택적으로 이용한다. 예시적인 실시예에서, 오버샘플링 레이트는 N=2이지만, 다른 오버샘플링 레이트가 선택될 수 있고, 여기서 N은 1보다 큰 정수(예를 들어, 4) 또는 비-정수(예를 들어, 1.5)이다. 데이터 검출 시스템(600)은 도 1, 도 2a 및 도 4의 데이터 검출 시스템(100, 200, 400)과 유사한 방식으로 AC 커플링(615)을 경유하여 아날로그 입력 신호(610)를 수신하는 아날로그 프론트 엔드를 구비한다. 게다가, AC 커플링(615)의 출력은 도 1과 유사한 방식으로 피드백 루프(660)에 의해 제공되는 이득 피드백값(622)에 의해 지배되는 가변 이득 증폭기(620)를 사용하여 증폭된다. 증폭된 입력(624)은 합산 요소(640)를 사용하여 오프셋값(642)과 합산된다. 오프셋값(642)은 도 1과 유사한 방식으로 피드백 루프(660)에 의해 제공된다.

[0086] 도 6에 도시된 바와 같이, 합(644)은 전술된 바와 같이, 수신된 아날로그 신호로부터 바람직하지 않은 노이즈를 필터링하도록 동작할 수 있는 선택적 CTF(625)에 인가된다. CTF(625)는 아날로그 입력 신호(610)를 표현하는 데이터 입력(605)을 제공한다. CTF(625)는 수신된 아날로그 신호로부터 노이즈를 감소하거나 제거하는 것이 가능한 당 기술 분야의 공지된 임의의 필터일 수 있다. 당 기술 분야의 숙련자에게 명백할 수 있는 바와 같이, 다양한 필터 및 필터 아키텍처가 본 발명의 상이한 실시예에 따라 사용될 수 있다.

[0087] 데이터 입력(605)은 오버샘플링된 ADC(650)에 제공된다. 예시적인 오버샘플링된 ADC(650)는 연속적인 아날로그 신호(605)를 각각의 비트 간격에 대해 복수의(N개의) 대응 디지털 샘플(652)로 변환한다. 예시적인 오버샘플링 ADC(650)는 각각의 비트 간격에 대해 N=2개의 디지털 샘플(652)을 생성한다. 디지털 샘플(652)은 예를 들어 루프(660) 내의 디지털 위상 동기 루프 회로에 의해 수신된 데이터에 기초하여 생성된 클럭 신호(654)에 따라 얻어진다.

[0088] 오버샘플링된 디지털 샘플(652)은 이어서 도 5b와 관련하여 전술된 바와 디지털 MRA 보정 필터(655)에 의해 프로세싱된다. 일반적으로, DMRA 보정 필터(655)는 판독 헤드의 출력을 선형화하는데 필요한 역전달 함수를 근사한다. 게다가, 피드백 루프(660)는 도 5b와 관련하여 전술된 바와 같이, DMRA 보정 필터(655)에 대한 피드백값(656)( $\beta$ )을 생성한다.

[0089] DMRA 보정 필터(655)의 출력은 분할 DFIR(670)에 인가되고, 이는 도 7과 관련하여 이하에 설명되는 바와 같이 또는 도 3c의 통합형 DLPF 및 다운샘플러(380)와 유사한 방식으로 구현될 수 있다. 일반적으로, 통합형 DLPF 및 다운샘플러(380)는 본 발명에 따라, 전자 노이즈 및 다른 노이즈 성분의 부가의 대역 제한 필터링, 뿐만 아니라 ISI를 감소시키기 위한 신호 정형 필터링을 또한 수행하면서 다운샘플링을 수행한다.

[0090] 따라서, 도 6의 예시적인 실시예에서, 분할 DFIR(670)에 의해 생성된 필터링된 출력(676)은 보레이트로 미리 다운샘플링된다. 분할 DFIR(670)에 의해 생성된 필터링된 출력(676)은 각각의 비트 간격에 대해 단일의 디지털 샘플을 포함한다. 필터링된 출력(676)은 도 8과 관련하여 이하에 더 설명되는 데이터 검출기(680)에 제공된다. 비터비 알고리즘 데이터 검출기와 같은 데이터 검출기(680)는 피드백 루프(660, 675)에 의해 프로세싱되는 이상적인 출력(682)을 제공한다. 데이터 검출기(680)는 임의의 공지된 데이터 검출기 회로일 수 있다.

[0091] 피드백 루프(660)는 예를 들어 도 1과 유사한 방식으로, 이득 피드백값(622), 오프셋값(642) 및 클럭 신호(654)를 각각 생성하는 도 1의 이득 계산 회로(130), 오프셋 회로(195) 및 디지털 위상 동기 루프 회로(160)를 포함할 수 있다. 피드백 루프(675)는 도 9a 및 도 9b와 관련하여 이하에 더 설명되는 바와 같이, 분할 DFIR(670)을 위한 등화기 계수(678)의 세트를 생성한다.

[0092] 분할 DFIR(670)은 마찬가지로 오버샘플링되어, 이에 의해 에러 레이트 성능을 잠재적으로 향상시킨다는 것이 주목된다(계수가 적응될 뿐만 아니라 오버샘플링에 기인하여, 이는 에러 레이트 성능을 더 강인하게 하고 오버샘플링 ADC의 샘플링 에러로부터 독립적이게 하는 것을 도울 수 있음).

[0093] 도 7은 본 발명의 특징을 채택하는 예시적인 분할 FIR 등화기(670)의 블록 다이어그램이다. 도 7에 도시된 바와 같이, 예시적인 분할 FIR 등화기(670)는 오버샘플링된 도메인에서 도 6의 ADC(650) 또는 선택적 DMRA 보정 필터(655)로부터 입력(710)을 프로세싱한다. 예시적인 분할 FIR 등화기(720)는 등화기 계수(730)(고정된 또는 적응성)에 기초하여 중간 출력으로서 오버샘플링된 도메인에서 FIR 출력(740)을 생성하고, 마지막으로 다운샘플러(750)를 사용하여 보레이트 도메인에서 FIR 출력 샘플(760)을 생성한다. 전술된 바와 같이, 예시적인 분할 FIR 등화기(670)는 대안적으로 보레이트 인스턴트에서 분할 FIR 필터(670)로부터 샘플을 출력하는 단일 블록으로서 도 3c의 통합형 DLPF 및 다운샘플러(380)와 유사한 방식으로 구현될 수 있다.

- [0094] 분할 FIR 필터(670)의 목적은 (i) 신호를 등화하고, (ii) 부분 응답 타겟 신호로 신호를 정형하고, 또는 (iii) 심별간 간섭(전구체 심별간 간섭과 같은)의 일부 또는 모두를 제거하는 것이다. 분할 FIR 필터(670)는 입력 샘플들 사이의 간격이 오버샘플링에 기인하여 분할되기 때문에(예를 들어, 간격은 2의 오버샘플링비에 대해 0.5T임) 분할이라 칭한다.
- [0095] 도 8은 도 6의 예시적인 데이터 검출 시스템(600)에서 도 7의 예시적인 분할 FIR 등화기(670)와 관련하여 사용될 수 있는 예시적인 검출기(680)의 블록 다이어그램이다. 예시적인 검출기(680)는 또한 도 2, 도 4 및 도 10의 데이터 검출기(280, 480, 1080)를 각각 구현하는데 사용될 수 있다. 도 8에 도시된 바와 같이, 예시적인 검출기(680)는 분할 FIR 등화기(670)로부터 다운샘플링된 필터링된 출력(676)으로 구성된 입력(810)을 프로세싱한다. 예시적인 검출기(680)는 보 레이트 도메인 내의 FIR 출력 샘플의 데이터 의존성 등화를 제공하기 위해 노이즈 예측 FIR 필터(820)의 뱅크를 이용한다. 필터(820)의 이 뱅크로부터의 출력(830)은 공지의 방식으로 출력(880)으로서 판정 및/또는 소프트 정보를 생성하기 위해 스테이지(870)에서 추가의 프로세싱을 위해 사용되는 브랜치 메트릭(850)을 생성하기 위해 브랜치 메트릭 연산 유닛(840)에 의해 프로세싱된다. 적합한 노이즈 예측 FIR 필터(820) 및 브랜치 메트릭 연산 유닛(840)의 설명을 위해, 예를 들어 본 명세서에 참조로서 포함되어 있는 발명의 명칭이 "신호 의존성 브랜치 메트릭 연산을 위한 필터 텁 가중치 및 바이어스를 생성하기 위한 방법 및 장치(Method and Apparatus for Generating Filter Tap Weights and Biases for Signal Dependent Branch Metric Computation)"인 2004년 5월 5일 출원된 미국 특허 출원 공개 제 2005/0249273호를 참조하라.
- [0096] 전술된 바와 같이, 도 6의 피드백 루프(675)는 분할 DFIR(670)에 대한 등화기 계수(678)의 세트를 생성한다. 도 9a 및 도 9b는 등화기 계수(678)의 세트를 적응하기 위한 예시적인 기술을 도시한다. 일반적으로, 도 9a 및 도 9b와 관련하여 이하에 더 설명된 바와 같이, 오버샘플링된 등화를 위한 적응 알고리즘은 보 레이트 등화를 위해 사용된 것들과 유사하다. 보 레이트 시스템에 대해,  $\{x_k\}$ 를 계수  $\{f_n\}_{n=0}^{M-1}$ 를 갖는 길이- $M$  유한 임펄스 응답(FIR) 필터로의 입력 시퀀스라 하고,  $\{y_k\}$ 를 출력 시퀀스라 하자. 그리고,  $\{d_k\}$ 를 등화 타겟 및 판정 시퀀스에 기초하여(검출기로부터 또는 우선순위 정보에 기초하여) FIR 필터 출력에서 요구 시퀀스라 하자.
- [0097] 도 9a는 예시적인 최소 평균 제곱(LMS) 적응 알고리즘(900)을 도시한다. 일반적으로, 예시적인 LMS 적응 알고리즘(900)은 이하와 같이 등화 계수를 적응시키고  $f^{k+1} = f^k - \mu e_k x^k$ , 여기서  $\mu$ 는 적응 속도를 제어하고,  $f^k$ 는 시간  $k$ 에 등화기 계수의 벡터이고,  $x^k$ 는 가장 최근의  $N$  FIR 입력의 벡터이다.
- [0098] 통상의 보 레이트 시스템에서와 같이 매  $T$ 마다 하나의 샘플을 수집하는 대신에, 예시적인 오버샘플링된 최소 평균 제곱(LMS) 적응 알고리즘(900)은  $N$ 의 오버샘플링 레이트에 대응하는 모든 보 레이트 간격마다  $N$ 개의 샘플을 수집한다. 오버샘플링된 시스템에 대해, ADC(650)로부터의 출력인  $\{x_k\}$ 를 계수  $\{f_n\}_{n=0}^{M-1}$ 를 갖는 길이- $M$  유한 임펄스 응답(FIR) 필터(670)로의 입력 시퀀스라 하고,  $\{y_k\}$ 를 필터(670)로부터의 출력 시퀀스라 하자.  $M$ 개의 계수를 갖는 FIR 필터(670)는 이제 보 레이트 시스템에서와 같이  $MT$  대신에  $MT/N$ 에 이른다. 검출기(680)의 출력인  $\{d_k\}$ 를 이전과 같이 FIR 필터 출력에서의 요구 보 레이트 시퀀스라 하자. 오버샘플링된 디지털 샘플은 피드백 루프에서 이용 가능할 수 있다는 것이 주목된다. 따라서, LMS 적응 알고리즘(900)은 오버샘플링된 레이트에서 또는 보 레이트에서 계수를 연산할 수 있다. LMS 적응 알고리즘(900)이 보 레이트에서 계수를 연산하면, 비트 간격당 생성된 계수는 오버샘플링된 레이트에서 등화 계수를 제공하기 위해  $N$ 회 반복된다.
- [0099] 도 9b는 예시적인 제로 포싱(ZF) 알고리즘(950)을 도시한다. 일반적으로, 예시적인 ZF 알고리즘(950)은 이하와 같이 상이하게 등화 계수를 적응시킨다:  $f^{k+1} = f^k - \mu e_k d^k$ . 오버샘플링된 시스템에 있어서, ADC(650)로부터의 출력인  $\{x_k\}$ 를 계수  $\{f_n\}_{n=0}^{M-1}$ 를 갖는 길이- $M$  유한 임펄스 응답(FIR) 필터(670)로의 입력 시퀀스라 하고,  $\{y_k\}$ 를 필터(670)로부터의 출력 시퀀스라 하자.  $M$ 개의 계수를 갖는 FIR 필터(670)는 이제 보 레이트 시스템에서와 같이  $MT$  대신에  $MT/N$ 에 이른다. 검출기(680)의 출력인  $\{d_k\}$ 를 이전과 같이 FIR 필터 출력에서의 요구 보 레이트 시퀀스라 하자. 도 9b의 실시예에서, DFIR 적응 루프는 보 레이트에서 동작한다는 것이 주목된다. 따라서, 예시적인 ZF 알고리즘(950)은 비트 간격당 단일 등화 계수를 생성하고, 생성된 계수는 오버샘플링된 레이트에서 등화 계수를 제공하기 위해  $N$ 회 반복된다.
- [0100] 일 구현예에서, 예러 항( $e_k$ )은 보 레이트 간격에서 오버샘플링된 필터의 출력에 기초하여 연산되고, 그 결과 업데이트 식이 오버샘플링된 시스템에서도 모든  $T$ 에 적용된다. 이는 검출기 및 디코더 내에서 더 프로세싱되기

전에 오버샘플링된 시스템의 출력이 다운샘플링될 때 유용하다.

[0101] 다른 구현예에서, 여러 항( $e_k$ )이 매 T/N마다 연산된다. 이를 위해, 보 레이트 요구 시퀀스  $\{d_k\}$ 가 서브-보 레이트 샘플링 인스턴트에 대응하는 요구값을 생성하기 위해 삽입되어야 한다. 여러 항( $e_k$ )은 이어서 삽입된 요구값을 사용하여 생성되고 매 T/N마다 LMS 식에서 사용된다. ZF 경우에 대해, 삽입된 요구값은 또한  $d_k$  대신에 업데이트 식에 사용된다. 오버샘플링된 도메인에서의 FIR 필터(670)의 출력이 다운샘플링 없이 검출기(680) 내에서 프로세싱될 때 제 2 예시적인 구현예가 요구된다. 업데이트 식에 서브-보 레이트 인스턴트에 대응하는 여러 항을 포함하는 것은 제 1 구현예와는 반대로, 전체 오버샘플링된 도메인 시퀀스가 요구 등화 특성을 나타내는 것을 보장하는데, 이는 단지 보 레이트 인스턴트에서 샘플에 대해서만 등화 제약을 시행한다.

[0102] 도 10은 데이터 검출 시스템(100)의 모든 요소에 대한 풀 오버샘플링 및 분할 등화를 포함하는, 본 발명의 다양한 양태를 채택하는 대안의 예시적인 데이터 검출 시스템(1000)을 도시한다.

[0103] 데이터 검출 시스템(1000)은 도 1 및 도 2a의 데이터 검출 시스템(100, 200)과 유사한 방식으로 AC 커플링(1015)을 경유하여 아날로그 입력 신호(1010)를 수신하는 아날로그 프론트 엔드를 포함한다. 게다가, AC 커플링(1015)의 출력은 도 4와 유사한 방식으로, 피드백 루프(1075)에 의해 제공된 이득 피드백값(1022)에 의해 지배된 가변 이득 증폭기(1020)를 사용하여 증폭된다. 증폭된 입력(1024)은 합산 요소(1040)를 사용하여 오프셋값(1042)과 합산된다. 오프셋값(1042)은 도 4와 유사한 방식으로 피드백 루프(1075)에 의해 제공된다.

[0104] 도 10에 도시된 바와 같이, 아날로그 입력 신호(1010)를 표현하는 합(1044)은 연속적인 아날로그 신호(1044)를 각각의 비트 간격에 대한 복수의 대응 디지털 샘플(1052)로 변환하는 오버샘플링된 ADC(1050)에 제공된다. 예시적인 오버샘플링은 각각의 비트 간격에 대해 N=4개의 디지털 샘플(1052)을 생성한다. 디지털 샘플(1052)은 예를 들어 루프(1075) 내의 디지털 위상 동기 루프 회로에 의해 수신된 데이터에 기초하여 생성된 클럭 신호(1054)에 따라 얻어진다.

[0105] 오버샘플링된 디지털 샘플(1052)은 이어서 도 5a 및 도 5b와 관련하여 전술된 디지털 MRA 보정 필터(1055)에 의해 프로세싱된다. 일반적으로, DMRA 보정 필터(1055)는 판독 헤드의 출력을 선형화하기 위해 필요한 역전달 함수를 근사한다. 게다가, 피드백 루프(1075)는 도 5b와 관련하여 전술된 것과 유사한 방식으로, DMRA 보정 필터(1055)를 위한 피드백값(1056)( $\beta$ )을 생성한다.

[0106] DMRA 보정 필터(1055)의 출력은 오버샘플링된 디지털 회로(1070)에 인가된다. 일반적으로, 예시적인 오버샘플링된 디지털 회로(1070)는 타이밍 조정, 이득 보정, 기준선 보정(BLC), DC 오프셋 보정 및 등화를 수행한다. 타이밍 조정, 이득 보정 및 기준선 보정(BLC) 및 DC 오프셋 보정은 도 2a와 관련하여 전술된 바와 같이, 예를 들어 N개의 병렬 브랜치를 사용하여 각각의 기능을 수행함으로써 오버샘플링된 레이트(N)에서 오버샘플링된 디지털 회로(1070)에 의해 수행될 수 있다. 아날로그 CTF를 포함하지 않는 도 10의 실시예에서, 오버샘플링된 디지털 회로(1070)는 예를 들어 도 4와 관련하여 전술된 바와 같이 안티앨리어싱 필터링, 풀 대역 제한 필터링 및 신호 정형 필터링과 같은 디지털 도메인에서 오버샘플링된 레이트에서 등화를 수행한다.

[0107] 비터비 알고리즘 데이터 검출기와 같은 데이터 검출기(1080)가 오버샘플링된 레이트에서 동작하고, 피드백 루프(1075)에 의해 프로세싱된 이상적인 출력(1082)을 제공한다. 예시적인 데이터 검출기(680)가 도 8과 관련하여 전술되어 있다. 피드백 루프(1075)는 이득 피드백값(1022), 오프셋값(1042) 및 클럭 신호(1054)를 생성하기 위해 오버샘플링된 레이트에서 동작한다. 게다가, 피드백 루프(1075)는 오버샘플링된 디지털 회로(1070)를 위한 등화기 계수(1078)의 세트를 생성한다.

[0108] 다른 변형예에서, 오버샘플링된 디지털 회로(1070)는 그 출력에서 보 레이트로 신호를 다운샘플링할 수 있고, 검출기(1080)는 보 레이트에서 신호를 프로세싱할 수 있다.

[0109] 도 11은 본 발명의 다양한 실시예에 따른 저장 시스템(1100)을 도시한다. 저장 시스템(1100)은 예를 들어 하드 디스크 드라이브일 수 있다. 저장 시스템(1100)은 판독 채널(1110)을 포함한다. 게다가, 저장 시스템(1100)은 인터페이스 제어기(1120), 프리앰프(1170), 하드 디스크 제어기(1166), 모터 제어기(1168), 스판들 모터(1172), 디스크 플래터(1178) 및 판독/기록 헤드(1176)를 구비한다. 인터페이스 제어기(1120)는 디스크 플래터(1178)로/로부터의 데이터의 어드레싱 및 타이밍을 제어한다. 디스크 플래터(1178) 상의 데이터는 조립체가 디스크 플래터(1178) 상에 적절하게 위치될 때 판독/기록 헤드 조립체(1176)에 의해 검출될 수 있는 자기 신호의 그룹으로 이루어진다. 통상의 판독 동작에서, 판독/기록 헤드 조립체(1176)는 디스크 플래터(1178) 상의 요구 데이터 트랙 위에 모터 제어기(1168)에 의해 정확하게 위치된다. 모터 제어기(1168)는 디스크 플래터(1178)와 관련하

여 판독/기록 헤드 조립체(1176)를 위치시키고 하드 디스크 제어기(1166)의 지시 하에서 디스크 플래터(1178) 상의 적절한 데이터 트랙에 판독/기록 헤드 조립체를 이동시킴으로써 스펀들 모터(1172)를 구동한다. 스펀들 모터(1172)는 결정된 스픈 레이트(RPM)에서 디스크 플래터(1178)를 스픈한다.

[0110] 일단 판독/기록 헤드 조립체(1178)가 적절한 데이터 트랙에 인접하여 위치되면, 디스크 플래터(1178) 상의 데이터를 표현하는 자기 신호는 디스크 플래터(1178)가 스펀들 모터(1172)에 의해 회전함에 따라 판독/기록 헤드 조립체(1176)에 의해 감지된다. 감지된 자기 신호는 디스크 플래터(1178) 상의 자기 데이터를 표현하는 연속적인 미세 아날로그 신호로서 제공된다. 이 미세 아날로그 신호는 판독/기록 헤드 조립체(1176)로부터 프리앰프(1170)를 경유하여 판독 채널 모듈(1110)로 전달된다. 프리앰프(1170)는 디스크 플래터(1178)로부터 액세스된 미세 아날로그 신호를 증폭하도록 동작 가능하다. 게다가, 프리앰프(1170)는 디스크 플래터(1178)에 기록되도록 의도된 판독 채널 모듈(1110)로부터 데이터를 증폭하도록 동작 가능하다. 이어서, 판독 채널 모듈(1110)은 수신된 아날로그 신호를 디코딩하고 디지털화하여 디스크 플래터(1178)에 원래 기록된 정보를 개조한다. 이 데이터는 판독 채널 모듈(1110)로부터 하드 디스크 제어기(1166)로, 이어서 수신 회로로 판독 데이터(1103)로서 제공된다. 기록 동작은 하드 디스크 제어기(1166)로부터 판독 채널 모듈(1110)로 제공되는 기록 데이터(1101)로의 선행 판독 동작에 실질적으로 반대이다. 이 데이터는 이어서 인코딩되고 디스크 플래터(1178)에 기록된다.

[0111] 도 12는 본 발명의 하나 이상의 실시예에 따른 수신기(1220)를 포함하는 통신 시스템(1200)을 도시한다. 통신 시스템(1200)은 당 기술 분야에 공지된 바와 같이 전송 매체(1230)를 경유하여 인코딩된 정보를 전송하도록 동작 가능한 송신기를 포함한다. 인코딩된 데이터는 수신기(1220)에 의해 전송 매체(1230)로부터 수신된다.

[0112] 전술된 바와 같이, 본 발명의 오버샘플링된 ADC는 필터링 및/또는 등화 프로세스의 적어도 일부를 디지털 도메인으로 전달함으로써 CTF 회로가 간단화되거나 제거될 수 있게 한다. 예를 들어, (i) 대역외 노이즈를 감소시키기 위한 안티앨리어스 및/또는 대역 제한 필터링 및 (ii) 심벌간 간섭을 보상하기 위한 펄스 형상 필터링이 이제 디지털 도메인에서 수행될 수 있다.

[0113] 게다가, 본 발명의 오버샘플링된 ADC는 예를 들어 도 2a 및 도 5a에 도시된 바와 같이 선택적 CTF(225) 이전에 아날로그 도메인에서, 또는 예를 들어 도 4 및 도 5b에 도시된 바와 같이 ADC 이후에 디지털 도메인에서 선택적 자기저항 비대칭(MRA) 보정 필터가 구현될 수 있게 한다.

[0114] 다른 예시적인 변형예에서, 본 명세서에 설명된 DLPF 및 다운샘플링 디바이스는 도 2a에 도시된 바와 같이 개별 및 별개 회로로서, 또는 도 3c에 도시된 바와 같이 집적 디바이스로서 구현될 수 있다.

[0115] 일 예에서, 개시된 방법 및 장치는 도 11의 저장 시스템 또는 도 12의 통신 시스템에 사용될 수 있다.

[0116] 전술된 바와 같이, 데이터 검출 시스템 및 판독 채널의 배열은 본 명세서에 설명된 바와 같이, 통상의 배열에 비해 다수의 장점을 제공한다. 전술된 바와 같이, 오버샘플링된 ADC를 갖는 판독 채널을 구현하기 위한 개시된 기술은 등화, 안티앨리어스 필터링 및/또는 노이즈 대역 제한 필터링의 적어도 일부가 디지털 도메인에서 수행될 수 있게 하는데, 이는 아날로그 CTF 회로의 설계 어려움을 완화시킨다. 또한, 디지털 회로의 영역은 수축 프로세스 기하학 구조와 비례적으로 감소하고, 반면에 아날로그 회로의 영역은 상당히 감소되지 않기 때문에, 디지털 도메인 내로 아날로그 신호 프로세싱 기능의 일부를 이동시키기 위한 개시된 기술은 특히 미래의 프로세스 기하학 구조에서, 통상의 기술에 비교하여 적은 영역을 갖는 집적 회로 및 칩을 설계하는 것을 도울 것이다.

[0117] 제차, 본 발명의 전술된 실시예는 단지 예시적인 것으로 의도된다는 것이 강조되어야 한다. 일반적으로, 예시적인 데이터 검출 시스템은 당 기술 분야의 숙련자에 명백할 수 있는 바와 같이, 오버샘플링된 ADC를 채택하고 등화 프로세스 또는 다른 필터링의 적어도 일부가 디지털 도메인에서 수행될 수 있게 하도록 수정될 수 있다. 게다가, 비트 간격당 복수의 디지털 샘플을 생성하기 위한 개시된 기술은 임의의 데이터 검출 시스템 또는 판독 채널에서 실시될 수 있다.

[0118] 본 발명의 예시적인 실시예가 디지털 논리 블록에 대해 설명되어 있지만, 당 기술 분야의 숙련자에게 명백할 수 있는 바와 같이, 다양한 기능이 소프트웨어 프로그램 내의 프로세싱 단계로서 디지털 도메인에서, 회로 소자 또는 상태 머신에 의해 하드웨어에서 또는 소프트웨어 및 하드웨어의 조합에서 구현될 수 있다. 이러한 소프트웨어는 예를 들어 디지털 신호 프로세서, 응용 주문형 집적 회로, 마이크로제어기 또는 범용 컴퓨터에서 이용될 수 있다. 이러한 하드웨어 및 소프트웨어는 집적 회로 내에 구현된 회로 내에 실시될 수 있다.

[0119] 본 발명의 집적 회로 구현예에서, 다수의 집적 회로 다이가 통상적으로 웨이퍼의 표면 상에 반복 패턴으로 형성된다. 각각의 이러한 다이는 본 명세서에 설명된 바와 같은 디바이스를 구비할 수 있고, 다른 구조체 또는 회

로를 구비할 수 있다. 다이는 웨이퍼로부터 절단되거나 다이싱되고, 이어서 집적 회로로서 패키징된다. 당 기술 분야의 숙련자는 어떻게 웨이퍼를 다이싱하고 다이를 패키징하여 패키징된 집적 회로를 제조하는지를 알고 있을 것이다. 이와 같이 제조된 집적 회로는 본 발명의 부분으로 고려된다.

[0120] 따라서, 본 발명의 기능은 방법 및 이를 방법을 실시하기 위한 장치의 형태로 실시될 수 있다. 본 발명의 하나 이상의 양태는 예를 들어 저장 매체 내에 저장되고, 머신 내에 로딩되고 그리고/또는 머신에 의해 실행되거나 소정 전송 매체를 통해 전송되던간에 프로그램 코드의 형태로 실시될 수 있고, 프로그램 코드가 컴퓨터와 같은 머신 내에 로딩되어 그에 의해 실행될 때, 머신은 본 발명을 실시하기 위한 장치가 된다. 범용 프로세서 상에 구현될 때, 프로그램 코드 세그먼트는 프로세서와 조합되어 특정 논리 회로와 유사하게 동작하는 디바이스를 제공한다. 본 발명은 또한 집적 회로, 디지털 신호 프로세서, 마이크로프로세서 및 마이크로제어기 중 하나 이상으로 구현될 수 있다.

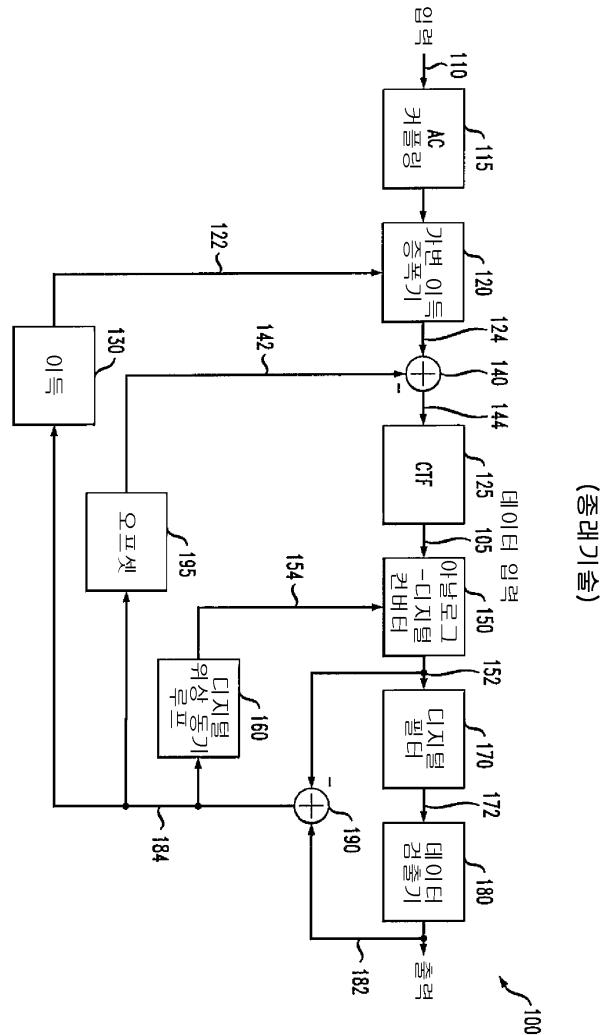
[0121] 본 명세서에 도시되고 설명된 실시예 및 변형예는 단지 본 발명의 원리를 예시할 뿐이고, 다양한 수정이 본 발명의 범주 및 사상으로부터 벗어나지 않고 당 기술 분야의 숙련자들에 의해 구현될 수 있다는 것이 이해되어야 한다.

### **부호의 설명**

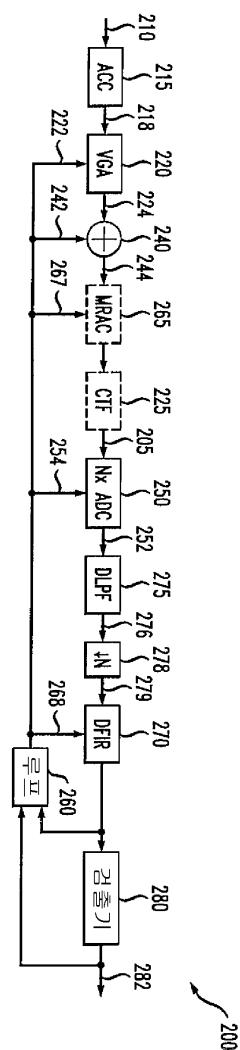
100: 데이터 검출 시스템	110: 입력 신호
115: AC 커플링	120: 가변 이득 증폭기
150: 아날로그-디지털 컨버터	160: 디지털 위상 동기 루프
170: 디지털 필터	180: 데이터 검출기
670: 분할 DFIR	680: 검출기

도면

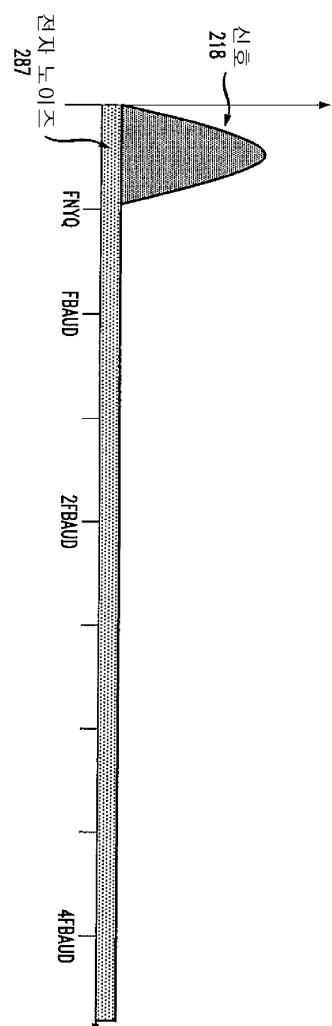
## 도면1



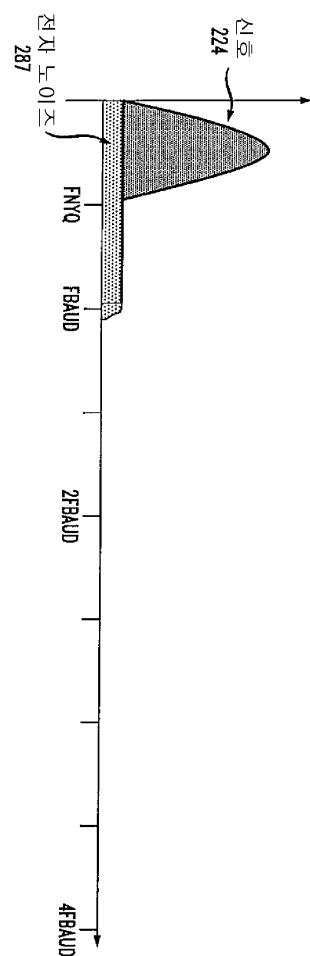
도면2a



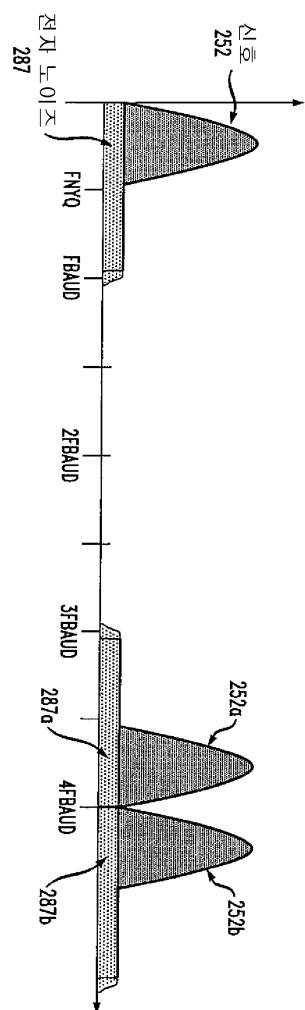
도면2b



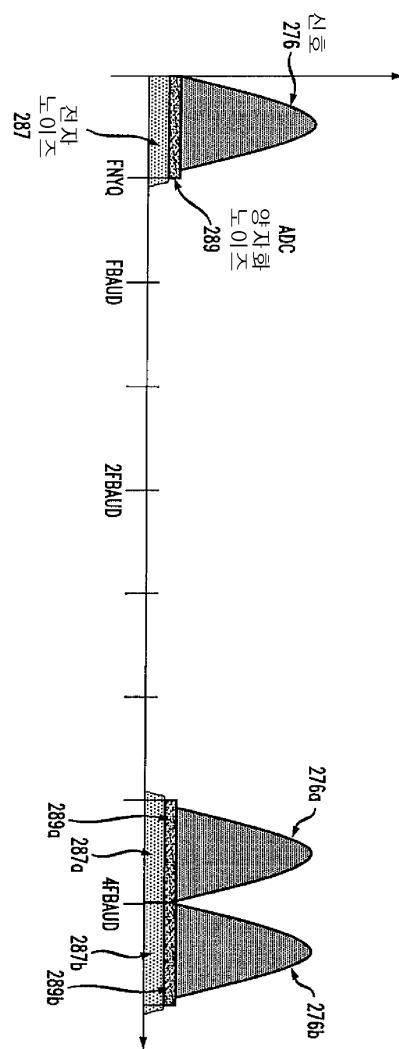
도면2c



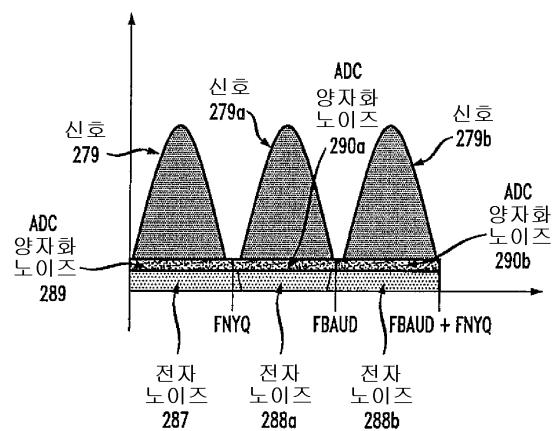
도면2d



도면2e



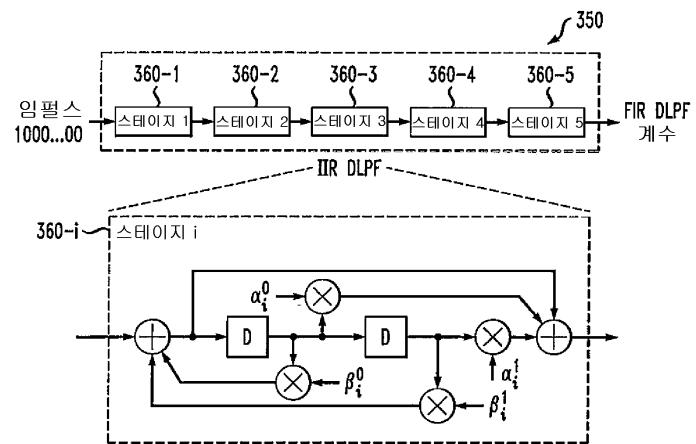
도면2f



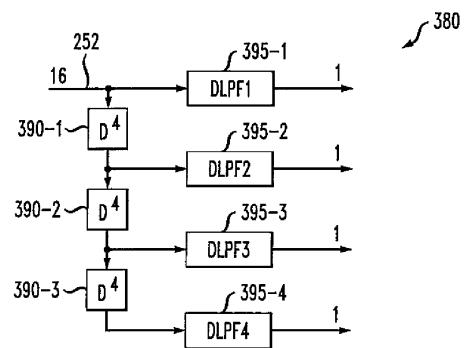
도면3a

$$H(s) \implies s = \frac{2}{T_d} \left( \frac{1-z^{-1}}{1+z^{-1}} \right)^{300} \implies H(z)$$

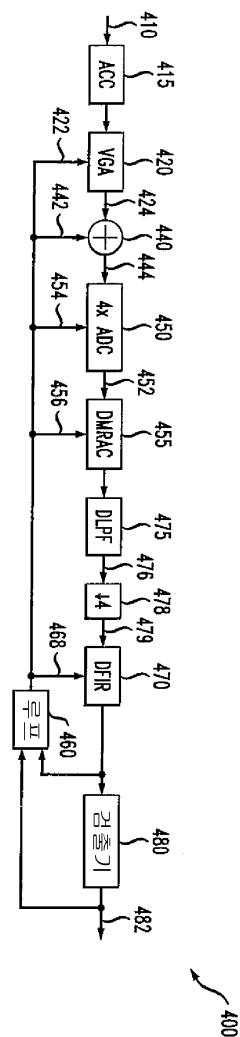
## 도면3b



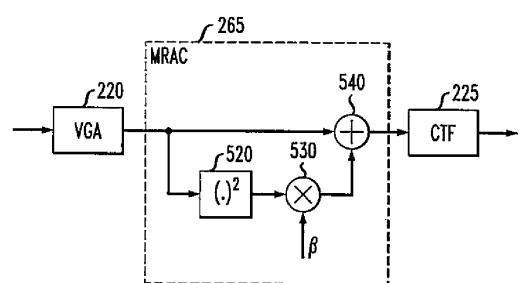
## 도면3c



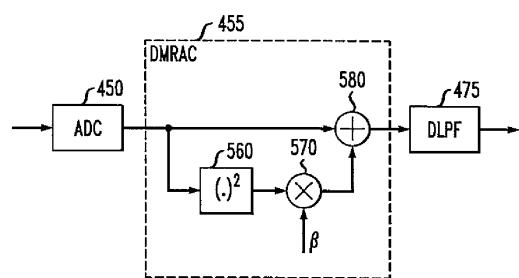
도면4



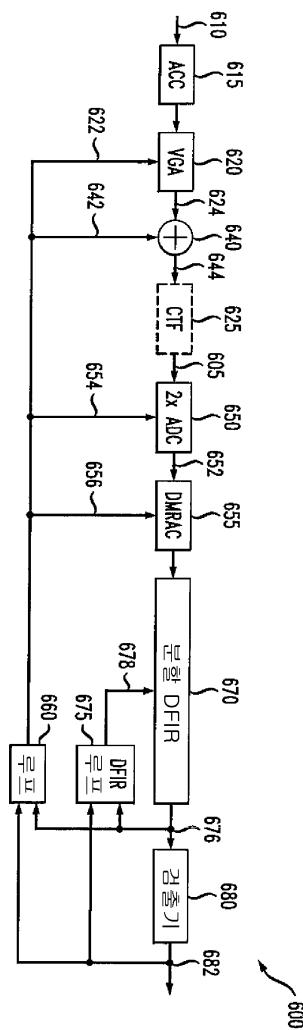
도면5a



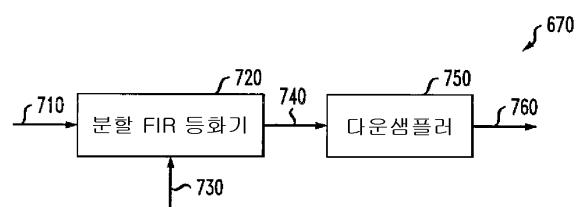
도면5b



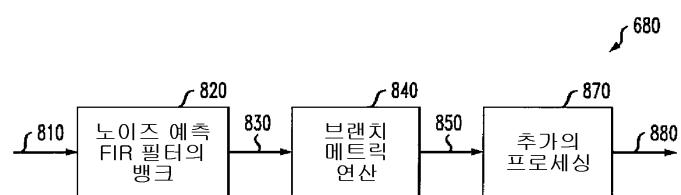
도면6



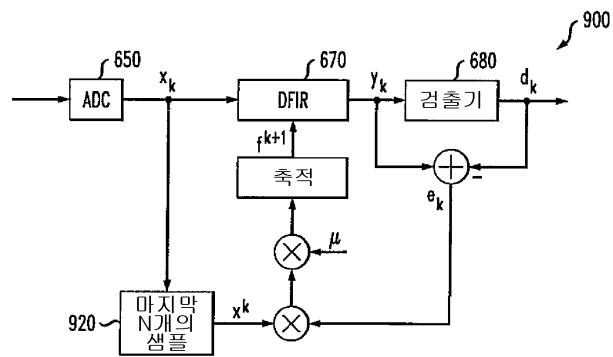
도면7



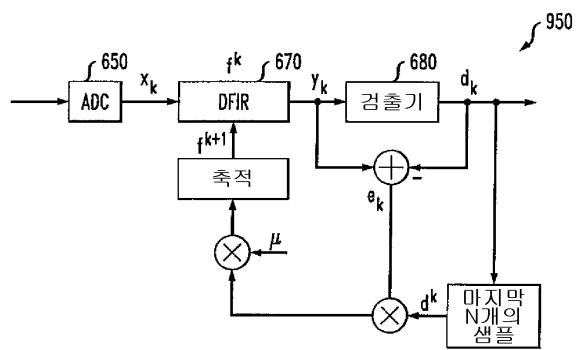
도면8



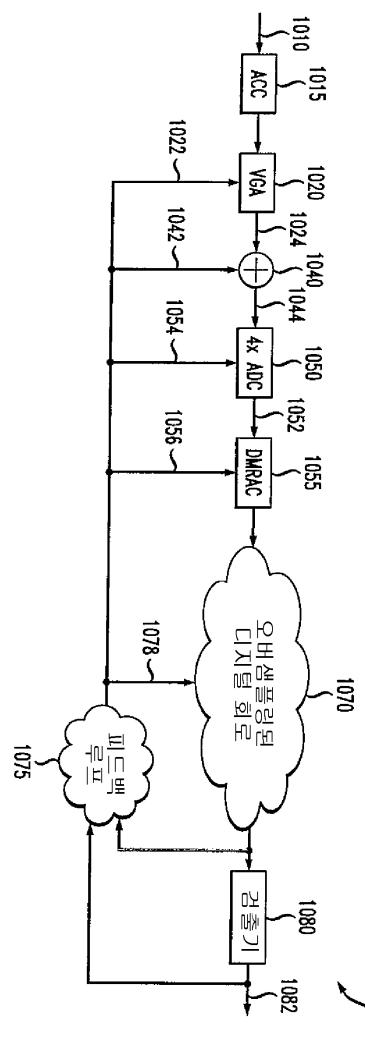
도면9a



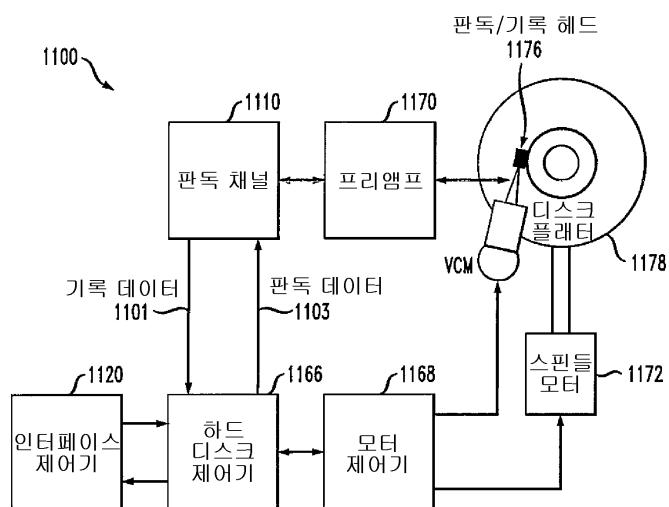
도면9b



도면10



도면11



도면12

