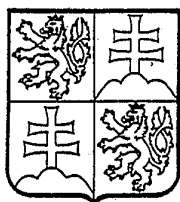


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

273 970

(21) PV 3874-89.v
(22) Přihlášeno 27.06.89

(40) Zveřejněno 14.08.90
(45) Vydáno 25.05.92

(11)

(13) B1

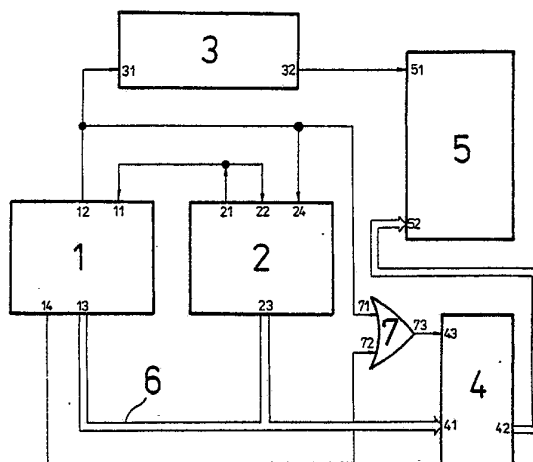
(51) Int. Cl.⁵
G 12 B 7/00

(75) Autor vynálezu NAVRÁTIL TOMÁŠ ing., PRAHA

(54)

Zapojení pro řízení obnovy informace dynamických pamětí v mikropočítačových systémech

(57) Zapojení je určeno pro systémy s mikroprocesory 8086/8088. Sestává z procesoru (1), programovatelného čítače (2), sekvenčního obvodu (3), registru (4) adres, dynamické paměti (5), multiplexované sběrnice (6) a obvodu (7) logického součtu, vzájemně spojených podle obrázku. Je vhodné i pro malé, jednodeskové mikropočítače, kde umožňuje použít dynamické paměti a zvýšit tak kapacitu instalované paměti.



Vynález se týká zapojení pro řízení obnovy informace dynamických pamětí v mikro-počítačových systémech.

U dynamických pamětí v mikropočítačových systémech je nutno periodicky provádět obnovu informace. Některé mikroprocesory mají již obvody pro obnovu informace zabudovány. Jinou možností je používat pro obnovu informací řadič přímého přístupu do paměti. Mikroprocesory typů 8086/8088 obvody pro obnovu informace neobsahují a proto zajistit tuto funkci v malých systémech bez řadiče DMA je problematické. Proto se většinou užívají dražší statické paměti, které sice nevyžadují obnovování informace, avšak mají menší kapacitu.

Zmíněné nevýhody odstraňuje zapojení pro řízení obnovy informace dynamických pamětí v mikropočítačových systémech podle tohoto vynálezu, které sestává z procesoru, čítače, sekvenčního obvodu, registru adres, dynamické paměti, sběrnice a obvodu logického součtu. Jeho podstatou je, že první výstup procesoru je spojen se vstupem sekvenčního obvodu a současně se vstupem čítače a s prvním vstupem obvodu logického součtu. Třetí výstup procesoru je spojen s druhým vstupem obvodu logického součtu. Druhý výstup procesoru je připojen na sběrnici, která je současně připojena na vstupy registru adres a na vstup/výstup čítače. Výstup první sekce čítače je spojen se vstupem procesoru a současně se vstupem druhé sekce čítače. Výstup sekvenčního obvodu je spojen se vstupem dynamické paměti. Výstup obvodu logického součtu je spojen se vstupem registru adres.

Popsané zapojení umožňuje realizovat obvody pro obnovu obsahu dynamické paměti s podstatně menším počtem součástek než dosud, přitom potřebné součástky jsou běžně dostupné. Tak je možno i v malých, jednodeskových mikropočítačích použít dynamické paměti, což umožňuje zvýšit kapacitu instalované paměti.

Připojený výkres znázorňuje v blokovém schéma konkrétní zapojení pro řízení obnovy informace dynamických pamětí v mikropočítačových systémech s mikroprocesory 8086/8088.

Zapojení sestává z procesoru 1, programovatelného čítače 2, sekvenčního obvodu 3, registru-multiplexeru 4 adres, dynamické paměti 5, multiplexované datové/adresové sběrnice 6 a obvodu 7 logického součtu. Programovatelný čítač 2 má tři nezávislé sekce. První z nich slouží pro periodické generování žádosti o zapůjčení sběrnice 6, druhá jako čítač adresy a třetí je nepoužita. První výstup 12 potvrzení žádosti procesoru 1 je spojen se vstupem 31 sekvenčního obvodu 3 a současně se vstupem 24 čtení čítače 2 a s prvním vstupem 71 obvodu 7 logického součtu. Třetí výstup 14 pro zápis adresy procesoru 1 je spojen s druhým vstupem 72 obvodu 7 logického součtu. Druhý výstup 13 sběrnicových signálů procesoru 1 je připojen na sběrnici 6, která je současně připojena na vstupy 41 registru 4 adres a na vstup/výstup 23 sběrnicových signálů čítače 2. Výstup 21 první sekce čítače 2 je spojen se vstupem 11 žádosti o sběrnici procesoru 1 a současně se vstupem 22 druhé sekce čítače 2. Výstup 32 sekvenčního obvodu 3 je spojen se vstupem 51 pro zápis adresy, řádky dynamické paměti 5. Výstupy 42 registru 4 adres jsou spojeny se vstupy 52 dynamické paměti 5. Výstup 73 obvodu 7 logického součtu je spojen se zápisovým vstupem 43 registru 4 adres.

Procesor 1 má vstup 11 žádosti o zapůjčení sběrnice. Pokud čítač 2 žádá o sběrnici, procesor 1 ji zapůjčí a zapůjčení potvrdí signálem na prvním výstupu 12. Ten je veden jednak do vstupu 24 čtení čítače 2, čímž se uvolní obsah druhé sekce čítače 2 vstupem/výstupem 23 na sběrnici 6, jednak do vstupu 31 sekvenčního obvodu 3. Sekvenční logický obvod 3 vygeneruje na výstupu 32 impuls, který je veden do vstupu 51 pro zápis adresy dynamické paměti 5. Současně z čítače 2 je generována na sběrnici 6 adresa právě obnovované řádky paměťových prvků. Tato adresa přichází do registru 4 adres. Výstupy 42 registru 4 adres sledují v době, kdy je na zápisovém vstupu 43 vysoká logická úroveň, stav na vstupech 41. Zápisový vstup 43 registru 4 adres je přes obvod 7 logického součtu řízen při aktivní činnosti procesoru 1 signálem na jeho třetím výstupu 14 pro zápis adresy a při obnově informace v dynamické paměti 5 signálem potvrzení žádosti o sběrnici na prvním výstupu 12 procesoru 1. Tehdy je tedy registr 4 adres průchozí a adresa jím projde na vstupy 52 dynamické paměti 5, do které je zapsána signálem na vstupu 51 dynamické paměti 5. Po zápisu adresy

do dynamické paměti 5 čítač 2, který je programovatelný, přestane žádat o zapůjčení sběrnice 6. Procesor 1 převezme řízení sběrnice 6 a obnoví aktivní činnost. První sekce čítače 2 odměřuje naprogramovaný časový interval a po jeho uplynutí nastává další cyklus obnovy informace v dynamické paměti 5 s tím rozdílem, že druhá sekce čítače 2 obsahuje nyní adresu další řádky. Popsané cykly se periodicky opakují tak často, aby během požadované doby byl proveden zápis adresy všech řádků dynamické paměti 5, například 128 řádků za 2 ms.

P R E D M Ě T V Y N Á L E Z U

Zapojení pro řízení obnovy informace dynamických pamětí v mikropočítačových systémech, sestávající z procesoru, čítače, sekvenčního obvodu, registru adres, dynamické paměti, sběrnice a obvodu logického součtu, vyznačující se tím, že první výstup (12) procesoru (1) je spojen se vstupem (31) sekvenčního obvodu (3) a současně se vstupem (24) čítače (2) a s prvním vstupem (71) obvodu (7) logického součtu, třetí výstup (14) procesoru (1) je spojen s druhým vstupem (72) obvodu (7) logického součtu, druhý výstup (13) procesoru (1) je připojen na sběrnici (6), která je současně připojena na vstupy (41) registru (4) adres a na vstup/výstup (23) čítače (2), výstup (21) první sekce čítače (2) je spojen se vstupem (11) procesoru (1) a současně se vstupem (22) druhé sekce čítače (2), výstup (32) sekvenčního obvodu (3) je spojen se vstupem (51) dynamické paměti (5), výstupy (42) registru (4) adres jsou spojeny se vstupy (52) dynamické paměti (5) a výstup (73) obvodu (7) logického součtu je spojen se vstupem (43) registru (4) adres.

1 výkres

