

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2015年9月3日(03.09.2015)

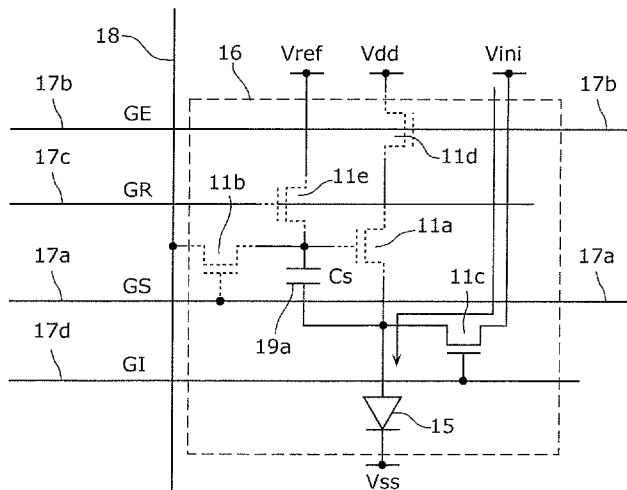


(10) 国際公開番号  
WO 2015/128920 A1

- (51) 国際特許分類:  
G09G 3/30 (2006.01) H01L 27/32 (2006.01)  
G09F 9/00 (2006.01) H01L 51/50 (2006.01)  
G09F 9/30 (2006.01) H05B 33/10 (2006.01)  
G09G 3/20 (2006.01)
  - (21) 国際出願番号: PCT/JP2014/006425
  - (22) 国際出願日: 2014年12月24日(24.12.2014)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2014-033751 2014年2月25日(25.02.2014) JP
  - (71) 出願人: 株式会社 J O L E D (JOLED INC.) [JP/JP];  
〒1010054 東京都千代田区神田錦町三丁目2番地 Tokyo (JP).
  - (72) 発明者: 石津 勝之 (ISHIZU, Katsuyuki).
  - (74) 代理人: 吉川 修一, 外 (YOSHIKAWA, Shuichi et al.);  
〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階  
新居国際特許事務所内 Osaka (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR MANUFACTURING ELECTROLUMINESCENT DISPLAY DEVICE

(54) 発明の名称: EL表示装置の製造方法



(57) Abstract: The purpose of the present invention is to specify, when a pixel defect is found in a lighting inspection process, whether the cause of the defect is due to a defect in a thin-film transistor (TFT) or a defect in an organic electroluminescent (EL) light-emitting layer. A current supplied from a drive transistor (11a) to an EL element (15) is stopped by turning off transistors (11b, 11d) that turn on when an image is displayed, and a transistor (11c) is turned on, whereby a Vini voltage is applied to the EL element (15) and the light-emitting state of the EL element (15) is optically detected. Furthermore, the transistor (11c) is turned off and the transistors (11b, 11d) are turned on, whereby a current is supplied from the drive transistor (11a) to the EL element (15) and the light-emitting state of the EL element (15) is optically detected. The cause of a pixel defect is specified by these detections.

(57) 要約:

[続葉有]

WO 2015/128920 A1



---

本発明は、点灯検査工程で画素に欠陥があった場合に、その原因がTFTの欠陥によるものか、有機EL発光層の欠陥によるものかを特定することを目的とする。画像表示時に動作するトランジスタ(11b、11d)を停止させることにより、駆動用トランジスタ(11a)からEL素子(15)に供給される電流を停止すると共に、トランジスタ(11c)を動作させることにより、Vini電圧をEL素子(15)に印加し、EL素子(15)の発光状態を光学的に検出する。また、トランジスタ(11c)をオフさせると共に、トランジスタ(11b、11d)を動作させて、駆動用トランジスタ(11a)からEL素子(15)に電流を供給し、EL素子(15)の発光状態を光学的に検出する。これらの検出によって、画素の欠陥原因を特定する。

## 明 細 書

発明の名称： E L 表示装置の製造方法

### 技術分野

[0001] 本開示は、 E L 表示装置の製造方法に関する。

### 背景技術

[0002] 近年、有機 E L 素子をマトリックス状に備えたアクティブマトリックス（以下、 A M と略する場合がある）型 E L 表示パネル、およびそれを用いた E L 表示装置が商品化されている。

[0003] E L 表示パネルは、画素に複数のトランジスタ（ T F T : T h i n F i l m T r a n s i s t o r ）が形成されており、さらにトランジスタ上に有機 E L 発光層が形成されている。トランジスタから有機 E L 発光層に電流を供給することにより、 E L 表示パネルは発光する。

[0004] E L 表示パネルの画素に欠陥がある場合、欠陥は有機 E L 発光層などの E L 素子に欠陥がある場合と、 T F T などの画素回路に欠陥がある場合がある。

[0005] E L 表示装置の製造の欠陥検査工程などにおいて欠陥が発生している画素が検出された場合、欠陥リペア工程において、当該画素のリペアが実施される。

### 先行技術文献

#### 特許文献

[0006] 特許文献1：特開 2 0 0 3 - 2 6 3 1 2 8 号公報

### 発明の概要

#### 発明が解決しようとする課題

[0007] しかしながら、上記欠陥検査工程において、欠陥の原因が有機 E L 発光層によるものか T F T によるものか判断できなければ、欠陥リペア工程において欠陥をリペアすることは困難である。

[0008] 本開示は、欠陥画素のリペア可否およびリペア箇所判断が可能となる E

L表示装置の製造方法を提供する。

### 課題を解決するための手段

[0009] 本開示の一態様に係るEL表示装置の製造方法は、複数の画素がマトリックス状に配置された表示画面を有するEL表示装置の製造方法であって、前記複数の画素のそれぞれは、EL素子と、前記EL素子に電流を供給する駆動用トランジスタと、スイッチ用トランジスタとを備え、前記EL素子は、第1電圧が印加されている第1端子と、第2端子とを有し、前記スイッチ用トランジスタは、ゲート信号線と接続されているゲート端子と、前記第2端子と接続された第3端子と、前記第1電圧よりも高い電位を有する第2電圧が印加されている第4端子とを有し、前記ゲート信号線にオン電圧を印加することにより、前記スイッチ用トランジスタを介して、前記第2電圧を前記第2端子に印加する電圧印加工程と、前記ゲート信号線に前記オン電圧を印加した状態で、前記EL素子の発光を、光学的検出手段で検出する発光検出工程とを含むことを特徴とするものである。

### 発明の効果

[0010] EL表示パネルの製造工程では、パネルが正常に点灯するかを検査する点灯検査が実施される。本発明によれば、点灯検査でEL表示パネルの欠陥が、有機EL発光層の欠陥によるものか、TFTの欠陥によるものかを切り分ける事ができ、欠陥のリペア箇所、リペア可否の判断が可能となる。よって、欠陥のリペアを的確に実施できるので、パネル製造の歩留まりを向上させ、製造コストを抑制することが可能となる。

### 図面の簡単な説明

- [0011] [図1]図1は、実施の形態に係るEL表示ディスプレイの外観図である。
- [図2]図2は、実施の形態に係るEL表示装置の構成図である。
- [図3]図3は、実施の形態に係るEL表示装置における画素回路の例を示した図である。
- [図4]図4は、実施の形態に係る画素回路の非発光期間を表す回路図である。
- [図5]図5は、実施の形態に係る画素回路のオフセットキャンセル補正準備期

間を表す回路図である。

[図6]図6は、実施の形態に係る画素回路のオフセットキャンセル補正期間を表す回路図である。

[図7]図7は、実施の形態に係る画素回路の書き込み期間を表す回路図である。

[図8]図8は、実施の形態に係る画素回路の発光期間を表す回路図である。

[図9]図9は、実施の形態に係るEL表示装置の製造方法を説明する図である。

[図10]図10は、実施の形態に係るEL表示装置の欠陥の判定方法の説明する図である。

[図11]図11は、実施の形態に係る他の画素回路の検査（製造）方法について説明する図である。

[図12]図12は、EL表示装置の発光素子の構造を説明する図である。

### 発明を実施するための形態

[0012] (本発明の基礎となった知見)

本発明者は、「背景技術」の欄において記載したEL表示装置に関し、以下の問題が生じることを見出した。

[0013] 特許文献1に記載されたEL表示装置の画素回路では、EL素子または画素のトランジスタに直接に電圧などを印加することができない。また、欠陥の原因が有機EL発光層によるものかTFTによるものか判別できないため、リペアの方法を決定することができない。

[0014] (実施の形態)

以下、図面を参照しながら、実施の形態を説明する。

[0015] 有機ELディスプレイの構成について、図1を用いて説明する。図1は、本実施の形態における有機ELディスプレイの外観の一例を示す外観図である。本実施の形態における有機ELディスプレイは、表示画面20を有するEL表示パネル21を備える。

[0016] 本発明の実施の形態に係るEL表示パネル21では、赤(R)、緑(G)

、青（B）の3原色からなるEL素子がマトリックス状に形成されている。

[0017] 画素位置に対応して、赤（R）、緑（G）、青（B）からなるカラーフィルターを形成することができる。なお、カラーフィルターは、RGBに限定されるものではない、シアン（C）、マゼンダ（M）、イエロー（Y）色の画素を形成してもよい。また、白（W）の画素を形成してもよい。つまり、表示画面にR、G、B、W画素がマトリックス状に配置されている。

[0018] なお、R、G、Bの画素開口率は、異ならせてもよい。開口率を異ならせることにより、各RGBのEL素子15に流れる電流密度を異ならせることができる。電流密度を異ならせることにより、RGBのEL素子15の劣化速度を同一にすることができる。劣化速度を同一にすれば、EL表示パネル21のホワイトバランスずれが発生しない。

[0019] また、必要に応じて、白（W）の画素を形成する。つまり、画素は、R、G、B、Wから構成される。R、G、B、Wに構成することにより、高輝度化が可能となる。また、R、G、B、Gとする構成も例示される。

[0020] EL表示パネル21のカラー化は、マスク蒸着により行うが、本発明の実施の態様は、これに限定されるものではない。たとえば、青色発光のEL層を形成し、発光する青色光を、R、G、Bの色変換層（CCM：カラーチェンジミディアムズ）でR、G、B光に変換してもよい。

[0021] なお、EL表示パネル21の光出射面には、円偏光板（円偏光フィルム）（図示せず）を配置することができる。偏光板と位相フィルムを一体したものは円偏光板（円偏光フィルム）と呼ばれる。

[0022] [1. 構成]

[1-1. 発光画素構成]

図12は、発光画素の構造の一例を概略的に示す断面図である。

[0023] 図12に記載された発光画素215は、基板202と、駆動回路層301と、発光層302と、透明封止膜310とを備える。

[0024] 本実施の形態に係るEL表示パネル21は、発光画素215がマトリックス状に配置された表示画面20を有するEL表示装置である。

- [0025] 基板202は、複数の発光画素215が行列状に配置される板状の部材であり、例えば、ガラス基板である。なお、基板202は、樹脂からなるフレキシブル基板などを用いることも可能である。基板202の表面には、薄膜トランジスタ(TFT)を含む駆動回路層301が形成される。なお、図1に示したトップエミッション構造の場合には、基板202は透明である必要はないので、非透明の基板、例えば、シリコン基板を用いることもできる。
- [0026] 駆動回路層301は、基板202の上に形成された駆動トランジスタ(図3でのトランジスタ11a)と、コンデンサ(図3でのコンデンサ19a)と、選択トランジスタ(図3でのトランジスタ11b)とを備える。駆動回路層301は、平坦化膜により、その上面の平坦性が確保されている。
- [0027] 発光層302は、後述する図3に示すEL素子15を構成する層であり、陽極361と、正孔注入層362と、正孔輸送層363と、有機発光層364と、バンク層365と、電子注入層366と、透明陰極367とを備える。
- [0028] 図12に示された発光画素215は、トップエミッション構造であり、発光層302に電圧を印加すると、有機発光層364で光が生じ、透明陰極367および透明封止膜310を通じて光が上方に出射する。また、有機発光層364で生じた光のうち下方に向かったものは、陽極361で反射され、透明陰極367および透明封止膜310を通じて光が上方に出射する。
- [0029] 陽極361は、駆動回路層301の平坦化膜の表面上に積層され、透明陰極367に対して正の電圧を発光層302に印加する電極である。陽極361を構成する陽極材料としては、例えば、反射率の高い金属であるAl、Ag、またはそれらの合金が好ましい。また、陽極361の厚さは、例えば、100~300nmである。
- [0030] 正孔注入層362は、陽極361の表面上に形成され、正孔を安定的に、又は正孔の生成を補助して、有機発光層364へ正孔を注入する機能を有する。これにより、発光層302の駆動電圧が低電圧化され、正孔注入の安定化により素子が長寿命化される。正孔注入層362の材料としては、例えば

PEDOT（ポリエチレンジオキシチオフェン）などを用いることができる。また、正孔注入層362の膜厚は、例えば、10nm～100nm程度である。

[0031] 正孔輸送層363は、正孔注入層362の表面上に形成され、正孔注入層362から注入された正孔を有機発光層364内へ効率良く輸送し、有機発光層364と正孔注入層362との界面での励起子の失活防止をし、さらには電子をブロックする機能を有する。正孔輸送層363としては、例えば、生じた正孔を分子間の電荷移動反応により伝達する性質を有する有機高分子材料であり、例えば、トリフェルアミン、ポリアニリンなどが挙げられる。また、正孔輸送層363の厚さは、例えば、5～50nm程度である。

[0032] なお、正孔輸送層363は、その隣接層である正孔注入層362や有機発光層364の材料により、省略される場合がある。

[0033] 有機発光層364は、正孔輸送層363の表面上に形成され、正孔と電子が注入され再結合されることにより励起状態が生成され発光する機能を有する。有機発光層364としては、低分子有機材料だけでなく、インクジェットやスピコートのような湿式製膜法で製膜できる発光性の高分子有機材料も適用される。高分子有機材料の特徴としては、デバイス構造が簡単であること、膜の信頼性に優れ、低電圧駆動のデバイスであることも挙げることができる。芳香環または縮合環のような共役系を持った高分子あるいは $\pi$ 共役系高分子は蛍光性を有することから、有機発光層364を構成する高分子有機材料として用いることができる。有機発光層364を構成する高分子発光材料としては、例えば、ポリフェニレンビニレン（PPV）またはその誘導体（PPV誘導体）、ポリフルオレン（PFO）またはその誘導体（PFO誘導体）、ポリスピロフルオレン誘導体などを挙げることができる。また、ポリチオフェンまたはその誘導体を用いることも可能である。

[0034] バンク層365は、駆動回路層301または陽極361の表面上に形成され、湿式製膜法を用いて形成される正孔輸送層363および有機発光層364を所定の領域に形成するバンクとしての機能を有する。バンク層365に



用いられる材料は、無機物質および有機物質のいずれであってもよいが、有機物質の方が、一般的に、撥水性が高いので、より好ましく用いることができる。このような材料の例としては、ポリイミド、ポリアクリルなどの樹脂が挙げられる。バンク層365の厚さは、例えば、100～3000nm程度である。

[0035] 電子注入層366は、有機発光層364の上に形成され、有機発光層364への電子注入の障壁を低減し発光層302の駆動電圧を低電圧化すること、励起子失活を抑制する機能を有する。これにより、電子注入を安定化し素子を長寿命化すること、透明陰極367との密着を強化し発光面の均一性を向上させ素子欠陥を減少させることが可能となる。電子注入層366は、特に限定されるものではないが、好ましくはバリウム、アルミニウム、フタロシアニン、フッ化リチウム、さらに、バリウム-アルミニウム積層体などからなる。電子注入層366の厚さは、例えば、2～50nm程度である。

[0036] 透明陰極367は、電子注入層366の表面上に積層され、陽極361に対して負の電圧を発光層302に印加し、電子を素子内（特に有機発光層364）に注入する機能を有する。透明陰極367としては、特に限定されるものではないが、透過率の高い物質および構造を用いることが好ましい。これにより、発光効率が高いトップエミッション有機EL素子を実現することができる。透明陰極367の構成としては、特に限定されるものではないが、金属酸化物層が用いられる。この金属酸化物層としては、特に限定されるものではないが、インジウム錫酸化物（以下、ITOと記す）、あるいはインジウム亜鉛酸化物（以下、IZOと記す）からなる層が用いられる。また、透明陰極367の厚さは、例えば、5～200nm程度である。

[0037] 透明封止膜310は、透明陰極367の表面上に形成され、水分から素子を保護する機能を有する。また、透明封止膜310は、透明であることが要求される。透明封止膜310は、例えば、SiN、SiON、または有機膜からなる。また、透明封止膜310の厚さは、例えば、20～5000nm程度である。

[0038] 以上説明した発光画素 215 の構造により、EL 表示パネル 21 は、アクティブマトリクス型の EL 表示装置としての機能を有する。

[0039] 後述する図 3 に示す画素回路において、ゲート信号線 17 a に走査信号が入力され、トランジスタ 11 b をオン状態にすると、ソース信号線 18 を介して供給された信号電圧に対応した電圧がコンデンサ 19 a に書き込まれる。そして、コンデンサ 19 a に書き込まれた信号電圧に対応した保持電圧は、1 フレーム期間を通じて保持され、この保持電圧により、トランジスタ 11 a のコンダクタンスがアナログ的に変化し、発光階調に対応した駆動電流が EL 素子 15 のアノードに供給される。さらに、EL 素子 15 のアノードに供給された駆動電流は、EL 素子 15 のカソードへと流れる。これにより、EL 素子 15 が発光し画像として表示される。このとき、EL 素子 15 のアノードには、信号電圧に対応した順バイアス電圧が印加されていることになる。

[0040] なお、上述した発光画素の回路構成は、図 3 に記載された回路構成に限定されない。トランジスタ 11 b、トランジスタ 11 a は、信号電圧に応じた駆動電流を EL 素子 15 に流すために必要な回路構成要素であるが、上述した形態に限定されない。また、上述した回路構成要素に、別の回路構成要素が付加される場合も、本開示に係る有機 EL 表示装置の発光画素回路に含まれる。

[0041] [1-2. 全体構成]

図 2 は、実施の形態に係る EL 表示装置の電氣的な構成を示したブロック図である。図 2 に示したように、本実施の形態に係る EL 表示装置は、画素 16 がマトリクス状に配置されて構成された表示画面 20 と、表示画面 20 の画素行ごとに配置されたゲート信号線 17 a、17 b、17 c および 17 d と、表示画面 20 の画素列ごとに配置されたソース信号線 18 と、表示画面 20 の周辺回路である、ゲート信号線 17 a、17 b、17 c および 17 d を駆動するゲートドライバ回路（ゲートドライバ IC）12 a および 12 b と、映像信号をソース信号線 18 に出力するソースドライバ回路（ソー

ストライバIC) 14と、ゲートドライバ回路12aおよび12bおよびソースドライバ回路14などを制御する制御回路(図示せず)を具備する。表示画面20は、外部から画像表示装置へ入力された映像信号に基づいて画像を表示する。

[0042] ゲート信号線17a、17b、17cおよび17dは、ゲートドライバ回路12aおよび12bの少なくとも一方に接続され、各画素行に属する画素16に接続されている。ゲート信号線17a、17b、17cおよび17dは、各画素行に属する画素16に信号電圧を書き込むタイミングを制御する機能や、画素16に初期化電圧や参照電圧などの各種電圧を印加するタイミングを制御する機能などを有する。

[0043] ゲートドライバ回路12aおよび12bは、ゲート信号線17a、17b、17cおよび17dの少なくともいずれかに接続されており、ゲート信号線17a、17b、17cおよび17dに選択信号を出力することにより、画素16の有するトランジスタの導通(オン)および非導通(オフ)を制御する機能を有する駆動回路である。

[0044] 例えば、後述する図3の画素回路において、ゲート信号線17aにオン電圧が印加されると、トランジスタ11bがオンし、ソース信号線18に印加された映像信号が画素16に印加される。

[0045] ゲートドライバ回路12aおよび12bは、それぞれ、表示画面20の左右に配置されている。図2に示した実施の態様では、ゲート信号線17aおよび17bの両端には、表示画面20の左右に配置されたゲートドライバ回路12aおよび12bが接続されている。ゲート信号線17cおよび17dの片側には、表示画面20の左側に配置されたゲートドライバ回路12aが接続されている。ゲートドライバ回路12aおよび12bは、COF(Chip On Film)(図示せず)に実装されている。特に、ゲート信号線17a(ゲート信号線GS)は、両方のゲートドライバ回路12aおよび12bに接続されているのがよい。

[0046] ソース信号線18は、表示画面20の画素列ごと、すなわち画素列数分が

設けられており、ソースドライバ回路14に接続され、各画素列に属する画素16に接続されている。

[0047] ソースドライバ回路14は、ソース信号線18の一端に接続されており、映像信号を出力して、ソース信号線18を介して画素16へ映像信号を供給あるいは印加する機能を有する駆動回路である。ソースドライバ回路14は、COF (Chip On Film) (図示せず) に実装されている。

[0048] 図示を省略した制御回路は、ゲートドライバ回路12aおよび12b、ソースドライバ回路14の制御を行う機能を有する制御回路である。制御回路は、各EL素子15の補正データなどが記憶されたメモリ (図示せず) を備え、メモリに書き込まれた補正データ等を読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、ソースドライバ回路14へと出力するように構成することもできる。

[0049] 図2に示した画像表示装置では、オン電圧 ( $V_{on}$ ) は、複数種類が必要となる場合があり、オフ電圧 ( $V_{off}$ ) も複数電圧が必要となる場合がある。その他、画素回路の構成に応じて、イニシャル電圧 ( $V_{ini}$ )、リフレッシュ電圧 ( $V_{ref}$ ) が必要である。

[0050] [1-3. 画素構成]

図3は、実施の形態に係るEL表示装置における画素回路の例を示した図である。なお、図3などにおいて、画素16は1画素のみを図示している。実際には画素16は表示画面20にマトリクス状に配置されている。図3に示した画素回路は、EL素子15と、EL素子15に駆動電流を供給するためのトランジスタ11aと、トランジスタ11dと、トランジスタ11bと、トランジスタ11cと、トランジスタ11eと、コンデンサ19aとを備える。表示画面20には、EL素子15を有する画素がマトリクス状に配置されている。

[0051] トランジスタ11aは、ドレイン端子が第1のスイッチ用トランジスタ11dを介して第1電源線であるアノード電圧  $V_{dd}$  に電氣的に接続され、ソース端子がEL素子15のアノード端子に電氣的に接続された駆動用トラン

ジスタである。トランジスタ 11 a は、ゲート端子—ソース端子間に印加された信号電圧に対応した電圧を、当該信号電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として EL 素子 15 に供給する。トランジスタ 11 a は、例えば、n 型の薄膜トランジスタ（n 型 TFT）で構成される。

[0052] EL 素子 15 は、第 2 端子であるアノード端子がトランジスタ 11 a のソース端子に電氣的に接続され、第 1 端子であるカソード端子が第 2 電源線に電氣的に接続された発光素子である。第 2 電源線の電圧は、第 1 電圧であるカソード電圧  $V_{ss}$  となっている。EL 素子 15 は、トランジスタ 11 a により信号電流が流れることにより、信号電流の大きさに基づいて発光する。信号電流の大きさは、ソース信号線 18 に印加された映像信号を、トランジスタ 11 b で画素 16 に印加することにより決定する。

[0053] トランジスタ 11 d は、ゲート端子がゲート信号線 17 b に電氣的に接続され、ソース端子がトランジスタ 11 a のドレイン端子に電氣的に接続され、ドレイン端子が第 1 電源線であるアノード電圧  $V_{dd}$  に電氣的に接続された第 1 のスイッチ用トランジスタである。ゲート信号線 17 b にオン電圧が印加されると、トランジスタ 11 d がオンし、トランジスタ 11 a からの発光駆動電流が EL 素子 15 に供給される。なお、トランジスタ 11 d は、トランジスタ 11 a のソース端子と EL 素子 15 のアノード端子との間に配置または形成されてもよい。

[0054] トランジスタ 11 b は、ゲート端子がゲート信号線 17 a に電氣的に接続され、ソース端子がトランジスタ 11 a のゲート端子に電氣的に接続され、ドレイン端子がソース信号線 18 に電氣的に接続された第 2 のスイッチ用トランジスタである。

[0055] トランジスタ 11 c は、ゲート端子がゲート信号線 17 d に電氣的に接続され、第 3 端子であるソース端子が EL 素子 15 のアノード端子（第 2 端子）およびトランジスタ 11 a のソース端子に電氣的に接続され、第 4 端子であるドレイン端子には第 2 電圧であるイニシャル電圧（初期化電圧、 $V_{in}$

i) が印加あるいは供給される第3のスイッチ用トランジスタである。トランジスタ11cは、イニシャル電圧 ( $V_{ini}$ ) をトランジスタ11aのソース端子およびコンデンサ19aの一方電極に印加するタイミングを決定する機能を有する。

[0056] トランジスタ11eは、ゲート端子がゲート信号線17cに電氣的に接続され、ソース端子がトランジスタ11aのゲート端子に電氣的に接続され、ドレイン端子にはリファレンス電圧 (参照電圧、 $V_{ref}$ ) が印加あるいは供給される第4のスイッチ用トランジスタである。トランジスタ11eは、リファレンス電圧 ( $V_{ref}$ ) をトランジスタ11aのゲート端子に印加するタイミングを決定する機能を有する。

[0057] ここで、電氣的に接続とは、電圧の経路、電流の経路が形成されている状態あるいは形成されうる状態である。たとえば、トランジスタ11aとトランジスタ11dとの間に、第5のトランジスタが配置されていても、トランジスタ11aとトランジスタ11dとは電氣的に接続されている。なお、本明細書においては、接続を電氣的に接続の意味として使用する場合がある。

[0058] トランジスタ11a~11eのチャンネル間は双方向であるため、ソース端子およびドレイン端子の名称は、説明を容易にするためであり、ソース端子とドレイン端子とは入れ替えてもよい。また、ソース端子、ドレイン端子を、第1の端子、第2の端子などとしてもよい。

[0059] また、駆動用のトランジスタ11aおよびスイッチ用のトランジスタ11b~11eを含むトランジスタは、薄膜トランジスタ (TFT) として説明しているが、これに限定するものではない。トランジスタは、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。

[0060] また、トランジスタなどは、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。

- [0061] なお、トランジスタ11a~11eは、n型およびp型のいずれのトランジスタであっても、LDD (Lightly Doped Drain) 構造を採用することが好ましい。
- [0062] また、トランジスタ11a~11eは、高温ポリシリコン (HTPS: High-Temperature Polycrystalline Silicon)、低温ポリシリコン (LTPS: Low-Temperature Polycrystalline Silicon)、連続粒界シリコン (CGS: Continuous Grain Silicon)、透明アモルファス酸化物半導体 (TAOS: Transparent Amorphous Oxide Semiconductors、IZO)、アモルファスシリコン (AS: Amorphous Silicon)、赤外線RTA (RTA: Rapid Thermal Annealing) で形成したもののうち、いずれでもよい。
- [0063] 図3では、画素を構成するすべてのトランジスタはn型で構成している。しかし、本発明は、画素のトランジスタをn型で構成することのみに限定するものではない。n型のみで構成してもよいし、p型のみで構成してもよい。また、n型とp型の両方を用いて構成してもよい。また、トランジスタ11aをp型のトランジスタとn型のトランジスタの両方を用いて構成してもよい。
- [0064] トランジスタはトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減し、トップゲートのゲート電極パターンが、遮光層となり、EL素子15から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できるからである。
- [0065] ゲート信号線17a~17dまたはソース信号線18、もしくはゲート信号線17a~17dおよびソース信号線18の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。信号線の配線抵抗を低減でき、より大型のEL表示パネルを実現できるからである。

- [0066] ゲートドライバ回路12aおよび12bが駆動（制御）するゲート信号線17a～17dは、低インピーダンス化すること好ましい。したがって、ゲート信号線17a～17dの構成あるいは構造に関しても同様である。
- [0067] 特に、低温ポリシリコンLTPSを採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、n型およびp型のトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。なお、銅配線は、Ti-Cu-Tiの3層構造を採用することが好ましい。
- [0068] ゲート信号線17a～17dまたはソース信号線18などの配線は、トランジスタ11a～11eが透明アモルファス酸化物半導体TAOSの場合には、Mo-Cu-Moの3層構造を採用することが好ましい。
- [0069] 図3に示した画素回路において、コンデンサ19aは、第1電極がトランジスタ11aのゲート端子に電氣的に接続され、第2電極がトランジスタ11aのソース端子に電氣的に接続されたコンデンサである。
- [0070] コンデンサ19aは、まず、定常状態においてトランジスタ11aのゲート・ソース電極間電位（ソース信号線18の電位）を、トランジスタ11bが導通している状態で記憶する。その後、トランジスタ11bがオフ状態となっても、コンデンサ19aの電位が確定されるのでトランジスタ11aのゲート電圧が確定される。
- [0071] なお、コンデンサ19aは、ソース信号線18、ゲート信号線17a～17dにオーバーラップするように（重なるように）形成または配置されている。この場合、レイアウトの自由度が向上し、素子間のスペースをより広く確保することが可能になり、歩留まりが向上する。
- [0072] 画素電極（例えば、図12に示された陽極361）は、ソース信号線18、ゲート信号線17a～17dに形成された絶縁膜あるいはアクリル材料からなる絶縁膜（平坦化膜）の上に形成される。
- [0073] 図2のEL表示装置において、図3の画素回路を採用した場合には、アノード電圧V<sub>dd</sub>、カソード電圧V<sub>ss</sub>、参照電圧（V<sub>ref</sub>）および初期化



電圧 ( $V_{ini}$ ) は、それぞれ、全画素 16 に共通接続されており、電圧発生回路 (図示せず) に接続されている。また、トランジスタ 11 a の閾値電圧に EL 素子 15 の発光開始電圧を加えた電圧が 0 V よりも大きい場合は、 $V_{ini}$  はカソード電圧  $V_{ss}$  と略同一電圧としてもよい。これにより電圧発生回路 (図示せず) の出力電圧の種類が減り、回路がより簡易になる。

[0074] 図 3 の画素回路では、アノード電圧  $V_{dd} >$  リファレンス電圧  $V_{ref} >$  カソード電圧  $V_{ss} >$  イニシャル電圧  $V_{ini}$ 、なる関係にすることが好ましい。具体的には、一例として、アノード電圧  $V_{dd} = 1.0 \sim 1.8$  (V)、リファレンス電圧  $V_{ref} = 1.5 \sim 3$  (V)、カソード電圧  $V_{ss} = 0.5 \sim 2.5$  (V)、イニシャル電圧  $V_{ini} = 0 \sim -3$  (V) である。

[0075] 図 3 の画素回路においては、図 2 に示したように、ゲート信号線 17 a およびゲート信号線 17 b が、2 つのゲートドライバ回路 12 a および 12 b に接続されているのがよい。これは、以下の理由による。

[0076] ゲート信号線 17 a は、トランジスタ 11 b に接続されている。トランジスタ 11 b は、映像信号を画素 16 に書き込むトランジスタであり、トランジスタ 11 b を高速のオンオフ (高スルーレート動作) をさせる必要があるからである。ゲート信号線 17 a は、2 つのゲートドライバ回路 12 a および 12 b で駆動することにより、高スルーレート動作を実現できる。なお、一例として、ゲートドライバ回路 12 a は、表示画面 20 の左側に配置され、ゲートドライバ回路 12 b は、表示画面 20 の右側に配置される。

[0077] ゲート信号線 17 b は、トランジスタ 11 d に接続されている。トランジスタ 11 d は、トランジスタ 11 a のオフセットキャンセル動作を実施するトランジスタであり、トランジスタ 11 d を高速のオンオフ (高スルーレート動作) をさせる必要があるからである。ゲート信号線 17 a および 17 b は、2 つのゲートドライバ回路 12 a および 12 b で駆動する (両側駆動) ことにより、高スルーレート動作を実現できる。したがって、欠陥検査においても、検査対象の画素の画面位置に依存せず、良好に画素欠陥位置を検出できる。また、高速な欠陥検査を実現できる。

[0078] ゲート信号線17cおよび17dは、1つのゲートドライバ回路12aが接続されている。ゲート信号線17cには、トランジスタ11eが接続されている。トランジスタ11eは、リファレンス電圧 $V_{ref}$ をトランジスタ11aに印加する機能を有する。

[0079] ゲート信号線17dには、トランジスタ11cが接続されている。トランジスタ11cは、イニシャル電圧 $V_{ini}$ をトランジスタ11aのソース端子に印加する機能を有する。イニシャル電圧 $V_{ini}$ を印加するためのトランジスタをオンオフする動作は、低スルーレートで十分である。

[0080] したがって、ゲート信号線17cおよび17dは、1つのゲートドライバ回路12aで駆動しても、実用上、十分な性能を得ることができる。

[0081] なお、図4のように、ゲート信号線17a~17dを、2つのゲートドライバ回路12aおよび12bで駆動してもよく、図3に示された回路と同様に、アノード電圧 $V_{dd} > \text{リファレンス電圧 } V_{ref} > \text{カソード電圧 } V_{ss} > \text{イニシャル電圧 } V_{ini}$ となる関係にすることが好ましい。

[0082] 具体的には、一例として、アノード電圧 $V_{dd} = 10 \sim 18$  (V)、リファレンス電圧 $V_{ref} = 1.5 \sim 3$  (V)、カソード電圧 $V_{ss} = 0.5 \sim 2.5$  (V)、イニシャル電圧 $V_{ini} = 0 \sim -3$  (V)である。

[0083] [1-4. 画素回路動作]

次に、図4~図8などを用いて、図3の画素回路の動作を説明する。

[0084] [1-4-1. 非発光期間]

図3の画素回路において、トランジスタ11dがオン状態のとき、EL素子15にアノード電圧 $V_{dd}$ から電流が供給され、EL素子15が発光状態にある(発光期間)。アノード電圧 $V_{dd}$ からトランジスタ11aを通してEL素子15に駆動電流(ドレイン・ソース間電流) $I_d$ が供給されるため、EL素子15が駆動電流 $I_d$ に応じた輝度で発光する。

[0085] 図4は、実施の形態に係る画素回路の非発光期間を表す回路図である。図4に図示するように、トランジスタ11dをオフ状態にすることにより、EL素子15に流れる電流が遮断され、EL素子15の発光が停止する(非発

光)。

[0086] [1-4-2. オフセットキャンセル補正準備期間]

図5は、実施の形態に係る画素回路のオフセットキャンセル補正準備期間を表す回路図である。オフセットキャンセル補正の準備期間では、トランジスタ11eがオンし、リファレンス電圧 $V_{ref}$ がトランジスタ11aのゲート端子に印加され、トランジスタ11cがオンし、イニシャル電圧 $V_{ini}$ がEL素子15のアノード端子に印加される。これにより、トランジスタ11aのゲート電位 $V_g$ がリファレンス電圧 $V_{ref}$ になる。また、トランジスタ11aのソース電位 $V_s$ は、リファレンス電圧 $V_{ref}$ よりも十分に低いイニシャル電圧 $V_{ini}$ にある。

[0087] ここで、イニシャル電圧 $V_{ini}$ については、トランジスタ11aのゲート-ソース間電圧 $V_{gs}$ が、当該トランジスタ11aのオフセットキャンセル電圧 $V_{th}$ よりも大きくなるように設定しておくこととする。このように、トランジスタ11aのゲート電位 $V_g$ をリファレンス電圧 $V_{ref}$ に、また、ソース電位 $V_s$ を低電位 $V_{ini}$ にそれぞれ初期化することで、オフセットキャンセル補正動作の準備が完了する。

[0088] [1-4-3. オフセットキャンセル補正期間]

図6は、実施の形態に係る画素回路のオフセットキャンセル補正期間を表す回路図である。図6に示すように、ゲート信号線17bに選択電圧（オン電圧）が印加され、トランジスタ11dがオンすると、トランジスタ11aのドレイン端子にアノード電圧 $V_{dd}$ が印加される。また、トランジスタ11cをオフ状態にする。すると、トランジスタ11aのソース電位 $V_s$ が上昇を開始する。やがて、トランジスタ11aのゲート-ソース間電圧 $V_{gs}$ が当該トランジスタ11aのオフセットキャンセル電圧 $V_{th}$ になり、当該オフセットキャンセル電圧 $V_{th}$ に相当する電圧がコンデンサ19aに書き込まれる。

[0089] ここでは、便宜上、オフセットキャンセル電圧 $V_{th}$ に相当する電圧をコンデンサ19aに書き込む期間をオフセットキャンセル補正期間と呼んでい

る。

[0090] なお、このオフセットキャンセル補正期間において、電流が専らコンデンサ19a側に流れ、EL素子15側には流れないようにするために、EL素子15がカットオフ状態となるようにカソード電極のカソード電圧 $V_{ss}$ を設定しておく。したがって、 $V_{ss} > V_{ini}$ としておく。たとえば、 $V_{ss} = +2$  (V) であれば、 $V_{ini} = -2$  (V) が例示される。

[0091] 次に、図7に図示するように、トランジスタ11dおよび11eをオフ状態にする。このとき、トランジスタ11aのゲートがフローティング状態になるが、ゲートソース間電圧 $V_{gs}$ がトランジスタ11aのオフセットキャンセル電圧 $V_{th}$ に等しいために、当該トランジスタ11aはカットオフ状態にある。したがって、ドレインソース間電流 $I_d$ は流れない。

[0092] [1-4-4. 書き込み期間]

図7に示すように、ソース信号線18にソースドライバ回路14から映像信号電圧 $V_{sig}$ が印加される。ゲート信号線17aに選択電圧が印加されることにより、トランジスタ11bが導通状態になって映像信号電圧 $V_{sig}$ が、画素16のトランジスタ11aのゲート端子に印加される。本実施の形態において、EL素子15はEL素子であり、また、このとき、EL素子15はカットオフ状態（ハイインピーダンス状態）にあるために、コンデンサ（ $C_{el}$ と呼ぶ）とみなすことができる。

[0093] したがって、トランジスタ11aのゲート端子に印加された映像信号電圧 $V_{sig}$ は、コンデンサ19aの容量 $C_s$ と発光素子の容量 $C_{el}$ とで分圧されて、トランジスタ11aのゲートソース端子間に印加される。コンデンサ19aの容量 $C_s$ に比較して発光素子の容量 $C_{el}$ は小さいため、映像信号電圧 $V_{sig}$ の多くが、トランジスタ11aのゲートソース端子間に印加される。

[0094] なお、本実施の形態において、EL素子15を容量 $C_{el}$ として利用するとしたが、これに限定するものではない。EL素子15に並列に、別途コンデンサを形成してもよいことは言うまでもない。

[0095] [1-4-5. 発光期間]

図8は、実施の形態に係る画素回路の発光期間を表す回路図である。図8示すように、トランジスタ11dがオンすることにより、トランジスタ11aのドレイン端子にアノード電圧Vddが印加される。アノード電圧Vddの印加により、電流Idが流れ始める。電流Idに比例して、EL素子15が発光する。

[0096] 以上のようにして、各画素16におけるトランジスタ11aに対してオフセットキャンセル補正が実施され、各画素が点灯、非点灯制御される。

[0097] [1-5. 検査方法]

図9は、実施の形態に係るEL表示装置の製造方法を説明する図である。

[0098] 通常の点灯検査では、1-4で示した画素回路動作でEL表示装置の検査を行うのに対し、図9に示すように、トランジスタ11a、11b、11dおよび11eをオフ状態にし、トランジスタ11cのみをオンさせ、トランジスタ11cのドレイン端子にViniを印加し、EL素子15を発光させる。

[0099] トランジスタ11cをオンさせることにより、電圧Viniがトランジスタ11cを介してEL素子15のアノード端子に印加される。EL素子15が正常であれば、EL素子15のアノード端子に印加された電圧Viniにより、EL素子15は点灯する。ここで、Vini電圧とカソード電圧Vssとの電位差が、EL素子15に電流が流れる電圧となる。よって、一例として、カソード電圧Vssが+2(V)であれば、Vini電圧は、+5(V)以上に設定される。

[0100] つまり、ゲート信号線17aにオン電圧を印加することにより、トランジスタ11cを介して、電圧ViniをEL素子15のアノード端子に印加する(電圧印加工程)。

[0101] 通常、オフセットキャンセル動作時では、イニシャル電圧Vini=0~-3(V)である。これに対して、図9の検査時には、カソード電圧Vssは、+2~8(V)に設定される。カソード電圧Vssが+2(V)であれ

ば、検査時の $V_{ini}$ 電圧は、4～10（V）に設定される。そのため、本実施例では、イニシャル電圧 $V_{ini}$ は2つの電圧（オフセットキャンセル動作と検査時（製造時）を設定できるように構成している。

[0102] また、検査（製造）時において、イニシャル電圧 $V_{ini}$ は、手動で可変できるように構成している。イニシャル電圧 $V_{ini}$ を高くすれば、EL素子15に流れる電流が大きくなり、イニシャル電圧 $V_{ini}$ を低くすれば、EL素子15に流れる電流が小さくなる。したがって、イニシャル電圧 $V_{ini}$ の調整とEL素子15の発光輝度の相関性を光学的に確認することにより、EL素子15の良否、性能を判定あるいは判断できる。

[0103] また、EL素子15の色（たとえば、赤、緑、青）によって、発光輝度特性、EL素子15の端子電圧が異なる。本実施例では、EL素子15の色（赤、緑、青）に対応して、独立してイニシャル電圧 $V_{ini}$ を設定できるように構成している。以上は、赤色のEL素子、緑色のEL素子、青色のEL素子にそれぞれに接続されているトランジスタ11cを独立にし、赤色のEL素子用のイニシャル電圧 $V_{ini}(R)$ 、緑色のEL素子用のイニシャル電圧 $V_{ini}(G)$ 、青色のEL素子用のイニシャル電圧 $V_{ini}(B)$ を独立して電圧調整あるいは設定できるように構成することにより実現できることは言うまでもない。

[0104] 以上のように、トランジスタ11cをオンして、イニシャル電圧 $V_{ini}$ をEL素子15に印加しても、対応するEL素子15が発光しない場合は、EL素子15に短絡欠陥が発生していることが多い。したがって、EL素子15の不良（欠陥）を検出でき、画素欠陥の要因がEL素子15の不良であると判定できる。また、想定される輝度よりも輝度が低い場合、EL素子に微小なピンホールが発生していることを検出あるいは判断できる。

[0105] つまり、ゲート信号線17aにオン電圧を印加した状態で、EL素子15の発光を、光学的検出手段で検出する（発光検出工程）。そして、発光検出工程でEL素子15の発光を検出しなかった欠陥画素についてはEL素子15に欠陥原因があると判定する。

- [0106] また、トランジスタ 11c のゲート端子に接続されたゲート信号線 17d を 1 画素行ずつ選択し、1 画素行ずつ、トランジスタ 11c をオンさせていけば、1 画素行ごとに EL 素子 15 に欠陥が発生している画素行位置を特定できる。また、同時に、アノードあるいはカソード端子に流れる電流の変化あるいは値を取得することにより、欠陥の程度も検出あるいは判断できる。
- [0107] 図 9 の状態において、ゲート信号線 17d のオン電圧またはオフ電圧を変化させることにより、トランジスタの欠陥も検出できる。たとえば、オフ電圧を  $-1.5$  (V) から  $-5$  (V) に変化させても、検査対象の画素の輝度が変化しないのであれば、画素回路のトランジスタのいずれかに欠陥が発生していることを検出あるいは判断できる。
- [0108] たとえば、ゲート信号線 17d のオン電圧を低下させても、EL 素子 15 の発光状態が変化しないのであれば、トランジスタ 11d あるいは他の画素位置に欠陥が発生していることを判定または判断できる。さらに、ゲート信号線 17d が常時オフ状態であっても、EL 素子 15 が発光状態であれば、トランジスタ 11d あるいは他の画素位置に欠陥が発生していることを判定または判断できる。
- [0109] また、イニシャル電圧  $V_{ini}$  を変化させても、EL 素子 15 の発光状態が変化しないのであれば、トランジスタ 11d あるいは他の画素位置に欠陥が発生していることを判定または判断できる。
- [0110] 以上のように、イニシャル電圧  $V_{ini}$  の電圧の大きさ、トランジスタ 11d のオンオフ状態、ゲート信号線 17d のオンオフ電圧の大きさを、調整あるいは変更もしくは設定することにより、対応する画素のトランジスタの欠陥、EL 素子 15 の欠陥を検出あるいは特定することができる。
- [0111] 以上のように、通常動作させるトランジスタを停止して EL 素子 15 を発光させることにより、トランジスタに依存しない点灯検査を実施することができる。また、画素内のトランジスタなどの欠陥および欠陥位置を検出することができる。
- [0112] [1-6. トランジスタと EL 素子欠陥の判定]

画素の欠陥は、TFTに関するものと、有機EL発光素子に関するものがある。

[0113] TFTと有機EL発光素子のいずれに欠陥が発生しているかを判別し、レーザートリミングにより欠陥位置を切り離すなどを実施することにより、不良パネルを良品化できる。

[0114] 図10は、実施の形態に係るEL表示装置の欠陥の判定方法の説明する説明図である。

[0115] 図10に示すように、EL表示パネル21の点灯検査工程において、従来の点灯検査方法（通常駆動検査）で画素16に欠陥がない場合は良品であり、画素16に欠陥がある場合は図9に示すトランジスタ11cのみをオン状態にしてイニシャル電圧 $V_{in}$ をEL素子に印加して発光させる検査（ $V_{in}$ 点灯検査）を実施する。

[0116] 上記1-5で示したように、 $V_{in}$ 点灯検査において画素欠陥が検出された場合には、有機EL発光素子の欠陥であると判定でき、有機EL発光素子のリペアを実施すれば良品化することができる。一方、 $V_{in}$ 点灯検査において画素欠陥が検出されなかった場合には、TFTの欠陥であると判定することができ、TFTのリペアを実施すれば良品化することができる。

[0117] つまり、まず、上記 $V_{in}$ 点灯検査の前に、表示画面20に配置された全ての画素16を一斉点灯させることにより、欠陥画素を検出する（欠陥画素検出工程）。

[0118] 次に、ゲート信号線17aにオン電圧を印加した状態で、EL素子15の発光を、光学的検出手段で検出する（発光検出工程）。

[0119] 次に、発光検出工程で検出したEL素子15の発光の有無に基づいて、EL素子15およびトランジスタのいずれに欠陥があるかを判定する（判定工程）。より具体的には、判定工程では、上記欠陥画素のうち、発光検出工程でEL素子15の発光を検出した欠陥画素については、EL素子15以外の画素回路素子であるトランジスタ（TFT）に欠陥原因があると判定し、発光検出工程でEL素子15の発光を検出できなかった欠陥画素についてはEL



素子 15 に欠陥原因があると判定する。

[0120] [1-7. 他の画素回路への実施例]

[1-7-1. 他の画素回路]

図 11 では、2つの画素 16 a および 16 b を図示している。実際には、画素 16 a および 16 b は表示画面 20 にマトリックス状に配置されている。

[0121] 図 11 に示した画素 16 a および 16 b のそれぞれには、EL 素子 15 と、EL 素子 15 に駆動電流を供給するための駆動用のトランジスタ 11 a と、トランジスタ 11 d と、トランジスタ 11 b と、トランジスタ 11 c と、コンデンサ 19 a とを備える。

[0122] トランジスタ 11 a は、ドレイン端子がトランジスタ 11 d を介して第 1 電源線であるアノード電圧  $V_{dd}$  に電氣的に接続され、ソース端子がトランジスタ 11 d のドレイン端子に接続された駆動用トランジスタである。トランジスタ 11 d のドレイン端子は、トランジスタ 11 a のソース端子と接続され、トランジスタ 11 d のソース端子は EL 素子 15 のアノード端子に電氣的に接続されている。

[0123] トランジスタ 11 a は、ゲート端子-ソース端子間に印加された信号電圧に対応した電圧を、当該信号電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として EL 素子 15 に供給する。トランジスタ 11 a は、例えば、n 型の薄膜トランジスタ (n 型 TFT) で構成される。

[0124] EL 素子 15 は、アノード端子がトランジスタ 11 a のソース端子に電氣的に接続され、カソード端子が第 2 電源線であるカソード電圧  $V_{ss}$  に電氣的に接続された発光素子である。EL 素子 15 は、トランジスタ 11 a により信号電流が流れることにより、信号電流の大きさに基づいて発光する。信号電流の大きさは、ソース信号線 18 に印加された映像信号がトランジスタ 11 c を介して画素 16 a または 16 b に印加されることにより決定される。

- [0125] トランジスタ11bは、ドレイン端子がトランジスタ11aのソース端子と接続され、ソース端子が、ソース信号線18に接続された第2のスイッチ用トランジスタである。たとえば、画素16aのトランジスタ11cのドレイン端子はソース信号線18aに接続され、画素16aのトランジスタ11bのソース端子はソース信号線18bに接続されている。また、画素16bのトランジスタ11cのドレイン端子はソース信号線18bに接続され、画素16bのトランジスタ11bのソース端子はソース信号線18cに接続されている。
- [0126] トランジスタ11cは、ソース端子がトランジスタ11aのゲート端子と接続されている。トランジスタ11cは、ソース信号線に印加されて映像信号を、トランジスタ11aのゲート端子に印加する。コンデンサ19aは、トランジスタ11aのゲート端子とソース端子との間に接続されている。
- [0127] トランジスタ11dは、ゲート端子がゲート信号線17cに電氣的に接続された第1のスイッチ用トランジスタである。ゲート信号線17cにオン電圧が印加されると、トランジスタ11dがオンし、トランジスタ11aからの発光駆動電流がEL素子15に供給される。なお、トランジスタ11dは、トランジスタ11aのドレイン端子とアノード電圧Vdd端子との間に配置または形成されてもよい。
- [0128] トランジスタ11cは、ゲート端子がゲート信号線17aに電氣的に接続され、ソース端子がトランジスタ11aのゲート端子と電氣的に接続され、ドレイン端子がソース信号線18と電氣的に接続された第3のスイッチ用トランジスタである。ゲート信号線17aにオン電圧が印加されると、ソース信号線18に印加されている映像信号がトランジスタ11aのゲート端子に印加される。
- [0129] 画素16aのトランジスタ11bは、ゲート端子がゲート信号線17b1に電氣的に接続され、画素16bのトランジスタ11bは、ゲート端子がゲート信号線17b2に電氣的に接続されている。つまり、隣接する画素のトランジスタ11bは、異なるゲート信号線に接続されている。

- [0130] なお、トランジスタ11a~11dのチャンネル間は双方向であるため、ソース端子およびドレイン端子の名称は、説明を容易にするためであり、ソース端子とドレイン端子とを入れ替えてもよい。また、ソース端子、ドレイン端子を、第1の端子、第2の端子などとしてもよい。
- [0131] コンデンサ19aは、まず、定常状態においてトランジスタ11aのゲート・ソース電極間電圧（ソース信号線の電位）を、トランジスタ11bが導通している状態で記憶する。その後、トランジスタ11bがオフ状態となっても、コンデンサ19aの電位が確定されるのでトランジスタ11aのゲート電圧が確定される。
- [0132] トランジスタ11bは、トランジスタ11aの特性を読み出すトランジスタである。画素16aのトランジスタ11aの特性を読み出す時は、トランジスタ11dをオフ状態にし、トランジスタ11bをオン状態にする。また、ソース信号線18bには、ソースドライバ回路14の出力は接続しない（ハイインピーダンス状態にする）。トランジスタ11aのチャンネル間を流れる電流は、トランジスタ11bのチャンネル間を介して、ソース信号線18bに出力される。ソース信号線18bに流れる電流を測定することにより、トランジスタ11aの特性を測定あるいは評価できる。
- [0133] [1-7-2. 他の画素回路での検査（製造）方法]  
図11に示された、実施の形態に係る他の画素回路の検査（製造）方法について説明する。
- [0134] 以下、説明を容易にするため、画素16aについて説明をする。なお、画素16aについて説明する事項は、画素16bあるいは表示画面20にマトリックス状に配置された他の画素についても適用される。
- [0135] 図11の画素回路構成では、トランジスタ11cをオフ状態にし、トランジスタ11dおよび11bをオンさせ、トランジスタ11bのソース端子に検査電圧 $V_{sg}(j+1)$ を印加する。なお、 $V_{sg}(j+1)$ は検査電圧である。この検査電圧は、図9に示された回路では、インシャル電圧 $V_{in_i}$ に相当する。

- [0136] トランジスタ11bをオンさせることにより、 $V_{sg}(j+1)$ 電圧がトランジスタ11bおよび11dを介してEL素子15のアノード端子に印加される（電圧印加工程）。EL素子15が正常であれば、EL素子15のアノード端子に印加された $V_{sg}(j+1)$ 電圧により、EL素子15は点灯する。 $V_{sg}(j+1)$ 電圧とカソード電圧 $V_{ss}$ との電位差に応じた電流が、EL素子15に流れる。一例として、カソード電圧 $V_{ss}$ が+2（V）であれば、 $V_{sg}(j+1)$ 電圧は、+5（V）以上に設定される。
- [0137] 図7の画素構成では、 $V_{sig}$ 電圧は映像信号電圧であり、ソースドライバ回路14（図示せず）から、映像信号がソース信号線18に印加される。
- [0138] これに対して、図11においても、 $V_{sg}$ 電圧（ $V_{sg}(j)$ 、 $V_{sg}(j+1)$ 、 $V_{sg}(j+2)$ ・・・）は、映像信号電圧である。つまり、ソースドライバ回路14から映像信号電圧をソース信号線18a～18cに印加し、EL素子15の検査を行う。もしくは、ソース信号線18a～18cにプローブ（図示せず）を圧接し、各ソース信号線に検査電圧を印加する。つまり、画素16aに属するトランジスタ11bのドレイン端子は、隣接する画素列に配置されたソース信号線18bに接続され、上記電圧印加工程では、ゲート信号線18aにオン電圧を印加することにより、トランジスタ11bを介して、ソース信号線18bに印加された第2電圧である検査電圧をEL素子15のアノード端子に印加する。
- [0139] 検査（製造）時において、 $V_{sg}$ 電圧は、手動で可変できるように構成している。 $V_{sg}$ 電圧を高くすれば、EL素子15に流れる電流が大きくなり、 $V_{sg}$ 電圧を低くすれば、EL素子15に流れる電流が小さくなる。したがって、 $V_{sg}$ 電圧の調整とEL素子15の発光輝度の相関性を光学的に確認することにより、EL素子15の良否、性能を判定あるいは判断できる。
- [0140] なお、EL素子15の色（赤、緑、青）によって、発光輝度特性、EL素子15の端子電圧は異なる。本実施例では、EL素子15の色（赤、緑、青）に対応して、独立して $V_{sg}$ 電圧を設定できるように構成する。 $V_{sg}$ 電圧をソースドライバ回路14で出力する場合は、この操作は容易である。

- [0141] 以上のように、トランジスタ11bおよび11dをオンして、 $V_{sg}$ 電圧をEL素子15に印加しても、対応するEL素子15が発光しない場合は、EL素子15に短絡欠陥が発生していることが多い。したがって、EL素子15の不良（欠陥）を検出でき、画素欠陥の要因がEL素子15の不良であると判定できる。
- [0142] また、画素16aのトランジスタ11bおよび画素16bのトランジスタ11bのゲート端子のそれぞれに接続されたゲート信号線17b1および17b2を同時にあるいは交互に1画素行ずつ選択する。この動作により、トランジスタ11bおよび11dをオンさせていけば、1画素行ごとにEL素子15に欠陥が発生している画素行位置を特定できる。
- [0143] また、図11の状態において、ゲート信号線17b1および17b2に印加されるオン電圧またはオフ電圧を変化させることにより、トランジスタの欠陥も検出できる。
- [0144] たとえば、ゲート信号線17b1のオン電圧を低下させても、画素16aのEL素子15の発光状態が変化しないのであれば、画素16aのトランジスタ11bあるいは他の画素位置に欠陥が発生していることを判定または判断できる。さらに、ゲート信号線17dに常時オフ状態であっても、EL素子15が発光状態であれば、トランジスタ11dあるいは他の画素位置に欠陥が発生していることを判定または判断できる。また、 $V_{sg}$ 電圧を変化させても、EL素子15の発光状態が変化しないのであれば、トランジスタ11a、11dあるいは他の画素位置に欠陥が発生していることを判定または判断できる。
- [0145] 以上のように、 $V_{sg}$ 電圧の大きさ、トランジスタ11bおよび11dのオンオフ状態、ゲート信号線17b1、17b2および17cのオンオフ電圧の大きさを、調整あるいは変更もしくは設定することにより、対応する画素のトランジスタの欠陥、EL素子15の欠陥を検出あるいは特定することができる。
- [0146] 以上のように、通常動作させるトランジスタを停止してEL素子15を発

光させることにより、トランジスタに依存しない点灯検査を実施することができる。また、画素内のトランジスタなどの欠陥を検出することができる。

### 産業上の利用可能性

[0147] 本開示は、特に、アクティブ型の有機ELフラットパネルディスプレイの製造方法および検査方法に有用である。

### 符号の説明

- [0148] 11 a、11 b、11 c、11 d、11 e トランジスタ (TFT)  
12 a、12 b ゲートドライバ回路  
14 ソースドライバ回路  
15 EL素子  
16、16 a、16 b 画素  
17 a、17 b、17 c、17 d ゲート信号線  
18、18 a、18 b、18 c ソース信号線  
19 a コンデンサ  
20 表示画面  
21 EL表示パネル  
202 基板  
215 発光画素  
301 駆動回路層  
302 発光層  
310 透明封止膜  
361 陽極  
362 正孔注入層  
363 正孔輸送層  
364 有機発光層  
365 バンク層  
366 電子注入層  
367 透明陰極

## 請求の範囲

- [請求項1] 複数の画素がマトリックス状に配置された表示画面を有するE L表示装置の製造方法であって、
- 前記複数の画素のそれぞれは、E L素子と、前記E L素子に電流を供給する駆動用トランジスタと、スイッチ用トランジスタとを備え、
- 前記E L素子は、第1電圧が印加されている第1端子と、第2端子とを有し、
- 前記スイッチ用トランジスタは、ゲート信号線と接続されているゲート端子と、前記第2端子と接続された第3端子と、前記第1電圧よりも高い電位を有する第2電圧が印加されている第4端子とを有し、
- 前記ゲート信号線にオン電圧を印加することにより、前記スイッチ用トランジスタを介して、前記第2電圧を前記第2端子に印加する電圧印加工程と、
- 前記ゲート信号線に前記オン電圧を印加した状態で、前記E L素子の発光を、光学的検出手段で検出する発光検出工程とを含む
- E L表示装置の製造方法。
- [請求項2] さらに、
- 前記発光検出工程で検出した前記E L素子の発光の有無に基づいて、(1)前記E L素子、ならびに(2)前記スイッチ用トランジスタおよび前記駆動用トランジスタを含む前記E L素子以外の画素回路素子、のいずれに欠陥があるかを判定する判定工程を含む
- 請求項1に記載のE L表示装置の製造方法。
- [請求項3] 前記電圧印加工程では、前記ゲート信号線にオン電圧を印加することにより、前記スイッチ用トランジスタを介し、かつ、前記駆動用トランジスタを介さないで、前記第2電圧を前記第2端子に印加する
- 請求項1または2に記載のE L表示装置の製造方法。
- [請求項4] さらに、
- 前記電圧印加工程の前に、前記表示画面に配置された全ての画素を

一斉点灯させることにより、欠陥画素を検出する欠陥画素検出工程を含み、

前記判定工程では、前記欠陥画素のうち、前記発光検出工程で前記 E L 素子の発光を検出した欠陥画素については前記画素回路素子に欠陥原因があると判定し、前記発光検出工程で前記 E L 素子の発光を検出しなかった欠陥画素については前記 E L 素子に欠陥原因があると判定する

請求項 2 に記載の E L 表示装置の製造方法。

[請求項 5]

前記 E L 表示装置は、

前記複数の画素の画素列ごとに配置され、前記駆動用トランジスタのゲート端子に映像信号を反映した信号電圧を伝達するためのソース信号線を備え、

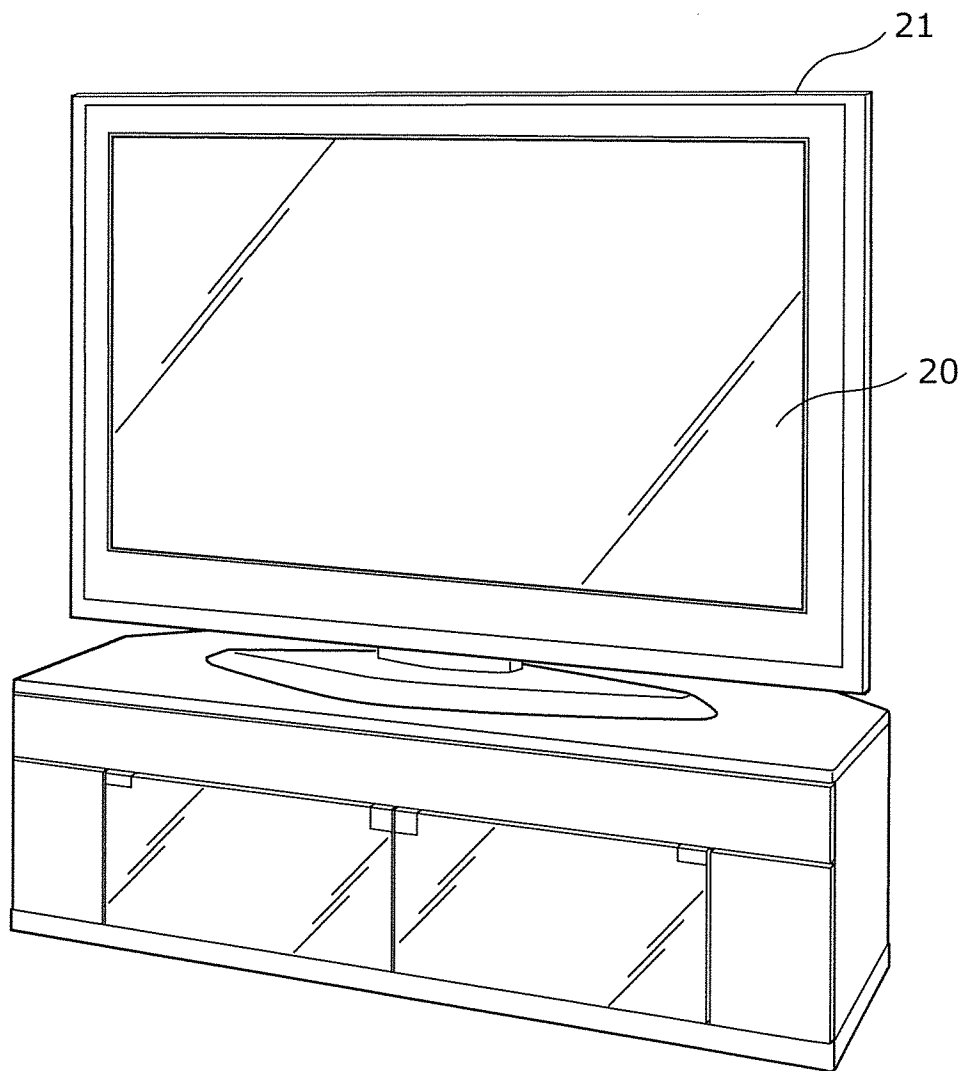
前記第 4 端子は、隣接する画素列に配置された前記ソース信号線に接続され、

前記電圧印加工程では、前記ゲート信号線にオン電圧を印加することにより、前記スイッチ用トランジスタを介して、隣接する画素列に配置された前記ソース信号線に印加された前記第 2 電圧を前記第 2 端子に印加する

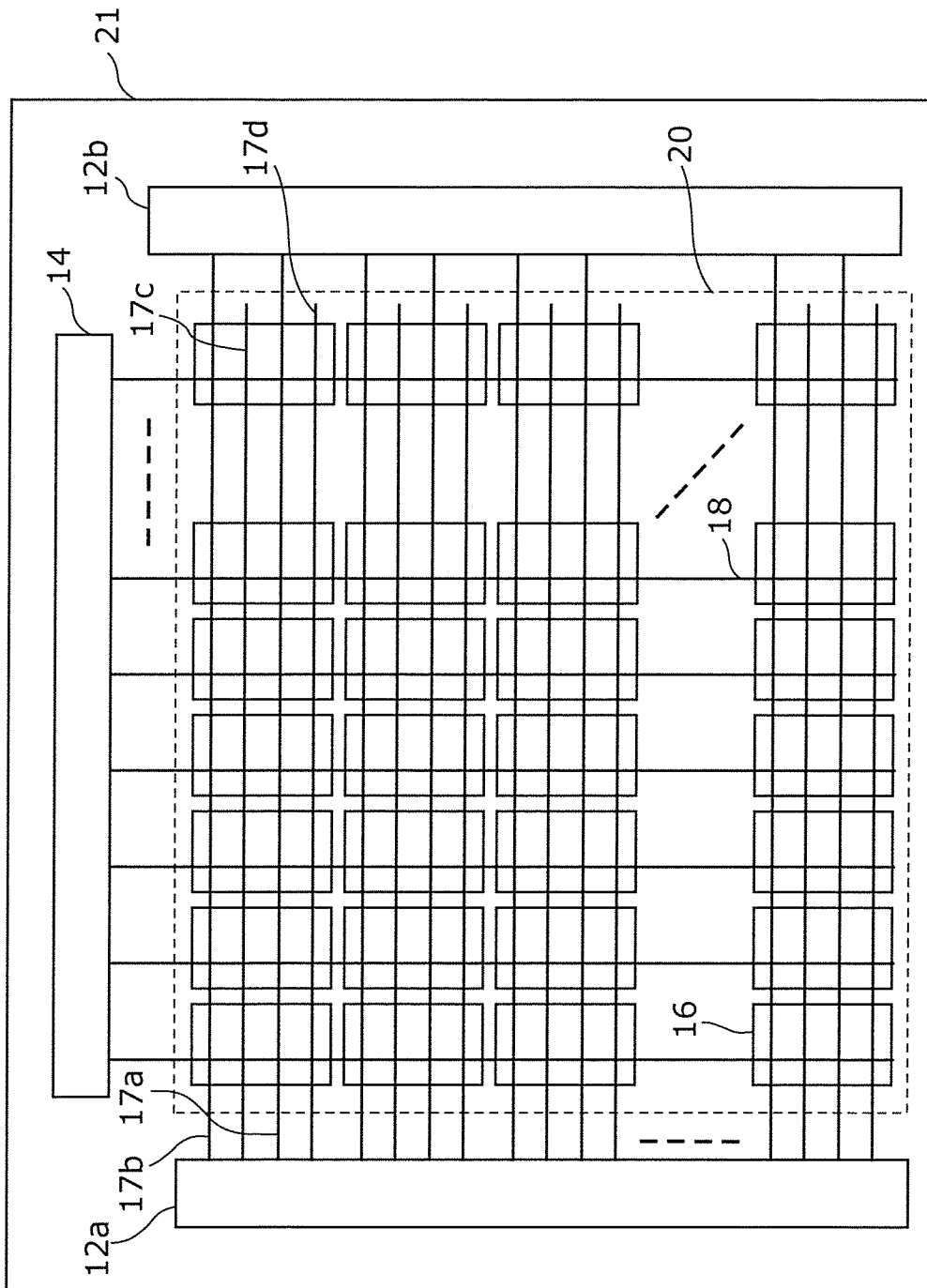
請求項 1 ～ 4 のいずれか 1 項に記載の E L 表示装置の製造方法。



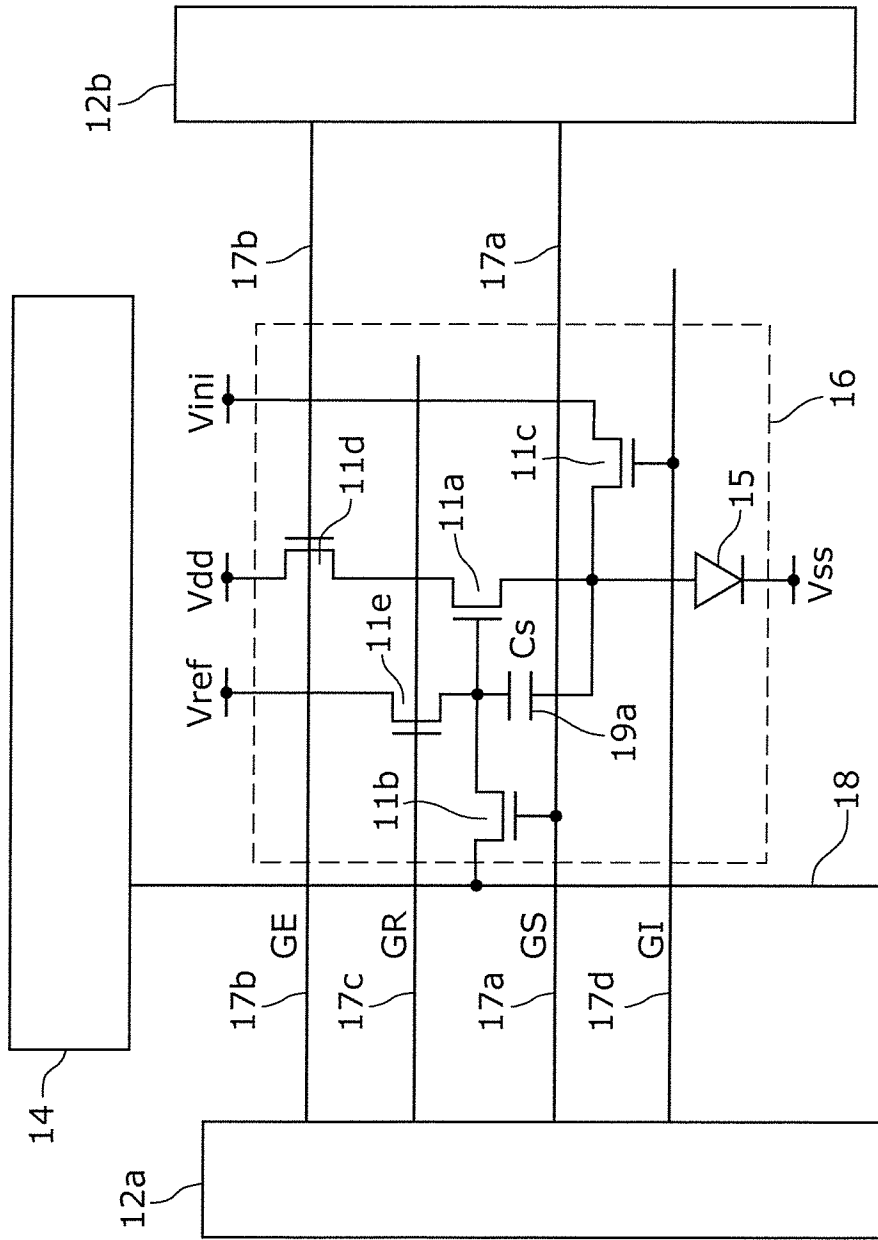
[図1]



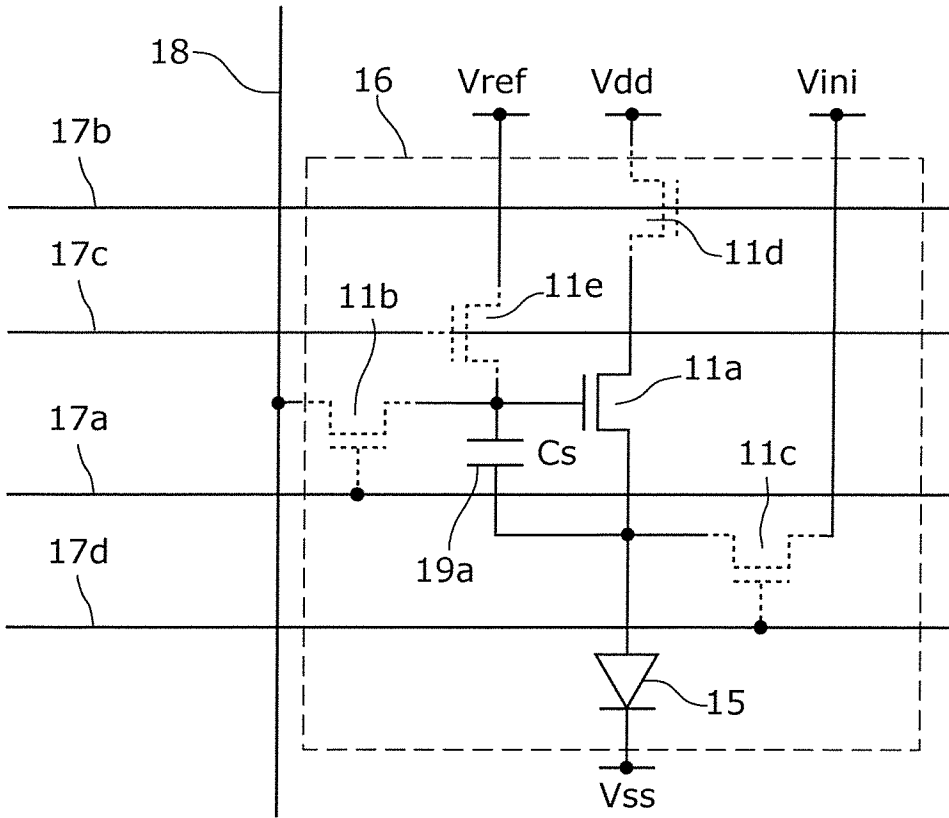
[図2]



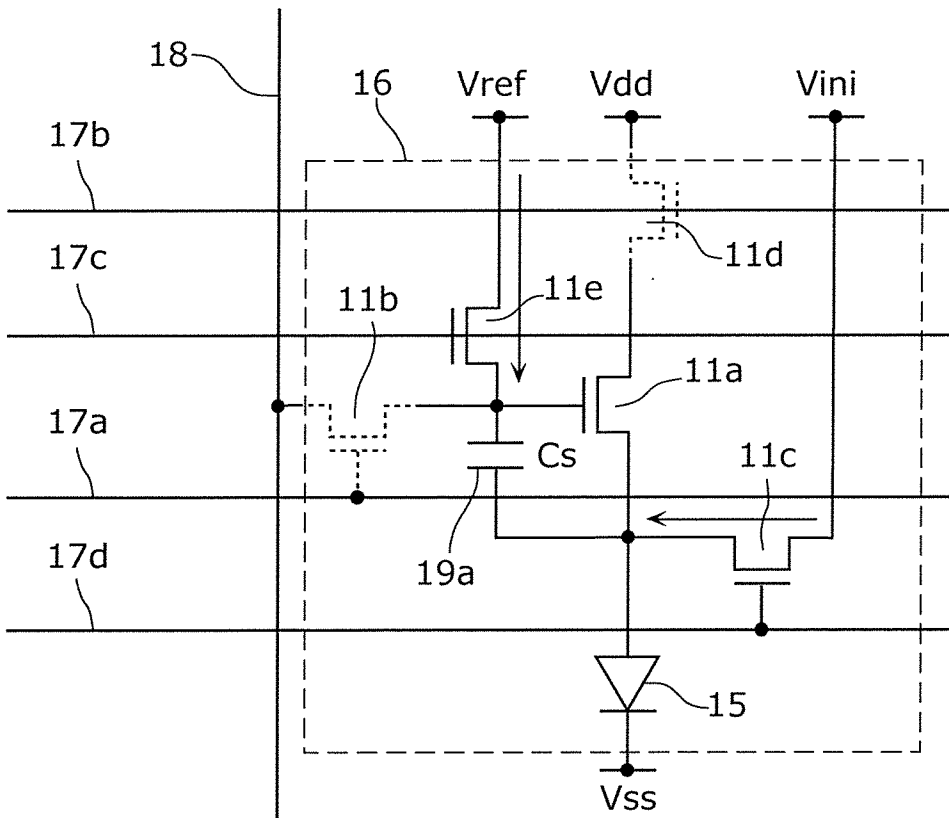
[図3]



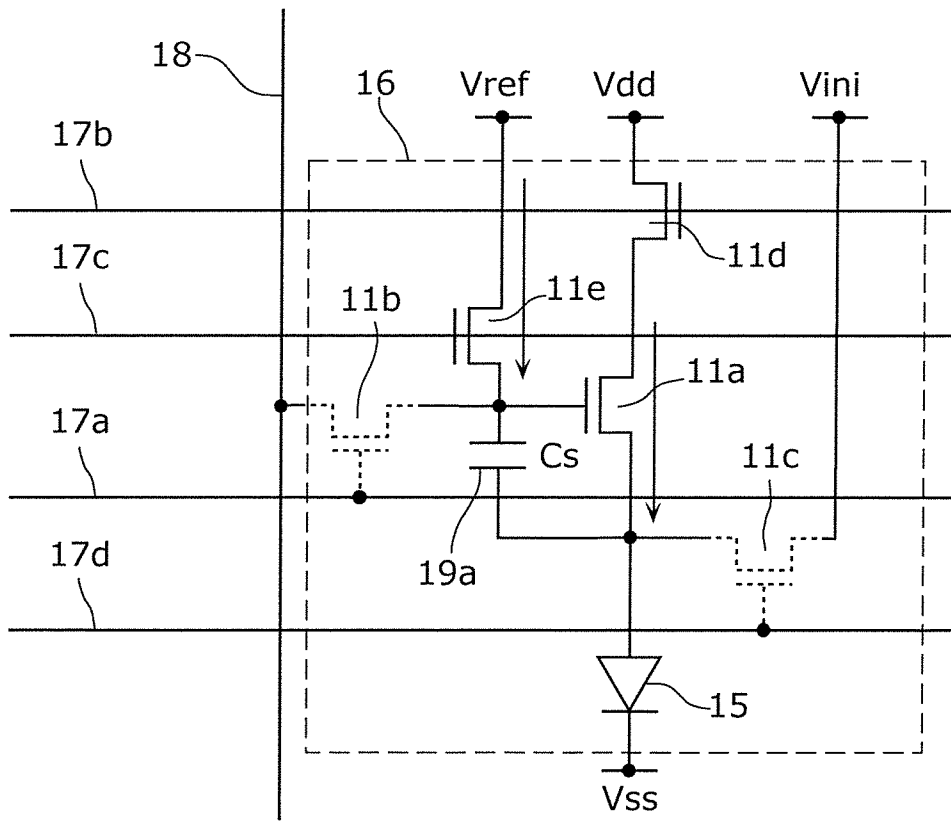
[図4]



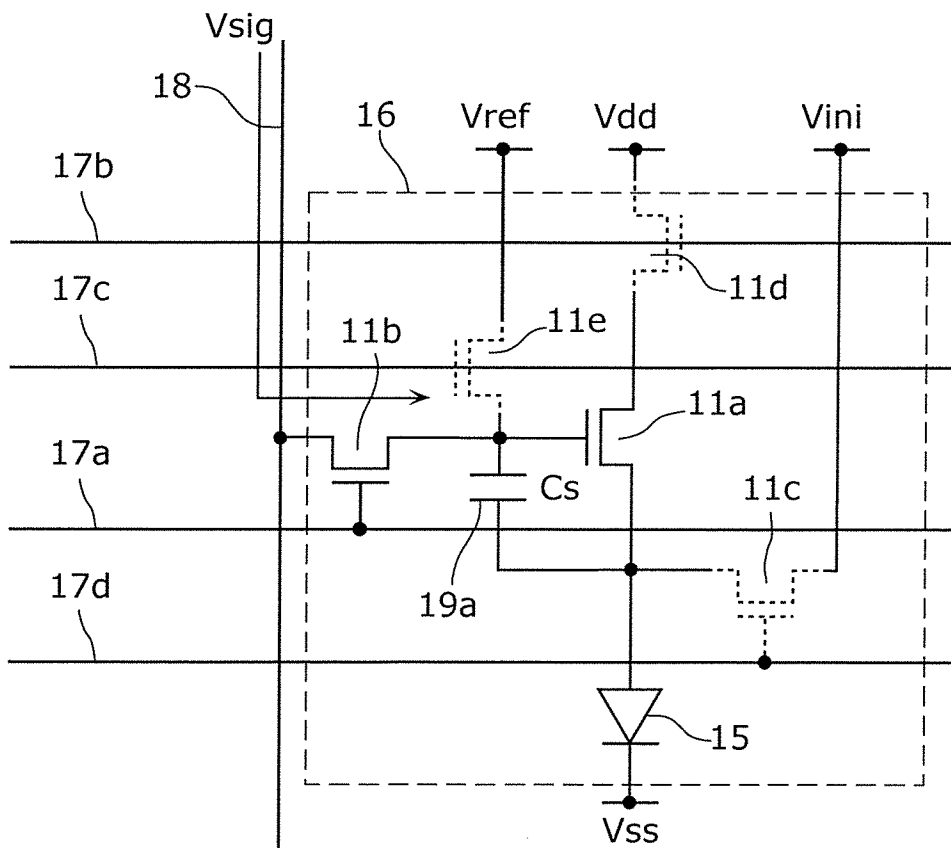
[图5]



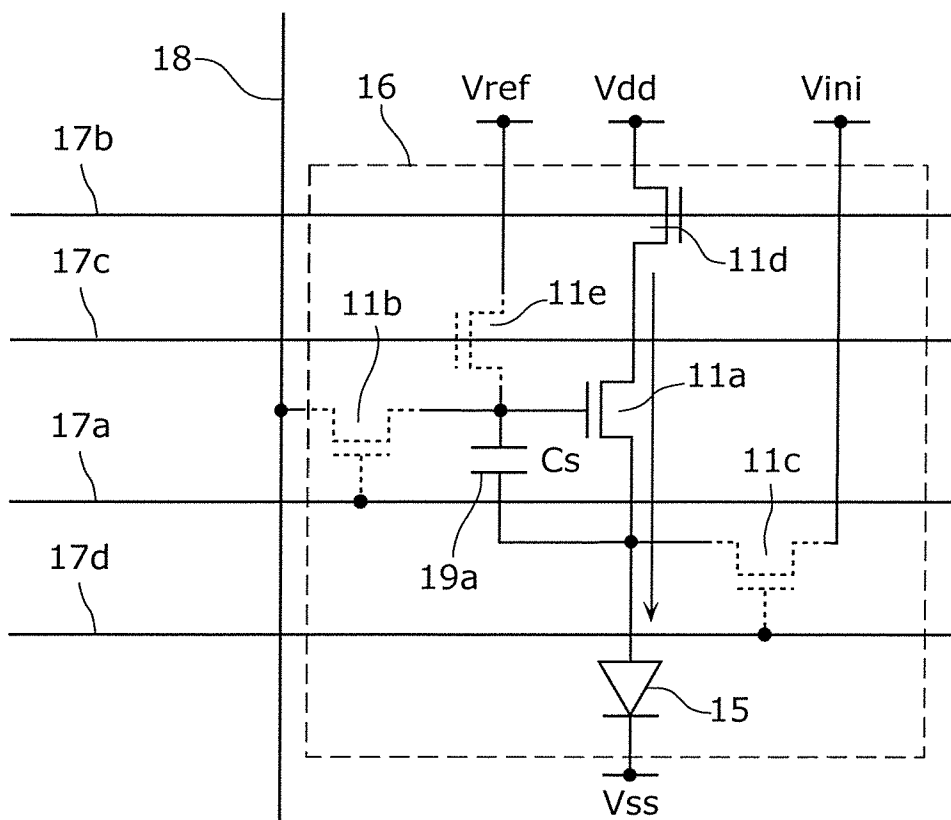
[図6]



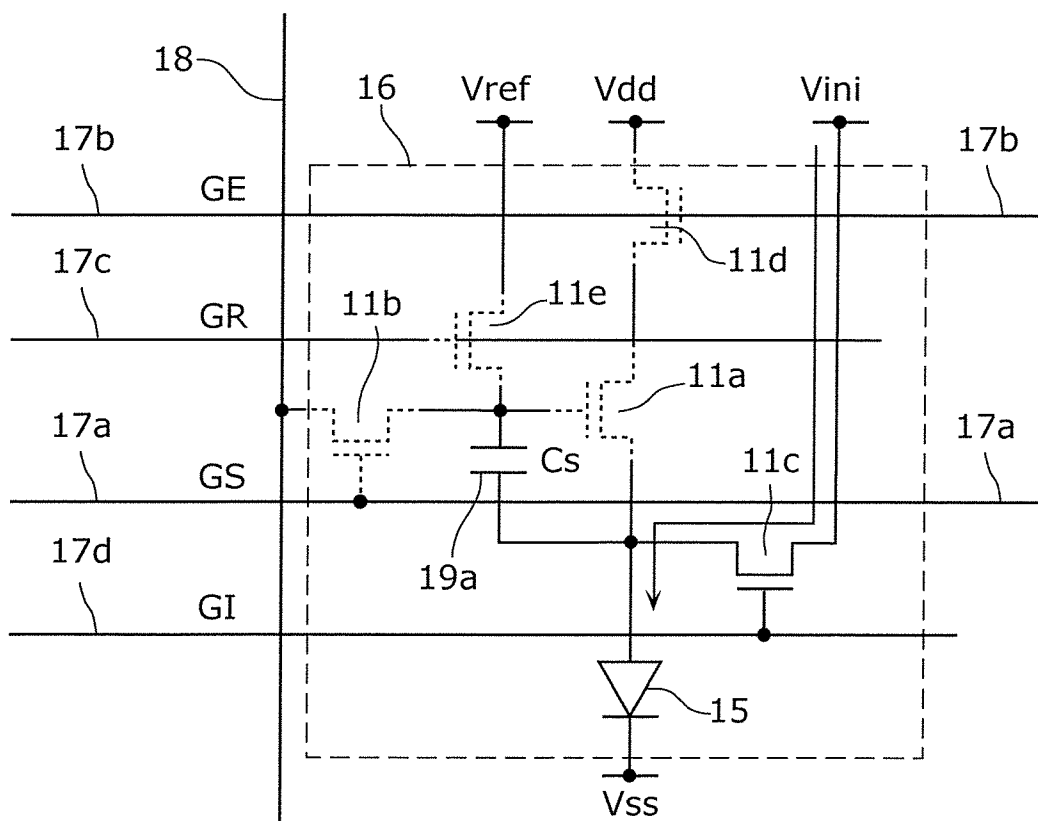
[図7]



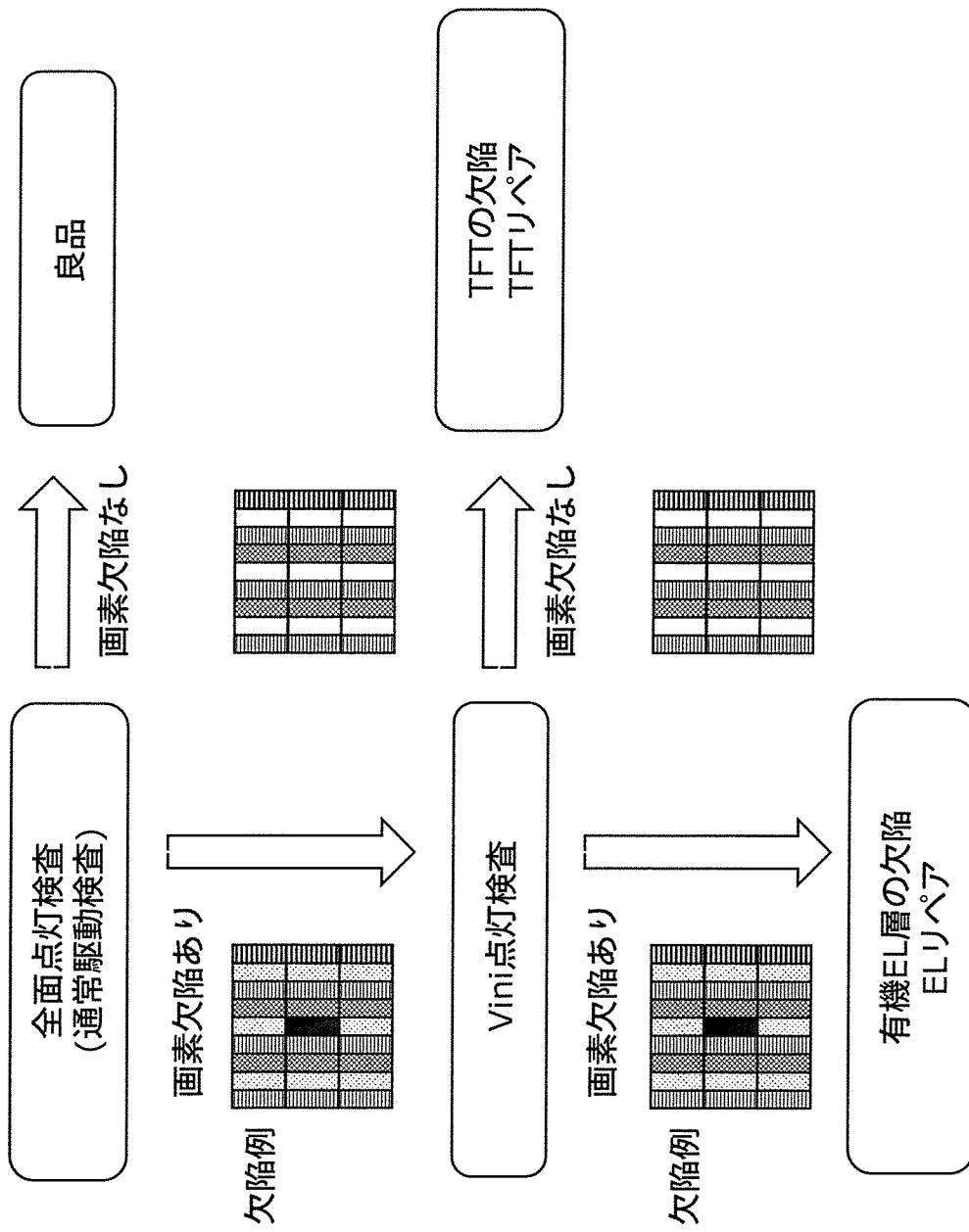
[図8]



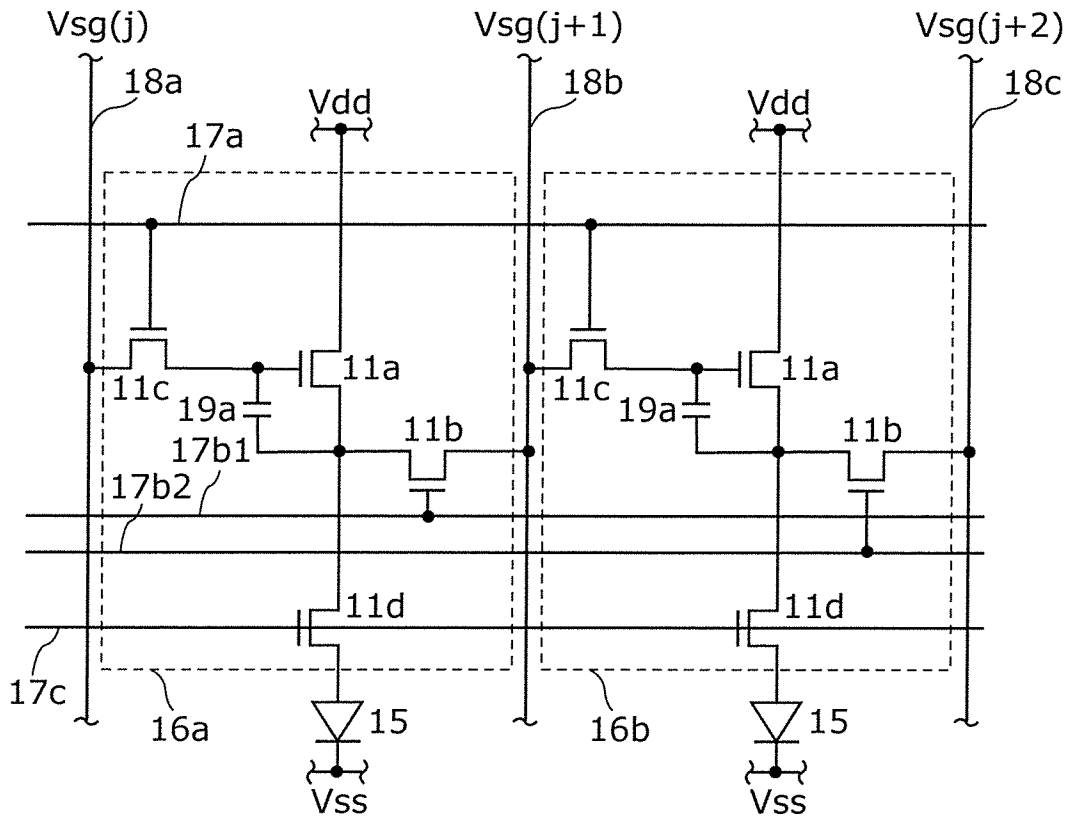
[図9]



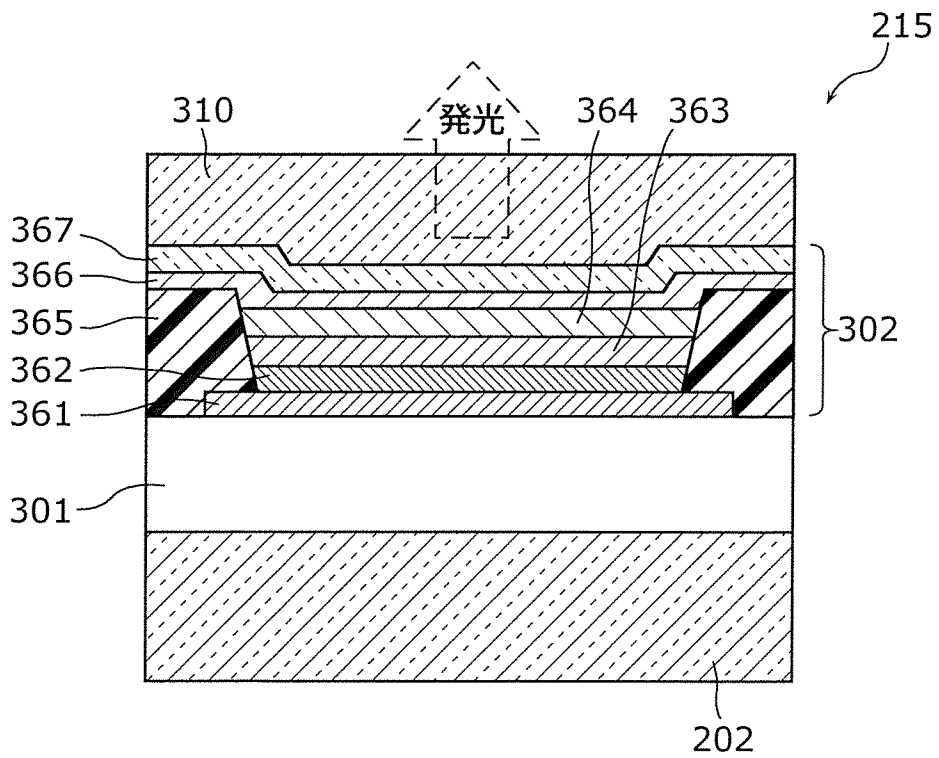
[図10]



[図11]



[図12]





**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2014/006425

**A. CLASSIFICATION OF SUBJECT MATTER**  
G09G3/30(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G09G3/30, G09F9/00, G09F9/30, G09G3/20, H01L27/32, H01L51/50, H05B33/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-250085 A (Seiko Epson Corp.), 04 November 2010 (04.11.2010), paragraphs [0023] to [0069]; fig. 1 to 7 (Family: none)	1, 3 2, 4-5
Y	JP 2005-331744 A (Seiko Epson Corp.), 02 December 2005 (02.12.2005), paragraphs [0022] to [0037]; fig. 1 to 4 & US 2005/0258769 A1 & KR 10-2006-0047221 A & CN 1700284 A & CN 101271670 A	2, 4
Y	JP 2003-178871 A (Sony Corp.), 27 June 2003 (27.06.2003), paragraphs [0026] to [0027]; fig. 1 to 2 (Family: none)	4

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 March 2015 (24.03.15)	Date of mailing of the international search report 31 March 2015 (31.03.15)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/006425

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-281874 A (Casio Computer Co., Ltd.), 16 December 2010 (16.12.2010), paragraphs [0091] to [0123]; fig. 16 to 22 (Family: none)	5
Y	JP 2008-52111 A (Mitsubishi Electric Corp.), 06 March 2008 (06.03.2008), paragraphs [0024] to [0083]; fig. 1 to 5 & KR 10-2008-0018815 A	5
A	JP 2013-506873 A (Global OLED Technology L.L.C.), 28 February 2013 (28.02.2013), paragraphs [0016] to [0028]; fig. 1 to 3 & US 2011/0074429 A1 & WO 2011/041225 A1	1-5
A	JP 2013-101401 A (Panasonic Corp.), 23 May 2013 (23.05.2013), paragraphs [0025] to [0079]; fig. 1 to 4 & US 2010/0149140 A1 & US 2012/0249612 A1 & WO 2009/144913 A1	1-5

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/10(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/30, G09F9/00, G09F9/30, G09G3/20, H01L27/32, H01L51/50, H05B33/10		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-250085 A（セイコーエプソン株式会社）2010.11.04, 段落【0023】-【0069】、【図1】-【図7】（ファミリーなし）	1, 3 2, 4-5
Y	JP 2005-331744 A（セイコーエプソン株式会社）2005.12.02, 段落【0022】-【0037】、【図1】-【図4】 & US 2005/0258769 A1 & KR 10-2006-0047221 A & CN 1700284 A & CN 101271670 A	2, 4
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <span style="margin-left: 200px;"><input type="checkbox"/> パテントファミリーに関する別紙を参照。</span>		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 24.03.2015	国際調査報告の発送日 31.03.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 西島 篤宏 電話番号 03-3581-1101 内線 3226	2G 9308

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-178871 A (ソニー株式会社) 2003.06.27, 段落【0026】 －【0027】, 【図1】－【図2】 (ファミリーなし)	4
Y	JP 2010-281874 A (カシオ計算機株式会社) 2010.12.16, 段落【0091】 －【0123】, 【図16】－【図22】 (ファミリーなし)	5
Y	JP 2008-52111 A (三菱電機株式会社) 2008.03.06, 段落【0024】 －【0083】, 【図1】－【図5】 & KR 10-2008-0018815 A	5
A	JP 2013-506873 A (グローバル・オーエルイーディー・テクノロジー ・リミテッド・ライアビリティ・カンパニー) 2013.02.28, 段 落【0016】－【0028】, 【図1】－【図3】 & US 2011/0074429 A1 & WO 2011/041225 A1	1-5
A	JP 2013-101401 A (パナソニック株式会社) 2013.05.23, 段落【0025】 －【0079】, 【図1】－【図4】 & US 2010/0149140 A1 & US 2012/0249612 A1 & WO 2009/144913 A1	1-5