



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

259454

(11)

(B1)

(51) Int. Cl.⁴

G 06 F 11/09

G 06 K 5/02

(22) Přihlášeno 10 04 86

(21) P V 2645-86.G

(40) Zveřejněno 15 02 88

(45) Vydáno 14 04 89

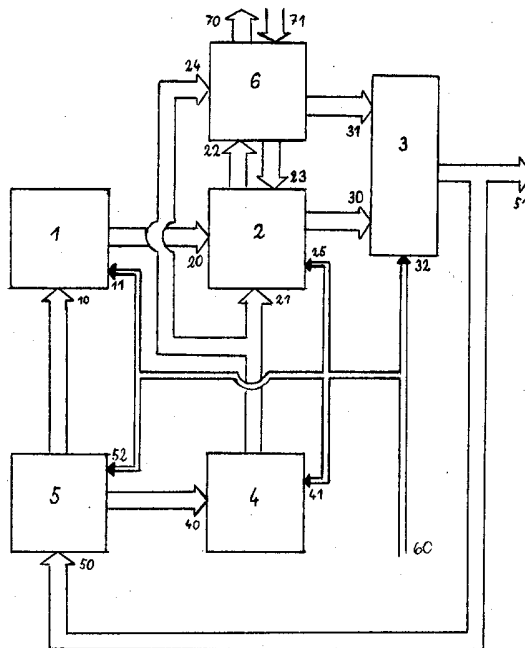
(75)

Autor vynálezu

NOVÁK ONDŘEJ ing., LIBEREC, GOLAN PETR ing. CSc., PRAHA

(54) Zapojení pro sérioparalelní generování a vyhodnocování testů logických obvodů

Zapojení řeší problém sérioparalelního generování a vyhodnocování univerzálního testu aplikovaného v prostředí snadno testovatelných, takzvaných strukturovaných logických obvodů. Funkce zapojení spočívá v tom, že jako testovací vzorky se používají slova lineárního kódu $c = (n, m)$, která se generují sérioparalelně po -bitových slabikách, testovací vzorky se vkládají sérioparalelně do klopných obvodů strukturované testované jednotky, dokud se nenaplní všechny klopné obvody. Potom se provede testovací krok spuštěním sekvence hodinových impulsů po ovládacím vedení a obsahy klopných obvodů a jiných diagnostických pozorovatelných míst se načtou opět do bloku pro kompresi odezvy. Po ukončení univerzálního pseudotriviálního testu se provede permutace bitů kódových slov a celý postup se opakuje z krátké, přičemž z je voleno podle požadovaného stupně pokrytí poruch. Zapojení může nalézt uplatnění při testování strukturovaných logických obvodů.



Vynález se týká zapojení pro sérioparalelní generování a vyhodnocování testů, logických obvodů.

Dosud se pro generování pseudotriviálního testu zpravidla používá lineárního posuvného zpětnovazebního registru, který generuje kódová slova lineárního kódu $C = (n, m)$ s minimální kódovou vzdáleností $d_{\min}$. Řádky nebo sloupce matice kódových slov kódu C jsou pak testovacími vzorky ($d_{\min} - 1$) - univerzálního pseudotriviálního testu, který protestuje triviálním testem všech kombinací obvodů s $v = d_{\min} - 1$ a méně vstupy.

Dosud známé způsoby generování a vyhodnocování pseudotriviálních testů ve strukturovaných obvodech se vyznačují tím, že testovací vzorky se generují sériově bit po bitu a odezvy testovaného obvodu se čtou opět sériově a vyhodnocují se v sériově-diagnostickém procesoru či testeru, nebo ručně, sériovým příznakovým analyzátozem. Sériové generování vzorků se však hodí jen pro plnění klopných obvodů zapojených v sérii do jediné smyčky - sériová metoda LSSD a nelze ji použít například v metodě RAS - Random Access Scan - diagnostický libovolný přístup ke klopným obvodům nebo pro plnění paralelních smyček LSSD - Level Sensitive Scan Design - diagnostický sekvenční přístup ke klopným obvodům. Jedině zapojení sériově paralelního generátoru pseudonáhodných vzorků a adres generuje testovací vzorky sérioparalelně, liší se však od tohoto zapojení tím, že generovaný test je jen pseudonáhodný a má tudíž podstatně horší pokrytí poruch než test pseudotriviální.

Výše uvedené nedostatky odstraňuje zapojení pro sérioparalelní generování a vyhodnocování testů logických obvodů podle vynálezu, jehož podstata spočívá v tom, že ovládací vedení je připojeno k ovládacím vstupům bloku pro generování kódových slov, k ovládacím vstupům bloku klopných obvodů a k ovládacím vstupům pro kompresi odezvy, přičemž blok pro generování kódových slov je připojen k diagnostickému vstupu bloku klopných obvodů, k němuž je připojen datový vstup bloku pro kompresi odezvy, jehož diagnostický vstup je připojen k testované jednotce.

Zapojení podle vynálezu může být doplněno blokem pro adresaci klopných obvodů a kontrolních bodů, k jehož ovládacím vstupům je připojeno ovládací vedení a k němuž je připojen adresový vstup bloku klopných obvodů.

Zapojení může být doplněno blokem pro řízení permutace bitů kódu, k jehož ovládacím vstupům je připojeno ovládací vedení a k němuž je připojen modifikační vstup bloku pro adresaci klopných obvodů a kontrolních bodů.

K modifikačnímu vstupu bloku pro řízení permutace bitů kódu může být připojen výstup bloku pro kompresi odezvy.

Blok pro řízení permutace bitů kódu může být připojen k modifikačnímu vstupu bloku pro generování kódových slov.

Testovaná jednotka může být připojena k prvnímu externímu datovému vedení, k nimž jsou připojeny další testované jednotky, přičemž ovládací vedení je pro všechny testované jednotky společné.

Zapojení pro sérioparalelní generování a vyhodnocování testů podle vynálezu má tyto výhody:

Umožňuje snadné testování zákaznických a polozákaznických strukturovaných obvodů nebo desek plošných spojů a celých číslicových systémů s těmito obvody. Není zapotřebí provádět ekonomicky náročné ruční nebo strojové generování testů a simulaci poruch. Dosahuje se přitom velmi vysokého procenta pokrytí poruch, přičemž stačí podstatně menší počet testovacích kroků, než pro stejné pokrytí vyžaduje pseudonáhodný test generovaný například podle AO 257 861. Sérioparalelním generováním a vyhodnocováním testu je zajištěna mnohem vyšší rychlost testování než u sériového generování a vyhodnocování.

Na připojeném výkresu je nakresleno principální blokové schéma zapojení pro sérioparalelní generování a vyhodnocování testů logických obvodů podle vynálezu.

Ovládací vedení 60 je připojeno k ovládacím vstupům 11 bloku 1 pro generování kódových slov, k ovládacím vstupům 25 bloku 2 klopných obvodů, k ovládacím vstupům 32 bloku 3 pro kompresi odezvy, k ovládacím vstupům 41 bloku 4 pro adresaci klopných obvodů a kontrolních bodů a k ovládacím vstupům 52 bloku 5 pro řízení permutace bitů kódu. Blok 1 pro generování kódových slov je připojen k diagnostickému vstupu 20 bloku 2 klopných obvodů. Blok 4 pro adresaci klopných obvodů a kontrolních bodů je připojen k adresovému vstupu 21 bloku 2 klopných obvodů a k adresovému vstupu 24 testované jednotky 6. Datový výstup 22 bloku 2 klopných obvodů je připojen k testované jednotce 6, k níž je připojen datový vstup 23 bloku 2 klopných obvodů. Blok 2 klopných obvodů je připojen k datovému vstupu 30 bloku 3 pro kompresi odezvy, k jehož diagnostickému vstupu 31 je připojena testovaná jednotka 6.

Výstup bloku 3 pro kompresi odezvy je připojen k výstupu 51 celého zapojení a k modifikačnímu vstupu 50 bloku 5 pro řízení permutace bitů kódu, k němuž je připojen modifikační vstup 10 bloku 1 pro generování kódových slov a modifikační vstup 40 bloku 4 pro adresaci klopných obvodů a kontrolních bodů. Testovací jednotka 6 je připojena k prvnímu externímu datovému vedení 70 a k druhému externímu datovému vedení 71, k nimž jsou připojeny neznázorněné testované jednotky.

Funkce zapojení podle vynálezu je následující:

Blok 1 generování kódových slov vytváří postupně části kódového slova lineárního kódu $C = (n, m)$. Tyto části vstupují vedením 20 testovacích vzorků do bloku 2 klopných obvodů. Adresování klopných obvodů zajišťuje blok 4 pro adresaci klopných obvodů a kontrolních bodů, který vysílá adresu do adresového vstupu 21 bloku 2 klopných obvodů a do adresového vstupu 24 testované jednotky 6. Po naplnění klopných obvodů se řízení ovládacího vedení 60 provede jeden krok testu.

Jestliže jsou k testované jednotce 6 připojeny prvním externím datovým vedením 70 a druhým externím datovým vedením 71 neznázorněné další testované jednotky, jsou testovány současně s ní. Pomocné testovací vzorky z dalších testovaných jednotek vstupují do testované jednotky 6 druhým externím datovým vedením 71. Prvním externím datovým vedením 70 vystupují testované vzorky z testované jednotky 6 do dalších testovaných jednotek. Při testování na testeru jsou všechny vstupy kombinačních obvodů testované jednotky 6 stimulovány z klopných obvodů diagnosticky nahrávatelných pomocí bloku 1 pro generování kódových slov.

Po provedení kroku testu je odezva testované jednotky 6 sejmuta sérioparalelně z bloku 2 klopných obvodů a odeslána do datového vstupu 30 bloku 3 pro kompresi odezvy. Odezva testované jednotky 6 může být sejmuta i z případných dalších kontrolních bodů testované jednotky 6 a odeslána do diagnostického vstupu 31 bloku 3 pro kompresi odezvy.

Blok 3 pro kompresi odezvy nese hlavní diagnostickou informaci. V průběhu celého testu se v něm po každém kroku shromažďuje komprimovaná odezva ve formě několikabitového příznaku. Komprese odezvy se provádí například pomocí příznakového analyzátoru s paralelními vstupy nebo pomocí asynchronního nebo synchronního čítače či jiného sekvenčního automatu. Jako příznak slouží vnitřní stav automatu reprezentovaný obsahem jeho paměťových členů. Odezvy testované jednotky 6 se dostávají do diagnostického vstupu 31 bloku 3 pro kompresi odezvy a přes blok 2 klopných obvodů do datového vstupu 30 bloku 3 pro kompresi odezvy v souladu s adresou čtených klopných obvodů a kontrolních bodů, nastavenou blokem 4 pro adresaci klopných obvodů a kontrolních bodů na adresovém vstupu 21 bloku 2 klopných obvodů a na adresovém vstupu 24 testované jednotky. Synchronizace je zajištěna ovládacím vedením 60.

Po každém testovacím kroku se prostřednictvím bloku 5 pro řízení permutace bitů kódu vyše do modifikačního vstupu 10 bloku 1 pro generování kódových slov a do modifikačního

vstupu 40 bloku 4 pro adresaci klopných obvodů a kontrolních bodů binární kombinace. Tato binární kombinace způsobí v bloku 1 pro generování kódových slov to, že v příštím kroku testu budou bity kódového slova permutovány. V obvodu 4 pro adresaci klopných obvodů způsobí vyslaná binární kombinace změnu v pořadí generovaných adres a tím dojde k permutaci m-bitových slabik v kódovém slově.

Permutaci bitů v obvodu 1 pro generování kódových slov lze realizovat například přepnutím zabudované permutační sítě. Změnu v pořadí adres na adresovém vstupu 21 bloku 2 klopných obvodů lze dosáhnout například přičtením modulu 2 obsahu modifikačního vstupu 40 bloku 4 pro adresaci klopných obvodů a kontrolních bodů k vektoru vnitřního stavu bloku 4 pro adresaci klopných obvodů a kontrolních bodů. Binární konstanta pro bitovou a slabikovou modifikaci se generuje v bloku 5 pro řízení permutace bitů kódu jako vnitřní stav nebo výstup sekvenčního automatu; posloupnost vnitřních stavů sekvenčního automatu může být měněna kombinací na modifikačním vstupu 50 bloku 5 pro řízení permutace bitů kódu.

Kombinaci na modifikačním vstupu 50 bloku 5 pro řízení permutace bitů kódu lze použít pro bitovou a slabikovou permutaci přímo. V tom případě je blok 5 pro řízení permutace bitů kódu vynechán a kombinace vstupuje přímo do modifikačního vstupu 10 bloku 1 pro generování kódových slov a do modifikačního vstupu 40 bloku 4 pro adresaci klopných obvodů a kontrolních bodů. Při testování strukturovaných obvodů typu LSSD, u nichž nelze měnit pořadí klopných obvodů v bloku 2 klopných obvodů, je vynechán také blok 4 pro adresaci klopných obvodů a kontrolních bodů. Při testování strukturovaných obvodů typu RAS lze samostatně použít bitové i slabikové permutace.

P R E D M Ě T V Y N Á L E Z U

1. Zapojení pro sérioparalelní generování a vyhodnocování testů logických obvodů vyznačující se tím, že ovládací vedení (60) je připojeno k ovládacím vstupům (11) bloku (1) pro generování kódových slov, k ovládacím vstupům (25) bloku (2) klopných obvodů a k ovládacím vstupům (32) bloku (3) pro kompresi odezvy, přičemž blok (1) pro generování kódových slov je připojen k diagnostickému vstupu (20) bloku (2) klopných obvodů, k němuž je připojen datový vstup (30) bloku (3) pro kompresi odezvy, jehož diagnostický vstup (31) je připojen k testované jednotce (6).

2. Zapojení podle bodu 1 vyznačující se tím, že obsahuje blok (4) pro adresaci klopných obvodů a kontrolních bodů, k jehož ovládacím vstupům (41) je připojeno ovládací vedení (60) a k němuž je připojen adresový vstup (21) bloku (2) klopných obvodů.

3. Zapojení podle bodu 2 vyznačující se tím, že obsahuje blok (5) pro řízení permutace bitů kódu, k jehož ovládacím vstupům (52) je připojeno ovládací vedení (60) a k němuž je připojen modifikační vstup (40) bloku (4) pro adresaci klopných obvodů a kontrolních bodů.

4. Zapojení podle bodu 3 vyznačující se tím, že k modifikačnímu vstupu (50) bloku (5) pro řízení permutace bitů kódu je připojen výstup bloku (3) pro kompresi odezvy.

5. Zapojení podle bodu 4 vyznačující se tím, že blok (5) pro řízení permutace bitů kódu je připojen k modifikačnímu vstupu (10) bloku (1) pro generování kódových slov.

6. Zapojení podle bodů 1 až 5 vyznačující se tím, že testovaná jednotka (6) je připojena k prvnímu externímu datovému vedení (70) a k druhému externímu datovému vedení (71), k nimž jsou připojeny neznázorněné další testované jednotky, přičemž ovládací vedení (60) je společné pro všechny testované jednotky.

259454

