

公告本

383487

申請日期	87.5.20
案號	87107785
類別	H01L 27/04

A4
C4

383487

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	半導體裝置之製造方法
	英文	
二、發明 創作人	姓名	1 山內 智 2 竹廣 忍 3 吉丸 正樹
	國籍	日本
三、申請人	住、居所	日本東京都港區虎ノ門1丁目7番12號
	姓名 (名稱)	沖電氣工業股份有限公司
三、申請人	國籍	日本
	住、居所 (事務所)	日本東京都港區虎ノ門1丁目7番12號
三、申請人	代表人 姓名	澤村 紫光

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

日本 1997/10/17 特願平09-285715

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (|)

本發明是有關於一種在半導體基底上具有電容器的半導體裝置的製造方法。

將電容器納入積體電路，比如動態隨機存取記憶體一 (Dynamic Random Access Memory, DRAM) 的半導體裝置是大家所熟知的。

近年來，以鈦酸鋇 (Barium Titanate, BaTiO_3) 與鈦酸鋇 (Strontium Titanate, SrTiO_3) 作為電容器的介電層的技術開始受到注意。

舉例來說，下列的文章均揭露了此項技術，如 (1) S. Yamamichi et al., 1995 IEDM Technical Digest, p.119 (2) K. P. Lee et al., 1995 IEDM Technical Digest, p.910 (3) Japanese Laid-open Publication No.50395/95。

如上面第 1 篇與第 2 篇文章中所揭露的，以鈦酸鋇與鈦酸鋇作為介電層，可以改善介電層的絕緣性質，因此會製作出具有高介電常數的電容器，以使半導體裝置有高的積集度。此種技術被預測會用以製作如十億位元 (Giga Bit) 具有大電容等級的動態隨機存取記憶體之半導體元件。

此外，如上面第 3 篇文章所揭露的，當利用兩對或更多對的上下電極，以及一層鈦酸鋇介電層製作兩個或更多的電容器時，透過使介電層的某一區域變成非結晶態 (Amorphous) 以降低介電常數，寄生電容會因此而減少，在介電層的此區域並不會與上下電極相接觸。

第 12 圖繪示為習知的一種動態隨機存取記憶體之主要結構剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

如第 12 圖所示，二氧化矽層 1202 被用以作為元件隔離層，而擴散層 1203a 與 1203b 為位於矽晶圓 1201 表面上的金氧半電晶體的一部份。一層絕緣層 1204、氮化矽層 1205、比如以複晶矽形成的內連線層 1206a，以及以銣、氧化銣或鉑形成的導電層 1206b 被形成在整個晶圓 1201 的表面上；其中內連線層 1206a 與導電層 1206b 組合成下電極 1206。

介電層 1207 與上電極 1208 被以薄片型式覆蓋在導電層 1206b 與氮化層 1205 上，另外有一層絕緣層 1209 形成於上電極 1208 與介電層 1207 上。

在絕緣層 1209 的表面上形成有內連線圖案 1210 與 1211，內連線圖案 1210 與擴散層 1203b 係利用一層內連線層 1212 相連接，而內連線圖案 1211 與上電極隙透過一層內連線層 1213 相連接。

爲了在動態隨機存取記憶體上形成內連線層 1212，必須形成一個穿透各層 1204、1205、1207 與 1209 的接觸窗開口(Contact Hole)。

當介電層 1207 包含有鈦酸鋇層或鈦酸鋁層時，很難利用乾蝕刻的方法，比如反應性離子蝕刻(Reactive Ion Etching, RIE)將介電層 1207 去除掉；因此很難形成接觸窗開口。這是因爲由鋇、鋁或鈦與蝕刻氣體成分(比如氯)產生的化合物具有高熔點，低揮發性。

假如以濕蝕刻取代，含有鈦酸鋇與鈦酸鋁的介電層 1207 可以容易的被去除。然而，因爲濕蝕刻的非等向性很

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

小，故在具有高積集度的動態隨機存取記憶體上很難使用濕蝕刻法。

在上述第 3 篇文章中所揭露的技術可以降低寄生電容的介電常數，此技術只將一部份含有鈦酸鋇與其他成份的介電層變成非結晶態，但是無法完全去除寄生電容。此技術仍無法解決上述接觸窗開口難以形成的問題。

雖然在此以動態隨機存取記憶體作為例子說明，此類的問題通常會發生在具高積集度的半導體裝置上。

因此，本發明的主要目的就是在提供一種方法，以簡單、準確的利用濕蝕刻去除半導體裝置上的電容器之介電層。

根據其目的，本發明包括下列步驟：(a)形成一層下電極，其中在半導體基底上的絕緣層上有一層介電層，而導電圖案形成在與內連線層相接觸的絕緣層上；(b)在絕緣層與導電圖案上形成非結晶態或結晶態的介電層；(c)在介電層的一個特定區域上形成上電極；(d)改變介電層，使其至少在上電極下方的區域變成結晶態，而其他區域變成非結晶態；以及(e)利用濕蝕刻法，採用對非結晶態之蝕刻速率高於對結晶態的蝕刻速率之蝕刻劑，移除一部份或全部介電層中非結晶態的部分。

假如採用此製造方法，因為是使用濕蝕刻，蝕刻會變的容易，而且蝕刻可能具有足夠的非等向性，因為採用的蝕刻劑對非結晶態之蝕刻速率高於對結晶態的蝕刻速率。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖與第 2 圖繪示為第一實施例中，一種半導體裝置的製造方法之製造流程剖面圖；

第 3 圖繪示為第一實施例中燈加熱時間與介電層結晶化速度的關係圖；

第 4 圖與第 5 圖繪示為第一實施例的結果說明圖；

第 6 圖至第 9 圖繪示為第二實施例中，一種半導體裝置的製造方法之製造流程剖面圖；

第 10 圖與第 11 圖繪示為第四實施例中，一種半導體裝置的製造方法之製造流程剖面圖；

第 12 圖繪示為習知的一種半導體裝置之主要結構剖面圖。

實施例

參照圖示，本發明將舉一應用於動態隨機存取記憶體的實施例作為例子，圖示中的尺寸、形狀與每一組成的相對位置只是概略的介紹以幫助了解本發明，以下敘述的狀態順序也僅供參考。

第一實施例

根據本發明的第一實施例之製造方法敘述如下，請同時參照第 1 圖至第 5 圖。

第 1 圖與第 2 圖繪示為第一實施例中，一種半導體裝置的製造方法之製造流程剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

首先，在矽晶圓 101 上形成用以作為元件隔離層的二氧化矽層 102，以及組成部分金氧半電晶體或相似元件的一部份之擴散層 103。一層厚度比如為 700~1000Å 的二氧化矽層，與厚度比如為 10~100Å 的非結晶態氮化矽層 105，利用比如化學氣相沈積法 (Chemical Vapor Deposition, CVD)，形成在晶圓 101 的整個表面上。

接著，在二氧化矽層 104 與氮化矽層 105 上，利用一般的微影技術或相似的方法形成接觸窗開口 106。然後在整個表面上利用比如濺鍍的方法，沈積一層複晶矽層，而透過回蝕的方法，在表面上形成一層內連線層 107a。透過沈積的技術比如化學氣相沈積法，以及定義的技術，在此層上形成有包括一層阻障層 (Barrier Layer)，與至少包括銦、氧化銦、銻、氧化銻及鉑層其中之一的導電層 107b，以使整個厚度變成比如為 20~100nm；此導電層 107b 與上述的內連線層 107a 組合成下電極 107。

接著，利用化學氣相沈積法或相似的技術，將厚度比如為 20~100nm 的鈦酸鋇鋇層 108 (Barium Strontium Titanate, BST) 形成於整個表面，透過將沈積溫度設定在 500°C 或更低，此鈦酸鋇鋇層 108 在結晶層上可以以結晶狀態形成，在非結晶態層上則為非結晶態狀態。在此實施例中，導電層 107b 為結晶態，而氮化矽層 105 為非結晶態，因此結晶的鈦酸鋇鋇層 108a 形成在導電層 107b 上，而非結晶態的鈦酸鋇鋇層 108b 則形成於氮化系層 105 上 (如第 1(A)圖所示)。假若沈積溫度設定在 500°C 或更高，

五、發明說明(6)

在導電層 107b 與氮化矽層 105 上的兩個鈦酸鋇鋇層均會成結晶態。

利用濺鍍法、化學氣相沈積法或其他方法，將至少由鈷、氧化鈷、銱、氧化銱及鉑層其中之一組成的一層導電層 109 形成在鈦酸鋇鋇層 108 的整個表面上，整體的厚度比如為 30~200nm(如第 1(B)圖所示)。

利用一般的微影或相似的方法，定義此導電層層 109，以形成上電極 110(第 1(C)圖所示)。

以燈在比如 400℃ 加熱整個表面，透過這個步驟，只有在上述的非晶矽層 108b 與電極 110 接觸的區域被結晶化，而轉成結晶層 108c(如第 1(D)圖所示)。

第 3 圖為燈加熱時間與鈦酸鋇鋇層 108b 結晶化速度的關係圖。在第 3 圖中，橫座標表示以燈加熱的時間，縱座標表示鈦酸鋇鋇層 108b 的 x-光繞設峰的強度(任意值)。

如第 3 圖所標示的符號 a，鈦酸鋇鋇層 108b 未與電極 110 接觸的部分，即使以燈加熱也不會結晶化；另一方面，與電極 110 接觸的部份以 400℃ 的燈加熱約 60 秒即可完全結晶化，如第 3 圖中所標示的符號 b。

因此，在非結晶態層 108b 上形成結晶層 110 以後，以燈加熱可以使非結晶態層 108b，與結晶層 110 接觸的區域選擇性的呈現結晶化。

利用濕蝕刻，只移除鈦酸鋇鋇層 108b 中非結晶態的區域(如第 2(A)圖所示)。任何蝕刻劑都可以用在這裡，只要其對非結晶態的蝕刻率高於對結晶系的蝕刻率，而在本實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

施例中使用氫與氟化胺(1:2)的溶液。

第 4 圖為使用氫與氟化胺(1:2)的溶液作為鈦酸鋁銀層的蝕刻劑的蝕刻速率圖，其中橫座標表示氫與氟化胺(1:2)溶液的濃度，縱座標表示蝕刻速率。

如第 4 圖所示，當以氫與氟化胺(1:2)的溶液作為蝕刻劑時，無論在什麼濃度下，對結晶態(見符號 a)的蝕刻速率均低於對非結晶態(見符號 b)的蝕刻速率。

第 5 圖為以氫與氟化胺(1:2)的溶液作為鈦酸鋁銀層的蝕刻劑時，對結晶態的蝕刻率與非結晶態的蝕刻率之比率圖，其中橫座標表示氫與氟化胺(1:2)溶液的濃度，縱座標表示蝕刻速率的比率。

如第 5 圖所示，以氫與氟化胺(1:2)的溶液作為蝕刻劑，會使對非結晶態的蝕刻率，為對結晶態的蝕刻率的三倍或更高。這樣在移除非結晶態層 108b 時，結晶層 108c 被蝕刻的深度可控制，使其低於鈦酸鋁銀層 108 的三分之一。

接著，利用反應性離子蝕刻法或類似的方法，移除氮化矽層 105 暴露出來的部分(如第 2(B)圖所示)。

利用化學氣相沈積法或相似的方法，在整個表面上形成一層用以作為絕緣層的二氧化矽層 111(如第 2(C)圖所示)。

而後，利用習知的微影技術或相似的方法，在二氧化矽層 111 中形成接觸窗開口 112 與介層洞 113；接著，比如以濺鍍的方法，在整個表面上沈積一層多晶矽層後，利用習知的微影技術或相似的方法，定義形成內連線層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

114,115 與內連線圖案 116,117(如第 2(D)圖所示)。

在本實施例中，接觸窗開口 112 係在氮化矽層 105 被移除以後形成；但另一個做法，開口可以在蝕刻形成接觸窗開口 112 時，同時形成於氮化矽層 105 中，不需要移除氮化矽層 105。

因此，在本實施例中，係在電極 110 形成於非結晶態層 108b 上面以後利用燈加熱，藉以使得結晶化僅在非結晶態層與電極 110 接觸的部分進行。在接下來的蝕刻步驟中，利用氫與氟化胺(1:2)的溶液進行濕蝕刻；此步驟可以選擇性的移除非結晶態層 108b(鈦酸鋁層中未與電極 110 接觸的部分)。

另外，此方法可以有效的避免寄生電容的產生，因為鈦酸鋁層中，無法作為電容器的部分可以完全的被移除。

第二實施例

根據本發明的第二實施例之製造方法敘述如下，請同時參照第 6 圖與第 7 圖。

第 6 圖與第 7 圖繪示為第二實施例中，一種動態隨機存取記憶體的製造流程剖面圖。

首先，在矽晶圓 601 的表面上形成用以作為元件隔離層的二氧化矽層 602、擴散層 603、作為絕緣層的二氧化矽層 604，以及非結晶態的氮化矽層 605，其形成方式與第一實施例相同。接著，以一般的微影或相似的技術，在二氧化矽層 604 與氮化矽層 605 中形成接觸窗開口 606。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

而且，透過形成一層內連線層 607a 與導電層 607b，組合形成下電極 607，其中內連線層 607a 與導電層 607b 與第一實施例中提到的具有相同的形狀。

接著，利用與第一實施例相同的方法形成鈦酸鋇鋇層 608，其與電極 607 接觸的區域呈結晶狀態，而其他區域為非結晶態。再形成與第一實施例中提到的具有相同的形狀的上電極 609。之後，利用與第一實施例相同的方法進行燈加熱的步驟，以使形成的鈦酸鋇鋇層與電極 609 接觸的區域 608a 呈現結晶化，而其他區域 608b 為非結晶態。此外，一層二氧化矽層 610 被形成在整個表面上(如第 6(A)圖所示)。

利用比如乾蝕刻的方法形成介層洞 611，以使部分的非晶矽層 608b 暴露出來(如第 6(B)圖所示)。

利用濕蝕刻法去除非晶矽層 608b 暴露出來的部分(如第 6(C)圖所示)，在本實施例中，同樣的利用氫與氟化胺(1:2)的溶液作為蝕刻劑。

在利用一般的乾蝕刻或相似的技術，移除氮化矽層 605 暴露出來的部分以後，將所有二氧化矽層 610 移除(如第 7(A)圖所示)。

用以作為絕緣層的二氧化矽層 612 被形成在整個表面上，形成方式比如化學氣相沈積法(如第 7(B)圖所示)。

而後，利用習知的微影技術或相似的方法，在二氧化矽層 612 中形成接觸窗開口 613 與介層洞 614；接著，比如以濺鍍的方法，在整個表面上沈積一層多晶矽層後，利

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

用習知的微影技術或相似的方法，定義形成內連線層 615,616 與內連線圖案 617,618(如第 7(C)圖所示)。

因此，在本實施例中，係在電極 610 形成於非結晶態層 608b 上面以後利用燈加熱，藉以使得結晶化僅在非結晶態層與電極 609 接觸的部分進行；並在接下來的蝕刻步驟中，利用氫與氟化胺(1:2)的溶液進行濕蝕刻。因此，在本實施例中，可以利用簡單的步驟，僅移除鈦酸鋁層 608b 所預定的區域。

第三實施例

根據本發明的第三實施例之製造方法敘述如下，請同時參照第 8 圖與第 9 圖。

第 8 圖與第 9 圖繪示為第三實施例中，一種動態隨機存取記憶體的製造流程剖面圖。

首先，在矽晶圓 801 的表面上形成有用以作為元件隔離層的二氧化矽層 802、擴散層 803、作為絕緣層的二氧化矽層 804，以及非結晶態的氮化矽層 805，其形成方式與第一、第二實施例相同。接著，以一般的微影或相似的技術，在二氧化矽層 804 與氮化矽層 805 中形成接觸窗開口 806。而且，透過形成一層內連線層 807a 與導電層 807b，組合形成下電極 807，其中內連線層 807a 與導電層 807b 與第一實施例中提到的具有相同的形狀。

接著，利用化學氣相沈積法、反應性濺鍍或是其他方法，在整個表面上形成一層厚度比如為 20~100nm 的鈦酸鋁層 808；在本實施例中，碳酸鋁層 808 係利用將沈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (||)

積溫度設定於 500°C 或更高，以形成結晶態。

利用濺鍍、化學氣相沈積或其他的方法，在鈦酸鋇鋇層 808 的整個表面上，形成至少包括銦、氧化銦、銻、氧化銻與鉑其中之一的導電層 809，其整體厚度比如為 30~200nm。

之後，在整個表面上形成一層二氧化矽層 810，形成方式比如以化學氣相沈積法進行(如第 8(A)圖所示)。

以一般的定義技術或類似的方法，透過定義導電層 809 與二氧化矽層 810，以形成上電極 811 與罩幕圖案 812(如第 8(B)圖所示)。

以比如 10~20kV 的加速電壓，將劑量比如為 $1 \times 10^{13} \sim 1 \times 10^{15}$ 氬離子或其他類似的離子植入整個表面，這會使離子撞擊鈦酸鋇鋇層 808 暴露出來的區域，並形成非結晶態的區域 808a(如第 8(C)圖所示)。

利用濕蝕刻去除非結晶態的區域 808a(如第 9(A)圖所示)。在本實施例中，只要對非結晶態的蝕刻率高於對結晶態的蝕刻率，均可使用作為蝕刻劑，在此以用氫與氟化胺(1:2)的溶液作為例子。

利用反應性離子蝕刻或相似的方法，去除氮化矽層 805 暴露出來的部分(如第 9(B)圖所示)。

在移除罩幕圖案 812 以後，形成一層用以作為絕緣層的二氧化矽層 813。另外，在二氧化矽層 813 中形成接觸窗開口 814 與介層洞 815 以後，透過與第一實施例相同的方法，形成內連線層 816,817 與內連線圖案 818,819(如第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

9(C)圖所示)。

在本實施例中，接觸窗開口 814 係在氮化矽層 805 被移除以後形成，但其他的開口可以利用蝕刻，形成於氮化矽層 805 中，而不需要將氮化矽層 805 移除。

因此，在本實施例中，氫離子被植入結晶態的鈦酸鋇鋇層 808 的特定區域，以使該區域轉變為非結晶態；並在接下來的蝕刻步驟中，利用氫與氟化胺(1:2)的溶液進行濕蝕刻，使其可以選擇性的自鈦酸鋇鋇層 808 中移除非結晶態區域 808a。

此方法亦可以有效的避免寄生電容的產生，因為鈦酸鋇鋇層中，無法作為電容器的部分可以完全的被移除。

第四實施例

根據本發明的第四實施例之製造方法敘述如下，請同時參照第 10 圖與第 11 圖。

第 10 圖與第 11 圖繪示為第四實施例中，一種動態隨機存取記憶體之製造流程剖面圖。

首先，在矽晶圓 1001 的表面上形成有用以作為元件隔離層的二氧化矽層 1002、擴散層 1003、作為絕緣層的二氧化矽層 1004，以及非結晶態的氮化矽層 1005，其形成方式與上述的實施例相同。接著，以一般的微影或相似的技術，在二氧化矽層 1004 與氮化矽層 1005 中形成接觸窗開口 1006。而且，透過形成一層內連線層 1007a 與導電層 1007b，組合形成下電極 1007，其中內連線層 1007a 與導電層 1007b 與第一實施例中提到的具有相同的形狀。

五、發明說明 (13)

接著，利用與第三實施例相同的方法，在整個表面上形成一層結晶態的鈦酸鋇鋇層 1008。利用濺鍍、化學氣相沈積或其他的方法，在鈦酸鋇鋇層 1008 的整個表面上，形成至少包括銦、氧化銦、銻、氧化銻與鉑其中之一的導電層，其整體厚度比如為 30~200nm，並利用與第一實施例相同的方式，透過定義以形成上電極 109。

之後，利用化學氣相沈積或類似的方法，在整個表面上形成一層二氧化矽層 1010(如第 10(A)圖所示)。

利用一般的乾蝕刻或類似的技術形成介層洞 1011，以暴露出一部份的鈦酸鋇鋇層 1008(如第 10(B)圖所示)。

以比如 10~20kV 的加速電壓，將劑量比如為 $1 \times 10^{13} \sim 1 \times 10^{15}$ 氬離子或其他類似的離子植入整個表面，這會使離子撞擊鈦酸鋇鋇層 1008 暴露出來的區域，並形成非結晶態的區域。

利用濕蝕刻去除鈦酸鋇鋇層 1008 中非結晶態的區域(如第 10(C)圖所示)。在本實施例中，用氫與氟化胺(1:2)的溶液作為蝕刻劑。

利用反應性離子蝕刻或相似的方法，去除氮化矽層 1005 暴露出來的部分，之後將二氧化矽層 1010 完全去除(如第 11(A)圖所示)。

在整個表面上形成一層用以作為絕緣層的二氧化矽層 1011(如第 11(B)圖所示)。

而後，利用習知的微影技術或相似的方法，在二氧化矽層 1011 中形成接觸窗開口 1012 與介層洞 1013；接著，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

比如以濺鍍的方法，在整個表面上沈積一層多晶矽層後，利用習知的微影技術或相似的方法，定義形成內連線層 1014,1015 與內連線圖案 1016,1017(如第 11(C)圖所示)。

因此，在本實施例中，氫離子被植入結晶態的鈦酸鋇鋇層 1008 的特定區域，以使該區域轉變為非結晶態；並在接下來的蝕刻步驟中，利用氫與氟化胺(1:2)的溶液進行濕蝕刻。因此，在本實施例中，可以利用簡單的步驟，僅移除鈦酸鋇鋇層中預定的區域。

如上所述，本發明可以利用濕蝕刻，精確且簡易的移除電容器的介電層，藉以形成半導體裝置。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置的製造方法)

一種半導體裝置的製造方法，在電容器中利用鈦酸鋇鋇層作為介電層，藉以組成動態隨機存取記憶體；鈦酸鋇鋇層透過濕蝕刻被選擇性的移除，以形成接觸窗開口。為達此目的，在矽晶圓的整個表面上，形成下電極並接著形成非晶矽層。在非晶矽層上形成結晶態的上電極以後，以燈加熱使與電極接觸的區域結晶化。接著，利用氫與氟化胺(1:2)的溶液進行濕蝕刻，以選擇性的移除非結晶態的區域。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

六、申請專利範圍

1.一種半導體裝置的製造方法，包括下列步驟：

(a)形成一上電極，其中在一半導體基底上之一絕緣層上形成有一內連線層，且一導電圖案形成於該絕緣層上，與該內連線層相接觸；

(b)形成一非結晶態或結晶態的介電層於該絕緣層與該導電圖案上；

(c)形成一上電極於該介電層之一特定區域；

(d)轉變該介電層，使其至少在該上電極下方之區域變為結晶態，而其他區域變為非結晶態；以及

(e)利用對非結晶態蝕刻率高於對結晶態之蝕刻率的一蝕刻劑，以濕蝕刻法移除該介電層上部份或全部非結晶態的區域。

2.如申請專利範圍第 1 項所述之製造方法，其中該步驟(b)為一形成該介電層之步驟，故在該絕緣層上之區域會變成非結晶態，而該步驟(d)為一結晶化步驟，利用加熱該上電極，以使僅在該上電極下方的該介電層結晶化。

3.如申請專利範圍第 2 項所述之製造方法，其中該加熱係以燈加熱。

4.如申請專利範圍第 1 項所述之製造方法，其中該步驟(b)為一形成該結晶態介電層之步驟，而該步驟(d)為一離子植入步驟，於形成一罩幕覆蓋該上電極後進行，故該介電層中植入離子之區域會轉變成非結晶態。

5.如申請專利範圍第 4 項所述之製造方法，其中該離子植入步驟係植入氬離子。

六、申請專利範圍

6.如申請專利範圍第 1 項所述之製造方法，其中該步驟(e)係利用濕蝕刻將該介電層上部份或全部的非結晶態區域移除，藉以在該絕緣層中形成一介層洞。

7.如申請專利範圍第 1 項所述之製造方法，其中在該步驟(a)中形成之該導電圖案包括與該內連線層相接的一阻障層，以及形成於該阻障層上，由銦、氧化銦、銱、氧化銱與鉑其中之一形成之一導電層。

8.如申請專利範圍第 1 項所述之製造方法，其中在該步驟(b)中形成的該介電層為鈦酸鋁。

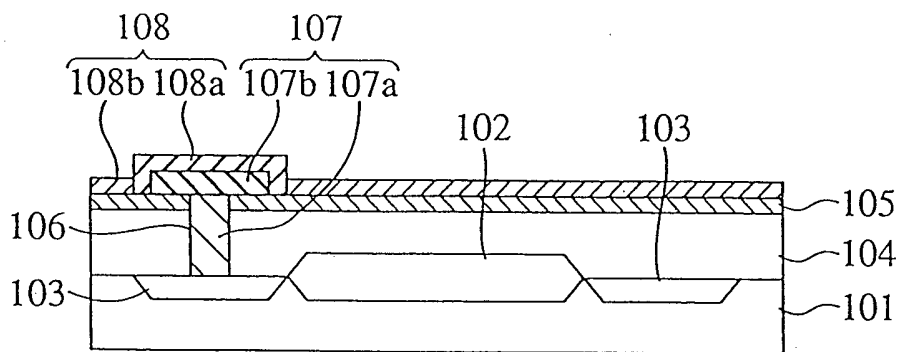
9.如申請專利範圍第 1 項所述之製造方法，其中該步驟(e)係利用氫與氟化胺(1:2)進行濕蝕刻。

(請先閱讀背面之注意事項再填寫本頁)

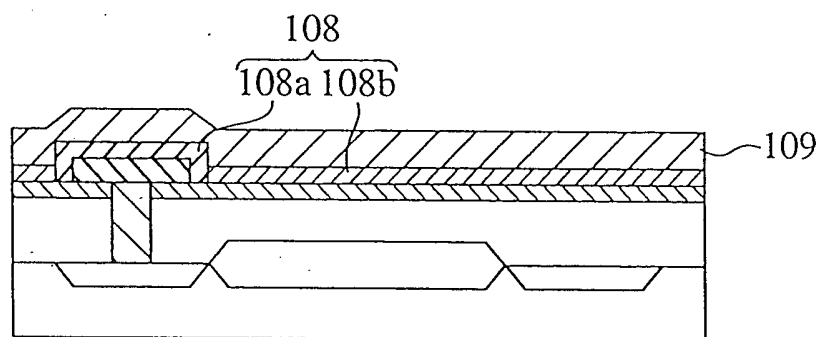
裝

訂

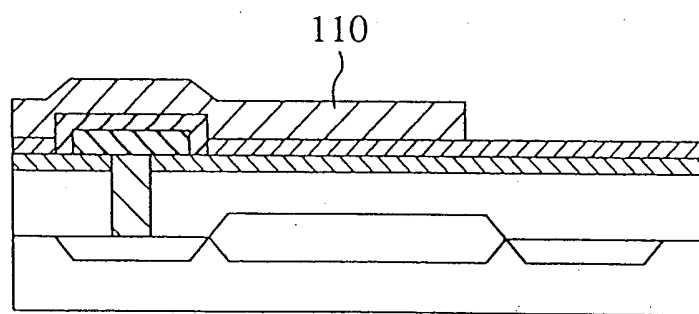
線



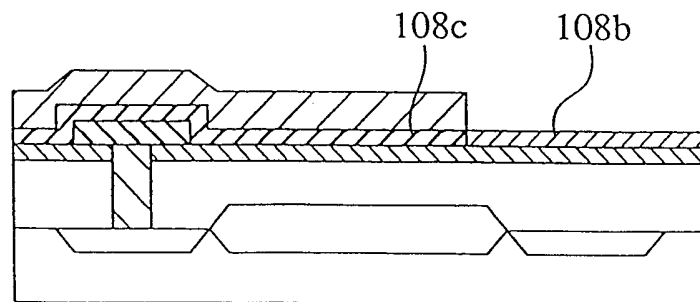
第1(A)圖



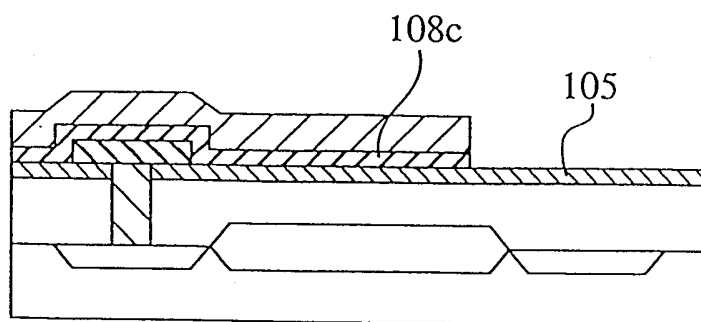
第1(B)圖



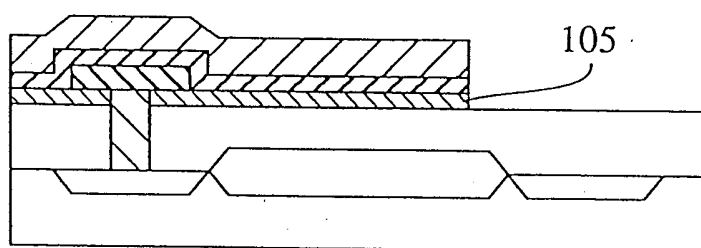
第1(c)圖



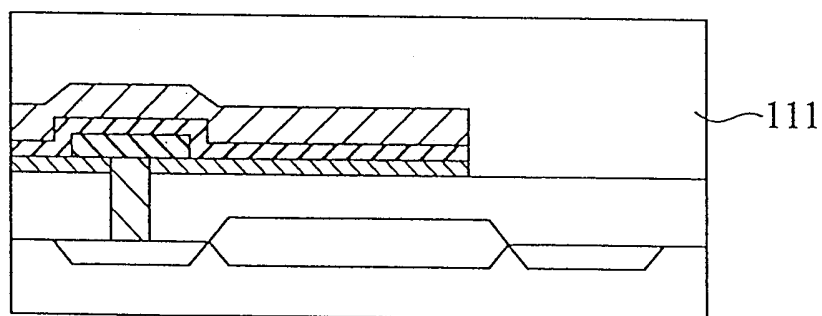
第1(D)圖



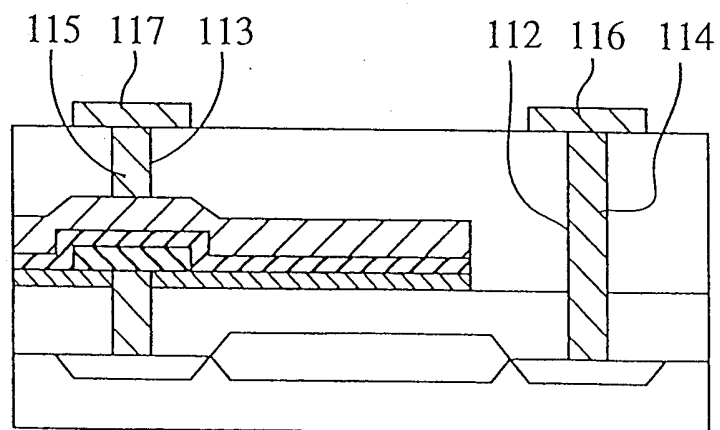
第2(A)圖



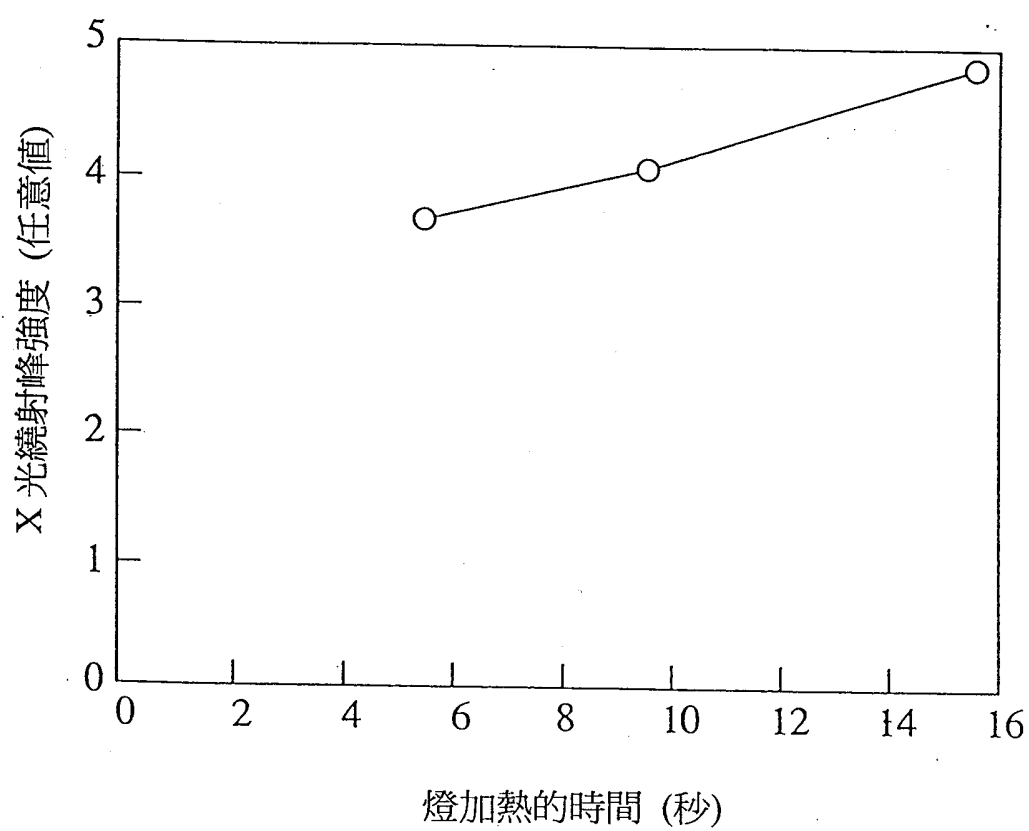
第2(B)圖



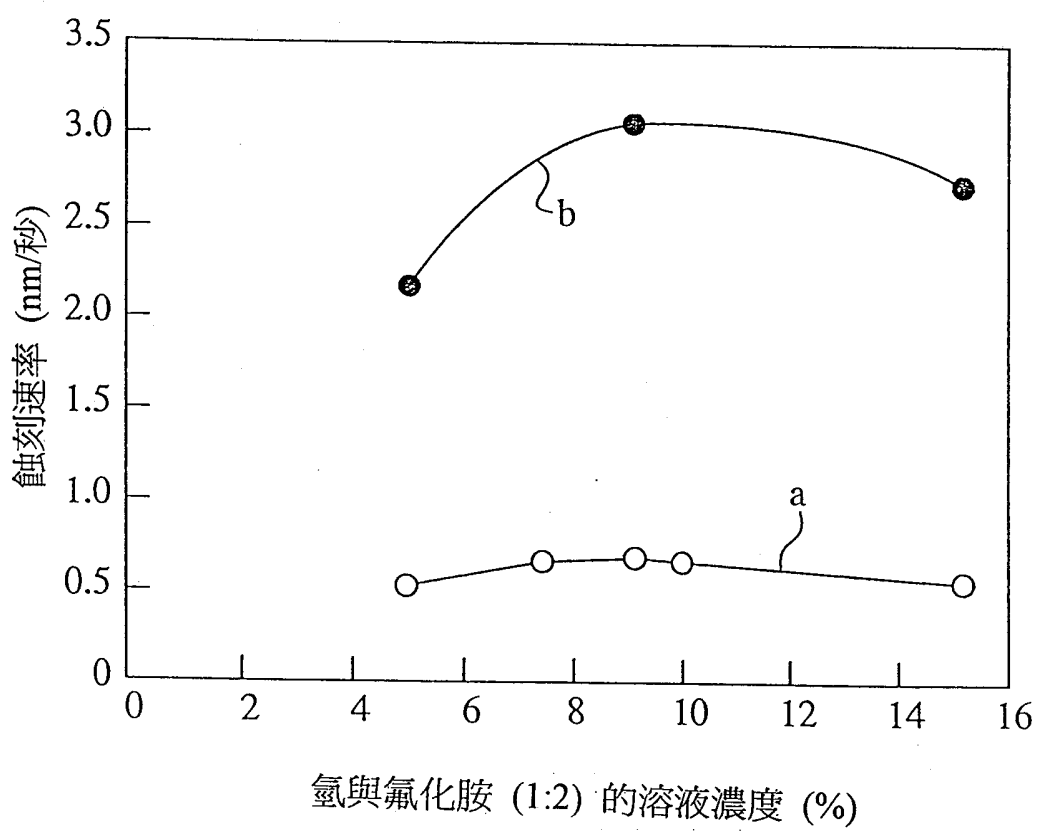
第2(c)圖



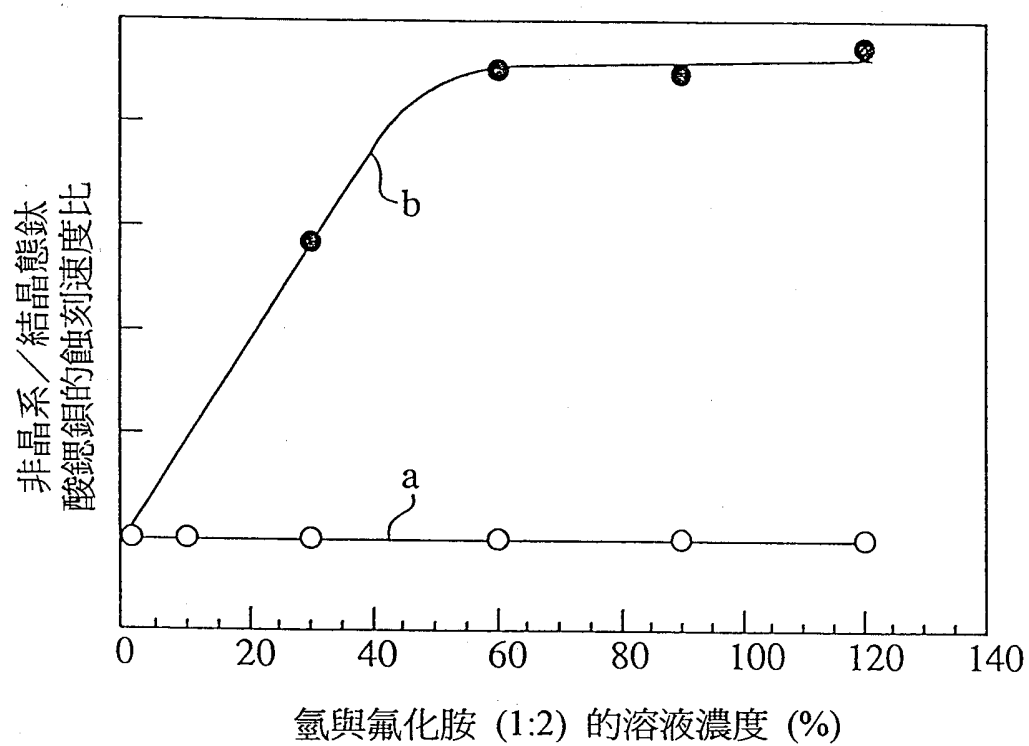
第2(D)圖



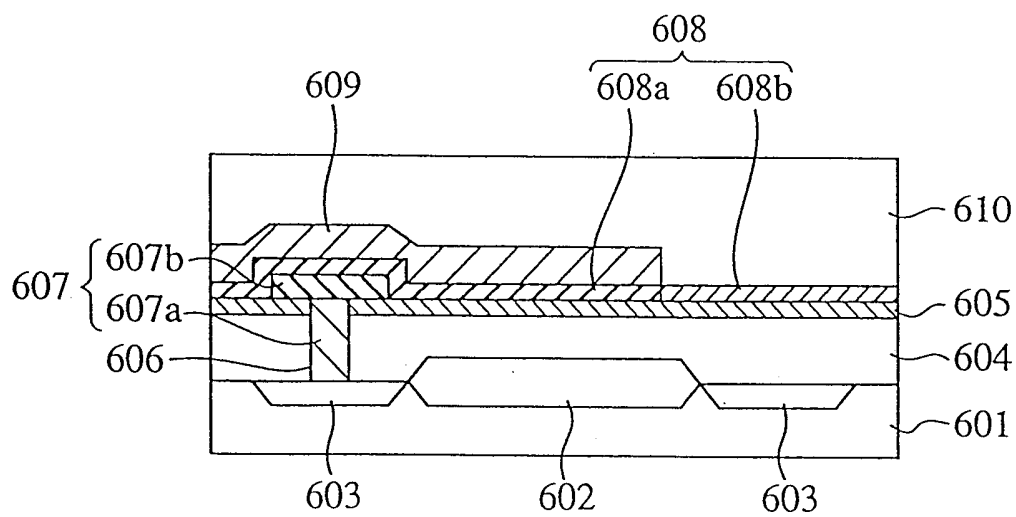
第 3 圖



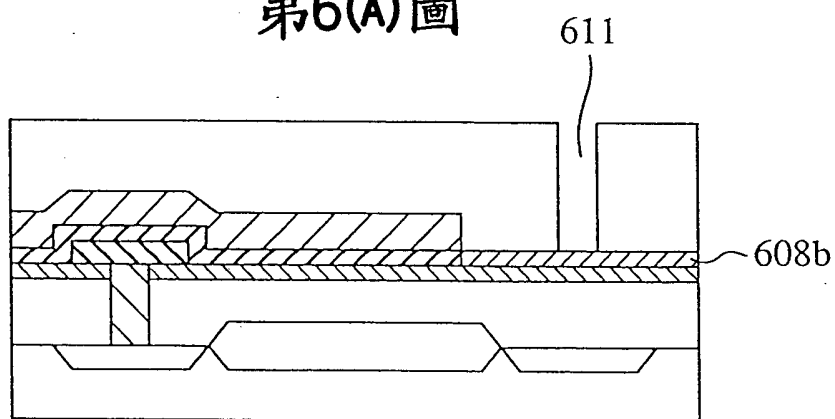
第 4 圖



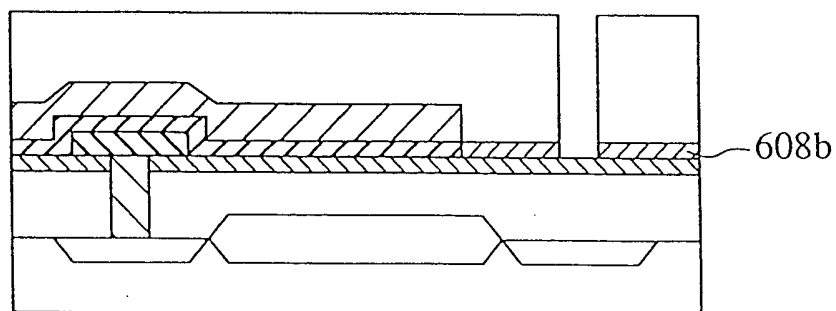
第 5 圖



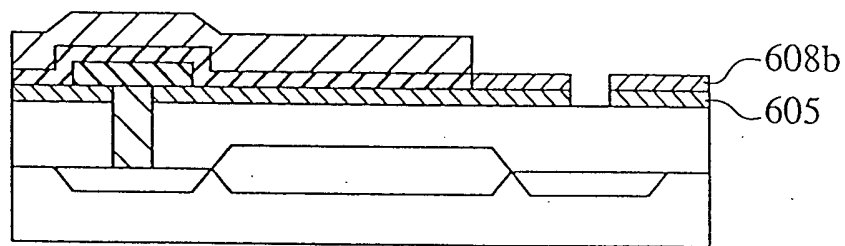
第6(A)圖



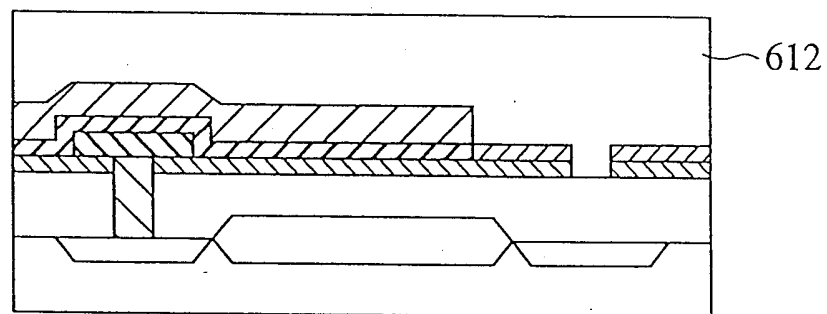
第6(B)圖



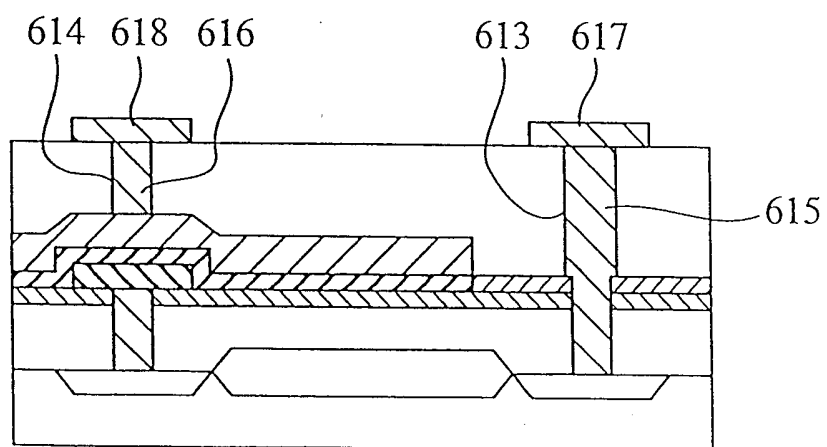
第6(c)圖



第7(A)圖

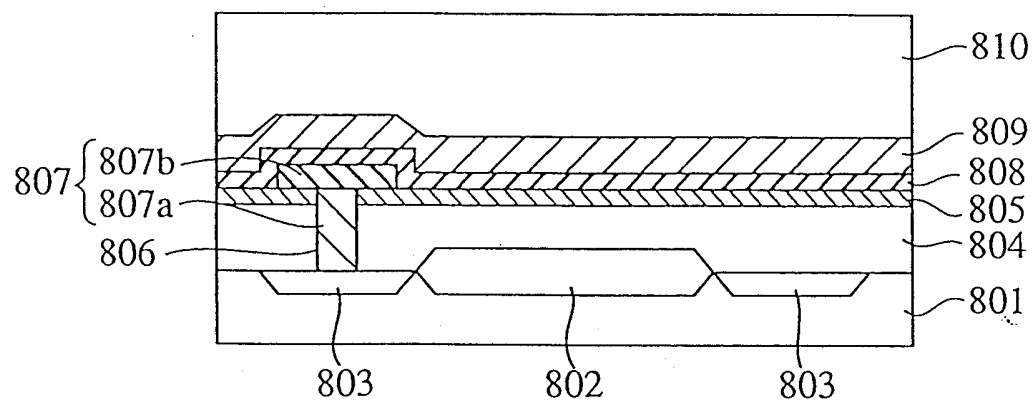


第7(B)圖

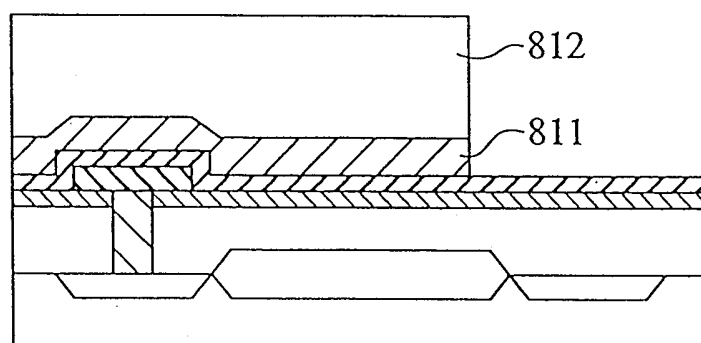


第7(c)圖

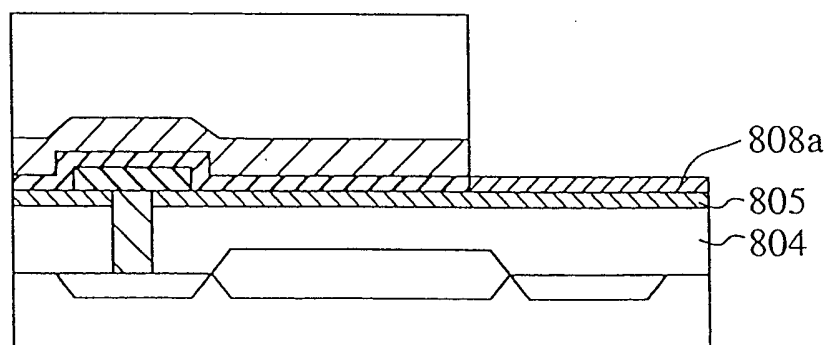
383487



第8(A)圖

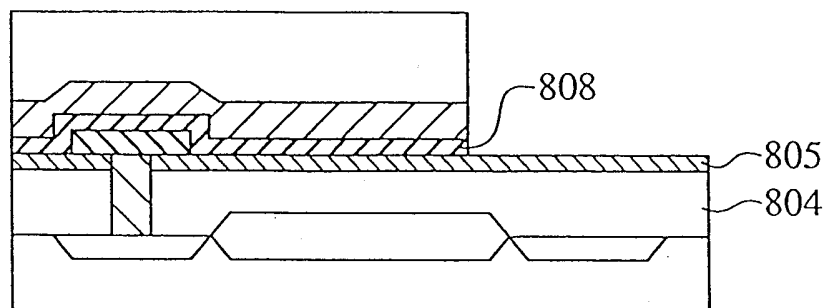


第8(B)圖

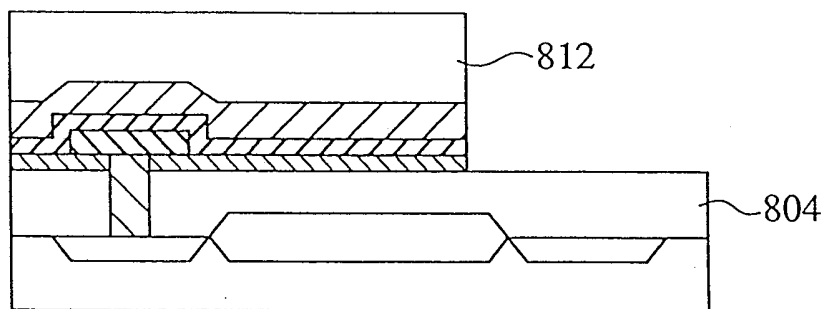


第8(c)圖

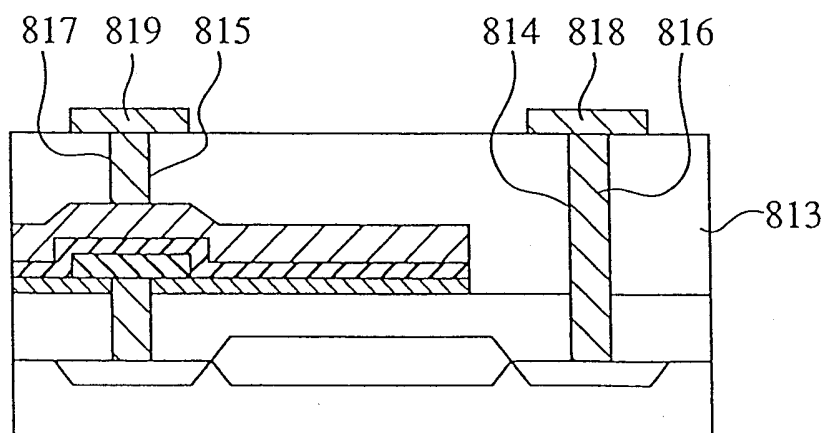
383487



第9(A)圖

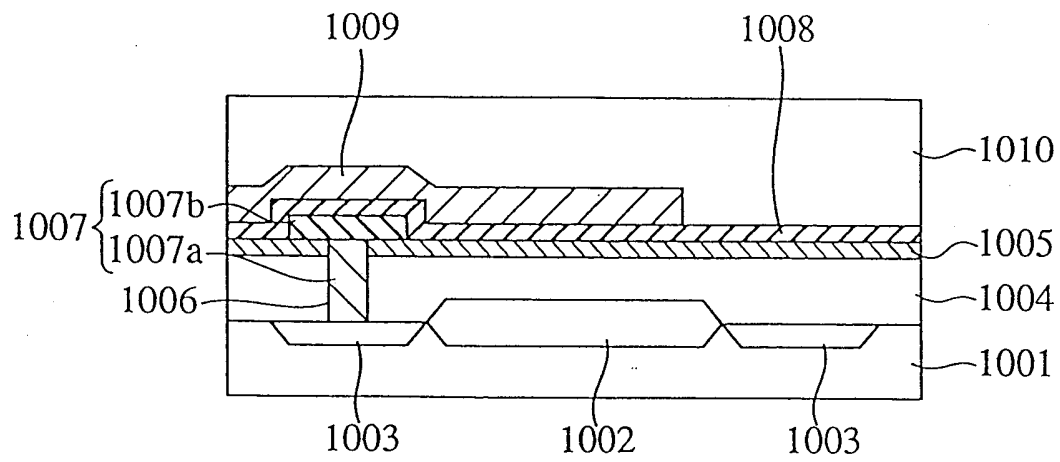


第9(B)圖

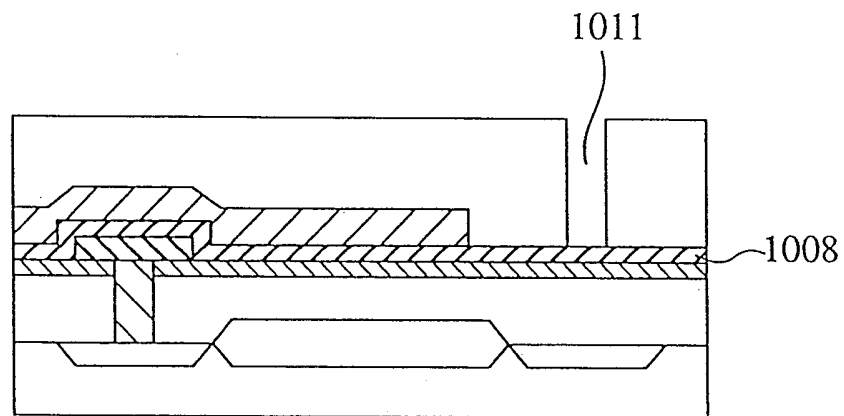


第9(c)圖

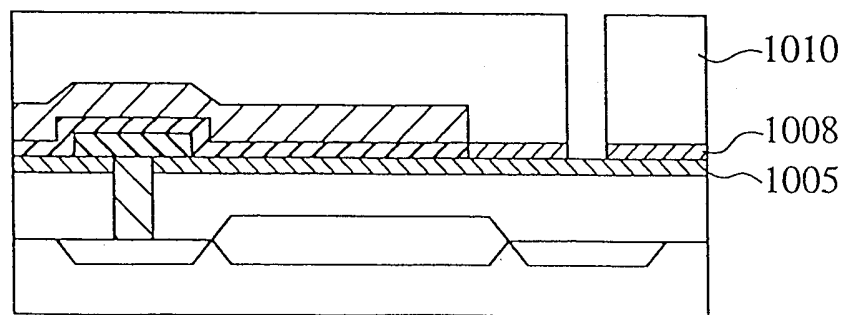
383487



第10(A)圖

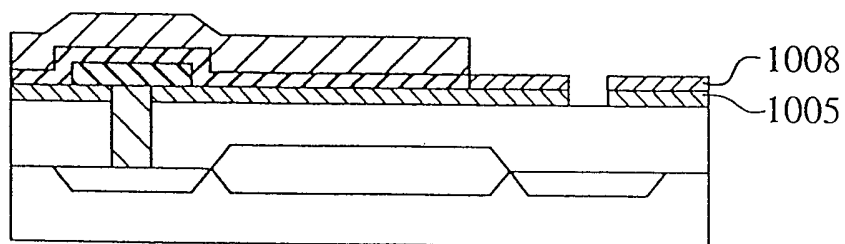


第10(B)圖

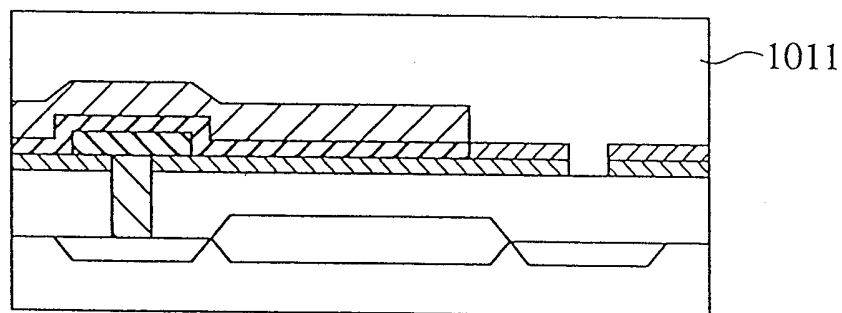


第10(c)圖

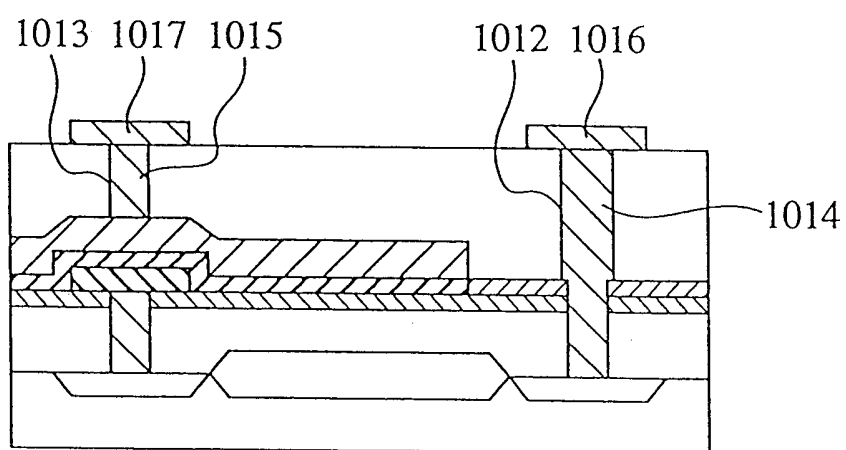
383487



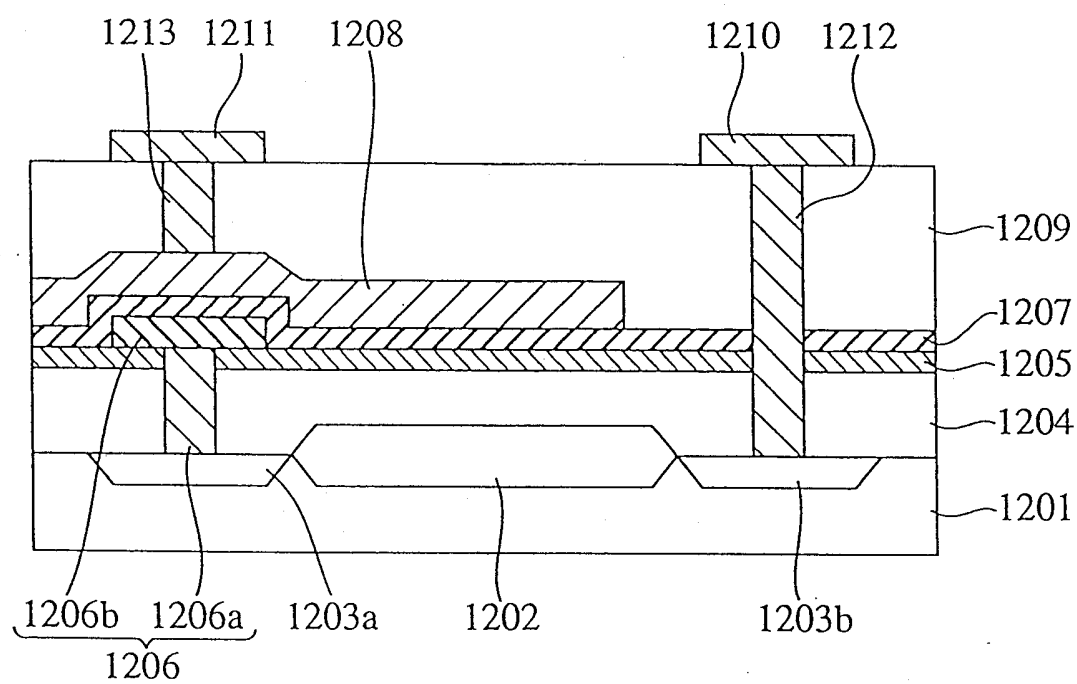
第1(A)圖



第1(B)圖



第1(c)圖



第12圖