



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월10일
(11) 등록번호 10-1714911
(24) 등록일자 2017년03월03일

(51) 국제특허분류(Int. Cl.)
H03L 7/089 (2006.01) H03D 13/00 (2006.01)
(52) CPC특허분류
H03L 7/089 (2013.01)
H03D 13/004 (2013.01)
(21) 출원번호 10-2015-0150955
(22) 출원일자 2015년10월29일
심사청구일자 2015년10월29일
(56) 선행기술조사문헌
US07145398 B2
A 1-16-Gb/s Wide-Range Clock/Data Recovery
Circuit With a Bidirectional Frequency
Detector(2011.8. 공개)

(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
강진구
서울특별시 서초구 잠원로12길 5, 335동 1003호(잠원동, 신반포아파트)
응웬후터
인천광역시 남구 인하로 100 인하대학교
(뒷면에 계속)
(74) 대리인
양정보

전체 청구항 수 : 총 8 항

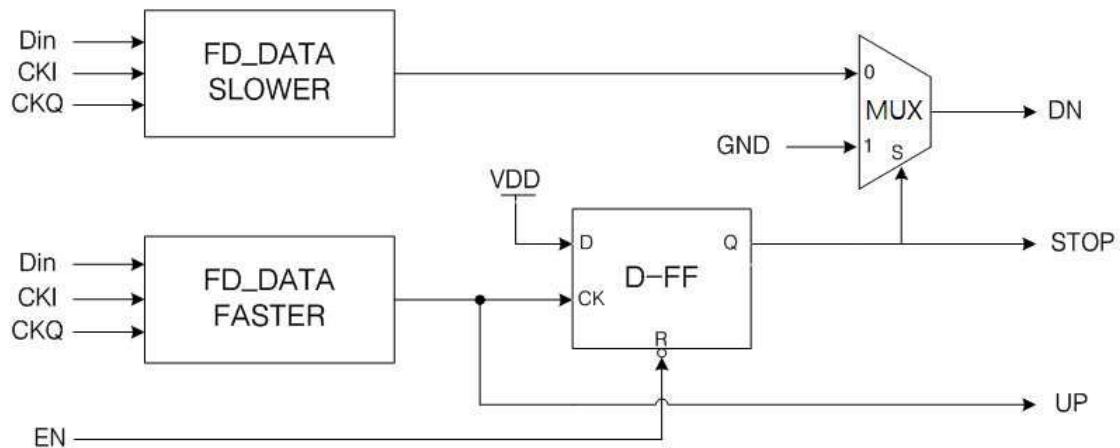
심사관 : 박정근

(54) 발명의 명칭 기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원용 양방향성 주파수 검출기 및 그 동작 방법

(57) 요약

제안하는 기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원용 양방향성 주파수 검출기 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원용 양방향성 주파수 검출기는 두 개의 단방향성 주파수 검출기, D-플립플롭, 멀티플렉서를 포함하고, 상기 D-플립플롭 및 상기 멀티플렉서의 동작에 의해 검출 동작 전, 주파수 값의 최대값 또는 최소값으로의 초기화를 필요로 하지 않고, 주파수 습득 시간을 줄이기 위해 두 개의 위상을 사용하고, 하모니 락의 영향을 받지 않는다.

대표도 - 도2



(72) 발명자

손경섭

인천광역시 연수구 청능대로 175 117동 1905호 (연수동, 연수우성1차아파트)

안택준

경기도 성남시 분당구 불곡북로13번길 8-10, 102호 (정자동)

이 발명을 지원한 국가연구개발사업

과제고유번호 1415141610

부처명 산업통상자원부

연구관리전문기관 한국산업기술진흥원

연구사업명 산업전문인력역량강화

연구과제명 인하대 ICT 기업연계형 연구인력 양성 사업단

기 여 율 1/1

주관기관 인하대학교 산학협력단

연구기간 2015.03.01 ~ 2016.02.29

명세서

청구범위

청구항 1

주파수 검출기에 있어서,
 두 개의 단반향성 주파수 검출기, D-플립플롭, 멀티플렉서
 를 포함하고,
 클락 주파수와 데이터 주파수의 속도에 따라 리셋이 있는 D-플립플롭, 기본 플립플롭 및 OR 게이트의 구성을 조절하여 클락 주파수를 제어하기 위한 다운 신호 또는 업 신호를 출력하고,
 상기 D-플립플롭 및 상기 멀티플렉서의 동작에 의해 검출 동작 전, 주파수 값의 최대값 또는 최소값으로의 초기화를 필요로 하지 않고, 주파수 습득 시간을 줄이기 위해 두 개의 위상을 사용하고,
 데이터의 룬-런 구간에서 상기 D-플립플롭 및 상기 멀티플렉서를 이용함으로써 업 신호 및 다운 신호가 동시에 발생하는 것을 방지하고,
 기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원회로 어플리케이션에서 하모닉 락의 영향을 받지 않고, 서브-레이트 CDR 구조에 적용 가능한
 주파수 검출기.

청구항 2

제1항에 있어서,
 클락 주파수보다 데이터 주파수보다 낮을 경우, 상기 주파수 검출기는,
 두 개의 리셋이 있는 D-플립플롭, 두 개의 기본 플립플롭 및 OR 게이트로 구성되는
 주파수 검출기.

청구항 3

제2항에 있어서,
 상기 두 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 두 개의 기본 플립플롭은 제2 D-플립플롭을 포함하고,
 상기 제1 D-플립플롭의 출력은 클락의 하강 엣지에서 상기 제2 D-플립플롭으로 전달되고, 입력 데이터가 로우로 입력되자마자 상기 클락 주파수를 감소시키기 위한 다운 신호를 출력하는
 주파수 검출기.

청구항 4

제1항에 있어서,
 클락 주파수보다 데이터 주파수보다 높을 경우, 상기 주파수 검출기는,
 네 개의 리셋이 있는 D-플립플롭, 네 개의 기본 플립플롭 및 OR 게이트로 구성되는
 주파수 검출기.

청구항 5

제4항에 있어서,
 상기 네 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 네 개의 기본 플립플롭은 제2 D-플립

플롭을 포함하고,

상기 제1 D-플립플롭의 출력은 클락의 상승 엣지에서 입력 데이터의 하이 레벨을 샘플링하고, 상기 입력 데이터의 하강 엣지에서 상기 제1 D-플립플롭의 출력을 샘플링하고,

상기 두 개의 위상의 반 주기가 입력 데이터를 샘플링할 경우, 상기 클락 주파수를 증가시키기 위한 업 신호를 출력하는

주파수 검출기.

청구항 6

삭제

청구항 7

주파수 검출기의 동작 방법에 있어서,

클락 주파수보다 데이터 주파수보다 낮을 경우, 주파수 검출기가 클락 주파수를 감소시키기 위한 다운 신호를 출력하는 단계; 및

클락 주파수보다 데이터 주파수보다 높을 경우, 주파수 검출기가 상기 클락 주파수를 증가시키기 위한 업 신호를 출력하는 단계

를 포함하고,

상기 주파수 검출기는 두 개의 단반향성 주파수 검출기, D-플립플롭, 멀티플렉서를 포함하고,

클락 주파수와 데이터 주파수의 속도에 따라 리셋이 있는 D-플립플롭, 기본 플립플롭 및 OR 게이트의 구성을 조절하여 클락 주파수를 제어하기 위한 다운 신호 또는 업 신호를 출력하고,

상기 D-플립플롭 및 상기 멀티플렉서의 동작에 의해 검출 동작 전, 주파수 값의 최대값 또는 최소값으로의 초기화를 필요로 하지 않고, 주파수 습득 시간을 줄이기 위해 두 개의 위상을 사용하고,

데이터의 룬-런 구간에서 상기 D-플립플롭 및 상기 멀티플렉서를 이용함으로써 업 신호 및 다운 신호가 동시에 발생하는 것을 방지하고,

기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원회로 어플리케이션에서 하모닉 락의 영향을 받지 않고, 서브-레이트 CDR 구조에 적용 가능한

주파수 검출기의 동작 방법.

청구항 8

제7항에 있어서,

상기 클락 주파수보다 데이터 주파수보다 낮을 경우, 주파수 검출기가 클락 주파수를 감소시키기 위한 다운 신호를 출력하는 단계는,

상기 주파수 검출기가 두 개의 리셋이 있는 D-플립플롭, 두 개의 기본 플립플롭 및 OR 게이트로 구성되고, 상기 두 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 두 개의 기본 플립플롭은 제2 D-플립플롭을 포함하고,

상기 제1 D-플립플롭의 출력은 클락의 하강 엣지에서 상기 제2 D-플립플롭으로 전달되고, 입력 데이터가 로우로 입력되자마자 상기 클락 주파수를 감소시키기 위한 다운 신호를 출력하는

주파수 검출기의 동작 방법.

청구항 9

제7항에 있어서,

상기 클락 주파수보다 데이터 주파수보다 높을 경우, 주파수 검출기가 상기 클락 주파수를 증가시키기 위한 업 신호를 출력하는 단계는,

상기 주파수 검출기가 네 개의 리셋이 있는 D-플립플롭, 네 개의 기본 플립플롭 및 OR 게이트로 구성되고, 상기 네 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 네 개의 기본 플립플롭은 제2 D-플립플롭을 포함하고,

상기 제1 D-플립플롭의 출력은 클락의 상승 엣지에서 입력 데이터의 하이 레벨을 샘플링하고, 상기 입력 데이터의 하강 엣지에서 상기 제1 D-플립플롭의 출력을 샘플링하고,

상기 두 개의 위상의 반 주기가 입력 데이터를 샘플링할 경우, 상기 클락 주파수를 증가시키기 위한 업 신호를 출력하는

주파수 검출기의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원용 양방향성주파수 검출기 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 클락 및 데이터 복원(CDR: clock and data recovery) 회로는 현대 송수신기 시스템에서 지터(jitter)를 줄이고 신호 질의 향상을 위해 사용된다. PLL 기반 CDR 회로가 널리 사용된다. PLL에 적은 주파수 습득 범위로 인해, 대부분의 추가적인 주파수 검출기를 필요로 한다. 주파수 검출기는 입력 데이터로부터 주파수 습득과 위상 락(lock)에 역할을 수행한다. 그러나, 일반적인 4 위상-수집 주파수 검출기에 주파수 검출 범위는 제한된다. 더욱이, 전압-제어-발진기(VCO: voltage controlled oscillator)에 변화되는 주파수 범위가 너무 크다면 하모니 락(harmonic lock)이 발생된다. 이전에 몇몇 접근은 광-대역 단반향성의 주파수 검출기를 제안한다. 하지만, 단반향성의 주파수 검출기는 검출 동작 전에 주파수에 값을 최대/최소 값으로 초기화 시켜야만 동작 가능하다. 이러한 이유로, 하모니 락(harmonic lock)에 자유로운 광-대역 양방향성에 하프-레이트(half-rate) 주파수 검출기를 필요로 한다.

선행기술문헌

특허문헌

(특허문헌 0001) 한국 등록특허공보 10-0714872호(2007.04.27.)

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 기술적 과제는 단반향성의 주파수 검출기는 검출 동작 전에 주파수에 값을 최대/최소 값으로 초기화 시켜야만 동작 가능하다는 문제점을 개선하기 위한 양방향성 주파수 검출기 및 그 동작 방법을 제공하는데 있다. 따라서, 하모니 락(harmonic lock)에 자유로운 광-대역 양방향성에 하프-레이트(half-rate) 주파수 검출기 및 그 동작 방법을 제공하고자 한다.

과제의 해결 수단

[0004] 일 측면에 있어서, 본 발명에서 제안하는 기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원용 양방향성 주파수 검출기는 두 개의 단반향성 주파수 검출기, D-플립플롭, 멀티플렉서를 포함하고, 상기 D-플립플롭 및 상기 멀티플렉서의 동작에 의해 검출 동작 전, 주파수 값의 최대값 또는 최소값으로의 초기화를 필요로 하지 않고, 주파수 습득 시간을 줄이기 위해 두 개의 위상을 사용하고, 하모니 락의 영향을 받지 않는다.

[0005] 클락 주파수보다 데이터 주파수보다 낮을 경우, 상기 주파수 검출기는 두 개의 리셋이 있는 D-플립플롭, 두 개의 기본 플립플롭 및 OR 게이트로 구성된다.

[0006] 상기 두 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 두 개의 기본 플립플롭은 제2 D-플립

플롭을 포함하고, 상기 제1 D-플립플롭의 출력은 클락의 하강 엣지에서 상기 제2 D-플립플롭으로 전달되고, 입력 데이터가 로우로 입력되자마자 상기 클락 주파수를 감소시키기 위한 다운 신호를 출력한다.

[0007] 클락 주파수보다 데이터 주파수보다 높을 경우, 상기 주파수 검출기는 네 개의 리셋이 있는 D-플립플롭, 네 개의 기본 플립플롭 및 OR 게이트로 구성된다.

[0008] 상기 네 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 네 개의 기본 플립플롭은 제2 D-플립플롭을 포함하고, 상기 제1 D-플립플롭의 출력은 클락의 상승 엣지에서 입력 데이터의 하이 레벨을 샘플링하고, 상기 입력 데이터의 하강 엣지에서 상기 제1 D-플립플롭의 출력을 샘플링하고, 상기 두 개의 위상의 반 주기가 입력 데이터를 샘플링할 경우, 상기 클락 주파수를 증가시키기 위한 업 신호를 출력한다.

[0009] 제안하는 기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원용 양방향성 주파수 검출기는 데이터의 롱-런 구간에서 상기 D-플립플롭 및 상기 멀티플렉서를 이용함으로써 업 신호 및 다운 신호가 동시에 발생하는 것을 방지한다.

[0010] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 기준신호를 사용하지 않는 광-대역 클락 및 데이터 복원용 양방향성 주파수 검출기의 동작 방법은 클락 주파수보다 데이터 주파수보다 낮을 경우, 주파수 검출기가 클락 주파수를 감소시키기 위한 다운 신호를 출력하는 단계 및 클락 주파수보다 데이터 주파수보다 높을 경우, 주파수 검출기가 상기 클락 주파수를 증가시키기 위한 업 신호를 출력하는 단계를 포함한다.

[0011] 이때, 상기 주파수 검출기는 두 개의 단방향성 주파수 검출기, D-플립플롭, 멀티플렉서를 포함하고, 상기 D-플립플롭 및 상기 멀티플렉서의 동작에 의해 검출 동작 전, 주파수 값의 최대값 또는 최소값으로의 초기화를 필요로 하지 않고, 주파수 습득 시간을 줄이기 위해 두 개의 위상을 사용하고, 하모닉 락의 영향을 받지 않는다.

[0012] 상기 클락 주파수보다 데이터 주파수보다 낮을 경우, 주파수 검출기가 클락 주파수를 감소시키기 위한 다운 신호를 출력하는 단계는 상기 주파수 검출기가 두 개의 리셋이 있는 D-플립플롭, 두 개의 기본 플립플롭 및 OR 게이트로 구성되고, 상기 두 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 두 개의 기본 플립플롭은 제2 D-플립플롭을 포함하고, 상기 제1 D-플립플롭의 출력은 클락의 하강 엣지에서 상기 제2 D-플립플롭으로 전달되고, 입력 데이터가 로우로 입력되자마자 상기 클락 주파수를 감소시키기 위한 다운 신호를 출력한다.

[0013] 상기 클락 주파수보다 데이터 주파수보다 높을 경우, 주파수 검출기가 상기 클락 주파수를 증가시키기 위한 업 신호를 출력하는 단계는, 상기 주파수 검출기가 네 개의 리셋이 있는 D-플립플롭, 네 개의 기본 플립플롭 및 OR 게이트로 구성되고, 상기 네 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 네 개의 기본 플립플롭은 제2 D-플립플롭을 포함하고, 상기 제1 D-플립플롭의 출력은 클락의 상승 엣지에서 입력 데이터의 하이 레벨을 샘플링하고, 상기 입력 데이터의 하강 엣지에서 상기 제1 D-플립플롭의 출력을 샘플링하고, 상기 두 개의 위상의 반 주기가 입력 데이터를 샘플링할 경우, 상기 클락 주파수를 증가시키기 위한 업 신호를 출력한다.

발명의 효과

[0014] 본 발명의 실시예들에 따르면 제안하는 양방향성 주파수 검출기 및 그 동작 방법은 단방향성의 주파수 검출기는 검출 동작 전에 주파수에 값을 최대/최소 값으로 초기화 시켜야만 동작 가능하다는 문제점을 개선할 수 있다. 따라서, 하모닉 락(harmonic lock)에 자유로운 광-대역 양방향성에 하프-레이트(half-rate) 주파수 검출기 및 그 동작 방법을 제공할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 하프-레이트(half-rate) FLL의 블록 다이어그램을 나타내는 도면이다.
 도 2는 본 발명의 일 실시예에 따른 양방향성 주파수 검출기의 블록 다이어그램을 나타내는 도면이다.
 도 3은 본 발명의 일 실시예에 따른 주파수 감소 습득에 따른 주파수 검출기를 설명하기 위한 도면이다.
 도 4는 본 발명의 일 실시예에 따른 주파수 증가 습득에 따른 주파수 검출기를 설명하기 위한 도면이다.
 도 5는 본 발명의 일 실시예에 따른 주파수 검출기의 타이밍 문제를 설명하기 위한 도면이다.
 도 6은 본 발명의 일 실시예에 따른 양방향성 주파수 검출기의 동작 방법을 설명하기 위한 도면이다.
 도 7은 본 발명의 일 실시예에 따른 주파수 감소 습득에 따른 주파수 검출기의 시뮬레이션 결과를 나타내는 그

래프이다.

도 8은 본 발명의 일 실시예에 따른 주파수 증가 습득에 따른 주파수 검출기의 시뮬레이션 결과를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0017] 도 1은 본 발명의 일 실시예에 따른 하프-레이트(half-rate) FLL의 블록 다이어그램을 나타내는 도면이다.

[0018] 종래의 단방향성의 주파수 검출기는 검출 동작 전에 주파수에 값을 최대/최소 값으로 초기화 시켜야만 동작 가능하다. 이러한 이유로, 본 발명에서는 기준신호를 사용하지 않는 광-대역 클럭 및 데이터 복원회로 어플리케이션에서 하모닉 락(harmonic lock) 이슈에 자유로운 양방향의 주파수 검출기를 제안한다.

[0019] 제안된 하프-레이트(half-rate) FLL 회로의 블록 다이어그램을 도 1에 나타내었다. 회로는 제안된 양방향성 주파수 검출기(Bidirectional FD), 전하 펌프(Charge Pump), 수동 루프 필터(Cap), 그리고 광-대역 튜닝 가능한 VCO(Ring-VCO)로 구성되어 있다. 신호 EN이 활성화 될 때, 제안된 주파수 검출기는 입력 데이터(Din)와 VCO 출력 클럭(다시 말해, CKI와 CKQ)사이의 주파수 오류를 추적한다.

[0020] 도 2는 본 발명의 일 실시예에 따른 양방향성 주파수 검출기의 블록 다이어그램을 나타내는 도면이다.

[0021] 제안하는 양방향성 주파수 검출기는 두 개의 단방향성 주파수 검출기(FD_DATA SLOWER, FD_DATA FASTER), D-플립플롭(D-FF), 멀티플렉서(MUX)를 포함한다.

[0022] 제안하는 양방향성 주파수 검출기는 상기 D-플립플롭 및 상기 멀티플렉서의 동작에 의해 검출 동작 전, 주파수 값의 최대값 또는 최소값으로의 초기화를 필요로 하지 않는다. 그리고, 주파수 습득 시간을 줄이기 위해 두 개의 위상을 사용하고, 하모닉 락의 영향을 받지 않는 특성을 갖는다.

[0023] 클럭 주파수보다 데이터 주파수보다 낮을 경우, 상기 양방향성 주파수 검출기는 두 개의 리셋이 있는 D-플립플롭, 두 개의 기본 플립플롭 및 OR 게이트로 구성된다.

[0024] 상기 두 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 두 개의 기본 플립플롭은 제2 D-플립플롭을 포함한다. 상기 제1 D-플립플롭의 출력은 클럭의 하강 엣지에서 상기 제2 D-플립플롭으로 전달되고, 입력 데이터가 로우로 입력되자마자 상기 클럭 주파수를 감소시키기 위한 다운 신호를 출력한다.

[0025] 클럭 주파수보다 데이터 주파수보다 높을 경우, 상기 양방향성 주파수 검출기는 네 개의 리셋이 있는 D-플립플롭, 네 개의 기본 플립플롭 및 OR 게이트로 구성된다.

[0026] 상기 네 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 네 개의 기본 플립플롭은 제2 D-플립플롭을 포함한다. 상기 제1 D-플립플롭의 출력은 클럭의 상승 엣지에서 입력 데이터의 하이 레벨을 샘플링하고, 상기 입력 데이터의 하강 엣지에서 상기 제1 D-플립플롭의 출력을 샘플링한다.

[0027] 그리고, 상기 두 개의 위상의 반 주기가 입력 데이터를 샘플링할 경우, 상기 클럭 주파수를 증가시키기 위한 업 신호를 출력한다.

[0028] 도 3은 본 발명의 일 실시예에 따른 주파수 감소 습득에 따른 주파수 검출기를 설명하기 위한 도면이다.

[0029] 도 3(a)는 클럭 주파수보다 데이터 주파수의 속도가 낮을 때 단방향성 주파수 검출기에 동작이고 도 3(b)는 각 출력에 대한 시간 다이어그램을 나타낸다. 단방향성 주파수 검출기는 두 개의 리셋이 있는 플립플롭(D-FF1), 두 개의 기본 플립플롭(D-FF2), 그리고 하나의 OR 게이트로 구성된다. D-FF1은 입력 데이터가 하이 레벨(High level)일 때 동작된다. 클럭의 상승 엣지(Edge)에서 하이 레벨은 샘플링 된다. D-FF1의 출력인 Q1은 클럭의 하강 엣지에서 D-FF2으로 전달된다. CKI/CKQ의 반 펄스인 DN1은 입력 데이터 Din의 상태가 로우(Low)로 되자마자 생성된다.

- [0030] 도 4는 본 발명의 일 실시예에 따른 주파수 증가 습득에 따른 주파수 검출기를 설명하기 위한 도면이다.
- [0031] 도 4는 클락보다 높은 데이터의 속도가 높을 때 단방향성 주파수 검출기에 동작을 보여준다. 도 4(a)는 클락 주파수보다 데이터 주파수의 속도가 높을 때 단방향성 주파수 검출기에 동작이고 도 4(b)는 각 출력에 대한 시간 다이어그램을 나타낸다.
- [0032] 4개의 리셋이 있는 플립플롭(D-FF1), 4개의 기본 플립플롭(D-FF2), 그리고 하나의 OR 게이트로 구성된다. 주파수 습득 시간을 줄이기 위해, CKI 와 CKQ에 두 위상을 사용하고 각 클락 사이클 반 동안, 예를 들어 "101"과 "010" 결정 시퀀스를 사용한다. 오직 하나의 클락 위상을 사용하고 데이터에 시퀀스 "101"을 결정하는 경우, 주파수 습득 시간을 종래기술에 따른 주파수 검출기보다 4-타임만큼 줄일 수 있다.
- [0033] 데이터 속도가 클락보다 빠를 경우, FD에 타이밍 다이어그램을 도 4(b)에 나타내었다.
- [0034] 데이터에서 시퀀스 "010"을 결정하기 위해, D-FF3에서 상승-엣지-트리거(rising-edge-trigger)를 이용하여 입력 데이터 Din의 하이 레벨을 샘플링한다. D-FF4는 입력 데이터의 하강-엣지-트리거(falling-edge-trigger)를 사용하여 D-FF3에 출력 Q2를 샘플링한다. CKI/CKQ에 반 주기가 데이터 Din을 샘플링하면, 업(UP) 신호는 하이(High)가 되어 루프 필터를 충전하고 클락 주파수를 증가시킨다. 이와 같이, 데이터의 시퀀스 "101" 결정도 유사하다.
- [0035] 도 5는 본 발명의 일 실시예에 따른 주파수 검출기의 타이밍 문제를 설명하기 위한 도면이다.
- [0036] 도 5에서 보이듯 입력 데이터에 롱-런은 제안된 FD에 문제를 발생시킨다. 클락보다 데이터 속도가 빠를 때, FD는 오직 업(UP) 신호를 출력하지만. 데이터에 롱-런은 업(UP) 신호와 다운(DN) 신호를 모두 발생시킨다. 이러한 문제를 해결하기 위해, 도 2에서와 같이 FD에 추가적인 D-FF과 멀티플렉서를 추가한다.
- [0037] D-FF5의 출력 STOP 신호는 주파수 감소 결정에 다운(DN) 신호를 제어하기 위해 사용된다. 업(UP) 신호가 하이이면, STOP 신호를 활성화 시키고 다운(DN) 신호는 비활성화함으로써 클락 주파수가 감소 되는 것을 막는다. STOP 신호가 로우(Low)인 동안, 다운(DN) 신호가 하이(High)이면 클락 주파수를 감소시키기 위해 루프 필터는 방전한다.
- [0038] 도 6은 본 발명의 일 실시예에 따른 양방향성 주파수 검출기의 동작 방법을 설명하기 위한 도면이다.
- [0039] 제안하는 양방향성 주파수 검출기의 동작 방법은 클락 주파수보다 데이터 주파수보다 낮을 경우, 주파수 검출기가 클락 주파수를 감소시키기 위한 다운 신호를 출력하는 단계(610), 및 클락 주파수보다 데이터 주파수보다 높을 경우, 주파수 검출기가 상기 클락 주파수를 증가시키기 위한 업 신호를 출력하는 단계(620)를 포함한다.
- [0040] 이때, 상기 양방향성 주파수 검출기는 두 개의 단방향성 주파수 검출기, D-플립플롭, 멀티플렉서를 포함한다.
- [0041] 일 실시예에 따른 양방향성 주파수 검출기의 동작 방법은 상기 D-플립플롭 및 상기 멀티플렉서의 동작에 의해 검출 동작 전, 주파수 값의 최대값 또는 최소값으로의 초기화를 필요로 하지 않고, 주파수 습득 시간을 줄이기 위해 두 개의 위상을 사용하고, 하모니 락의 영향을 받지 않는다.
- [0042] 상기 클락 주파수보다 데이터 주파수보다 낮을 경우, 상기 주파수 검출기는 두 개의 리셋이 있는 D-플립플롭, 두 개의 기본 플립플롭 및 OR 게이트로 구성되고, 상기 두 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 두 개의 기본 플립플롭은 제2 D-플립플롭을 포함한다.
- [0043] 상기 클락 주파수보다 데이터 주파수보다 낮을 경우, 주파수 검출기가 클락 주파수를 감소시키기 위한 다운 신호를 출력하는 단계(610)에서, 상기 제1 D-플립플롭의 출력은 클락의 하강 엣지에서 상기 제2 D-플립플롭으로 전달되고, 입력 데이터가 로우로 입력되자마자 상기 클락 주파수를 감소시키기 위한 다운 신호를 출력한다.
- [0044] 상기 클락 주파수보다 데이터 주파수보다 높을 경우, 상기 주파수 검출기는 네 개의 리셋이 있는 D-플립플롭, 네 개의 기본 플립플롭 및 OR 게이트로 구성되고, 상기 네 개의 리셋이 있는 D-플립플롭은 제1 D-플립플롭을 포함하고, 상기 네 개의 기본 플립플롭은 제2 D-플립플롭을 포함한다.
- [0045] 상기 클락 주파수보다 데이터 주파수보다 높을 경우, 주파수 검출기가 상기 클락 주파수를 증가시키기 위한 업 신호를 출력하는 단계(620)에서, 상기 제1 D-플립플롭의 출력은 클락의 상승 엣지에서 입력 데이터의 하이 레벨

을 샘플링하고, 상기 입력 데이터의 하강 엣지에서 상기 제1 D-플립플롭의 출력을 샘플링한다.

- [0046] 이때, 주파수 검출기는 상기 두 개의 위상의 반 주기가 입력 데이터를 샘플링할 경우, 상기 클락 주파수를 증가시키기 위한 업 신호를 출력한다.
- [0047] 도 7은 본 발명의 일 실시예에 따른 주파수 감소 습득에 따른 주파수 검출기의 시뮬레이션 결과를 나타내는 그래프이다.
- [0048] 제안된 FD 회로는 CMOS 180nm 공정을 통해 구현되었다. 그래프를 보면, 2^7-1 PRBS 데이터에서 성공적으로 주파수를 따라가는 것을 확인 할 수 있다. 제안된 FD에 동작 데이터 범위는 제한적이지 않다. VCO에 주파수 범위를 넓힘으로써 동작 데이터 범위를 증가시킬 수 있다.
- [0049] 도 7은 시작과 끝 주파수가 각각 1.6GHz, 0.5GHz 일 때 주파수 습득 응답을 보여준다. 시작 시, STOP 신호를 초기화 하기 위해 외부 EN 펄스 신호는 하이(High)로 한다. 데이터 속도가 클락보다 느리기 때문에 다운(DN) 신호가 생성되고 업(UP) 신호는 로우(Low)를 유지한다. 이때, 다운(DN) 신호가 루프 필터를 방전시킴으로써 제어 전압 V_c 와 클락 주파수는 감소한다.
- [0050] 데이터 속도가 클락보다 빠른 상태인 동안에는, 업(UP) 신호는 하이(High)가 된다. 이후, STOP 신호는 다운(DN) 신호를 비활성화 하기 위해 작동되고 클락 주파수의 감소는 멈춘다. 그 이후에 주파수 증가 습득 FD에 의하여 주파수 습득 과정이 이루어질 수 있다.
- [0051] 도 8은 본 발명의 일 실시예에 따른 주파수 증가 습득에 따른 주파수 검출기의 시뮬레이션 결과를 나타내는 그래프이다.
- [0052] 도 8은 초기, 끝 주파수가 각각 0.34GHz, 1.5GHz 일 때 주파수 습득 응답을 보여준다. FD는 데이터가 클락보다 빠른 것을 감지하고 주파수 습득 과정을 시작하기 위해 다운(DN) 신호를 비활성화 시킨다. 그 다음, FD는 잔여 주파수 오류를 따라가고 주파수 습득 과정을 완수한다.
- [0053] 제안된 양방향의 주파수 검출기(FD: Frequency Detector)를 사용함으로써, 더욱 심플한 디자인이 가능하고 하모닉 락킹(harmonic locking) 이슈에 자유로우며 주파수 습득 시간이 빨라진다. 제안된 FD 사용으로 인해, 광-대역의 기준신호를 사용하지 않는(referenceless) CDR 회로의 손쉬운 설계가 가능하다. 게다가, 제안된 FD는 어떠한 서브-레이트(sub-rate) CDR 구조에도 적용 가능하다.
- [0054] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0055] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서,

분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

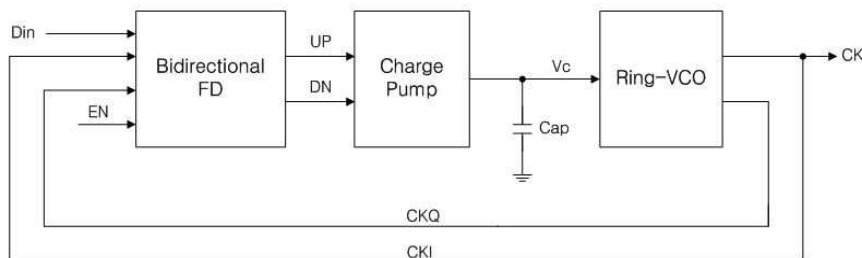
[0056] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0057] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

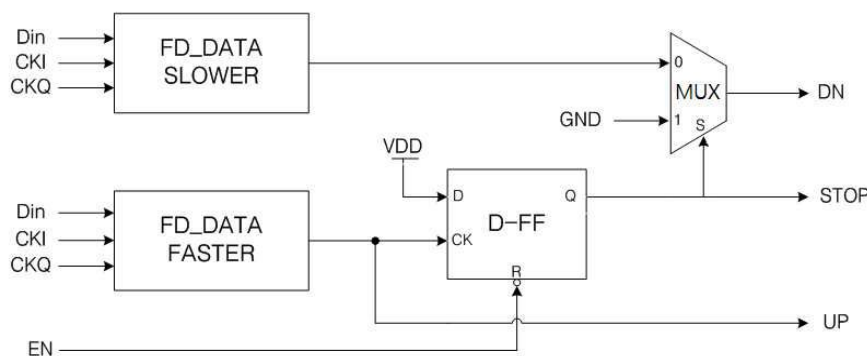
[0058] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

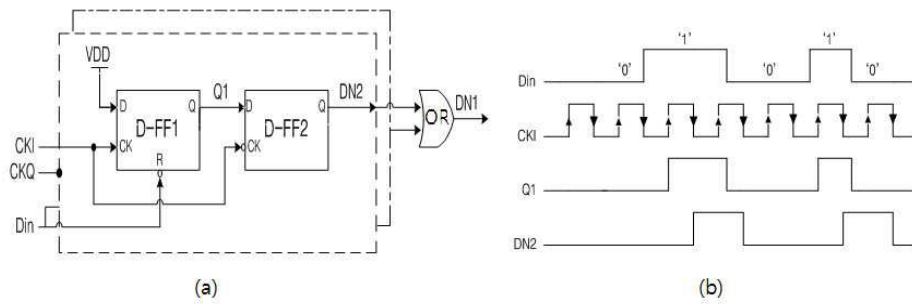
도면1



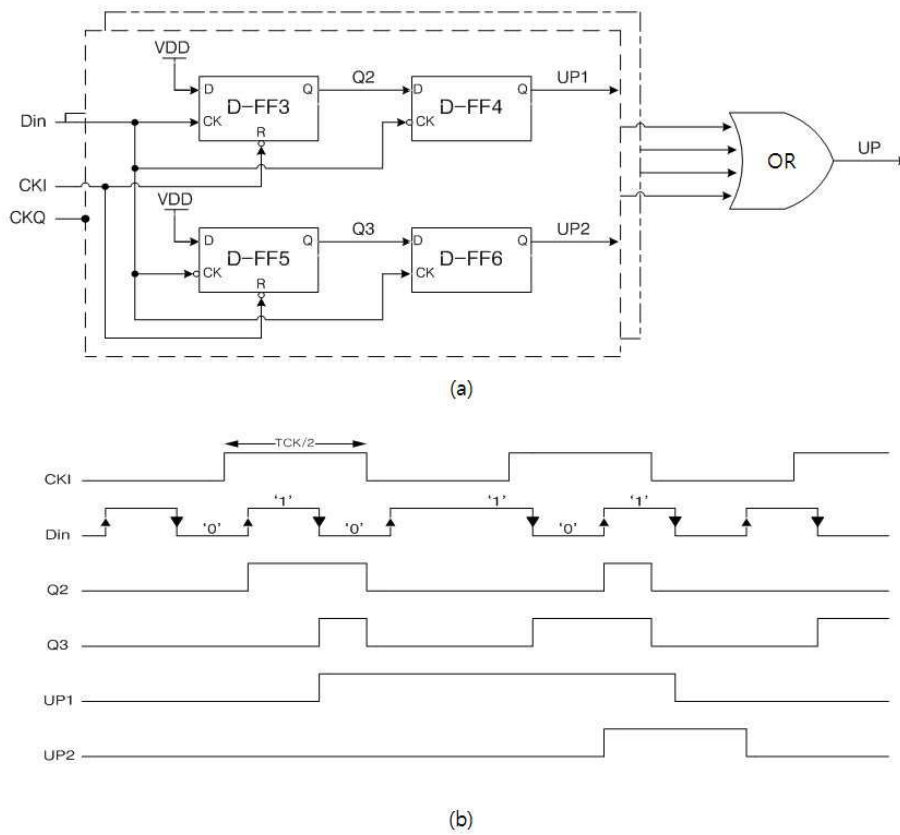
도면2



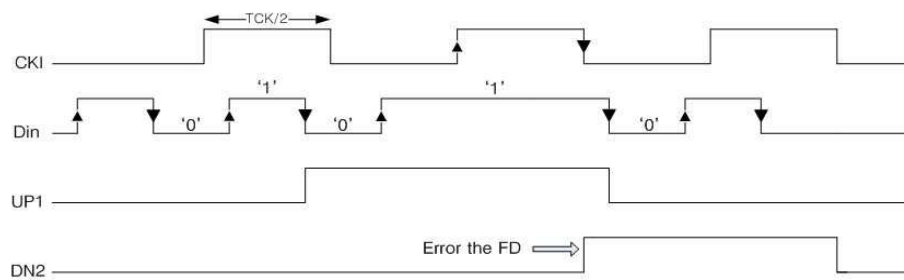
도면3



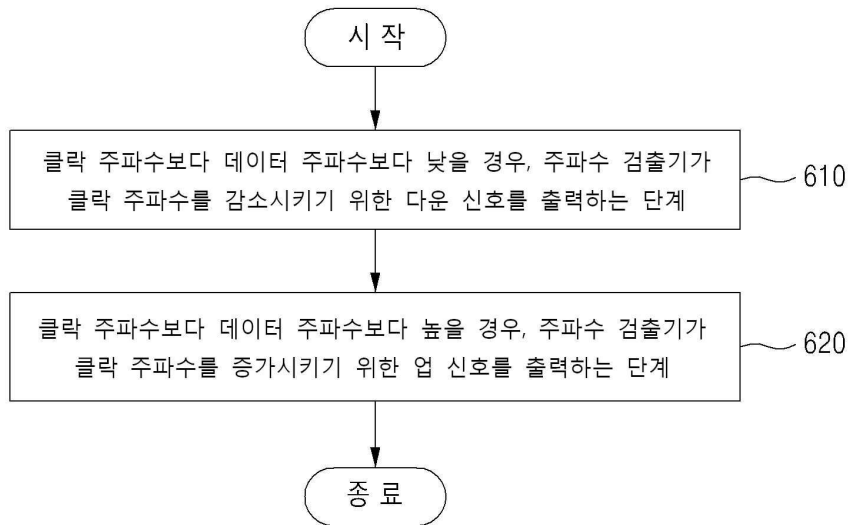
도면4



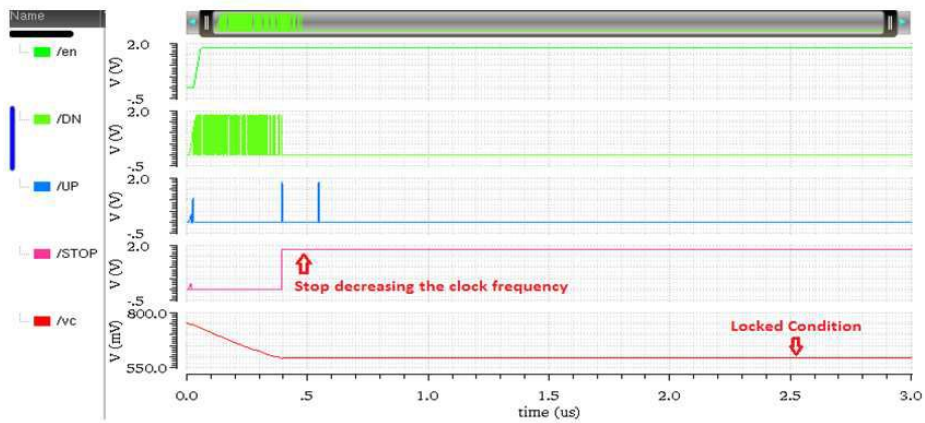
도면5



도면6



도면7



도면8

