

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-310361
(P2007-310361A)

(43) 公開日 平成19年11月29日(2007.11.29)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 575	5C006
G09G 3/20 (2006.01)	G02F 1/133 545	5C021
H04N 5/66 (2006.01)	G09G 3/20 612F	5C058
H04N 5/20 (2006.01)	G09G 3/20 623F	5C080

審査請求 未請求 請求項の数 26 O L (全 19 頁) 最終頁に続く

(21) 出願番号	特願2007-79015 (P2007-79015)	(71) 出願人	390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416
(22) 出願日	平成19年3月26日(2007.3.26)	(74) 代理人	110000051 特許業務法人共生国際特許事務所
(31) 優先権主張番号	10-2006-0045058	(72) 発明者	禹 斗 馨 大韓民国 京畿道 安養市 東安区 虎溪洞 大林アパート 119棟 1504号
(32) 優先日	平成18年5月19日(2006.5.19)	(72) 発明者	金 一 坤 大韓民国 ソウル市 銅雀区 上道洞 431番地 レミアン上道3次アパート 327棟 803号
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

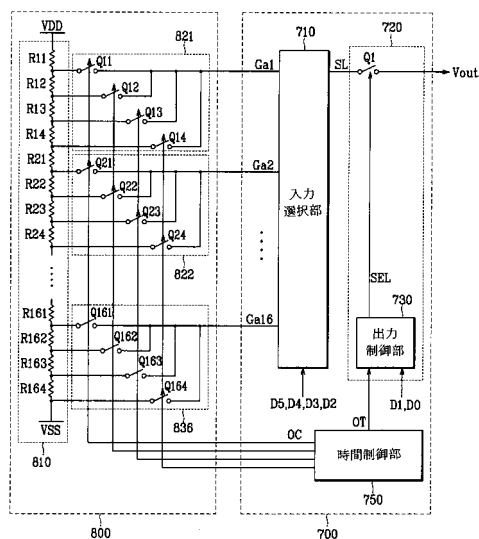
(54) 【発明の名称】 表示装置とその駆動装置及び駆動方法

(57) 【要約】

【課題】 データ駆動部のデジタル - アナログ変換器回路を簡単にしながらも、表示装置のガンマ特性による階調電圧値を正確に反映し、階調電圧の単調増加特性及び正確度を向上させることのできる表示装置とその駆動装置及び駆動方法を提供する。

【解決手段】 互いに異なる大きさを有する複数の階調電圧を各々含む複数の階調電圧集合を生成する階調電圧生成部と、画像信号の第1部分に基づいて前記複数の階調電圧集合の中から一つの階調電圧集合を選択する第1選択部と、前記画像信号の第2部分に基づいて前記選択された階調電圧集合に属する複数の階調電圧の中から一つ以上の階調電圧を選択する第2選択部とを含む信号変換部とを有する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

互いに異なる大きさを有する複数の階調電圧を各々含む複数の階調電圧集合を生成する階調電圧生成部と、

画像信号の第 1 部分に基づいて前記複数の階調電圧集合の内から一つの階調電圧集合を選択する第 1 選択部と、前記画像信号の第 2 部分に基づいて前記選択された階調電圧集合に属する複数の階調電圧の内から一つ以上の階調電圧を選択する第 2 選択部とを含む信号変換部とを有することを特徴とする表示装置の駆動装置。

【請求項 2】

前記階調電圧生成部は、前記各階調電圧集合に属する複数の階調電圧を互いに異なる時間に出力することを特徴とする請求項 1 に記載の表示装置の駆動装置。 10

【請求項 3】

前記階調電圧生成部は、前記階調電圧を選択的に伝達する複数のスイッチング素子を含むことを特徴とする請求項 2 に記載の表示装置の駆動装置。

【請求項 4】

前記第 2 選択部は、前記選択された一つ以上の階調電圧を連続して出力することを特徴とする請求項 2 に記載の表示装置の駆動装置。

【請求項 5】

前記連続して出力された一つ以上の階調電圧の内の最後に出力された階調電圧が前記画像信号に対応することを特徴とする請求項 4 に記載の表示装置の駆動装置。 20

【請求項 6】

前記信号変換部は、前記階調電圧の出力時間情報を前記第 2 選択部に提供する時間制御部をさらに含み、

前記第 2 選択部は、前記画像信号の第 2 部分と共に前記出力時間情報に基づいて前記一つ以上の階調電圧を選択することを特徴とする請求項 4 に記載の表示装置の駆動装置。

【請求項 7】

前記第 2 選択部は、前記選択された階調電圧集合に属する複数の階調電圧を選択的に伝達するスイッチング素子と、

前記出力時間情報及び前記画像信号の第 2 部分に基づいて前記スイッチング素子を制御する選択信号を生成する出力制御部とを含むことを特徴とする請求項 6 に記載の表示装置の駆動装置。 30

【請求項 8】

前記出力制御部は、前記出力時間情報に基づいて前記画像信号の第 2 部分をパルス幅変調して前記選択信号を生成するパルス幅変調器を含むことを特徴とする請求項 7 に記載の表示装置の駆動装置。

【請求項 9】

前記出力制御部は、前記画像信号の第 2 部分を前記出力時間情報と比較する比較器と、前記比較結果に基づいて前記選択信号を生成する選択信号生成部とを含み、

前記選択信号は第 1 電圧レベルと第 2 電圧レベルとを有し、

前記選択信号は、基準時刻から前記出力時間情報が前記画像信号の第 2 部分と同一の区間の所定時点までは前記第 1 電圧レベルであり、残り区間では前記第 2 電圧レベルであり、 40

前記スイッチング素子は、前記選択信号が前記第 1 電圧レベルの時にターンオンされることを特徴とする請求項 7 に記載の表示装置の駆動装置。

【請求項 10】

前記第 1 選択部は、直列連結されている複数のスイッチング素子を各々含む複数のスイッチング素子列 (series) を含み、前記各スイッチング素子列は前記画像信号の第 1 部分によって前記複数の階調電圧集合の内の一つを伝達することを特徴とする請求項 2 に記載の表示装置の駆動装置。

【請求項 11】

前記画像信号の第1部分は第3部分と第4部分を含み、前記第1選択部は、前記画像信号の第3部分に基づいて前記複数の階調電圧集合の内から二つ以上を選択する第1スイッチング素子群と、前記画像信号の第4部分に基づいて前記選択された二つ以上の階調電圧集合の内から一つを選択する第2スイッチング素子群とを含むことを特徴とする請求項2に記載の表示装置の駆動装置。

【請求項12】

前記第1選択部は、前記画像信号の第3部分を変換して前記第1スイッチング素子群を制御する第1制御信号を生成する第1変換部と、

前記画像信号の第4部分を変換して前記第2スイッチング素子群を制御する第2制御信号を生成する第2変換部とをさらに含むことを特徴とする請求項11に記載の表示装置の駆動装置。

10

【請求項13】

前記画像信号の第1部分は上位ビットデータであり、第2部分は下位ビットデータであることを特徴とする請求項2に記載の表示装置の駆動装置。

【請求項14】

互いに異なる大きさを有する複数の階調電圧を各々含む複数の階調電圧集合を生成する電圧生成部と、

前記複数の階調電圧集合の内の一に属する複数の階調電圧を一つの出力端を通じて周期的に順次出力する複数の階調電圧出力部と、

画像信号の上位ビットデータに基づいて前記複数の階調電圧出力部の出力の内の一つを選択して出力する第1選択部と、

20

前記第1選択部の出力を前記画像信号の下位ビットデータに基づいた時間の間に出力する第2選択部と、

前記第2選択部の出力によって画像を表示する表示板とを有することを特徴とする表示装置。

【請求項15】

前記階調電圧出力部各々は、複数のスイッチング素子を含み、

前記各スイッチング素子は、供給を受けた前記階調電圧集合に属する複数の階調電圧の内一つと前記階調電圧出力部の出力端との間に連結され、前記画像信号の下位ビットデータによって制御されることを特徴とする請求項14に記載の表示装置。

30

【請求項16】

前記階調電圧出力部から出力する階調電圧の出力時間情報を前記第2選択部に提供する時間制御部をさらに有することを特徴とする請求項14に記載の表示装置。

【請求項17】

前記第2選択部は、前記出力時間情報に基づいて前記画像信号の下位ビットデータをパルス幅変調して選択信号を生成するパルス幅変調器と、

前記選択信号によって制御され、前記第1選択部の出力と連結される出力スイッチング素子とを含むことを特徴とする請求項16に記載の表示装置。

【請求項18】

前記パルス幅変調器は、前記画像信号の下位ビットデータと前記出力時間情報とを比較して出力信号を出力する比較器と、

40

前記比較器の出力信号によって前記選択信号のレベルを変換する選択信号生成部とを含むことを特徴とする請求項17に記載の表示装置。

【請求項19】

前記選択信号生成部は、前記比較器の出力と連結され、第1制御信号によって制御される第1トランジスタと、

前記第1トランジスタと基準節点(n o d e)との間に連結されていて、前記選択信号によって制御される第2トランジスタと、

前記基準節点と連結される入力端を有し、前記選択信号を出力する反転ゲートと、第1電圧と前記基準節点との間に連結され、前記選択信号によって制御される第3トランジス

50

タとを含むことを特徴とする請求項 18 に記載の表示装置。

【請求項 20】

前記選択信号生成部は、第 2 電圧と前記基準節点との間に連結され、第 2 制御信号によって制御される第 4 トランジスタをさらに含むことを特徴とする請求項 19 に記載の表示装置。

【請求項 21】

前記第 2 トランジスタと前記第 3 トランジスタとは、互いに異なる導電型のトランジスタであることを特徴とする請求項 18 に記載の表示装置。

【請求項 22】

前記第 1 選択部は、直列連結される複数のスイッチング素子を各々含む複数のスイッチング素子列 (series) を含み、

前記各スイッチング素子列は、前記複数の階調電圧出力部の内の一つと前記第 1 選択部の出力との間に連結されることを特徴とする請求項 14 に記載の表示装置。

【請求項 23】

前記スイッチング素子それぞれは、前記画像信号の上位ビットデータの一つのビットによって制御されることを特徴とする請求項 22 に記載の表示装置。

【請求項 24】

前記スイッチング素子それぞれは、前記画像信号の上位ビットデータの二つ以上のビットによって制御されることを特徴とする請求項 22 に記載の表示装置。

【請求項 25】

前記画像信号の上位ビットデータは、ビット数が 2 つ以上である複数の分割データを含み、

前記第 1 選択部は、前記分割データが示せる場合の数と同一の数の出力端を各々有し、前記複数の分割データの内の一つに基づいて前記出力端の出力を決定する複数の変換部をさらに含み、

前記スイッチング素子それぞれは、前記複数の変換部の出力端の内のいずれか一つの出力によって制御されることを特徴とする請求項 24 に記載の表示装置。

【請求項 26】

複数の階調電圧を各々含む複数の階調電圧集合を生成する段階と、

前記複数の階調電圧集合各々に属する複数の階調電圧を順次に出力する段階と、

画像信号の上位ビットデータによって前記複数の階調電圧集合の内の一つを選択する段階と、

前記画像信号の下位ビットデータに基づいて決められる時間によって前記選択した階調電圧集合に属する複数の階調電圧の内の一つを選択する段階と、

前記選択した階調電圧によって画素を駆動する段階とを有することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置とその駆動装置及び駆動方法に関し、特に、表示装置のガンマ特性による階調電圧値を正確に反映し、階調電圧の単調増加特性及び正確度を向上させる表示装置とその駆動装置及び駆動方法に関する。

【背景技術】

【0002】

近年、パーソナルコンピュータやテレビなどの軽量化及び薄形化により、表示装置も軽量化及び薄形化が要求されており、このような要求に応じて陰極線管 (cathode ray tube、CRT) が平板表示装置に代替されている。

【0003】

このような平板表示装置には液晶表示装置 (liquid crystal display、LCD)、電界放出表示装置 (field emission display

10

20

30

40

50

、FED)、有機発光表示装置(organic light emitting display)、プラズマ表示装置(plasma display panel、PDP)などがある。一般に、能動型平板表示装置においては、複数の画素が行列状に配列され、与えられた画像情報によって各画素の輝度を制御することによって画像を表示する。

【0004】

輝度情報は表示装置の信号制御部からデジタル画像信号として出力され、この信号はデータ駆動部のデジタル-アナログ変換器でアナログデータ電圧に変換され、該当する画素に供給される。デジタル-アナログ変換器には抵抗列からなる階調電圧生成部で生成された複数の階調電圧が供給され、デジタル-アナログ変換器はこのような階調電圧の中でデジタル画像信号に対応する階調電圧を選択し、データ電圧として出力する。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、階調電圧の数が多い場合にこれを選択するためのデジタル-アナログ変換器の構造が複雑となり得る。したがって、階調電圧生成部では限定された数の階調電圧のみを生成し、データ駆動部でこの限定された数の階調電圧のうちの一つを選択して分圧し、分圧された電圧のうちの一つを選択してデータ電圧として出力する方法が提示された。しかし、この場合、表示装置のガンマ特性による電圧値を正確に反映することが困難であり、電圧の単調増加特性及び正確度が落ちることがあるという問題があった。

【0006】

そこで、本発明は上記従来表示装置における問題点を鑑みてなされたものであって、本発明の目的は、データ駆動部のデジタル-アナログ変換器回路を簡単にしながらも、表示装置のガンマ特性による階調電圧値を正確に反映し、階調電圧の単調増加特性及び正確度を向上させることのできる表示装置とその駆動装置及び駆動方法を提供することにある。

20

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明による表示装置は、互いに異なる大きさを有する複数の階調電圧を各々含む複数の階調電圧集合を生成する階調電圧生成部と、画像信号の第1部分に基づいて前記複数の階調電圧集合の内から一つの階調電圧集合を選択する第1選択部と、前記画像信号の第2部分に基づいて前記選択された階調電圧集合に属する複数の階調電圧の内から一つ以上の階調電圧を選択する第2選択部とを含む信号変換部とを有することを特徴とする。

30

【0008】

前記階調電圧生成部は、前記各階調電圧集合に属する複数の階調電圧を互いに異なる時間出力することが好ましい。

前記階調電圧生成部は、前記階調電圧を選択的に伝達する複数のスイッチング素子を含むことが好ましい。

前記第2選択部は、前記選択された一つ以上の階調電圧を連続して出力することが好ましい。

40

前記連続して出力された一つ以上の階調電圧の内の最後出力された階調電圧が前記画像信号に対応することが好ましい。

前記信号変換部は、前記階調電圧の出力時間情報を前記第2選択部に提供する時間制御部をさらに含み、前記第2選択部は、前記画像信号の第2部分と共に前記出力時間情報に基づいて前記一つ以上の階調電圧を選択することが好ましい。

前記第2選択部は、前記選択された階調電圧集合に属する複数の階調電圧を選択的に伝達するスイッチング素子と、前記出力時間情報及び前記画像信号の第2部分に基づいて前記スイッチング素子を制御する選択信号を生成する出力制御部とを含むことが好ましい。

前記出力制御部は、前記出力時間情報に基づいて前記画像信号の第2部分をパルス幅変調して前記選択信号を生成するパルス幅変調器を含むことが好ましい。

50

【0009】

前記出力制御部は、前記画像信号の第2部分を前記出力時間情報と比較する比較器と、前記比較結果に基づいて前記選択信号を生成する選択信号生成部とを含み、前記選択信号は第1電圧レベルと第2電圧レベルとを有し、前記選択信号は、基準時刻から前記出力時間情報が前記画像信号の第2部分と同一の区間の所定時点までは前記第1電圧レベルであり、残り区間では前記第2電圧レベルであり、前記スイッチング素子は、前記選択信号が前記第1電圧レベルの時にターンオンされることが好ましい。

前記第1選択部は、直列連結されている複数のスイッチング素子を各々含む複数のスイッチング素子列 (series) を含み、前記各スイッチング素子列は前記画像信号の第1部分によって前記複数の階調電圧集合の内の一つを伝達することが好ましい。

前記画像信号の第1部分は第3部分と第4部分を含み、前記第1選択部は、前記画像信号の第3部分に基づいて前記複数の階調電圧集合の内から二つ以上を選択する第1スイッチング素子群と、前記画像信号の第4部分に基づいて前記選択された二つ以上の階調電圧集合の内から一つを選択する第2スイッチング素子群とを含むことが好ましい。

前記第1選択部は、前記画像信号の第3部分を変換して前記第1スイッチング素子群を制御する第1制御信号を生成する第1変換部と、前記画像信号の第4部分を変換して前記第2スイッチング素子群を制御する第2制御信号を生成する第2変換部とをさらに含むことが好ましい。

前記画像信号の第1部分は上位ビットデータであり、第2部分は下位ビットデータであることが好ましい。

【0010】

上記目的を達成するためになされた本発明による表示装置は、互いに異なる大きさを有する複数の階調電圧を各々含む複数の階調電圧集合を生成する電圧生成部と、前記複数の階調電圧集合の内の一つに属する複数の階調電圧を一つの出力端を通じて周期的に順次に出力する複数の階調電圧出力部と、画像信号の上位ビットデータに基づいて前記複数の階調電圧出力部の出力の内の一つを選択して出力する第1選択部と、前記第1選択部の出力を前記画像信号の下位ビットデータに基づいた時間の間に出力する第2選択部と、前記第2選択部の出力によって画像を表示する表示板とを有することを特徴とする。

【0011】

前記階調電圧出力部各々は、複数のスイッチング素子を含み、前記各スイッチング素子は、供給を受けた前記階調電圧集合に属する複数の階調電圧の内の一つと前記階調電圧出力部の出力端との間に連結され、前記画像信号の下位ビットデータによって制御されることが好ましい。

前記階調電圧出力部から出力する階調電圧の出力時間情報を前記第2選択部に提供する時間制御部をさらに有することが好ましい。

前記第2選択部は、前記出力時間情報に基づいて前記画像信号の下位ビットデータをパルス幅変調して選択信号を生成するパルス幅変調器と、前記選択信号によって制御され、前記第1選択部の出力と連結される出力スイッチング素子とを含むことが好ましい。

前記パルス幅変調器は、前記画像信号の下位ビットデータと前記出力時間情報とを比較して出力信号を出力する比較器と、前記比較器の出力信号によって前記選択信号のレベルを変換する選択信号生成部とを含むことが好ましい。

前記選択信号生成部は、前記比較器の出力と連結され、第1制御信号によって制御される第1トランジスタと、前記第1トランジスタと基準節点 (node) との間に連結されていて、前記選択信号によって制御される第2トランジスタと、前記基準節点と連結される入力端を有し、前記選択信号を出力する反転ゲートと、第1電圧と前記基準節点との間に連結され、前記選択信号によって制御される第3トランジスタとを含むことが好ましい。

前記選択信号生成部は、第2電圧と前記基準節点との間に連結され、第2制御信号によって制御される第4トランジスタをさらに含むことが好ましい。

前記第2トランジスタと前記第3トランジスタとは、互いに異なる導電型のトランジス

10

20

30

40

50

タであることが好ましい。

【0012】

前記第1選択部は、直列連結される複数のスイッチング素子を各々含む複数のスイッチング素子列 (series) を含み、前記各スイッチング素子列は、前記複数の階調電圧出力部の内の一つと前記第1選択部の出力との間に連結されることが好ましい。

前記スイッチング素子それぞれは、前記画像信号の上位ビットデータの一つのビットによって制御されることが好ましい。

前記スイッチング素子それぞれは、前記画像信号の上位ビットデータの二つ以上のビットによって制御されることが好ましい。

前記画像信号の上位ビットデータは、ビット数が2つ以上である複数の分割データを含み、前記第1選択部は、前記分割データが示せる場合の数と同一の数の出力端を各々有し、前記複数の分割データの内の一つに基づいて前記出力端の出力を決定する複数の変換部をさらに含み、前記スイッチング素子それぞれは、前記複数の変換部の出力端の内のいずれか一つの出力によって制御されることが好ましい。

【0013】

上記目的を達成するためになされた本発明による表示装置の駆動方法は、複数の階調電圧を各々含む複数の階調電圧集合を生成する段階と、前記複数の階調電圧集合各々に属する複数の階調電圧を順次出力する段階と、画像信号の上位ビットデータによって前記複数の階調電圧集合の内の一つを選択する段階と、前記画像信号の下位ビットデータに基づいて決められる時間によって前記選択した階調電圧集合に属する複数の階調電圧の内の一つを選択する段階と、前記選択した階調電圧によって画素を駆動する段階とを有することを特徴とする。

【発明の効果】

【0014】

本発明に係る表示装置とその駆動装置及び駆動方法によれば、互いに異なる時間に出力される階調電圧を生成し、これらのうちの一つを選択することによって、デジタル-アナログ変換部の大きさを著しく減少させることができるという効果がある。

【発明を実施するための最良の形態】

【0015】

次に、本発明に係る表示装置とその駆動装置及び駆動方法を実施するための最良の形態の具体例を図面を参照しながら説明する。

【0016】

図面において、いろいろな層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似の部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上”にあるとする時には中間に他の部分がないことを意味する。

【0017】

以下、本発明に係る表示装置の一実施形態である液晶表示装置について図1及び図2を参照して詳細に説明する。

図1は、本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置における一つの画素の等価回路図である。

【0018】

図1に示すように、本発明の一実施形態による液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、これと連結されたゲート駆動部400及びデータ駆動部500、データ駆動部500に連結された階調電圧生成部800、並びにこれらを制御する信号制御部600を含む。

【0019】

液晶表示板組立体300は、等価回路から見れば、複数の信号線 $G_1 - G_n$ 、 $D_1 - D_m$ と、これに連結され、ほぼ行列状に配列された複数の画素 P_X とを含む。反面、図2に

10

20

30

40

50

示す構造から見れば、液晶表示板組立体300は、互いに対向する下部及び上部表示板100、200と、その間に入っている液晶層3を含む。

【0020】

信号線($G_1 - G_n$ 、 $D_1 - D_m$)は、ゲート信号(“走査信号”とも言う)を伝達する複数のゲート線 $G_1 - G_n$ と、データ電圧を伝達する複数のデータ線 $D_1 - D_m$ を含む。ゲート線 $G_1 - G_n$ はほぼ行方向にのびて互いにほとんど平行し、データ線 $D_1 - D_m$ はほぼ列方向にのびて互いにほとんど平行する。

【0021】

各画素PX、例えば、 i 番目($i = 1, 2, \dots, n$)ゲート線 G_i と j 番目($j = 1, 2, \dots, m$)データ線 D_j に連結された画素PXは、信号線 G_i 、 D_j に連結されたスイッチング素子Qと、これに連結された液晶キャパシタ(liquid crystal capacitor)Clc及びストレージキャパシタ(storage capacitor)Cstを含む。ストレージキャパシタCstは必要に応じて省略することができる。

10

【0022】

スイッチング素子Qは、下部表示板100に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 G_i と連結されており、入力端子はデータ線 D_j と連結されており、出力端子は液晶キャパシタClc及びストレージキャパシタCstと連結されている。薄膜トランジスタは多結晶シリコンや非晶質シリコンを含むことができる。

20

【0023】

液晶キャパシタClcは、下部表示板100の画素電極191と上部表示板200の共通電極270とを二つの端子とし、二つの電極(191、270)の間の液晶層3は誘電体として機能する。画素電極191はスイッチング素子Qと連結され、共通電極270は上部表示板200の全面に形成され、共通電圧Vcomの印加を受ける。図2とは異なって、共通電極270が下部表示板100に備えられる場合もあり、この時には二つの電極(191、270)のうちの少なくとも一つを線状または棒状に作ることができる。

【0024】

液晶キャパシタClcの補助的な役割を果たすストレージキャパシタCstは、下部表示板100に具備された別個の信号線(図示せず)と画素電極191が絶縁体を間に置いて重畳してなり、この別個の信号線には共通電圧Vcomなどの決められた電圧が印加される。しかし、ストレージキャパシタCstは、画素電極191が絶縁体を媒介としてすぐ上の前段ゲート線と重畳してなることもできる。

30

【0025】

一方、色表示を実現するためには、各画素PXが基本色(primary color)のうちの一つを固有に表示したり(空間分割)、各画素PXが時間によって交互に基本色を表示するように(時間分割)して、これら基本色の空間的、時間的合計によって所望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。図2は空間分割の一例であって、各画素PXが画素電極191に対応する上部表示板200の領域に基本色のうちの一つを示すカラーフィルタ230を備えることを示している。図2とは異なって、カラーフィルタ230は下部表示板100の画素電極191上のまたは下に設けることもできる。

40

液晶表示板組立体300の外側面には、光を偏光させる少なくとも一つの偏光子(図示せず)が付着されている。

【0026】

再び図1を参照すれば、階調電圧生成部800は、画素PXの透過率と係る二組の階調電圧集合を生成する。二組のうちの一組は共通電圧Vcomに対して正の値を有し、他の一組は負の値を有する。階調電圧生成部800が生成する一組の階調電圧集合内に入っている階調電圧の数は、液晶表示装置が表示できる階調の数と同一であり得る。

【0027】

50

ゲート駆動部 400 は液晶表示板組立体 300 のゲート線 $G_1 - G_n$ と連結され、ゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} との組み合わせからなるゲート信号をゲート線 $G_1 - G_n$ に印加する。

データ駆動部 500 は、液晶表示板組立体 300 のデータ線 $D_1 - D_m$ と連結されており、階調電圧生成部 800 からの階調電圧を選択し、これをデータ電圧としてデータ線 $D_1 - D_m$ に印加する。データ駆動部 500 の詳細構造については後述する。

信号制御部 600 は、ゲート駆動部 400 及びデータ駆動部 500 などを制御する。

【0028】

このような駆動装置 (400、500、600、800) 各々は、信号線 $G_1 - G_n$ 、 $D_1 - D_m$ 及び薄膜トランジスタ Q のスイッチング素子 Q などと共に液晶表示板組立体 300 に集積することもできる。これとは異なって、これら駆動装置 (400、500、600、800) が、少なくとも一つの集積回路チップの形態で液晶表示板組立体 300 上に直接装着されたり、可撓性印刷回路フィルム (flexible printed circuit film) (図示せず) 上に装着され、TCP (tape carrier package) の形態で液晶表示板組立体 300 に付着されたり、別途の印刷回路基板 (printed circuit board) (図示せず) 上に装着することもできる。また、駆動装置 (400、500、600、800) は単一チップで集積でき、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子が単一チップの外側にあることもできる。

10

【0029】

次に、このような液晶表示装置の動作について詳細に説明する。

信号制御部 600 は、外部のグラフィック制御器 (図示せず) から入力画像信号 (R、G、B) 及びその表示を制御する入力制御信号を受信する。入力画像信号 R、G、B は、各画素 PX の輝度 (luminance) 情報を含んでおり、輝度は決められた数、例えば、1024 ($= 2^{10}$)、256 ($= 2^8$) または 64 ($= 2^6$) 個の階調 (gray) を有している。入力制御信号の例としては、垂直同期信号 V_{sync} 、水平同期信号 H_{sync} 、メインクロック $MCLK$ 、及びデータイネーブル信号 DE などがある。

20

【0030】

信号制御部 600 は、入力画像信号 R、G、B と入力制御信号に基づいて入力画像信号 R、G、B を液晶表示板組立体 300 の動作条件に合うように適切に処理し、ゲート制御信号 $CONT1$ 及びデータ制御信号 $CONT2$ などを生成した後、ゲート制御信号 $CONT1$ をゲート駆動部 400 に送出し、データ制御信号 $CONT2$ と処理したデジタル画像信号 DAT をデータ駆動部 500 に送出する。

30

【0031】

ゲート制御信号 $CONT1$ は、走査開始を指示する走査開始信号 STV と、ゲートオン電圧 V_{on} の出力周期を制御する少なくとも一つのクロック信号とを含む。ゲート制御信号 $CONT1$ は、また、ゲートオン電圧 V_{on} の持続時間を限定する出力イネーブル信号 OE をさらに含むことができる。

【0032】

データ制御信号 $CONT2$ は、一つの行の画素 PX に対するデジタル画像信号 DAT の伝送開始を知らせる水平同期開始信号 STH 、データ線 $D_1 - D_m$ にアナログデータ電圧の印加を指示するロード信号 $LOAD$ 、及びデータクロック信号 $HCLK$ を含む。データ制御信号 $CONT2$ は、また、共通電圧 V_{com} に対するアナログデータ電圧の電圧極性 (以下、“共通電圧に対するデータ電圧の極性”を略して“データ電圧の極性”と言う) を反転させる反転信号 RVS をさらに含むことができる。

40

【0033】

信号制御部 600 からのデータ制御信号 $CONT2$ によって、データ駆動部 500 は一つの行の画素 PX に対するデジタル画像信号 DAT を受信し、各デジタル画像信号 DAT に対応する階調電圧を選択することによって、デジタル画像信号 DAT をアナログデータ電圧に変換した後、これを当該データ線 $D_1 - D_m$ に印加する。

50

【0034】

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1によってゲートオン電圧Vonをゲート線G₁ - G_nに印加し、このゲート線G₁ - G_nに連結されたスイッチング素子Qをターンオンさせる。そうすると、データ線D₁ - D_mに印加されたデータ電圧がターンオンされたスイッチング素子Qを通じて当該画素PXに印加される。

【0035】

画素PXに印加されたデータ電圧の電圧と共通電圧Vcomとの差は、液晶キャパシタC_{1c}の充電電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさによってその配列を異にし、これによって液晶層3を通過する光の偏光が変化する。このような偏光の変化は表示板組立体300に付着された偏光子によって光の透過率の変化として現れ、これによって画素PXはデジタル画像信号DATの階調が示す輝度を表示する。

10

【0036】

1水平周期(“1H”とも記し、水平同期信号Hsync及びデータイネーブル信号DEの一周期と同一である)を単位としてこのような過程を繰り返すことにより、全てのゲート線G₁ - G_nに対して順次にゲートオン電圧Vonを印加し、全ての画素PXにデータ電圧を印加して1フレーム(frame)の画像を表示する。

1フレームが終了すれば、次のフレームが開始し、各画素PXに印加されるデータ電圧の極性が直前フレームでの極性と反対になるようにデータ駆動部500に印加される反転信号RVSの状態が制御される(“フレーム反転”)。この時、1フレーム内においても反転信号RVSの特性によって一つのデータ線を通じて流れるデータ電圧の極性が変わるか(例:行反転、点反転)、または一つの画素行に印加されるデータ電圧の極性も互いに異なることができる(例:列反転、点反転)。

20

【0037】

次に、図3～図8を参照して、本発明の実施形態によるデータ駆動部500及び階調電圧生成部800について詳細に説明する。

図3は本発明の一実施形態による液晶表示装置のデータ駆動部及び階調電圧生成部のブロック図であり、図4は図3に示すデータ駆動部のデジタル-アナログ変換部及び階調電圧生成部の詳細図である。

【0038】

図3を参照すれば、データ駆動部500は、順次に連結されているシフトレジスタ(shift register)510、ラッチ(latch)530、デジタル-アナログ変換部(digital-to-analog converter)700、及び出力バッファ(output buffer)570を含む。

30

【0039】

シフトレジスタ510は、水平同期開始信号STH(またはシフトクロック信号)が入れば、データクロック信号HCLKによってデジタル画像信号DATをラッチ530に伝達する。

ラッチ530はデジタル画像信号DATを記憶し、ロード信号LOADによってデジタル-アナログ変換部700に記憶しているデジタル画像信号DATを送出する。

40

デジタル-アナログ変換部700は、階調電圧生成部800から階調電圧の供給を受け、デジタル画像信号DATをアナログデータ電圧に変換して出力バッファ570に送出する。

出力バッファ570は、デジタル-アナログ変換部700からの出力電圧をデータ電圧としてデータ線に出力し、これを1水平周期の間に維持する。

【0040】

図4を参照すれば、本発明の一実施形態による階調電圧生成部800は、抵抗列(series of resistors)810及び複数の出力部(821～836)を含む。

【0041】

50

抵抗列 810 は、第 1 基準電圧 VDD と第 2 基準電圧 VSS との間に直列連結されている複数の抵抗 R11 ~ R164 を含み、抵抗 R11 ~ R164 の間の節点 (node) の電圧が階調電圧になる。図 4 においては画素が表示できる階調の数が 64 個であると仮定して、抵抗の総数が 64 個である。

抵抗 R11 ~ R164 の大きさが全て同一であり得、この場合、第 1 基準電圧 VDD と第 2 基準電圧 VSS との電圧差が均分される。しかし、抵抗 R11 ~ R164 の大きさを互いに異なるようにすることもでき、この場合、表示装置のガンマ曲線に合うように抵抗値を決定することが好ましい。

【0042】

各出力部 (821 ~ 836) は抵抗 R11 ~ R164 の間の節点に連結され、互いに隣接した複数の選択スイッチング素子 (Q11 ~ Q14、...、Q161 ~ Q164) を含む。各出力部 (821 ~ 836) 内のスイッチング素子 (Q11 ~ Q14、...、Q161 ~ Q164) は、互いに異なる時間にターンオンされて該当する階調電圧を出力し、その出力端が互いに連結されている。これによって出力部 (821 ~ 836) の数、つまり、階調電圧生成部 800 の出力 (Ga1 ~ Ga16) の数は、抵抗列 810 が生成する階調電圧の総数より小さい。

10

【0043】

例えば、デジタル信号であるデジタル画像信号 DAT を下位ビットデータと上位ビットデータに分割する時、階調電圧生成部 800 が生成する階調電圧の総数はデジタル画像信号 DAT が示せる階調の総数と同一であり、出力部 (821 ~ 836) の数は上位ビットデータが示せる場合の数と同一であり、各出力部 (821 ~ 836) が出力する階調電圧の数は下位ビットデータが示せる場合の数と同一である。

20

【0044】

図面に示すように、デジタル画像信号 DAT のビット数が 6 ビットであり、上位ビットが 4、下位ビットが 2 である場合、階調電圧生成部 800 が生成する階調電圧の総数は 64 個であり、出力部 (821 ~ 836) の数は 16 個、各出力部 (821 ~ 836) が出力する階調電圧の数は 4 個である。

【0045】

図 4 を参照すれば、デジタル - アナログ変換部 700 は、入力選択部 710、出力選択部 720、及び時間制御部 750 を含む。

30

入力選択部 710 は、階調電圧生成部 800 の出力部 (821 ~ 836) と連結されており、階調電圧生成部 800 の出力 (Ga1 ~ Ga16) を入力として受信する。入力選択部 710 は、また、デジタル画像信号 DAT の上位ビットデータ (D5、D4、D3、D2) の供給を受け、上位ビットデータ (D5、D4、D3、D2) に基づいて複数の入力 (Ga1 ~ Ga16) のうちの一つを選択して出力する。

【0046】

図 5 は図 4 に示す入力選択部の一実施形態を示した回路図であり、図 6 は図 4 に示す入力選択部の他の実施形態を示した回路図である。

【0047】

図 5 を参照すれば、本発明の一実施形態による入力選択部 710 は、複数のスイッチングトランジスタ列 (series) (S1 ~ S16) を含む。

40

それぞれのスイッチングトランジスタ列 (S1 ~ S16) の入力端は、入力選択部 710 の一つの入力 (Ga1、Ga2、...、Ga16) と連結されており、これらの出力端は互いに連結されて入力選択部 710 の出力 SL となる。

【0048】

スイッチングトランジスタ列 (S1 ~ S16) のそれぞれは、“直列に連結された複数のスイッチングトランジスタ (S11 ~ S14、...、S161 ~ S164) を含む。ここで、直列に連結されているということは、入出力端子のうちの一つが互いに連結されていることを意味する。

【0049】

50

スイッチングトランジスタ列 (S 1 ~ S 1 6) に属するスイッチングトランジスタ (S 1 1 ~ S 1 4、...、S 1 6 1 ~ S 1 6 4) の数は全て同一であるが、例えば、デジタル画像信号 D A T の上位ビットデータのビット数と同一である。スイッチングトランジスタ列 (S 1 ~ S 1 6) に入っているスイッチングトランジスタ (S 1 1 ~ S 1 4、...、S 1 6 1 ~ S 1 6 4) は N 型または P 型のトランジスタであり得、スイッチングトランジスタ列 (S 1 ~ S 1 6) はこれらの可能な組み合わせを全て包括する。

【0050】

各スイッチングトランジスタ列 (S 1 ~ S 1 6) から一つずつ選んだスイッチングトランジスタ (S 1 1 ... S 1 6 1、S 1 2 ... S 1 6 2、S 1 3 ... S 1 6 3、S 1 4 ... S 1 6 4)、つまり、図面において列 (column) 方向に並んでいるスイッチングトランジスタ (S 1 1 ... S 1 6 1、S 1 2 ... S 1 6 2、S 1 3 ... S 1 6 3、S 1 4 ... S 1 6 4) は、互いに“並列”に連結されている。ここで、並列に連結されているということは、制御端子が互いに連結されている意味である。

10

【0051】

例えば、全てのスイッチングトランジスタ列 (S 1 ~ S 1 6) において第 1 スwitchングトランジスタ (S 1 1、S 2 1、...、S 1 6 1) 同士にその制御端子が互いに連結されており、第 2 スwitchングトランジスタ (S 1 2、S 2 2、...、S 1 6 2) 同士にその制御端子が互いに連結されているなどである。並列に連結されたスイッチングトランジスタ (S 1 1 ... S 1 6 1、S 1 2 ... S 1 6 2、S 1 3 ... S 1 6 3、S 1 4 ... S 1 6 4) の制御端子にはデジタル画像信号 D A T の各上位ビットデータ (D 5、D 4、D 3、D 2) が入

20

【0052】

したがって、スイッチングトランジスタ列 (S 1 ~ S 1 6) は、デジタル画像信号 D A T の上位ビットデータ (D 5、D 4、D 3、D 2) によってその内部の全てのスイッチングトランジスタ (S 1 1 ~ S 1 6 4) が同時にターンオンされる時、当該入力 (G a 1、G a 2、...、G a 1 6) を S L に出力する。

【0053】

図 6 を参照すれば、本発明の他の実施形態による入力選択部 7 1 0 は、上位データ変換部 7 1 1 及びスイッチング部 7 1 3 を含む。

【0054】

上位データ変換部 7 1 1 は、デジタル画像信号 D A T の上位ビットデータ (D 5、D 4、D 3、D 2) の供給を受け、複数の分割データ変換器 7 1 1 U、7 1 1 L を含む。上位ビットデータ (D 5、D 4、D 3、D 2) は、2 以上のビット数を有する複数の分割データに分れて上位データ変換部 7 1 1 に入力され (図面においては、ビット別に異なる信号線を通じて並列に入力されることと図示したが、これに限定されない)、各分割データ変換器 7 1 1 U、7 1 1 L にはこのように分れた一つの分割データが入力される。各分割データ変換器 7 1 1 U、7 1 1 L は、分割データに基づいて複数の出力端 (P 1 1 ~ P 1 4、P 2 1 ~ P 2 4) のうちの一つを選択して高電圧を送出する。

30

【0055】

上位ビットデータ (D 5、D 4、D 3、D 2) は、例えば、ビット数が 2 である複数の分割データに分かれたり、二つの分割データに分かれることができる。それぞれの分割データ変換器 7 1 1 U、7 1 1 L の出力端 (P 1 1 ~ P 1 4、P 2 1 ~ P 2 4) の数は、分割データが示す場合の数と同一である。

40

【0056】

例えば、分割データのビット数が 2 ビットである場合には、それぞれの分割データが示す場合の数が 4 種類であるので、各分割データ変換器 7 1 1 U、7 1 1 L の出力端 (P 1 1 ~ P 1 4、P 2 1 ~ P 2 4) の数は 4 であり、分割データ変換器 7 1 1 U、7 1 1 L の数が B N (= 上位ビットデータのビット数) \times (1 / 2) であるので、上位データ変換部 7 1 1 の出力端 (P 1 1 ~ P 1 4、P 2 1 ~ P 2 4) の総数は $4 \times B N \times (1 / 2) = 2 B N$ となる。上位ビットデータ (D 5、D 4、D 3、D 2) を二つの分割データに分けた

50

場合には分割データのビット数が $B \cdot N / 2$ であり、分割データが示す場合の数は $2^{B \cdot N / 2}$ であるので、各分割データ変換器 711U、711L の出力端 (P11 ~ P14、P21 ~ P24) の数は $2^{B \cdot N / 2}$ であり、上位データ変換部 711 の出力端 (P11 ~ P14、P21 ~ P24) の総数は $2^{(B \cdot N / 2) + 1}$ となる。

【0057】

スイッチング部 713 は上位データ変換部 711 と連結され、階調電圧生成部 800 から複数の入力 (Ga1 ~ Ga16) を受け、そのうちのひとつを選択して SL に出力する。

スイッチング部 713 は複数のスイッチング素子群 713U、713L を含み、スイッチング素子群 713U、713L の数は分割データ変換器 711U、711L の数と同一である。それぞれのスイッチング素子群 713U、713L は、一つの分割データ変換器 711U、711L と連結されている。

10

【0058】

スイッチング素子群 713U、713L のうちのひとつのスイッチング素子群 713U は入力 (Ga1 ~ Ga16) に連結されており、他のひとつのスイッチング素子群 713L は出力 SL に連結されており、スイッチング素子群 713U、713L 同士も互いに連結されている。

スイッチング素子群 713U、713L は、複数のスイッチング素子 (SWU11 ~ SWU14、...、SWU41 ~ SWU44; SWL11 ~ SWL14、...、SWL41 ~ SWL44) を含み、各スイッチング素子群 713U、713L 内のスイッチング素子 (SWU11 ~ SWU44、SWL11 ~ SWL44) の数は入力 (Ga1 ~ Ga16) の数と同一である。

20

【0059】

各スイッチング素子 (SWU11 ~ SWU44、SWL11 ~ SWL44) は分割データ変換器 711U、711L の出力のうちの一つに連結され、分割データ変換器 711U、711L の出力によって開閉が制御される。各スイッチング素子群 713U、713L 内で複数のスイッチング素子 (SWU11 ~ SWU44、SWL11 ~ SWL44) が同一の分割データ変換器 711U、711L の出力に連結されているので、分割データ変換器 711U、711L の出力端のうちの一つから高電圧が出力される場合、複数のスイッチング素子 (SWU11 ~ SWU44、SWL11 ~ SWL44) がターンオンされ、当該入力 (Ga1 ~ Ga16) を送出する。

30

【0060】

スイッチング素子群 713U、713L 内の各スイッチング素子 (SWU11 ~ SWU44、SWL11 ~ SWL44) の入出力端子のうちの一つは、隣接したスイッチング素子群 713U、713L のスイッチング素子 (SWL11 ~ SWL44、SWU11 ~ SWU44) のうちのひとつと連結されており、入出力端子のうちの一つは、入力 (Ga1 ~ Ga16) のうちのひとつまたは出力 SL と連結されている。スイッチング素子群が 3 個以上である場合、中間のスイッチング素子群にあるスイッチング素子は入力または出力の代わりに両側のスイッチング素子群のスイッチング素子と連結される。

【0061】

また、分割データ変換器 711U の同一の出力に連結されたスイッチング素子群 713U のスイッチング素子 (SWU11 ~ SWU44) と連結されたスイッチング素子群 713L のスイッチング素子 (SWL11 ~ SWL44) は、分割データ変換器 711L の互いに異なる出力に連結される。

40

このように連結すれば、スイッチング素子群 713U は分割データ変換器 711U の出力によって複数の入力 (Ga1 ~ Ga16) のうちのいくつかを選択し、スイッチング素子群 713L は、選択されたいくつかの入力 (Ga1 ~ Ga16) のうちのひとつを分割データ変換器 711L の出力によって選択して出力する。

【0062】

このようにすることによって、デジタル画像信号 DAT の上位ビットデータ (D5、D4、D3、D2) によって複数の入力 (Ga1 ~ Ga16) のうちのひとつを選択すること

50

ができる。

その他にも、図4の入力選択部710は多様な実施形態によって実現できる。

【0063】

再び図4を参照すれば、デジタル-アナログ変換部700の時間制御部750は、制御信号によって階調電圧生成部800の各出力部(821~836)が出力するいろいろな階調電圧の出力時間を制御する出力制御信号OCを生成し、これについての情報(以下、出力時間情報と言う)OTを出力選択部720に出力する。時間制御部750は計数器(counter)を含むことができる。

【0064】

この時、出力制御信号OCは4個の伝送線を通じて出力され、4個の伝送線に交互に選択スイッチング素子(Q11~Q14、...、Q161~Q164)をターンオンさせることができる電圧を伝送することによって、階調電圧の出力時間を制御する。出力時間情報OTは、例えば、デジタル信号としてデジタル画像信号DATの下位ビットデータ(D1、D0)と同一のビット数を有する。出力時間情報OTは時間によって値が変わり、各出力部(821~836)内でその時間に出力されるスイッチング素子(Q11~Q14、...、Q161~Q164)の相対位置、または階調電圧の相対位置を示す。

【0065】

出力選択部720は、入力選択部710及び時間制御部750と連結されており、出力制御部730と出力スイッチング素子Q1を含む。

出力制御部730は、時間制御部750の出力時間情報OTとデジタル画像信号DATの下位ビットデータ(D1、D0)に基づいて選択信号SELを出力する。出力制御部730の例としては、出力時間情報OTに基づいて下位ビットデータ(D1、D0)をパルス幅変調させるパルス幅変調器(pulse width modifier)がある。

【0066】

出力スイッチング素子Q1は、出力制御部730の選択信号SELによってターンオンまたはターンオフされて入力選択部710の出力SLからの出力値、つまり、階調電圧生成部800の出力部(821~836)のうちの一つから互いに異なる時間に出力される複数の階調電圧のうちの一つ以上の階調電圧を選択し、選択した一つ以上の階調電圧を連続して出力する。出力スイッチング素子Q1の出力がすなわちデジタル-アナログ変換部700の出力となる。

【0067】

次に、図7を参照して図4に示す出力制御部について詳細に説明する。

図7は図4に示す出力制御部の一実施形態を示した回路図である。

図7を参照すれば、本発明の一実施形態による出力制御部730は、一種のパルス幅変調器であって、第1節点n1で連結された比較器732及び選択信号生成部734を含む。

【0068】

比較器732は、時間制御部750の出力時間情報OTとデジタル画像信号DATの下位ビットデータ(D1、D0)とを比較して出力信号を生成する。例えば、比較器732は出力時間情報OTと下位ビットデータ(D1、D0)が同一であれば高電圧を出力し、互いに異なれば低電圧を出力することができる。

このような比較器732は、下位ビットデータ(D1、D0)のビット数(=出力時間情報のビット数)によって多様に実現でき、図7に示すように、下位ビットデータ(D1、D0)が2ビットである場合、3個のNANDゲートG1、G2、G3と一つの反転ゲートG4を含むことができる。

【0069】

つまり、第1及び第2NANDゲートG1、G2は、画像信号DATの下位ビットデータ(D1、D0)の各席と出力時間情報OTの反転データ(OTB1、OTB2)の各席をNAND演算し、第3NANDゲートG3は第1及び第2NANDゲートG1、G2の出力をNAND演算する。反転、ゲートG4は第3NANDゲートG3の出力を反転して

第1節点n1に出力する。

選択信号生成部734は、第1及び第2入力トランジスタQ7、Q8、初期化トランジスタQ6、高電圧伝達トランジスタQ9、及び反転ゲートG5を含む。

第1及び第2入力トランジスタQ7、Q8は第1節点n1（つまり、入力端子）と第2節点n2との間に直列連結されており、反転ゲートG5は第2節点n2と出力端n3との間に連結されており、第2節点n2の電圧を反転して選択信号SELとして選択信号生成部734の出力端n3に出力する。

【0070】

第1入力トランジスタQ7の制御端子はサンプリング信号Vsamの印加を受け、第2入力トランジスタQ8の制御端子は選択信号SELの印加を受ける。

初期化トランジスタQ6は初期化信号Vrstの印加を受ける制御端子、接地している入力端子及び第2節点n2と連結されている出力端子を含む。

高電圧伝達トランジスタQ9は、出力端n3と連結されている制御端子、基準電圧AVDDと連結されている入力端子及び第2節点n2と連結されている出力端子を含む。

第2入力トランジスタQ8と高電圧伝達トランジスタQ9の導電型は互いに反対であり、サンプリング信号Vsam及び初期化信号Vrstの波形は、第1入力トランジスタQ7及び初期化トランジスタQ6の導電型によって決定される。

【0071】

次に、図8を参照して図4及び図7に示すデジタル-アナログ変換部700及び階調電圧生成部800の動作について詳細に説明する。

上述した説明と図面に示したように、デジタル画像信号DATは6ビットのデジタル信号であり、4ビットの上位ビットデータ、2ビットの下位ビットデータに分割されると仮定する。

【0072】

ラッチ530からデジタル画像信号DATを受ければ、入力選択部710はデジタル画像信号DATの上位ビットデータ(D5、D4、D3、D2)に基づいて16個の入力(Ga1、Ga2、...、Ga16)のうちの一つを選択して出力SLに出力する。入力選択部710の出力SLは時間によって互いに異なる4個の階調電圧を含む。

【0073】

上述したように、出力SLに含まれた4個の階調電圧は時間制御部750からの出力制御信号OCによって順次に出され、これに対する出力時間情報OTが出力制御部730に提供される。出力制御部730の比較器732は、デジタル画像信号DATの下位ビットデータ(D1、D0)と出力時間情報OTとを比較する。

【0074】

例えば、出力時間情報OTが“00”であれば、階調電圧生成部800の各出力部(821~836)で最も高い階調電圧(以下、“第1階調電圧”と言う)V1が出力され、“01”であれば、その次に高い階調電圧(以下、“第2階調電圧”と言う)V2、“10”であれば、その次に高い階調電圧(以下、“第3階調電圧”と言う)V3、そして“11”であれば、最も低い階調電圧(以下“第4階調電圧”と言う)V4が出力されるとする。そして図8に示すように、高い階調電圧から低い階調電圧の順に順次に出され

【0075】

先に、入力選択部710が第1階調電圧V1を出力し始めれば、出力制御部730の初期化トランジスタQ6は初期化信号Vrstによってターンオンされ、第2節点n2を低電圧に設定した後ターンオフされる。そうすると、反転ゲートG5の出力電圧が高電圧になり、これによって高電圧を伝達するトランジスタQ9はターンオフの状態、第2入力トランジスタQ8はターンオンの状態となる。サンプリング信号Vsamが低電圧であれば、第1入力トランジスタQ7はターンオフの状態であるので、節点n2は低電圧を維持する。したがって、出力制御部730の選択信号SELが高電圧になり、出力スイッチング素子Q1がターンオンされてデジタル-アナログ変換部700は第1階調電圧V1を出

10

20

30

40

50

力する。

【0076】

この時、出力時間情報OTが“00”であり、これはデジタル画像信号DATの下位ビットデータ(D1、D0)と異なるので、比較器732は低電圧を出力する。

この状態でサンプリング信号Vsamがハイレベルに遷移すれば、第1入力トランジスタQ7がターンオンされて第1節点n1の低電圧を第2節点n2に伝達する。したがって、第2節点n2は低電圧をそのまま維持し、選択信号生成部734は選択信号SELを高電圧で維持し続ける。

【0077】

次に、入力選択部710が第2階調電圧V2を出力し始め、出力時間情報OTが“01”になれば、出力時間情報OTと下位ビットデータ(D1、D0)が同一であるので、比較器732の出力が高電圧になる。しかし、第1入力トランジスタQ7がまだターンオフの状態であるので、選択信号SELは高電圧を維持する。

サンプリング信号Vsamがハイレベルに遷移すれば、第1入力トランジスタQ7がターンオンされて比較器732の高電圧出力が第2節点n2に印加される。反転ゲートG5は第2節点n2の高電圧を反転して低電圧を出力し、これによって高電圧を伝達するトランジスタQ9はターンオンされ、第2入力トランジスタQ8はターンオフされる。高電圧伝達トランジスタQ9は第2節点n2に高電圧である基準電圧AVDDを伝達し、第2節点n2の高電圧を維持する。

【0078】

以下、選択信号SELは低電圧に変わり、出力スイッチング素子Q1がターンオフされてデジタル-アナログ変換部700の出力を遮断する。

一度ターンオフされた第2入力トランジスタQ8は、初期化信号Vrstが再び高電圧になって第2節点n2が低電圧になるまでターンオフの状態をそのまま維持するので、デジタル-アナログ変換部700の出力もその時まで遮断される。

出力バッファ570は最後に供給された階調電圧、つまり、第2階調電圧V2をデータ電圧として当該データ線に印加し、この電圧を1水平期間の間に維持する。

【0079】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【産業上の利用可能性】

【0080】

本発明は上述した液晶表示装置の他にも有機発光表示装置など他の表示装置にも適用できる。

【図面の簡単な説明】

【0081】

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置における一つの画素の等価回路図である。

【図3】本発明の一実施形態による液晶表示装置におけるデータ駆動部及び階調電圧生成部のブロック図である。

【図4】図3に示すデータ駆動部のデジタル-アナログ変換部及び階調電圧生成部の詳細図である。

【図5】図4に示す入力選択部の一実施形態を示した回路図である。

【図6】図4に示す入力選択部の他の実施形態を示した回路図である。

【図7】図4に示す出力制御部の一実施形態を示した回路図である。

【図8】本発明の一実施形態によるデータ駆動部及び階調電圧生成部の動作を説明するための信号波形図である。

【符号の説明】

【0082】

10

20

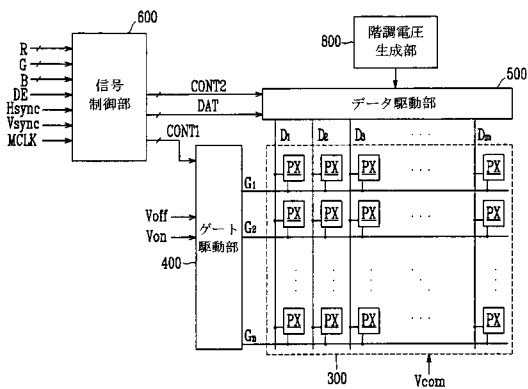
30

40

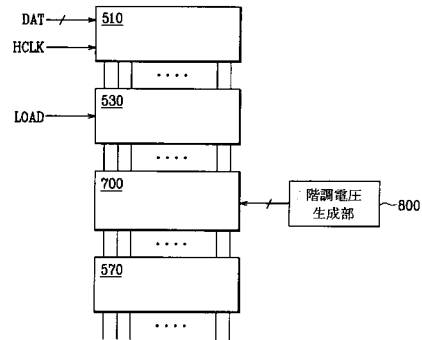
50

- 3 0 0 液晶表示板組立体
- 4 0 0 ゲート駆動部
- 5 0 0 データ駆動部
- 5 1 0 シフトレジスタ
- 5 3 0 ラッチ
- 5 7 0 出力バッファ
- 6 0 0 信号制御部
- 7 0 0 デジタル - アナログ変換部
- 7 1 0 入力選択部
- 7 1 1 上位データ変換部
- 7 1 3 スイッチング部
- 7 2 0 出力選択部
- 7 3 0 出力制御部
- 7 3 2 比較器
- 7 3 4 選択信号生成部
- 7 5 0 時間制御部
- 8 0 0 階調電圧生成部
- 8 1 0 抵抗列
- 8 2 1 ~ 8 3 6 出力部

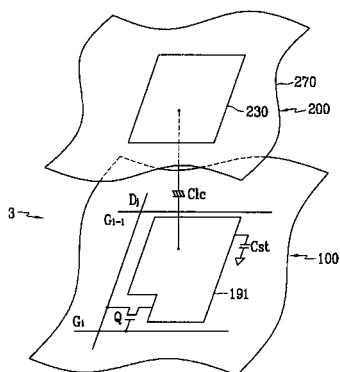
【図1】



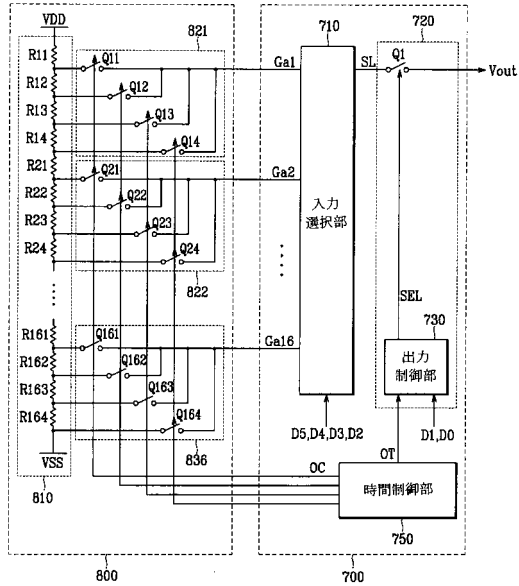
【図3】



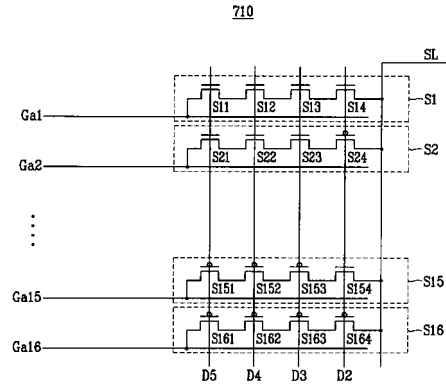
【図2】



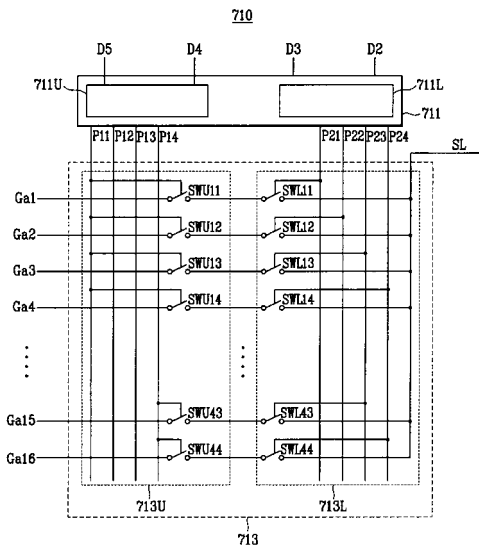
【 図 4 】



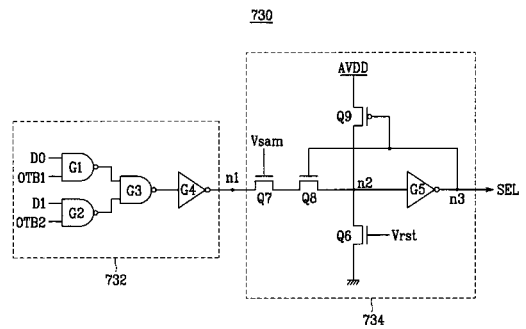
【 図 5 】



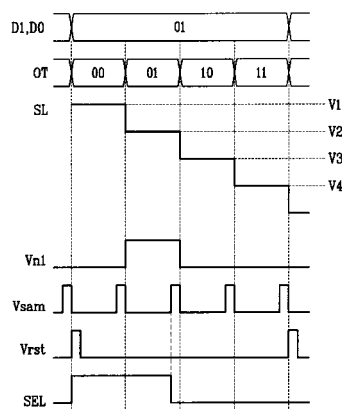
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 3 K 17/00 (2006.01)	G 0 9 G 3/20 6 4 1 C	5 J 0 2 2
H 0 3 K 17/693 (2006.01)	G 0 9 G 3/20 6 2 3 D	5 J 0 5 5
H 0 3 M 1/66 (2006.01)	G 0 9 G 3/20 6 4 1 A	
	G 0 9 G 3/20 6 4 1 Q	
	H 0 4 N 5/66 1 0 2 B	
	H 0 4 N 5/20	
	H 0 3 K 17/00 G	
	H 0 3 K 17/00 M	
	H 0 3 K 17/693 C	
	H 0 3 M 1/66 B	

(72)発明者 朴 基 燦

大韓民国 京畿道 安養市 東安区 坪安洞 チョウォンラッキーアパート 5 0 6 棟 1 5 0 1 号

F ターム(参考)	2H093	NA16	NA56	NC03	NC13	NC22	NC24	NC25	NC26	NC28	NC34
			NC65	ND06	ND49						
	5C006	AA15	AA16	AA22	AC27	AC28	AF46	AF71	AF83	BB16	BC12
		BF03	BF04	BF11	BF14	BF24	BF25	BF34	BF43	FA25	FA56
	5C021	XA34	XA35								
	5C058	AA06	BA01	BA07	BA13						
	5C080	AA06	AA10	BB05	CC03	DD03	EE29	FF11	JJ02	JJ03	JJ04
			JJ06								
	5J022	AB03	BA04	CB01							
	5J055	AX00	BX09	BX16	CX29	DX12	DX46	DX72	DX73	DX83	EX02
		EX07	EY03	EY21	EZ05	EZ12	EZ13	EZ24	EZ25	EZ31	EZ51
		FX05	FX12	FX17	FX32	FX37	GX01	GX02	GX04	GX05	GX08