

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-196601

(P2006-196601A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int.Cl.

H01L 27/10 (2006.01)

F I

H01L 27/10 421

テーマコード (参考)

5F083

審査請求 有 請求項の数 11 O L (全 13 頁)

(21) 出願番号 特願2005-5431 (P2005-5431)
 (22) 出願日 平成17年1月12日 (2005.1.12)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

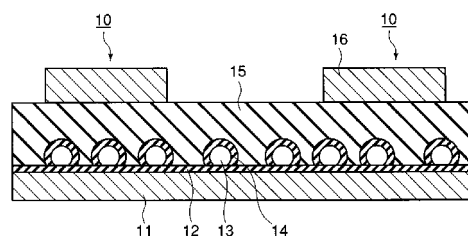
(54) 【発明の名称】 不揮発性メモリ装置

(57) 【要約】

【課題】 従来にない新規な構造を有する不揮発性メモリ装置を提供する。

【解決手段】 第1の導電部11と、第1の導電部上に形成された第1のトンネル絶縁膜12と、第1のトンネル絶縁膜上に部分的に形成され、クーロンブロッケイド条件を満たす導電性微粒子13と、導電性微粒子の表面に形成された第2のトンネル絶縁膜14と、第1のトンネル絶縁膜及び第2のトンネル絶縁膜上に形成されたトラップ絶縁膜15と、トラップ絶縁膜上に形成された第2の導電部16と、を有するメモリ素子を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の導電部と、
 前記第 1 の導電部上に形成された第 1 のトンネル絶縁膜と、
 前記第 1 のトンネル絶縁膜上に部分的に形成され、クーロンブロッケイド条件を満たす導電性微粒子と、
 前記導電性微粒子の表面に形成された第 2 のトンネル絶縁膜と、
 前記第 1 のトンネル絶縁膜及び第 2 のトンネル絶縁膜上に形成されたトラップ絶縁膜と、
 前記トラップ絶縁膜上に形成された第 2 の導電部と、
 を有するメモリ素子を備えたことを特徴とする不揮発性メモリ装置。

10

【請求項 2】

第 1 の導電部と、
 前記第 1 の導電部上に形成されたトラップ絶縁膜と、
 前記トラップ絶縁膜上に形成された第 1 のトンネル絶縁膜と、
 前記第 1 のトンネル絶縁膜上に部分的に形成され、クーロンブロッケイド条件を満たす導電性微粒子と、
 前記導電性微粒子の表面に形成された第 2 のトンネル絶縁膜と、
 前記第 1 のトンネル絶縁膜及び第 2 のトンネル絶縁膜上に形成された第 2 の導電部と、
 を有するメモリ素子を備えたことを特徴とする不揮発性メモリ装置。

20

【請求項 3】

第 1 の導電部と、
 前記第 1 の導電部上に形成された第 1 のトンネル絶縁膜と、
 前記第 1 のトンネル絶縁膜上に部分的に形成され、クーロンブロッケイド条件を満たす第 1 の導電性微粒子と、
 前記第 1 の導電性微粒子の表面に形成された第 2 のトンネル絶縁膜と、
 前記第 1 のトンネル絶縁膜及び第 2 のトンネル絶縁膜上に形成されたトラップ絶縁膜と、
 前記トラップ絶縁膜上に形成された第 3 のトンネル絶縁膜と、
 前記第 3 のトンネル絶縁膜上に部分的に形成され、クーロンブロッケイド条件を満たす第 2 の導電性微粒子と、
 前記第 2 の導電性微粒子の表面に形成された第 4 のトンネル絶縁膜と、
 前記第 3 のトンネル絶縁膜及び第 4 のトンネル絶縁膜上に形成された第 2 の導電部と、
 を有するメモリ素子を備えたことを特徴とする不揮発性メモリ装置。

30

【請求項 4】

前記トラップ絶縁膜は、前記第 1 の導電部のパターンと前記第 2 の導電部のパターンがオーバーラップする領域に選択的に形成されている
 ことを特徴とする請求項 1 乃至 3 のいずれかに記載の不揮発性メモリ装置。

【請求項 5】

前記トラップ絶縁膜は、化学量論比を満たすシリコン窒化膜のシリコン組成比よりも高いシリコン組成比を有するシリコン窒化膜、化学量論比を満たすシリコン酸化膜のシリコン組成比よりも高いシリコン組成比を有するシリコン酸化膜、又は化学量論比を満たすシリコン酸窒化膜のシリコン組成比よりも高いシリコン組成比を有するシリコン酸窒化膜で形成されている
 ことを特徴とする請求項 1 乃至 3 のいずれかに記載の不揮発性メモリ装置。

40

【請求項 6】

前記トラップ絶縁膜のトラップ準位の密度は、 10^{18} cm^{-3} 以上である
 ことを特徴とする請求項 1 乃至 3 のいずれかに記載の不揮発性メモリ装置。

【請求項 7】

前記トラップ絶縁膜のトラップ準位の密度は、前記トラップ絶縁膜の直接トンネル可能

50

膜厚の上限を T として、 T^{-3} 以上である

ことを特徴とする請求項1乃至3のいずれかに記載の不揮発性メモリ装置。

【請求項8】

前記トラップ絶縁膜の膜厚は、直接トンネル可能膜厚の上限以上である

ことを特徴とする請求項1乃至3のいずれかに記載の不揮発性メモリ装置。

【請求項9】

前記トラップ絶縁膜の膜厚は、互いに隣接するメモリ素子間の間隔よりも小さい

ことを特徴とする請求項1乃至3のいずれかに記載の不揮発性メモリ装置。

【請求項10】

前記導電性微粒子の密度は、 $2.5 \times 10^{11} \text{ cm}^{-2}$ 以上である

ことを特徴とする請求項1又は2に記載の不揮発性メモリ装置。

【請求項11】

前記第1のトンネル絶縁膜の膜厚は直接トンネル可能膜厚の上限以下であり、前記第2のトンネル絶縁膜の膜厚は直接トンネル可能膜厚の上限以下である

ことを特徴とする請求項1乃至3のいずれかに記載の不揮発性メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリ装置に関する。

【背景技術】

【0002】

不揮発性メモリ装置として、クーロンブロッケイド効果を利用したものが提案されている（例えば、特許文献1参照）。しかしながら、特許文献1等に記載された従来の素子は、MISトランジスタ構造を基本としたものであるため、例えば微細化にともなって短チャネル効果が生じる等の種々の問題があった。したがって、MISトランジスタ構造を用いない新たなメモリ素子の開発が望まれている。

【特許文献1】特開2002-289710号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明は、従来にない新規な構造を有する不揮発性メモリ装置を提供することを目的としている。

【課題を解決するための手段】

【0004】

本発明の第1の視点に係る不揮発性メモリ装置は、第1の導電部と、前記第1の導電部に形成された第1のトンネル絶縁膜と、前記第1のトンネル絶縁膜上に部分的に形成され、クーロンブロッケイド条件を満たす導電性微粒子と、前記導電性微粒子の表面に形成された第2のトンネル絶縁膜と、前記第1のトンネル絶縁膜及び第2のトンネル絶縁膜上に形成されたトラップ絶縁膜と、前記トラップ絶縁膜上に形成された第2の導電部と、を有するメモリ素子を備えたことを特徴とする。

【0005】

本発明の第2の視点に係る不揮発性メモリ装置は、第1の導電部と、前記第1の導電部に形成されたトラップ絶縁膜と、前記トラップ絶縁膜上に形成された第1のトンネル絶縁膜と、前記第1のトンネル絶縁膜上に部分的に形成され、クーロンブロッケイド条件を満たす導電性微粒子と、前記導電性微粒子の表面に形成された第2のトンネル絶縁膜と、前記第1のトンネル絶縁膜及び第2のトンネル絶縁膜上に形成された第2の導電部と、を有するメモリ素子を備えたことを特徴とする。

【0006】

本発明の第3の視点に係る不揮発性メモリ装置は、第1の導電部と、前記第1の導電部に形成された第1のトンネル絶縁膜と、前記第1のトンネル絶縁膜上に部分的に形成さ

10

20

30

40

50

れ、クーロンブロッケイド条件を満たす第1の導電性微粒子と、前記第1の導電性微粒子の表面に形成された第2のトンネル絶縁膜と、前記第1のトンネル絶縁膜及び第2のトンネル絶縁膜上に形成されたトラップ絶縁膜と、前記トラップ絶縁膜上に形成された第3のトンネル絶縁膜と、前記第3のトンネル絶縁膜上に部分的に形成され、クーロンブロッケイド条件を満たす第2の導電性微粒子と、前記第2の導電性微粒子の表面に形成された第4のトンネル絶縁膜と、前記第3のトンネル絶縁膜及び第4のトンネル絶縁膜上に形成された第2の導電部と、を有するメモリ素子を備えたことを特徴とする。

【発明の効果】

【0007】

本発明によれば、従来にない新規な構造を有する、優れた不揮発性メモリ装置を提供することが可能となる。

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施形態を図面を参照して説明する。

【0009】

(実施形態1)

図1は、本発明の第1の実施形態に係る不揮発性メモリ装置の構成を模式的に示した断面図である。

【0010】

導電部(例えば、配線や電極)11上に、量子力学的に電子がトンネル可能なトンネル絶縁膜12が形成されており、トンネル絶縁膜12上に、粒径2nm程度の導電性微粒子13が部分的に形成されている。この導電性微粒子13は、クーロンブロッケイド条件を満たす(電子1個の充電エネルギーが熱揺らぎよりも大きいこと)ものである。導電性微粒子13の表面には、量子力学的に電子がトンネル可能なトンネル絶縁膜14が形成されており、導電性微粒子13はこのトンネル絶縁膜14によって覆われている。トンネル絶縁膜12及びトンネル絶縁膜14上には、多くのトラップ準位を有するトラップ絶縁膜15が形成されており、トラップ絶縁膜15上には、導電部(例えば、配線や電極)16が形成されている。このような構成により、複数のメモリ素子10を有する不揮発性メモリ装置が構成されている。

【0011】

以下、図1に示した不揮発性メモリ装置の動作を図2を参照して説明する。

【0012】

図2に示すように、トラップ絶縁膜15には多くのトラップ51が含まれているため、これらのトラップ51を介したトラップ伝導によって、導電部11及び導電部16間に電流を流すことが可能である。また、導電性微粒子13はクーロンブロッケイド条件を満たしているため、導電性微粒子13内に電子は容易に進入することができない。したがって、導電部11及び導電部16間を流れる電流としては、図2の電流経路52で示すように、導電性微粒子13が形成されていない領域を流れる電流が主体となる。ここで、導電性微粒子13近傍のトラップ51aに電子がトラップされている場合には、トラップ電子のクーロン力の影響により、電子がトラップされていない場合よりも電流値は減少する。したがって、導電性微粒子13近傍のトラップ電子を情報電荷とし、導電部11及び導電部16間に適当な電圧を印加したときに、導電部11及び導電部16間に流れる電流の多少を検出することにより、図1に示した各メモリ素子10を2端子メモリ素子として機能させることが可能である。また、導電性微粒子13近傍のトラップ電子は、導電性微粒子13のクーロンブロッケイドエネルギー(クーロンブロッケイド効果によるバリア)によって導電部11から遮蔽されるため、トラップ51aに長時間保持され続ける。したがって、図1に示した各メモリ素子10は、不揮発性メモリ素子として機能することが可能である。

【0013】

書き込みを行う場合、すなわち導電性微粒子13近傍のトラップへ電子をトラップさせ

る場合には、導電部 1 1 に対して導電部 1 6 にプラスの電圧を印加して、導電性微粒子 1 3 のクーロンブロッケイドエネルギーよりも大きな電位差がトンネル絶縁膜 1 2 に印加されるようにする。これにより、例えば図 2 の経路 5 3 に示すように、トンネル絶縁膜 1 2 及び 1 4 を電子がトンネルし、高速書き込みが可能である。

【0014】

消去を行う場合、すなわち導電性微粒子 1 3 近傍のトラップから電子を引き出す場合には、導電部 1 1 に対して導電部 1 6 にマイナスの電圧を印加して、導電性微粒子 1 3 のクーロンブロッケイドエネルギーよりも大きな電位差がトンネル絶縁膜 1 4 に印加されるようにする。これにより、トンネル絶縁膜 1 2 及び 1 4 を電子がトンネルし、高速消去が可能である。

10

【0015】

このように、本実施形態によれば、情報電荷（トラップ電子）の保持特性に優れるとともに、高速で書き込み及び消去動作を行うことが可能な不揮発性のメモリ素子を得ることができる。また、本メモリ素子は 2 端子素子であり、従来の M I S トランジスタ構造を基本とした 3 端子素子ではないため、例えば微細化にともなって生じる短チャネル効果等の種々の問題を回避することが可能であり、微細なメモリ素子を得ることができる。さらに、1 つのメモリ素子 1 0 が 1 つの導電性微粒子 1 3 を有していればメモリ動作を行うことが可能であり、この点においても微細化に適したものと言える。

【0016】

次に、図 3 (a) ~ 図 3 (c) を参照して、本実施形態に係る不揮発性メモリ装置の製造工程を説明する。

20

【0017】

まず、図 3 (a) に示すように、不純物として高濃度のリン (P) を含んだ N⁺ ポリ S i 配線（導電部）1 1 上に、厚さ 1. 5 nm のシリコン酸化膜（トンネル絶縁膜）1 2 を高速熱酸化 (R T O : Rapid thermal oxidation) によって形成する。

【0018】

次に、図 3 (b) に示すように、C V D により、シリコン酸化膜 1 2 上に平均粒径 2. 7 nm の S i 微粒子（導電性微粒子）1 3 を、面密度 $1 \times 10^{12} \text{ cm}^{-2}$ 程度で形成する。この時の平均粒径及び面密度は、時間、圧力及び温度といった C V D 条件や、C V D の回数によって調整可能である。続いて、高速熱酸化によって、S i 微粒子 1 3 の表面に厚さ 1. 5 nm 程度のシリコン酸化膜（トンネル絶縁膜）1 4 を形成する。この時、ポリ S i 配線 1 1 表面はすでに酸化されているため、シリコン酸化膜 1 2 の膜厚は短時間の高速熱酸化でほとんど変化しない。酸化後の S i 微粒子 1 3 の平均粒径は 2 nm 程度であり、電子 1 個の充電エネルギーが熱揺らぎよりも十分大きく、クーロンブロッケイド条件を満たしている。

30

【0019】

次に、図 3 (c) に示すように、L P C V D により、シリコン (S i) と窒素 (N) の組成比が S i : N = 9 : 10 となるような S i リッチなシリコン窒化膜（トラップ絶縁膜）1 5 を、8 nm の膜厚で形成する。このように、化学量論組成を有する（化学量論比を満たす）シリコン窒化膜 (S i₃N₄) のシリコン組成比 (S i : N = 3 : 4) よりも高いシリコン組成比を有するシリコン窒化膜 (S i₉N₁₀) を形成することにより、トラップ準位の多いシリコン窒化膜を形成することができる。その後、C V D により、厚さ 10 nm のリン (P) がドーピングされた N⁺ ポリシリコン膜を堆積する。さらに、この N⁺ ポリシリコン膜をパターニングして、上側配線（導電部）1 6 を形成する。

40

【0020】

このようにして、導電性微粒子とそれを挟む二重トンネル接合を介して、絶縁膜中のトラップに電子を出し入れできる 2 端子不揮発性メモリ素子が形成される。

【0021】

上述したように、導電部 1 1、トンネル絶縁膜 1 2、導電性微粒子 1 3、トンネル絶縁膜 1 4、トラップ絶縁膜 1 5 及び導電部 1 6 を、いずれもシリコン系の材料で形成するこ

50

とが可能である。そのため、シリコン L S I の製造プロセスを容易に適用することが可能である。

【0022】

なお、本実施形態では、導電部 11 及び 16 を N^+ ポリシリコンで形成しているが、 P^+ ポリシリコンを用いてもよい。また、シリコン以外の半導体を用いてもよいし、金属等を用いてもよい。また、導電部 11 と導電部 16 とで、異なる導電材料を用いてもよい。また、本実施形態では、トンネル絶縁膜 12 とトンネル絶縁膜 14 の膜厚は同じであるが、異なってもよい。また、本実施形態では、トンネル絶縁膜 12 及びトンネル絶縁膜 14 にシリコン酸化膜を用いているが、シリコン酸化膜以外の絶縁膜を用いてもよい。また、本実施形態では、導電性微粒子 13 に Si 微粒子を用いているが、他の半導体や導電体を用いてもよい。また、導電性微粒子 13 は、ランダムに並んでいてもよいし、規則正しく並んでいてもよい。また、本実施形態では、トラップ絶縁膜 15 に Si リッチな窒化膜を用いているが、シリコンリッチなシリコン酸化膜やシリコンリッチなシリコン酸窒化膜を用いてもよいし、その他のトラップの多い絶縁膜を用いてもよい。さらに、1つのメモリ素子 10 には、少なくとも1つの導電性微粒子 13 が形成されていればよい。

10

【0023】

(実施形態 2)

図 4 は、本発明の第 2 の実施形態に係る不揮発性メモリ装置の構成を模式的に示した断面図である。

【0024】

導電部 (例えば、配線や電極) 21 上に、多くのトラップ準位を有するトラップ絶縁膜 22 が形成されており、トラップ絶縁膜 22 上には、量子力学的に電子がトンネル可能なトンネル絶縁膜 23 が形成されている。トンネル絶縁膜 23 上には、粒径 2 nm 程度の導電性微粒子 24 が部分的に形成されている。この導電性微粒子 24 は、クーロンブロッケイド条件を満たす (電子 1 個の充電エネルギーが熱揺らぎよりも大きいこと) ものである。導電性微粒子 24 の表面には、量子力学的に電子がトンネル可能なトンネル絶縁膜 25 が形成されており、導電性微粒子 24 はこのトンネル絶縁膜 25 によって覆われている。トンネル絶縁膜 23 及びトンネル絶縁膜 25 上には、導電部 (例えば、配線や電極) 26 が形成されている。このような構成により、複数のメモリ素子 20 を有する不揮発性メモリ装置が構成されている。

20

30

【0025】

図 1 に示した第 1 の実施形態の構成と図 4 に示した本実施形態の構成とを比較すればわかるように、本実施形態のメモリ素子は第 1 の実施形態のメモリ素子と基本的に同等の構成を有している。すなわち、図 1 では、下から順に、導電部 11、トンネル絶縁膜 12、導電性微粒子 13、トンネル絶縁膜 14、トラップ絶縁膜 15 及び導電部 16 という構成であり、図 4 では、上から順に、導電部 26、トンネル絶縁膜 25、導電性微粒子 24、トンネル絶縁膜 23、トラップ絶縁膜 22 及び導電部 21 という構成である。したがって、本実施形態のメモリ素子も第 1 の実施形態のメモリ素子と同様の動作を行うことが可能であり、同様の作用効果を奏することができる。

【0026】

図 5 (a) ~ 図 5 (c) は、本実施形態に係る不揮発性メモリ装置の製造工程を示した断面図である。

40

【0027】

まず、図 5 (a) に示すように、不純物として高濃度のリン (P) を含んだ N^+ ポリ Si 配線 (導電部) 21 上に、LPCVD により、シリコン (Si) と窒素 (N) の組成比が Si : N = 9 : 10 となるような Si リッチなシリコン窒化膜 (トラップ絶縁膜) 22 を、8 nm の膜厚で形成する。このように、化学量論組成を有する (化学量論比を満たす) シリコン窒化膜 (Si_3N_4) のシリコン組成比 (Si : N = 3 : 4) よりも高いシリコン組成比を有するシリコン窒化膜 (Si_9N_{10}) を形成することにより、トラップ準位の多いシリコン窒化膜を形成することができる。

50

【0028】

次に、図5(b)に示すように、厚さ1.5nmのシリコン酸化膜(トンネル絶縁膜)23を活性雰囲気中の高速熱酸化(RTO:Rapid thermal oxidation)によって形成する。続いて、CVDにより、シリコン酸化膜23上に平均粒径2.7nmのSi微粒子(導電性微粒子)24を、面密度 $1 \times 10^{12} \text{ cm}^{-2}$ 程度で形成する。この時の平均粒径及び面密度は、時間、圧力及び温度といったCVD条件や、CVDの回数によって調整可能である。続いて、高速熱酸化によって、Si微粒子24の表面に厚さ1.5nm程度のシリコン酸化膜(トンネル絶縁膜)25を形成する。この時、シリコン窒化膜22表面のシリコン酸化膜23の膜厚は短時間の高速熱酸化でほとんど変化しない。酸化後のSi微粒子24の平均粒径は2nm程度であり、電子1個の充電エネルギーが熱揺らぎよりも十分大きく、クーロンブロッケイド条件を満たしている。 10

【0029】

次に、図5(c)に示すように、CVDにより、厚さ10nmのリン(P)がドーピングされたN⁺ポリシリコン膜を堆積する。さらに、このN⁺ポリシリコン膜をパターンニングして、上側配線(導電部)26を形成する。

【0030】

本実施形態においても、第1の実施形態と同様、各構成要素をいずれもシリコン系の材料で形成することが可能であり、シリコンLSIの製造プロセスを容易に適用することが可能である。

【0031】

なお、本実施形態においても、第1の実施形態の最後に述べたような種々の変更が可能であることは言うまでもない。 20

【0032】

(実施形態3)

図6(a)～図6(c)は、本実施形態に係る不揮発性メモリ装置の製造工程を示した断面図である。なお、途中の工程までは、図3に示した第1の実施形態の工程と同様であるため、図3の構成要素に対応する構成要素には同一の参照符号を付し、詳細な説明は省略する。

【0033】

まず、図6(a)に示すように、第1の実施形態と同様にして、N⁺ポリSi配線(導電部)11、シリコン酸化膜(トンネル絶縁膜)12、Si微粒子(導電性微粒子)13、シリコン酸化膜(トンネル絶縁膜)14及びシリコン窒化膜(トラップ絶縁膜)15を形成する。 30

【0034】

次に、図6(b)に示すように、シリコン窒化膜15上に、厚さ1.5nmのシリコン酸化膜(トンネル絶縁膜)31を活性雰囲気中の高速熱酸化(RTO:Rapid thermal oxidation)によって形成する。続いて、CVDにより、シリコン酸化膜31上に平均粒径2.7nmのSi微粒子(導電性微粒子)32を、面密度 $1 \times 10^{12} \text{ cm}^{-2}$ 程度で形成する。この時の平均粒径及び面密度は、時間、圧力及び温度といったCVD条件や、CVDの回数によって調整可能である。続いて、高速熱酸化によって、Si微粒子32の表面に厚さ1.5nm程度のシリコン酸化膜(トンネル絶縁膜)33を形成する。この時、シリコン窒化膜15表面のシリコン酸化膜31の膜厚は短時間の高速熱酸化でほとんど変化しない。酸化後のSi微粒子32の平均粒径は2nm程度であり、電子1個の充電エネルギーが熱揺らぎよりも十分大きく、クーロンブロッケイド条件を満たしている。 40

【0035】

次に、図6(c)に示すように、CVDにより、厚さ10nmのリン(P)がドーピングされたN⁺ポリシリコン膜を堆積する。さらに、このN⁺ポリシリコン膜をパターンニングして、上側配線(導電部)34を形成する。このようにして、複数のメモリ素子30を有する不揮発性メモリ装置が形成される。

【0036】

図6(c)からわかるように、本実施形態のメモリ素子は、第1の実施形態のメモリ素子と第2の実施形態のメモリ素子とを組み合わせたとような構成を有している。したがって、本実施形態のメモリ素子も、第1の実施形態のメモリ素子及び第2の実施形態のメモリ素子と同様の動作を行うことが可能であり、同様の作用効果を奏することができる。

【0037】

また、本実施形態においても、第1及び第2の実施形態と同様、各構成要素をいずれもシリコン系の材料で形成することが可能であり、シリコンLSIの製造プロセスを容易に適用することが可能である。

【0038】

また、本実施形態のメモリ素子では、導電部11側にはトンネル絶縁膜12及び14に挟まれた導電性微粒子13が形成され、導電部34側にはトンネル絶縁膜31及び33に挟まれた導電性微粒子32が形成されている。したがって、導電性微粒子13近傍のトラップ電子の有無と、導電性微粒子32近傍のトラップ電子の有無に応じて記憶を行うことが可能な、多値(4値)メモリを構成することが可能である。

【0039】

なお、本実施形態においても、第1の実施形態の最後に述べたような種々の変更が可能であることは言うまでもない。特に、トンネル絶縁膜の膜厚を異ならせることにより、導電性微粒子13近傍のトラップ電子の出し入れと、導電性微粒子32近傍のトラップ電子の出し入れとを差別化しやすくなるため、多値メモリを構成しやすくなる。また、導電性微粒子13の粒径と導電性微粒子32の粒径を互いに異ならせることによっても、導電性微粒子13近傍のトラップ電子の出し入れと、導電性微粒子32近傍のトラップ電子の出し入れとを差別化しやすくなるため、多値メモリを構成しやすくなる。また、導電性微粒子13及び導電性微粒子32を規則正しく並べて、導電性微粒子13の配置と導電性微粒子32の配置との間に相関を持たせることにより、動作の制御性を向上させることが可能である。

【0040】

なお、上述した第1～3の実施形態では、隣接するメモリ素子(第1の実施形態ではメモリ素子10、第2の実施形態ではメモリ素子20、第3の実施形態ではメモリ素子30)間の領域にトラップ絶縁膜(第1の実施形態ではトラップ絶縁膜15、第2の実施形態ではトラップ絶縁膜22、第3の実施形態ではトラップ絶縁膜15)が形成されているが、図7、図8及び図9に示すように、隣接するメモリ素子間のトラップ絶縁膜を除去するようにしてもよい。例えば、上側の導電部をパターニングして除去する際に、トラップ絶縁膜も除去すればよい。このように、隣接するメモリ素子間のトラップ絶縁膜を除去し、上側導電部のパターンと下側導電部のパターンがオーバーラップする領域に選択的にトラップ絶縁膜を設けることにより、メモリ素子間のトラップ絶縁膜中の電流経路がなくなるので、メモリ素子間のクロストークを抑制することが可能である。

【0041】

また、上述した第1～3の実施形態では、導電性微粒子が互いに離間して形成されているが、例えば図10に示すように、導電性微粒子が重なり合っている領域があっても、上側導電部と下側導電部との間に電流経路が確保されていればよい。なお、図10のような導電性微粒子が重なり合う状況は、導電性微粒子を形成する際にCVDを繰り返し行ったような場合に生じる。

【0042】

以下に、上述した不揮発性メモリ装置の望ましい条件について説明する。

【0043】

導電性微粒子の粒径は、クーロンブロッケイド条件を満たしている必要がある。クーロンブロッケイド条件を満たすとは、電子1個の静電エネルギー(クーロンブロッケイドエネルギー:素電荷を q 、導電性微粒子の容量を $C \cdot$ として、 $q/2C \cdot$ で与えられる)が室温での熱揺らぎ $26meV$ 程度よりも大きいことである。粒径 $15nm$ 程度のSi微結晶では、 $C \cdot$ が $3aF$ 程度であり、クーロンブロッケイドエネルギー ΔE は、 $\Delta E =$

$q/2C \cdot d = 26 \text{ meV}$ 程度であり、室温での熱エネルギー 26 meV とほぼ等しくなる。粒径が小さくなるほどクーロンブロックエネルギーは大きくなるので、粒径の上限は 15 nm 程度であることが望ましい。また、粒径の下限は、Si の原子間距離 0.3 nm 程度であることが望ましい。

【0044】

導電性微粒子の面密度の望ましい範囲について説明する。本実施形態のメモリ素子のメモリ効果は、情報電荷（トラップ電子）のクーロン力によって電流経路（例えば図2の電流経路52）のキャリアが退けられて電流が減ることによって生じる。十分なメモリ効果を得るためには、導電性微粒子近傍のトラップ電子が、電流経路に対してある程度の近さで存在しなければならない。シリコン中でのクーロンスクリーニング距離は、典型的には 10 nm である。したがって、導電性微粒子間の平均距離が 20 nm 以下となるような面密度で導電性微粒子が分布していないと、電流経路からの距離が 10 nm 以下の領域に導電性微粒子が存在しない可能性が大きくなる。したがって、 $2.5 \times 10^{11} \text{ cm}^{-2}$ （つまり、1微粒子/ 20 nm スクエア）が、導電性微粒子の面密度の望ましい下限である。また、導電性微粒子間に隙間がなければ電流経路ができないので、導電性微粒子間に隙間ができるようにするため、導電性微粒子の平均粒径を D として、 D^{-2} が導電性微粒子の面密度の望ましい上限である。

10

【0045】

トンネル絶縁膜の膜厚は、電子が直接トンネル可能な膜厚の上限以下であることが望ましい。直接トンネル可能膜厚の上限は、シリコン酸化膜では 3 nm である。したがって、トンネル絶縁膜としてシリコン酸化膜を用いた場合には、トンネル絶縁膜の膜厚の上限は 3 nm 程度である。また、下限は1原子層の厚さ 0.3 nm 程度である。シリコン酸化膜以外の絶縁膜では、シリコン酸化膜の膜厚範囲（ 0.3 nm 以上 3 nm 以下）におけるシリコン酸化膜のトンネル抵抗範囲と同等のトンネル抵抗範囲となるような膜厚範囲であることが望ましい。

20

【0046】

トラップ絶縁膜の厚さは、Si 微粒子近傍のトラップ電子が、トラップから導電部に直接トンネルしないような厚さであることが望ましい。すなわち、電子が直接トンネル可能な膜厚の上限以上であることが望ましい。トラップリッチなシリコン酸化膜の場合は、 3 nm よりも厚いことが望ましい。シリコン窒化膜の場合は、膜厚 3 nm のシリコン酸化膜（バリア高 3.1 eV ）と同等のトンネル抵抗となるような膜厚であることが望ましい。すなわち、シリコン窒化膜のバリア高は 2 eV であることから、シリコン窒化膜の膜厚は 3.7 nm 以上であることが望ましい。その他の絶縁膜を用いた場合、複数の絶縁膜の積層構造を用いた場合、或いは連続的に組成が変化する絶縁膜を用いた場合にも、バリア高 3.1 eV で膜厚 3 nm のシリコン酸化膜と同等のトンネル抵抗となるような膜厚が、望ましい膜厚の下限である。また、互いに隣接するメモリ素子間のクロストークを抑制する観点から、トラップ絶縁膜の膜厚は、互いに隣接するメモリ素子間の間隔（距離）よりも小さいことが望ましい。

30

【0047】

トラップ絶縁膜中のトラップの体積密度の望ましい範囲は以下の通りである。すでに述べたように、本実施形態のメモリ素子のメモリ効果は、情報電荷（トラップ電子）のクーロン力によって電流経路（例えば図2の電流経路52）のキャリアが退けられて電流が減ることによって生じる。したがって、典型的なクーロンスクリーニング距離 10 nm よりも近い範囲内にトラップが存在する確率が大きくなるような体積密度であることが望ましい。したがって、1トラップ/ 10 nm^3 以上、すなわちトラップ準位の体積密度は、 10^{18} cm^{-3} 以上であることが望ましい。

40

【0048】

また、トラップ間伝導による電流経路が形成されるためには、直接トンネル可能膜厚の範囲内に、少なくとも2つのトラップが存在する確率が高くなければならない。したがって、トラップ絶縁膜のトラップ準位の体積密度は、直接トンネル可能膜厚の上限を T とし

50

て、 T^{-3} 以上であることが望ましい。例えば、トラップ絶縁膜としてシリコン酸化膜を用いた場合には、 $(3\text{ nm})^{-3} = 3.7 \times 10^{19} \text{ cm}^{-3}$ 以上、トラップ絶縁膜としてシリコン窒化膜を用いた場合には、 $(3.7\text{ nm})^{-3} = 2 \times 10^{19} \text{ cm}^{-3}$ 以上であることが望ましい。また、トラップ準位の体積密度の上限は、原子間結合の体積密度 10^{23} cm^{-3} 程度である。

【0049】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

10

【図面の簡単な説明】

【0050】

【図1】本発明の第1の実施形態に係る不揮発性メモリ装置の構成を模式的に示した断面図である。

【図2】本発明の第1の実施形態に係る不揮発性メモリ装置の動作を説明するための図である。

【図3】本発明の第1の実施形態に係る不揮発性メモリ装置の製造工程を模式的に示した断面図である。

20

【図4】本発明の第2の実施形態に係る不揮発性メモリ装置の構成を模式的に示した断面図である。

【図5】本発明の第2の実施形態に係る不揮発性メモリ装置の製造工程を模式的に示した断面図である。

【図6】本発明の第3の実施形態に係る不揮発性メモリ装置の製造工程を模式的に示した断面図である。

【図7】本発明の第1の実施形態に係る不揮発性メモリ装置の変更例を模式的に示した断面図である。

【図8】本発明の第2の実施形態に係る不揮発性メモリ装置の変更例を模式的に示した断面図である。

30

【図9】本発明の第3の実施形態に係る不揮発性メモリ装置の変更例を模式的に示した断面図である。

【図10】本発明の第1の実施形態に係る不揮発性メモリ装置の変更例を模式的に示した断面図である。

【符号の説明】

【0051】

11、16、21、26、34…導電部

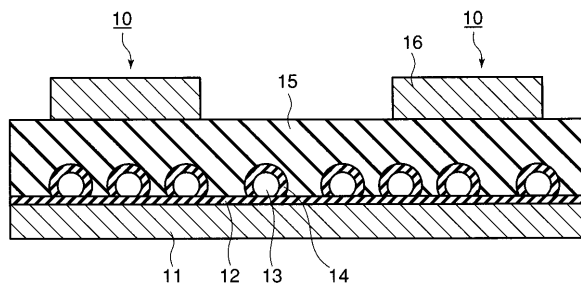
12、14、23、25、31、33…トンネル絶縁膜

13、24、32…導電性微粒子

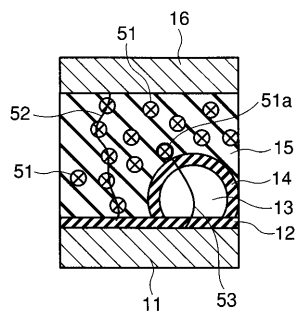
15、22…トラップ絶縁膜

40

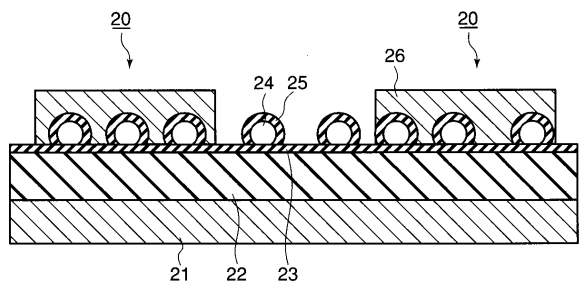
【図 1】



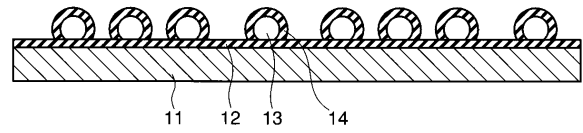
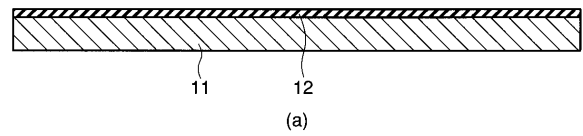
【 図 2 】



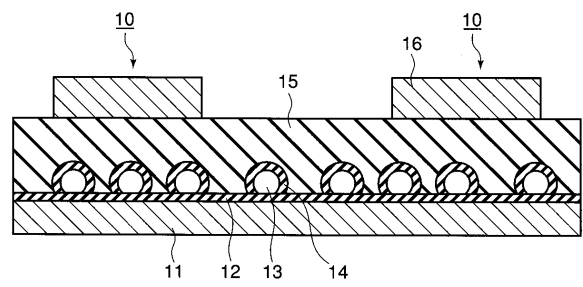
【図 4】



【圖 3】

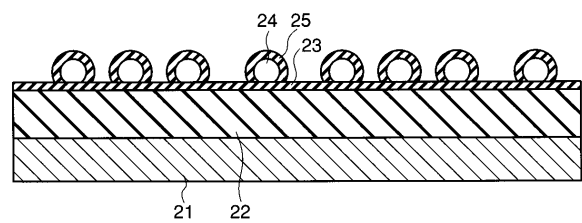
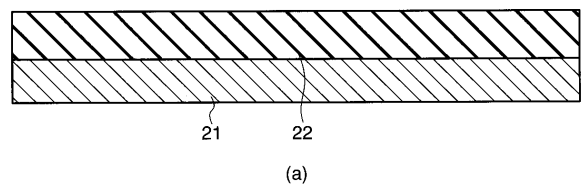


(b)

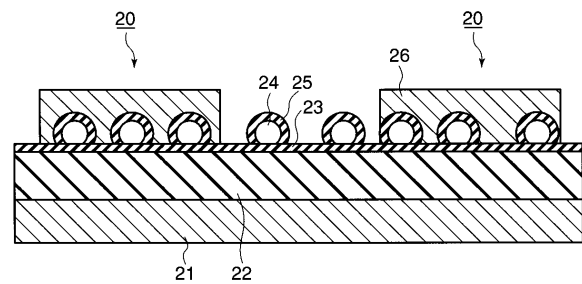


(c)

【図 5】

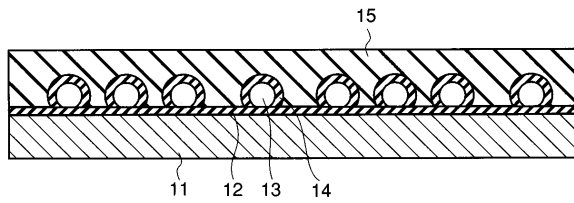


(b)

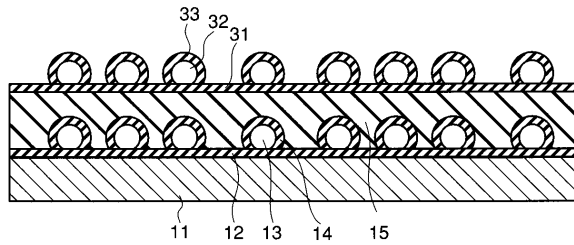


(c)

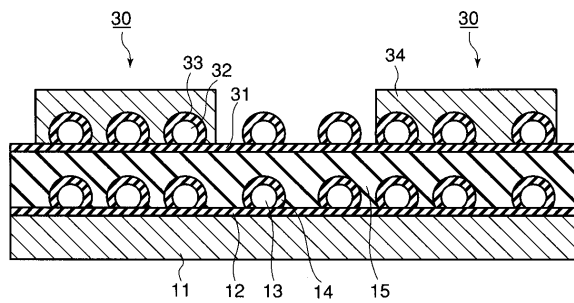
【図 6】



(a)

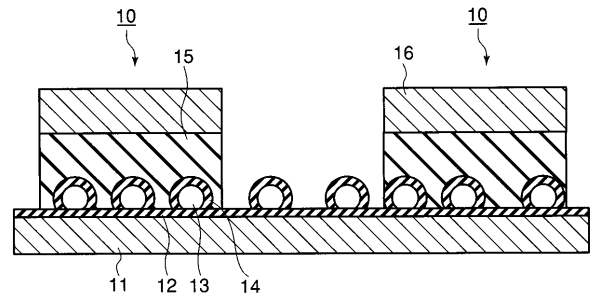


(b)

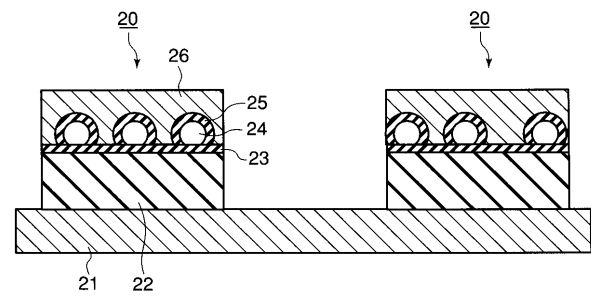


(c)

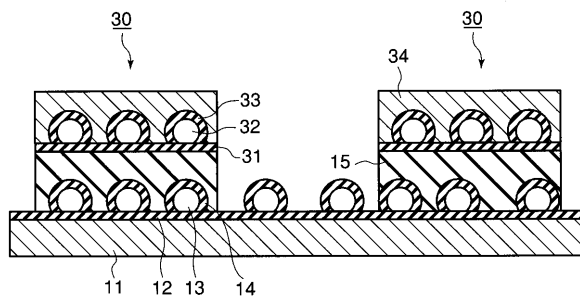
【図 7】



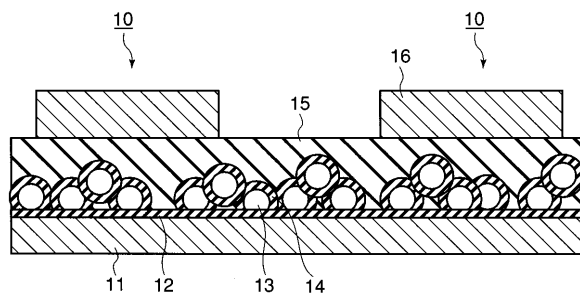
【図 8】



【図 9】



【図 10】



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 大場 竜二

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 5F083 EP17 EP42 ER21 FZ10 PR13