



(12) 发明专利

(10) 授权公告号 CN 102007571 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 200980106183. 2

(22) 申请日 2009. 02. 20

(30) 优先权数据

61/031, 333 2008. 02. 25 US

(85) PCT国际申请进入国家阶段日

2010. 08. 18

(86) PCT国际申请的申请数据

PCT/SE2009/000098 2009. 02. 20

(87) PCT国际申请的公布数据

W02009/108101 EN 2009. 09. 03

(73) 专利权人 斯莫特克有限公司

地址 瑞典哥德堡

(72) 发明人 乔纳斯·贝尔格 文森特·代马雷

默罕默德·沙菲奎尔·卡比尔

艾米·默罕默德 大卫·布鲁德

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 吴敬莲

(51) Int. Cl.

H01L 21/18(2006. 01)

H01L 21/203(2006. 01)

H01L 21/302(2006. 01)

H01L 21/3205(2006. 01)

H01L 29/06(2006. 01)

H01L 51/00(2006. 01)

H01L 21/363(2006. 01)

(56) 对比文件

CN 101097826 A, 2008. 01. 02,

US 2003052585 A1, 2003. 03. 20,

WO 2006115453 A1, 2006. 11. 02,

TW 200506998 A, 2005. 02. 16,

CN 1729137 A, 2006. 02. 01,

WO 02080361 A1, 2002. 10. 10,

审查员 吴昊

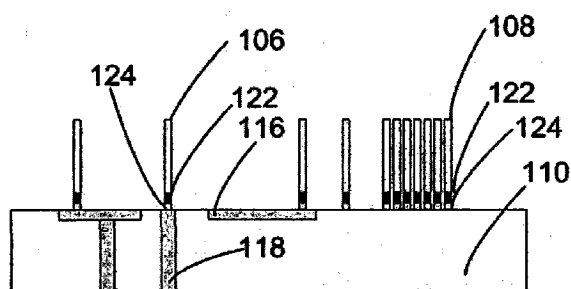
权利要求书1页 说明书11页 附图12页

(54) 发明名称

纳米结构制造过程中的导电助层的沉积和选择性移除

(57) 摘要

本发明公开了一种制造一个或多个纳米结构的方法,所述方法包括:在基底的上表面沉积导电层;在所述导电层上沉积带图案的催化剂层;在所述催化剂层上生长一个或多个纳米结构;以及选择性地移除位于一个或多个纳米结构之间和周围的导电助层。本发明还公开了一种器件,包括基底,其中所述基底包括被一个或多个绝缘区域分开的一个或多个裸露金属岛;沉积在所述基底上的导电助层,所述导电助层至少覆盖一个或多个裸露金属岛或绝缘区域中的一部分;沉积在所述导电助层上的催化剂层;以及沉积在所述催化剂层上的一个或多个纳米结构。



1. 一种制造纳米结构的方法,其特征在于,所述方法包括:
在基底的上表面沉积导电助层;
在所述导电助层上生长一个或多个纳米结构;以及
利用所述纳米结构作为自对准掩模,选择性地移除位于所述纳米结构周围的所述导电助层,使得所述基底的所述上表面被暴露在所述纳米结构之间或周围。
2. 根据权利要求1所述的方法,其特征在于,还包括在生长所述纳米结构之前在所述导电助层上沉积带图案的催化剂层的步骤。
3. 根据权利要求1所述的方法,其特征在于,所述基底包括位于所述上表面上的导电金属底层,所述导电助层被沉积以覆盖所述金属底层。
4. 根据权利要求3所述的方法,其特征在于,所述金属底层形成有图案。
5. 根据权利要求3所述的方法,其特征在于,所述金属底层由不同于所述导电助层的材料构成。
6. 根据权利要求5所述的方法,其特征在于,所述选择性地移除所述导电助层的步骤包括以下步骤:
利用在所述导电助层和所述金属底层之间具有相对选择性的蚀刻剂或蚀刻气体蚀刻。
7. 根据权利要求1所述的方法,其特征在于,所述纳米结构包括碳、GaAs、ZnO、InP、InGaAs、GaN、InGaN 或 Si。
8. 根据权利要求1所述的方法,其特征在于,所述导电助层包括选自以下的材料:半导体、导电聚合物和合金。
9. 根据权利要求1所述的方法,其特征在于,所述导电助层的选择性移除通过蚀刻完成。
10. 根据权利要求3所述的方法,其特征在于,还包括以下步骤:
沉积附加的缓冲层,所述缓冲层分隔所述导电助层和所述金属底层。

纳米结构制造过程中的导电助层的沉积和选择性移除

[0001] 优先权声明

[0002] 本申请要求于 2008 年 2 月 25 日提交的美国临时申请 61/031,333 的优先权,其全文通过引用包含于此。

技术领域

[0003] 本发明涉及纳米结构的化学气相沉积 (CVD),更具体地说,涉及减少或消除纳米结构生长过程中等离子体导致的破坏,使得纳米结构能够在导电和绝缘表面上自对准 (self-aligned) 生长。

背景技术

[0004] 本发明涉及但不限于纳米结构,例如碳纳米结构(如碳纳米管、碳纳米纤维、碳纳米线)。由于具有高的热传导性和电传导性,这些纳米结构在近几年来引起了人们的兴趣。

[0005] 碳纳米结构可以利用电弧放电法、激光剥蚀法或化学气相沉积 (CVD) 来制造。催化剂用于 CVD 工艺中以获得纳米结构的生长。两种最常用的 CVD 法是热 CVD 和等离子体增强 CVD(即等离子体 CVD)。在热 CVD 中,纳米结构形成需要的能量是热能。在等离子体 CVD 中,纳米结构形成需要的能量来自等离子体。相比热 CVD 而言,等离子体 CVD 可以在更低的温度下生长纳米结构。等离子体 CVD 中较低的生长温度是显著的优势,因为基底常常在过高的温度下被破坏,而纳米结构是在基底上生长。

[0006] 已有多多种等离子体 CVD,包括射频等离子体 CVD、电感耦合等离子体 CVD 和直流等离子体 CVD。直流等离子体 CVD(DC-CVD) 通常是首选,因为接近基底表面的电场能够控制所生长的纳米结构的排列。某些情况下,电场产生基本垂直于基底的纳米结构排列。某些情况下,根据需要也可以实现与垂直方向具有一定角度偏差的排列。

[0007] 图 1A-1E 示出了可在基底上生长的纳米结构的几种排列形式。图 1A 示出了一种从位于导电基底 100 之上的带图案的催化剂层 102 和 / 或 104 生长的纳米结构 106 和 / 或 108 的排列形式。纳米结构 106 是在小催化剂点 102 上生长的单个纳米结构,而纳米结构 108 是在大片催化剂区域 104 上生长的纳米结构“从林”(多个紧密相间的纳米结构)。图 1B 示出一种在带图案的催化剂层 102 和 / 或 104 上生长的纳米结构 106 和 / 或 108 的排列形式,该催化剂点 102 和 / 或 104 位于沉积在绝缘基底 110 之上的连续的金属底层 112 上。小催化剂点 102 上生长单个纳米结构 106,而大片催化剂区域 104 上生长纳米结构“从林”(多个紧密相间的纳米结构)。这两种利用 DC-CVD 生长的纳米结构的排列形式相对来说为直立取向。

[0008] 然而,若带图案的催化剂层 102 和 / 或 104 直接沉积在绝缘体 110(如图 1C 所示)或沉积在位于绝缘体 110 上的分离的金属岛 (metal islands) 114 上(如图 1D 所示),就产生了问题。若在金属岛周围有绝缘区域,即使金属岛与基底的其它部分电连接,通常来说也会产生该问题。电弧会在生长过程中产生,并由于溅射引起生长结构的破坏。电弧也可能通过电弧产生的过电压破坏与生长结构连接的电子器件。图 2 示出了由于电弧放电在基底

上引起的破坏的例子。即使这些器件埋于数个材料层之下,由于这些器件电连接到最顶层的金属层,这些过电压可以破坏这些器件。美国专利 5,651,865 提供了有关在 DC 等离子体中因导电表面上具有绝缘区域所带来的问题的详细说明。

[0009] 已提出一些改进 DC 电源以减少电弧相关问题的解决方法。例如,美国专利 5,576,939 和 6,943,317 公开了在电弧开始时关闭电源或调换电源极性的方法。美国专利 5,584,972 描述了在电源与电极之间连接电感线圈和二极管的方法。美国专利 7,026,174 公开了将晶片置于偏压以减少电弧放电的方法。美国专利 5,651,865 公开了利用等离子体电压的周期性极性变化以选择性地从导电表面上溅射除去任何绝缘体,其不能够实现在带绝缘区域样品上的纳米结构生长。

[0010] 在带图案的金属底层上制造纳米纤维的方法已显示用于某些应用,例如在美国专利 6,982,519 中。其中公开的方法包括利用带图案的催化剂层在连续的金属底层上生长纳米纤维,随后利用光学光刻法 (optical lithography) 在金属底层上形成图案。这种方法需要连续的金属底层以用于生长纳米纤维,且随后还要在金属底层上形成图案。

[0011] 在美国专利 6,982,519 中公开的这种技术与集成电路中互连层的标准 (CMOS) 工艺不兼容,其中水平的金属导体 116 (例如图 1E) 通过化学机械抛光 (chemical mechanical polishing) 形成于中间层电介质的凹陷处。经抛光后,带导通孔 (vias) 的下一层 (垂直互连) 形成在上面,并邻近互连层。因此,任何互连层的图案形成 (以获得带图案的金属底层) 均应在制造带导通孔的下一层之前完成。

[0012] 利用在美国专利 6,982,519 中公开的方法,不能够直接在绝缘基底上生长纳米结构,这样,基底仍然是绝缘的,经光刻 (lithography) 后在纳米结构之间会有金属残留。某些应用中,期望有纳米结构覆盖的绝缘表面 (如图 1C 的在绝缘表面 110 上生长纳米结构),例如从绝缘体传输热 (其中连续的金属层是不希望的)。

[0013] 另外,它不利于在已有金属岛 (如图 1D 所示) 上生长纳米结构,如图 2 中 SEM 照片所示的等离子体所致芯片破坏可作为问题的例证。

[0014] 图 1E 所示的结构包括导通孔 (vias) 118 (垂直互连),其连到某些位于下面 (或根据器件的朝向位于上面) 的带图案的金属底层 116。优选的是,直接在带图案的金属底层 116 (水平互连) 或任何已有传统型导通孔 118 (垂直互连) 上生长纳米结构。

[0015] 美国专利 6,982,519 中另一个没有提到的问题是,并非所有在集成电路的制造中使用的金属与用于纳米结构生长的等离子气体兼容。例如,美国申请公开 2008/00014443 阐明不能在含乙炔等离子体中使用铜,因为将产生有害的化学反应。

[0016] 美国申请公开 2007/0154623 公开了利用位于玻璃基底和催化剂之间的缓冲层防止相互作用的方法。美国申请公开 2007/0259128 公开了利用中间层控制碳纳米管的位点密度的方法。这些申请中没有一个可以满足在已带图案的金属底层上生长纳米结构的要求,或消除电弧的要求。

[0017] 当在仅部分被金属底层覆盖的芯片上生长纳米结构时,有时会在催化剂颗粒外围有寄生生长 (parasitic growth)。这会引起有害的沿芯片表面的漏电流。

[0018] 因此,需要一种在事前形成图案的金属底层上生长纳米结构的方法,而不会带来因电弧所致芯片破坏和敏感电子器件遭受过电压破坏的问题,或因使用材料的不兼容性所致的等离子体生长工艺中的寄生生长的问题。在不同的实施方式中,在此描述的技术可以

解决部分或全部这些工艺相关问题。

[0019] 在此包含有本发明的背景技术的讨论,是为了解释本发明的内容,而非承认提及的所有材料在全部权利要求的优先权日时已公开、公知或是常识的一部分。

发明内容

[0020] 本发明涉及纳米结构的化学气相沉积 (CVD),更具体地说,涉及减少和消除纳米结构生长过程中等离子体导致的破坏,使得纳米结构能够在导电和绝缘表面上自对准 (self-aligned) 生长。

[0021] 根据本发明的一方面,提供制造一个或多个纳米结构的方法,包括:在基底上表面沉积导电助层;在所述导电助层上沉积带图案的催化剂层;在所述催化剂层上生长一个或多个纳米结构;以及选择性地移除位于一个或多个纳米结构之间和周围的所述导电助层。

[0022] 在某些实施方式中,所述催化剂层在沉积之后形成图案。在某些实施方式中,所述基底还包括与其上表面同延的 (co-extensive) 金属底层,金属底层被所述导电助层覆盖。某些实施方式中,所述金属底层形成有图案。某些实施方式中,所述金属底层包括一种或多种选自以下的金属:Cu、Ti、W、Mo、Pt、Al、Au、Pd、P、Ni 和 Fe。在某些实施方式中,所述金属底层包括一种或多种选自以下的导电合金:TiN、WN 和 AlN。在某些实施方式中,所述基底包括一种或多种导电聚合物。某些实施方式中,所述基底是半导体。某些实施方式中,所述基底是绝缘体。某些实施方式中,所述基底是上面至少带有一层导电层的绝缘体。某些实施方式中,任何沉积均通过选自以下的方法完成:蒸发、镀、溅射、分子束外延、脉冲激光沉积、CVD 和旋涂。某些实施方式中,一个或多个纳米结构包括碳、GaAs、ZnO、InP、InGaAs、GaN、InGaN 或 Si。某些实施方式中,一个或多个纳米结构包括纳米纤维、纳米管或纳米线。某些实施方式中,所述导电助层包括选自以下的材料:半导体、导电聚合物和合金。某些实施方式中,所述导电助层为 1nm 到 100 微米厚。某些实施方式中,一个或多个纳米结构在等离子体中生长。某些实施方式中,所述导电助层的选择性移除通过蚀刻完成。某些实施方式中,所述蚀刻为等离子体干法蚀刻。某些实施方式中,所述蚀刻是电化学蚀刻。某些实施方式中,所述蚀刻是光化学热解蚀刻 (photo chemical pyrolysis etching)。某些实施方式中,所述蚀刻是热解蚀刻 (pyrolysis etching)。某些实施方式中,所述方法还包括在所述导电助层和所述催化剂层之间沉积附加层。

[0023] 根据本发明的一方面,器件包括:基底,其中所述基底包括由一个或多个绝缘区域分开的一个或多个裸露的金属岛;沉积在所述基底上的导电助层,导电助层至少覆盖所述一个或多个裸露的金属岛或绝缘区域中的一部分;沉积在所述导电助层上的催化剂层;沉积在所述催化剂层上的一个或多个纳米结构。某些实施方式中,纳米结构是互连线。

[0024] 根据本发明的一方面,制造一个或多个纳米结构的方法包括:在基底上表面沉积金属底层;在所述金属底层上沉积催化剂层;在所述催化剂层上沉积绝缘层;在所述绝缘层上沉积导电助层;产生从所述导电助层贯穿所述绝缘层到达所述催化剂层的导通孔 (vias) ;通过所述导通孔在所述催化剂层上生长一个或多个纳米结构;选择性地移除所述导电助层。

[0025] 根据本发明的一方面,包括一个或多个纳米结构的器件由包括以下步骤的方法制备:在基底上表面沉积金属底层;在所述金属底层上沉积催化剂层;在所述催化剂层上沉

积绝缘层；在所述绝缘层上沉积导电助层；产生从所述导电助层贯穿所述绝缘层到达所述催化剂层的导通孔；通过所述导通孔在所述催化剂层上生长一个或多个纳米结构；选择性地移除所述导电助层。

[0026] 根据本发明的一方面，制造一个或多个纳米结构的方法包括：在基底上沉积导电助层，其中所述基底包括裸露的带图案的金属底层或裸露的绝缘层；从催化剂层生长纳米结构，所述催化剂层位于所述导电层之上或位于所述裸露的绝缘层之下；通过蚀刻选择性地移除全部或部分所述导电助层。

[0027] 本发明的方法和器件可以提供一种或多种下述的优势。

[0028] 某些实施方式中，所述方法允许在一个或多个预先形成图案的金属底层以及电绝缘基底上生长纳米结构。所述方法可以对包含在基底中的电敏感的器件提供保护，使其免受电弧破坏。也可以消除对包含与金属底层或绝缘层不兼容的气体的生长等离子体的限制。

[0029] 某些实施方式中，所述方法包括：沉积连续的、覆盖基底上表面的导电助层，接着在助层上沉积（和 / 或形成图案）催化剂层，在所述催化剂层上生长纳米结构，并随后选择性地移除所述导电助层中无纳米结构覆盖的区域。该方法可以获得在带图案的催化剂 - 助层叠层上生长的自对准（self-aligned）纤维。在生长过程中通过连续的导电助层实现了良好的接地，消除了电弧问题。因此，该方法能够在已形成图案的金属底层或绝缘层上的特别指定位置生长纳米结构，因为在纳米结构生长后可以容易地移除所述导电助层。

[0030] 某些实施方式中，纳米结构贯穿绝缘层生长，该方法包括：在基底（导电或绝缘的）上沉积催化剂层，接着在所述催化剂层上沉积绝缘层，接着在所述绝缘层上沉积连续的带图案的导电助层，选择性地移除所述绝缘层的某些部分以产生贯穿绝缘层下至所述催化剂层的导通孔，接着从所述催化剂层生长纳米结构，最后选择性地移除所述导电助层中无纳米结构覆盖的区域。

[0031] 在此描述的技术的另一优点在于，基底上敏感的电子器件被保护免受等离子体的高电压破坏，因为位于芯片表面的所有电连接器短接并接地。在此描述的技术消除了基本上所有的电弧，但是，即使有一些电火花（例如基底处理中静电引起的），也明显减小了电火花的破坏效应。

[0032] 第三个优点在于，金属底层（可能带有图案）在纳米结构生长过程中被保护免受等离子体破坏。当在与生长使用的气体不兼容的金属底层或绝缘层上生长纳米结构时，这是重要的。例如，在纳米结构生长过程中使用含乙炔的等离子体在铜表面的生长纳米结构会导致有害效应，因为这些材料不总是兼容的。通过利用本说明书中公开的方法，可以消除这种等离子体气体与基底或金属底层之间的兼容性上的限制。

[0033] 第四个优点在于，避免了催化剂外围的寄生生长。

[0034] 由于导电助层的移除是自对准过程，单个纳米结构可以在或通过绝缘层 / 保持绝缘的基底生长。这是通过选择性地移除导电助层来完成的，从而，若助层沉积在催化剂层上，则仅在纳米结构之下留有导电助层材料；或者，若助层位于其它层（例如沉积在催化剂层上的绝缘层和基底上的绝缘层）上，而不是催化剂层上，则导电助层材料完全移除。

[0035] 其它特征和优点依据说明书、附图和权利要求变得明显。

附图说明

- [0036] 图 1A-1E 示出了在基底上生长纳米结构的排列结构实例；
- [0037] 图 2A 示出了被电火花破坏的芯片表面的 SEM(扫描电子显微镜)照片；
- [0038] 图 3A-3E 示出了依据本说明书公开的技术制造纳米结构的示例性过程；
- [0039] 图 4A-4B 和 5A-4B 示出了本说明书公开的技术的替代实施方式；
- [0040] 图 6 是在(部分)绝缘表面生长纳米结构的示例性过程的流程图；
- [0041] 图 7A-7B 示出了利用本说明书公开的技术制造的示例性光波导结构；
- [0042] 图 8A-8B 示出了通过绝缘层生长纳米结构的示例性过程；
- [0043] 图 9A-9B 示出了具有带图案金属底层、连续的导电助层和生长有纳米纤维的带图案催化剂层的示例性器件的 SEM 照片；
- [0044] 图 10 示出了同一示例性器件选择性地移除助层后的 SEM 照片；
- [0045] 图 11A-11B 分别示出以铜为底层的示例性器件在助层移除前后的 SEM 照片；
- [0046] 图 12 示出了其微观结构/纳米结构通过绝缘层中的导通孔生长的示例性器件的 SEM 照片。
- [0047] 附图标记列表：
- [0048] 100- 导电基底
- [0049] 102- 催化剂层,形成图案以支持单个纳米结构的生长
- [0050] 104- 催化剂层,形成图案以支持纳米结构“从林”(多个紧密相间的纳米结构)的生长
- [0051] 106- 单个纳米结构
- [0052] 108- 纳米结构“从林”(多个紧密相间的纳米结构)
- [0053] 110- 绝缘基底
- [0054] 112- 连续的金属底层
- [0055] 114- 位于绝缘层顶部的带图案的金属底层
- [0056] 116- 带图案的金属底层,其上表面与绝缘基底的上表面在同一平面内(抛光后的平面芯片)
- [0057] 118- 导通孔(垂直互连)
- [0058] 120- 连续的导电助层
- [0059] 122- 催化剂层残留(经自对准蚀刻后)
- [0060] 124- 导电助层残留(经自对准蚀刻后)
- [0061] 126- 可选层
- [0062] 128- 波导基底
- [0063] 130- 波导材料
- [0064] 132- 导电助层保持垂直的侧壁
- [0065] 134- 带图案的导电助层
- [0066] 136- 贯穿绝缘体的导通孔(via hole)
- [0067] 200- 沉积导电助层
- [0068] 210- 沉积可选的附加层
- [0069] 220- 沉积催化剂层并形成图案

[0070] 230- 生长纳米结构

[0071] 240- 助层的选择性的自对准移除

[0072] 同一要素在不同附图中使用同一附图标记表示。

具体实施方式

[0073] 在此描述的技术涉及等离子体工艺,例如纳米结构(即具有至少一个尺寸是纳米数量级的结构)的生长。某些实施方式中,该技术也用于处理特征尺寸为非纳米范围的结构,例如微米或毫米尺寸范围的结构。

[0074] “基底”是指任何沉积有助于纳米结构生长的其它层的单层或复数层。基底可包括含有半导体的器件或金属层或绝缘体。半导体可包括掺杂或非掺杂硅、碳化硅、II-VI 或 III-V 材料(GaAs、InP、InGaAs 等)或具有半导体性质的聚合物。基底也可以是透明的、导电或绝缘的材料,例如玻璃或氧化铟锡(ITO)。基底也可包括聚合物层或印刷电路板(PCBs)。基底无需是平面的,可以包含波纹结构。

[0075] “金属底层”可包括在助层沉积到基底结构上之前已存在于基底结构上表面的任何金属,包括裸露的金属岛(例如互连线或导通孔)和/或位于基底和上面裸露的绝缘体层之间的连续的导电层。金属底层可包括任何金属和/或金属合金或周期表中不同金属的组合,例如 Cu、Ti、W、Mo、Pt、Al、Au、Pd、Pt、Ni、Fe 等。金属底层也可包括一种或更多导电合金,例如 TiN、WN、AlN。金属底层也可包括一种或更多导电聚合物。金属底层也可包括上述导电材料的任意组合。

[0076] “催化剂”是用于促进化学反应的金属、合金或材料叠层。一种示例性催化剂是被镍覆盖的硅。催化剂层也可包括阻挡层(barrier layer),例如沉积在金层和上面的 Si/Ni 层之间的钨层。催化剂可以是纯金属,如 Ni、Fe、Pt、Pd,或金属合金,如 NiFe、NiCr、NiAlFe 等。

[0077] “绝缘体”可以是任何电绝缘材料,例如二氧化硅、氮化硅或 HfO₂、ZrO₂ 等高介电常数的材料、氧化铝、烧结复合物(sintered composites)、聚合物、抗蚀剂(如 SU8)、不同形式的聚酰胺、ITO、所谓的低介电常数的材料或夹层电介质(ILD)。

[0078] “沉积的”意指通过热或等离子体 CVD 等化学气相沉积(CVD)、分子束外延(MBE)、脉冲激光沉积(PLD)或旋涂而蒸发、镀敷、溅射或沉积的任意一种或多种。

[0079] “纳米结构”是指具有至少一个尺寸是纳米数量级的结构。纳米结构可包括碳、GaAs、ZnO、InP、GaN、InGaN、InGaAs、Si 或其它材料的纳米纤维、纳米管或纳米线。

[0080] 图 3A 示出了部分处理的基底,例如硅芯片。本说明书描述的技术应用于绝缘基底 110,以便通过嵌入基底中的互连线 116 和导通孔 118(带图案的金属底层)在金属岛上生长纳米结构。导通孔 118 和互连线 116(带图案的金属底层)可以依据标准晶片处理方法制造,例如所谓的大马士革镶嵌工艺(Damascene process),包括蚀刻沟槽和在沟槽中沉积金属。化学机械抛光(CMP)可以用于实现基底和互连线的平坦上表面。

[0081] 为了制造图 3E 示出的结构,要进行图 6 所示的数个步骤。首先,连续的导电助层 120 沉积(步骤 200)到基底 110 和嵌入基底 110 中的带图案的金属底层 116 和 118 上,以获得图 3B 所示的结构。任何导电的材料可以用作助层 120。导电材料的例子包括元素周期表中的任何导电的元素例如 W、Mo 等、氮化钛等导电合金、掺杂硅等半导体或导电聚合物。

用于助层的材料应当不同于带图案的金属底层的材料,除非首先沉积用于分隔金属底层和助层的缓冲层。在描述的例子中,钨层被用作连续的导电助层 120。

[0082] 导电助层的厚度可以从大约 1nm 到 100 μm ,优选地在大约 1nm 到 100nm 之间。在实施方式中,使用 50nm 的钨层。某些实施方式中,仅使用一个助层。然而,在此描述的技术不限于单层材料作为仅有助层的情况,助层也可包括多层,以提高剥离、粘合、蚀刻选择性,或作为蚀刻终止层、电镀的种子层或保护层。另外,也可包括用于热管理的层,例如具有高或低热导性的层,如珀尔帖材料 (Peltier materials)。

[0083] 在此描述的技术可以利用数种不同材料作为助层。选择助层材料和蚀刻参数是重要的,以便纳米结构可在助层的蚀刻过程中用作自对准掩模层。助层材料的选择可依赖于位于助层之下的材料。助层也可以是催化剂,因为选择性移除过程也可以用于移除生长的纳米结构之间不需要的催化剂残留。

[0084] 带图案的催化剂层 102 和 / 或 104 限定纳米结构生长的位置。催化剂可以是镍、铁、铂、钯、镍-硅化物、钴、钼或它们的合金,或者可结合其它材料 (例如硅)。催化剂是可选的,因为在此描述的技术也可用于纳米结构的无催化剂生长。包括小催化剂点 102 的带图案的催化剂层用于生长单个纳米结构,包括大片催化剂区域 104 的带图案的催化剂层用于生长纳米结构“丛林”。

[0085] 为了在催化剂层形成图案 (图 6 中步骤 220),可以使用带抗蚀剂的标准回蚀 (etch-back) 或剥离 (lift-off) 处理。紫外光或电子束可以用于抗蚀剂层的图案形成。其它手段也可用于抗蚀剂 (或直接是催化剂) 的图案形成,例如纳米压模光刻 (nanoimprint lithography) 或激光刻写 (laser writing)。催化剂层也可利用不使用抗蚀剂的其它方法形成图案,例如自组装 (self-assembled) 化学法。大量的催化剂颗粒可以利用 LB 膜 (Langmuir-Blodgett films) 在表面上形成,通过旋涂带催化剂 (纳米) 颗粒的溶液到晶片上或沉积连续的催化剂膜,催化剂膜在高温下退火时转化成催化剂颗粒。这些技术中的数种可以用来在非平面表面生长催化剂层,并控制生长位点密度 (每单位区域内生长位点的数量)。

[0086] 在纳米结构生长过程中,导电助层可电接地或连接到基底支架的电位,或其它一些合适的接地电位。纳米结构 106 和 / 或 108 可以在等离子体中生长 (图 6 所示步骤 230),一般为 DC 等离子体。用于纳米结构生长的等离子体气体可以是任何带碳前体,例如乙炔、一氧化碳、甲烷或高级烃,并连同其它气体,例如氨气、氢气、氩气或氮气。生长温度优选地低于 800 $^{\circ}\text{C}$,可以使用大约 0.1 到 250 托的压力范围,优选大约 0.1 到 100 托之间的压力范围。等离子体电流可以是大约 10mA 到 100A 的范围,优选地大约 10mA 到 1A。

[0087] 某些实施方式中,可以利用 RF 等离子体或热 CVD 生长纳米结构,在此描述的技术已有应用,尤其是带 DC 偏压的 RF 等离子体。某些实施方式中,在此描述的技术也有用于在气相 (无等离子体) 和液相中生长的纳米结构的应用。

[0088] 依据在此描述的技术的某些实施方式中,经过生长步骤后,导电助层通过蚀刻被选择性地移除 (图 6 中步骤 240)。蚀刻方法和蚀刻气体 (干法蚀刻的情况) 或蚀刻剂 (湿法蚀刻的情况) 的选择依赖于纳米结构和导电助层的材料。例如,包括位于碳纳米纤维之下的钨的助层可以优选地通过利用含氟等离子体的等离子体干法蚀刻移除。这种组合的优点在于纳米结构和催化剂颗粒的相对选择性。

[0089] 其它蚀刻方法,例如其它各向异性蚀刻方法、湿法(各向同性)蚀刻、热解、电化学蚀刻或光化学蚀刻均可被利用。通过利用蚀刻终止层或改变蚀刻时间,可以进行足够强的蚀刻。作为优选,选择在导电助层和金属底层之间具有相对选择性的蚀刻剂或蚀刻气体。

[0090] 在利用该自对准选择性移除过程移除特定位置的导电助层 120 后,最后的结构将包括位于催化剂层 124 残留之下的导电助层 122 残留和纳米结构 106 和 / 或 108 (见图 3E)。

[0091] 利用在此描述的方法,可行的是,在分离的金属岛 116 或直接在绝缘基底 110 上制造单个纳米结构 106 或纳米结构“从林”108,如图 3E 所示。

[0092] 若金属底层与基底的其它部分不位于同一水平面,也可以形成纳米结构。图 4A 示出沉积在绝缘基底 110 顶部的分离的金属岛 114。连续的导电助层 120 沉积并覆盖基底表面(步骤 200),并随后在连续的导电助层上沉积带图案的催化剂层 102 和 / 或 104 (步骤 220)。在纳米结构的生长(步骤 230)和助层的自对准选择性移除(步骤 240)后,会出现如图 4B 所示的结构。

[0093] 在图 5A 和 5B 中,示出了通过替代方法形成的最后结构。首先,连续的导电助层 120 沉积整个基底上表面(步骤 200),接着例如允许在垂直于纳米结构方向上的电传导的一些可选的带图案层 126 沉积(步骤 210)到助层 120。最后,带图案的催化剂层 102 和 / 或 104 沉积(步骤 220)到可选层或助层上。经生长过程(步骤 230)后,助层如在前面部分所述被选择性地移除(步骤 240)。如同利用在此描述的其它方法,在纳米结构生长后无需任何光刻。上面带有纳米结构 106 和 / 或 108 的分离的岛(可选的带图案层 126)和下面的助层 124 残留,因此通过图 5A 和 5B 所示的方法制造。

[0094] 在另一实施方式中,图 8A-8C 示出了通过在催化剂层上沉积的绝缘材料层中产生的导通孔生长纳米结构的方法。首先,催化剂层 102 和 / 或 104 沉积到导电基底 100。然而,该情况下基底亦可是绝缘基底。绝缘层 110 接着沉积到基底和催化剂层上。接着,带图案的导电助层 134 沉积到绝缘层 110 上面。某些实施方式中,可以首先沉积连续的导电助层到绝缘层上面,随后通过各种合适的方法形成图案。通过选择性地蚀刻绝缘层 110 来产生孔洞,以产生连到催化剂层的导通孔 136。随后进行纳米结构的生长,以在催化剂层 102 和 / 或 104 上形成纳米结构 106 和 / 或 108。带图案的导电助层 134 接着被选择性地移除(图 6 中的步骤 240),本实施例情况下即为完全移除。

[0095] 若需要,可以利用具有合适的相对选择性的蚀刻剂来蚀刻导电助层下面的材料中的一种。例如,可以通过湿法或干法蚀刻方法蚀刻二氧化硅。因此,催化剂和纳米结构层在进一步的处理中作为掩模起作用。

[0096] 应用实例

[0097] 本说明书描述的技术的重要应用为,用于制造例如可以用于计算装置的集成电路中的互连线和 / 或传热器件(thermal elevators)。纳米结构用于在集成电路芯片内传导热量和电流,或者向 / 从集成电路芯片传导热量和电流。使用的生长方法和器件,与包括通过抛光(polishing)使金属形成图案在内的目前的工艺标准兼容,并也兼容涉及的金属。而且,集成电路的三维堆叠(数个器件层)可以利用由在此描述的方法制造的纳米结构作为互连线。例如,图 8A-8C 描述的方法利用本发明产生导通孔互连结构。图 12 示出了其中碳纳米结构是通过氧化物绝缘体中的导通孔生长的器件的 SEM 显微照片,该器件作为使用在此描述的技术和方法制造的示例性器件。图 12 中,亮平面区域是绝缘区域,在区域其它

部分中可见垂直生长的纳米结构。

[0098] 另一应用是寄生生长的消除。当在仅部分由金属底层（即由带图案的金属底层）覆盖的芯片上生长纳米结构时，有时在催化剂颗粒外围有寄生生长。这可通过利用在此描述的连续的金属助层来避免。

[0099] 在此描述的技术也可以用于保护金属底层和在纳米结构的生长中裸露于等离子体的其它材料。当在与用于纳米结构生长的气体不兼容的金属底层上生长纳米结构时，这是特别重要的。一个实例是利用含乙炔等离子体在铜表面上的纳米结构生长，因为铜和乙炔会相互反应。由于导电助层可作为扩散屏障，避免氧气或其它选择材料到达金属底层，故可防止不必要的氧化/化学反应/扩散。例如，通过助层可以保护铝底层（若存在）免受氧化。而且，利用在此描述的方法也可以减少生产的纳米结构中的污染物（例如金属离子）。

[0100] 在此描述的技术也可用于在纳米结构生长过程中保护基底中的任何敏感电子器件免受等离子体中的高压电弧破坏。无论如何，若在等离子体中存在电弧，由于基底表面上的所有连接器通过导电助层短接并接地，导致的破坏将大大减少。该静电放电（ESD）保护对于在实验室中处理晶片或将部分完工的晶片运输到其它实验室而言同样重要。

[0101] 在此描述的方法也可用于制造绝缘表面上的散热块（thermal bump），通过等离子体蚀刻使助层自对准移除的方式，从而除了纳米结构正下方的区域外，没有金属残留。

[0102] 在此描述的技术可用于制造导电的聚合物膜和涂层，并使膜为部分光学透明、透明或不透明。应用可以是例如，制造显示器、触摸屏、静电耗散（ESD）和屏蔽物等的电极层等产品。

[0103] 另外，如在此所述产生的纳米结构的机械性能可以利用来赋予例如绝缘体以机械稳定性。其优点在于，由于导电助层通过自对准过程中的等离子体蚀刻被选择性地移除（除了位于纳米结构正下方的导电助层外），因而不需要连续的金属底层。

[0104] 热界面材料（TIMs），作为各向异性导电膜的例子，可以利用在此描述的技术制造。该情况下，纳米结构层被嵌入聚合物橡胶中，旨在帮助提高热传导性。在助层移除后聚合物首先被旋涂到纳米纤维上，并随后被剥离（与嵌入其中的纳米结构一起）。由于聚合物膜下面没有连续的金属膜（因为它已被选择性地移除），故没有短接聚合物膜内不同的平行纳米结构的危险。

[0105] 如果电镀、非电解电镀或水电镀（galvanic plating）是沉积如 Au、Cu、Al、Ni 等金属的下一处理步骤，导电助层也可根据这些步骤的需要提供所有纳米结构。

[0106] 另一应用是直接部分绝缘的基底上制造化学探针。这可以例如直接在标准硅集成电路上完成。

[0107] 在此描述的技术可用于制造如 CMOS、Bi-CMOS、双极或 HEMT 等晶体管的源极、漏极和栅级金属接点。可以想像这类结构的变化以用于特定晶体管布图。应用也包括带液晶的器件。

[0108] 一些应用利用了需要时可仅从一个方向移除助层的特性。利用在合适设计的基底结构上的各向异性蚀刻可以在垂直表面上保留助层，而在水平表面上将其移除。如图 7A 和 7B 所示，波导材料 130 沉积到合适的基底 128。基底 128 和波导材料 130 的上表面及其侧壁覆盖有助层 120。通过各向异性蚀刻，位于上表面的助层被选择性地移除，侧壁上的助层则保持完整。结果，产生了在透明上表面和金属化侧壁 132 上生长单个纳米纤维 106 的

结构。该结构可用作连接吸收的光到波导 130 (其包括助层包覆侧壁的结构) 内的光学吸收器。

[0109] 在此描述的技术也提供一种再加工处理方法。这意味着处理过的晶片假设有处理问题 / 失败的情况下, 可仅通过化学机械抛光 (CMP) 移除纳米结构来再次加工以移除纳米结构, 并重新开始处理。

[0110] 本技术适合用于如下相关技术 (attaching technologies), 例如球栅阵列 (BGA)、倒装芯片 (FC) 模块、CSP、WLP、FCOB、TCB 等、IC 类型、RFID 标签、CMOS、BiCMOS、GaAs、HEMT AlGAs、MMIC、MCM、LCD、显示器、手机 (mobile handset)、ASIC 芯片、存储器件、MCU 和集成无源部件等。

[0111] 示例性器件

[0112] 为了论证工作原理, 带图案的金 (底) 层 (其下面有钛粘合促进层) 形成于绝缘的氧化物表面 (利用标准光刻技术)。由于会在生长中引起大的等离子体所致破坏, 故不希望将催化剂直接置于带图案的金属底层上。作为替代, 钨助层 (50nm) 溅射到芯片的整个表面。接着带图案的催化剂层 (Si 为 10nm 和 Ni 为 10nm) 通过标准的剥离过程形成 (与带图案的金属底层对准)。在生长后, 结构如图 9A 和 9B 所示。该例中, 生长温度为大约 700°C, 等离子体是在大约 4 托的压力下的 C_2H_2 和 NH_3 气体 (分别为 20 和 100sccm) 混合物中产生的。等离子体电流设为 20mA, 生长时间为大约 60min。该特定例子中, 催化剂形成图案, 以便在生长过程后得到纳米纤维薄膜 (“从林”), 但是, 若催化剂区域制作得更小, 则得到单个的垂直排列的纳米纤维。

[0113] 导电助层接着通过含氟等离子体 (压力 10 毫托, 气相流速 20sccm 的 CF_4) 中的等离子体蚀刻和利用等离子体蚀刻 CVD 处理室中的终点检测来移除。

[0114] 方法的可行性可以通过在处理前 (图 9A 和 9B) 和在处理后的 (图 10) 拍摄的 SEM 照片来说明。尽管助层已被移除, 纤维基本上看起来一样。因此, 实现了助层的自对准选择性移除, 仅有纤维正下方的那部分助层留在基底上。助层从区域其它部分的完全移除通过电子测量来验证。分离的金属岛外围可见最小寄生生长。用铝和铜作为底层的类似的示例性器件分别在图 11A 和图 11B 中示出。

[0115] 已实现现在不遭受等离子体所致芯片破坏的情况下, 在带图案金属底层 (位于其余部分绝缘的芯片表面) 上生长纳米结构的目标。

[0116] 图 12 示出了碳纳米结构通过氧化物绝缘体内的导通孔生长的示例性器件的 SEM 显微照片, 该器件作为利用在此所述的技术和方法制造的示例性器件。图 12 中, 亮平面区域是绝缘区域, 在区域的其余部分可见垂直生长的纳米结构。因此实现了通过绝缘层内的导通孔生长纳米纤维的目的。

[0117] 在此引用的全部专利或其它参考文献的内容通过整体引用包含于此, 以用于不同目的。

[0118] 虽然本说明书包含许多具体实施细节, 但这些不应被理解为对任何发明或其保护范围的限制, 而是作为因特定发明的特定具体实施方式而异的特征的说明。在各个实施例的详细说明中描述的特定特征, 也可以在单个实施例中组合实施。相反地, 在单个实施例中描述的多个特征也可以在多个分离的实施例或以任何合适的次组合 (subcombinations) 的方式实施。另外, 虽然特征可能在此描述为在特定组合和甚至最初要求保护的组合中起

作用,要求保护的组合中一个或多个特征在某些情况下可以从该组合中去除,要求保护的组合也可能指再次组合或再次组合的变化。

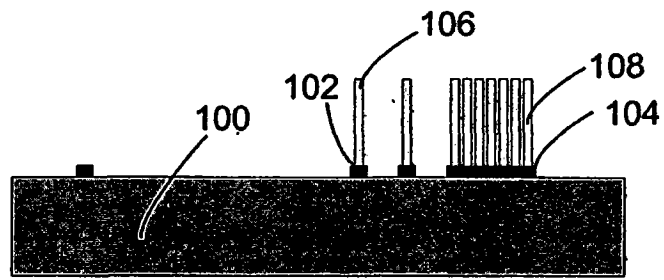


图 1A

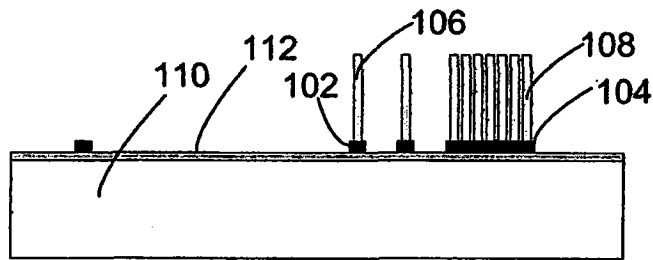


图 1B

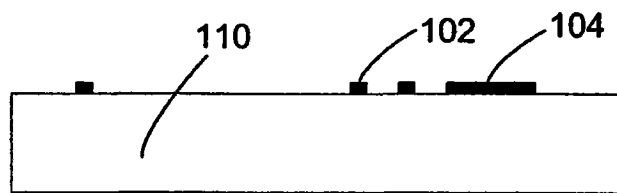


图 1C

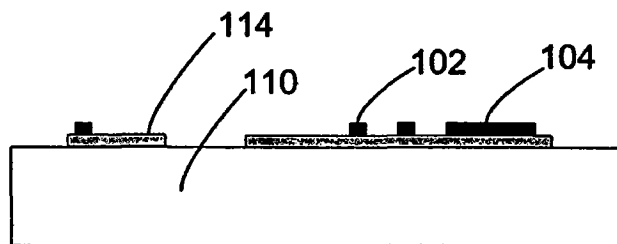


图 1D

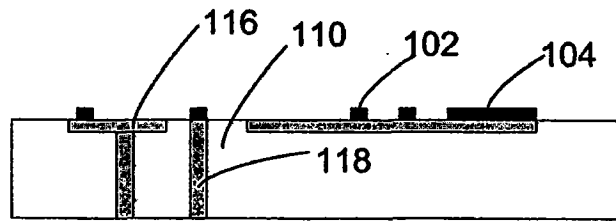


图 1E

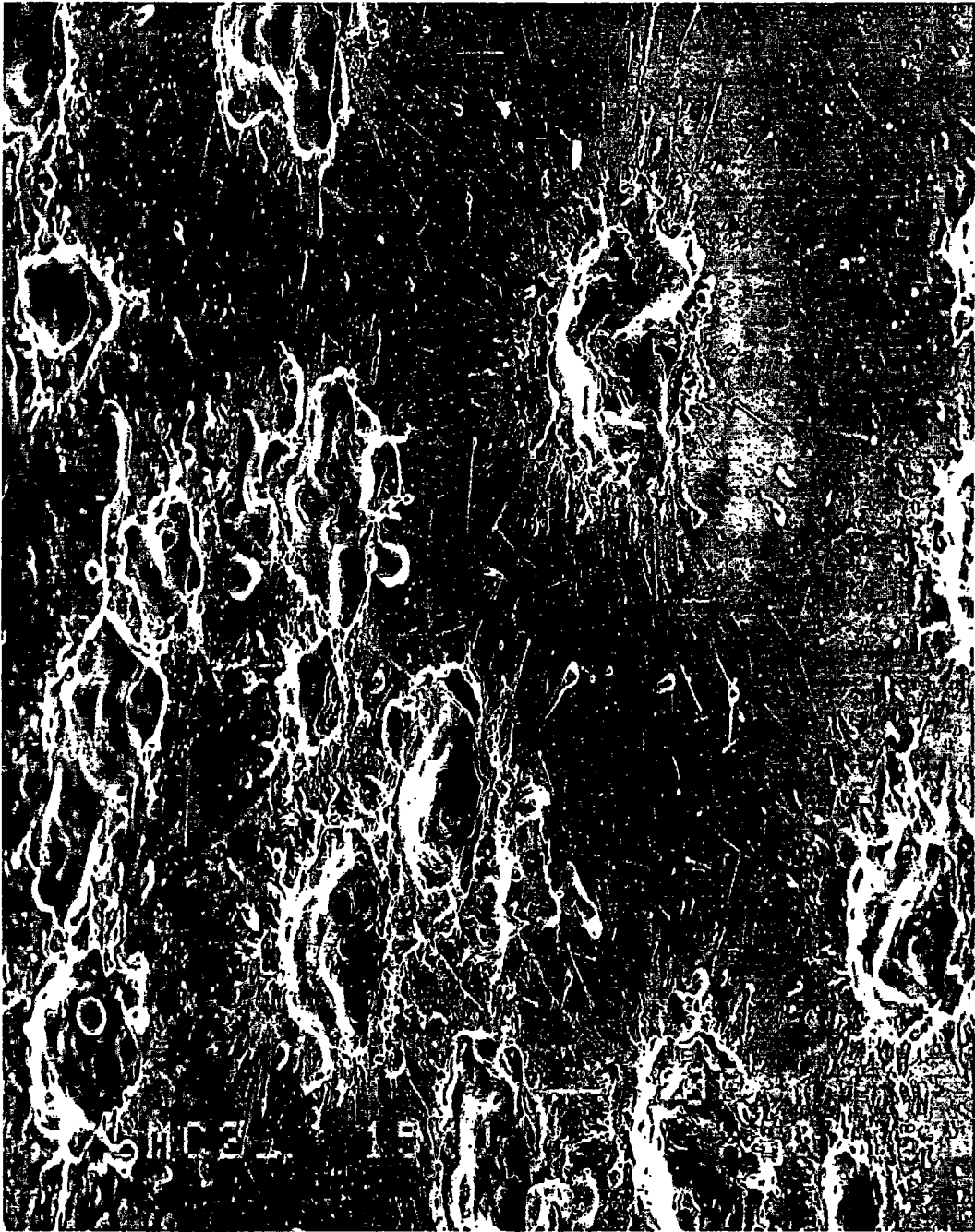


图 2

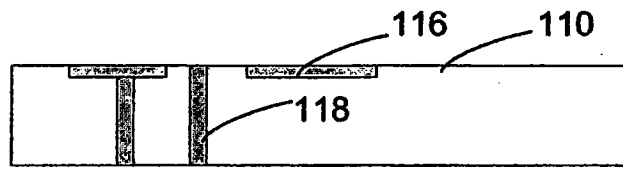


图 3A

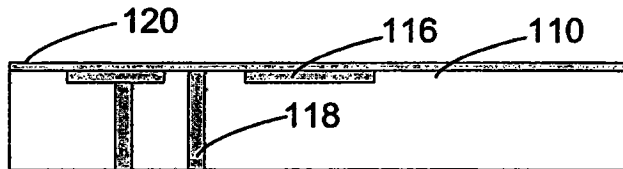


图 3B

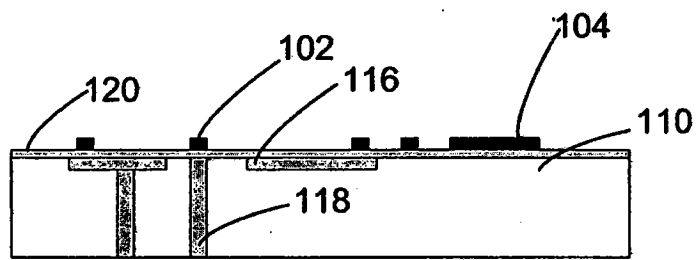


图 3C

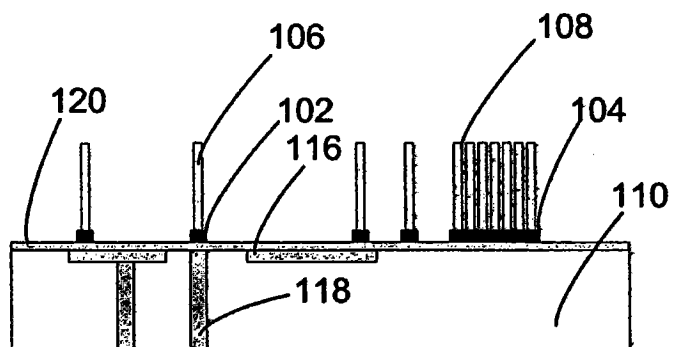


图 3D

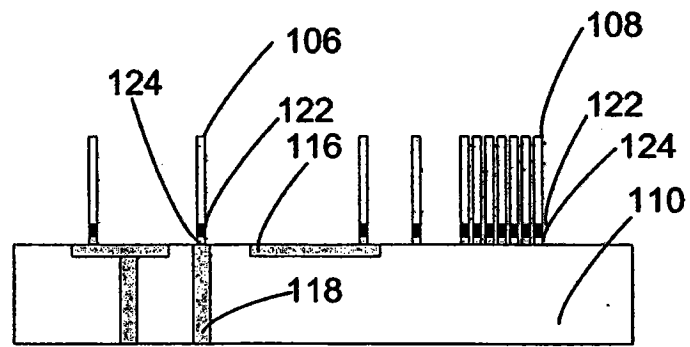


图 3E

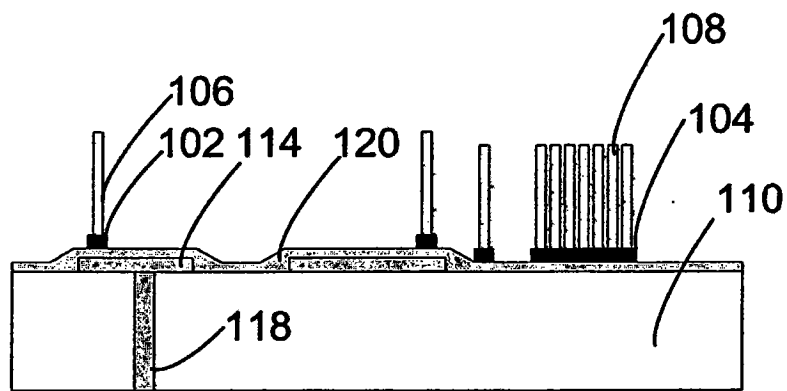


图 4A

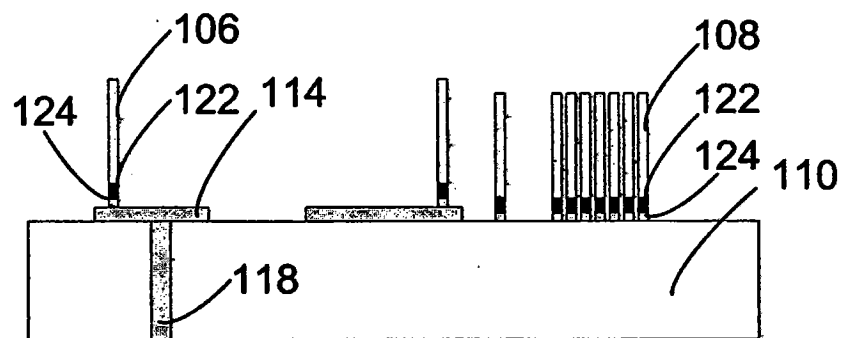


图 4B

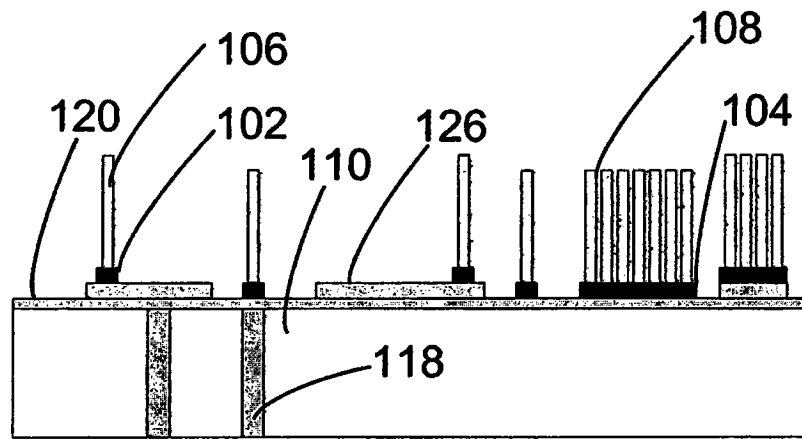


图 5A

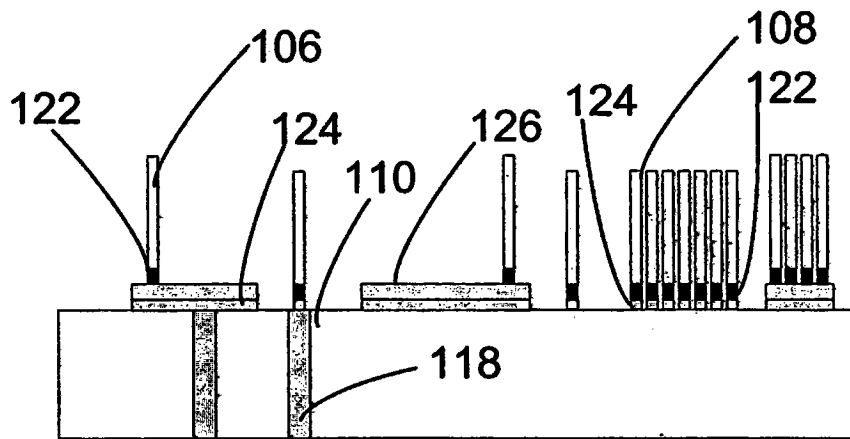


图 5B

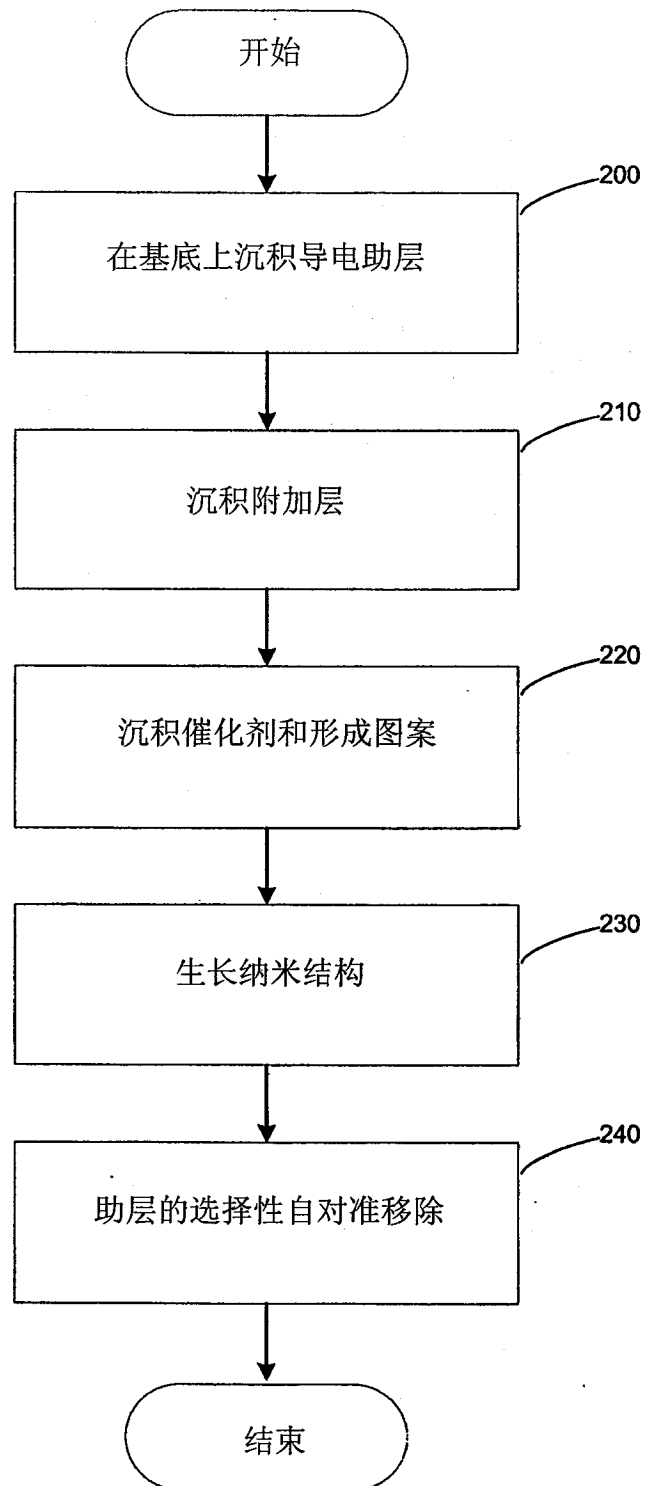


图 6

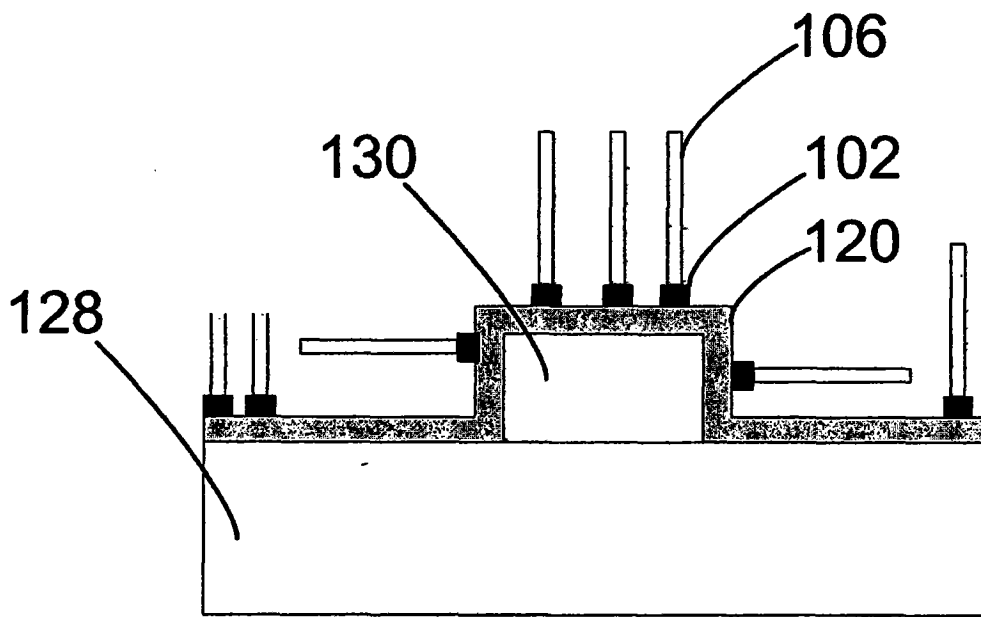


图 7A

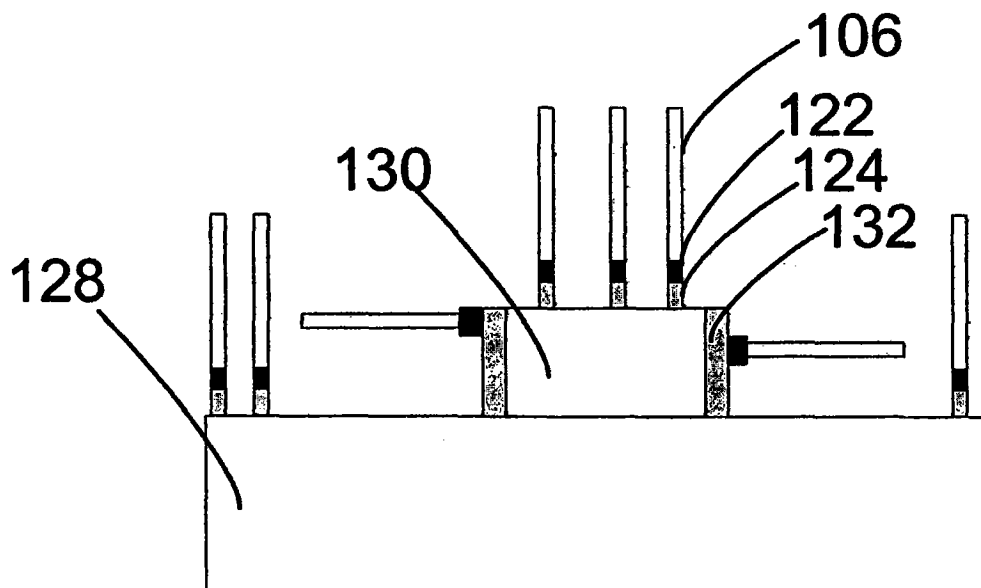


图 7B

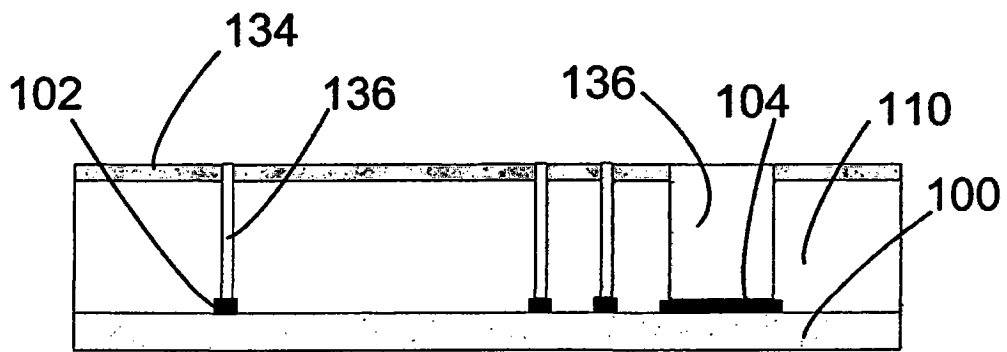


图 8A

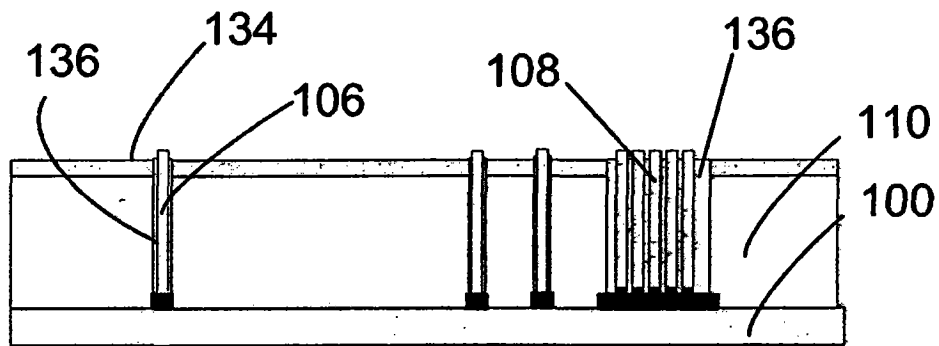


图 8B

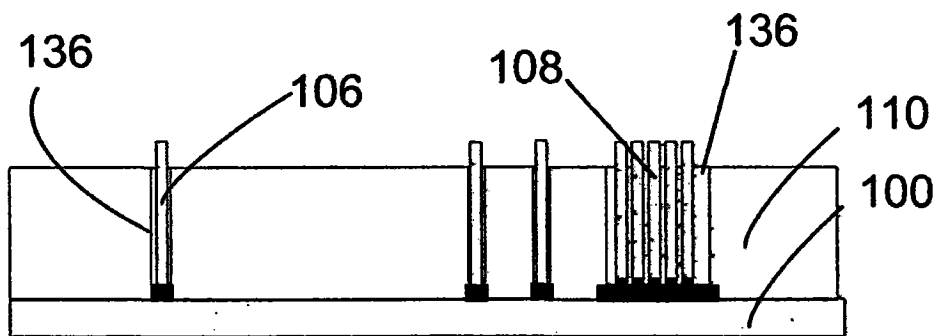


图 8C

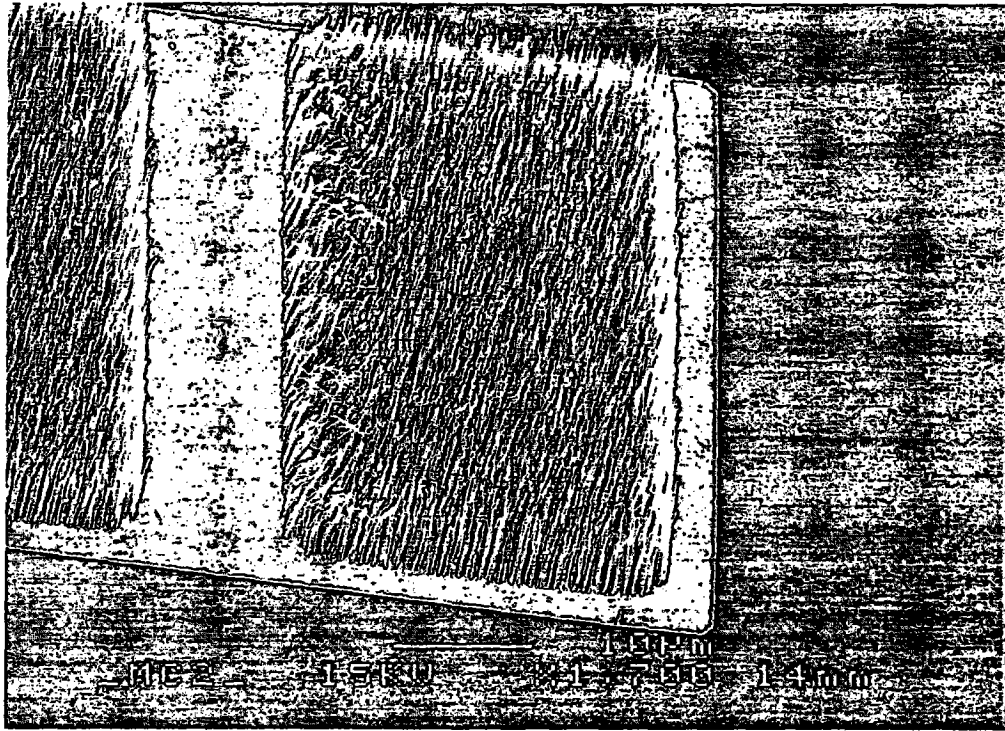


图 9A

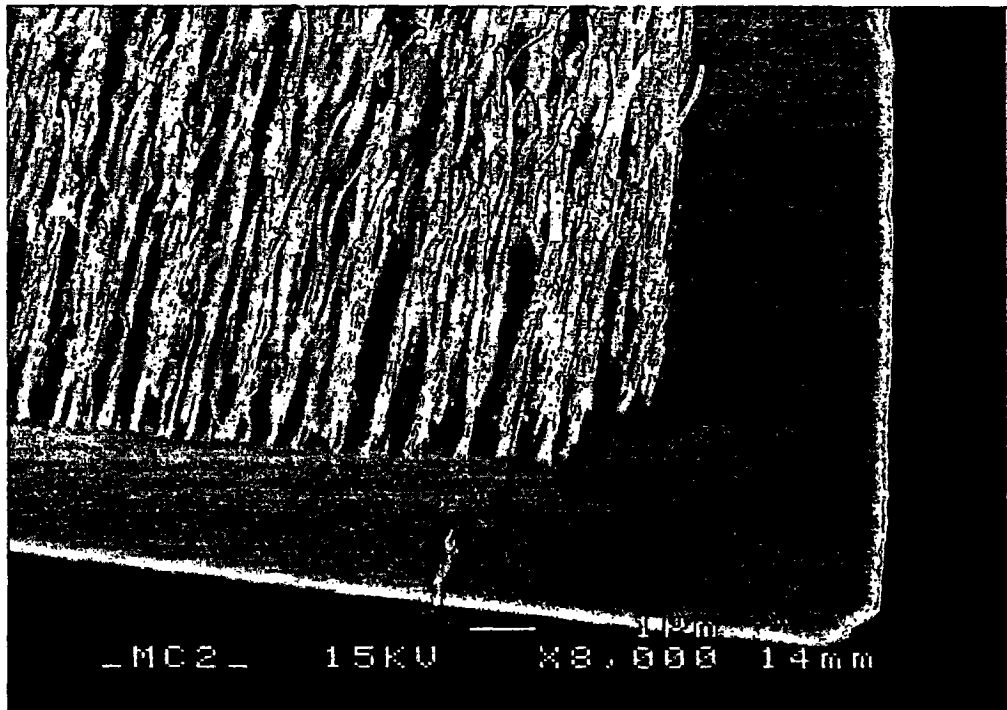


图 9B

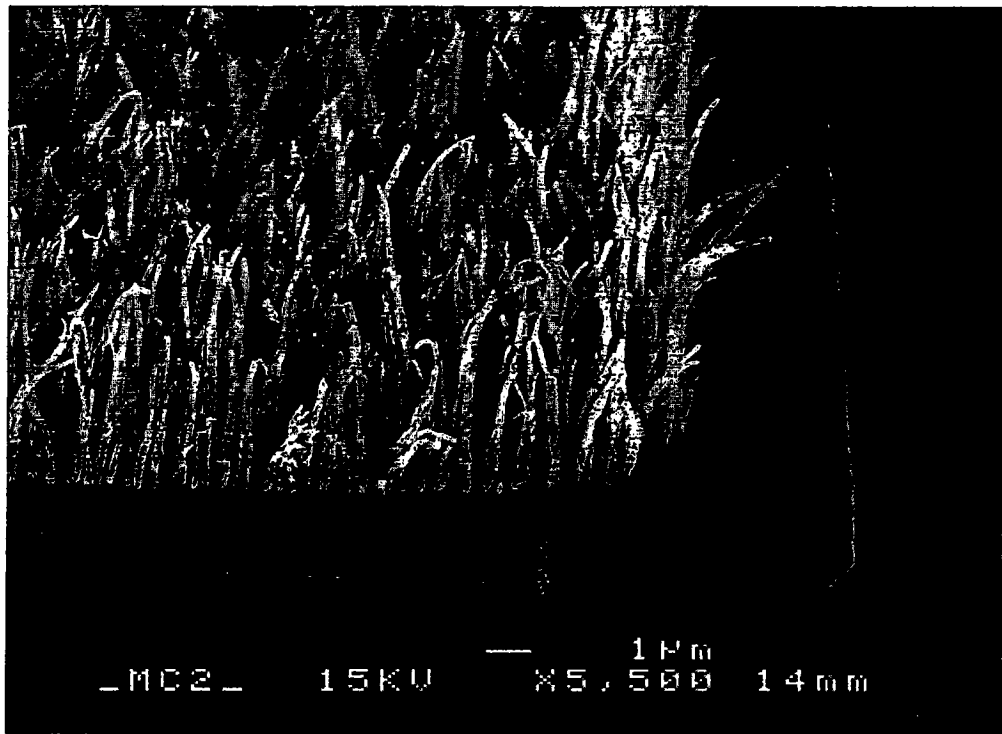


图 10

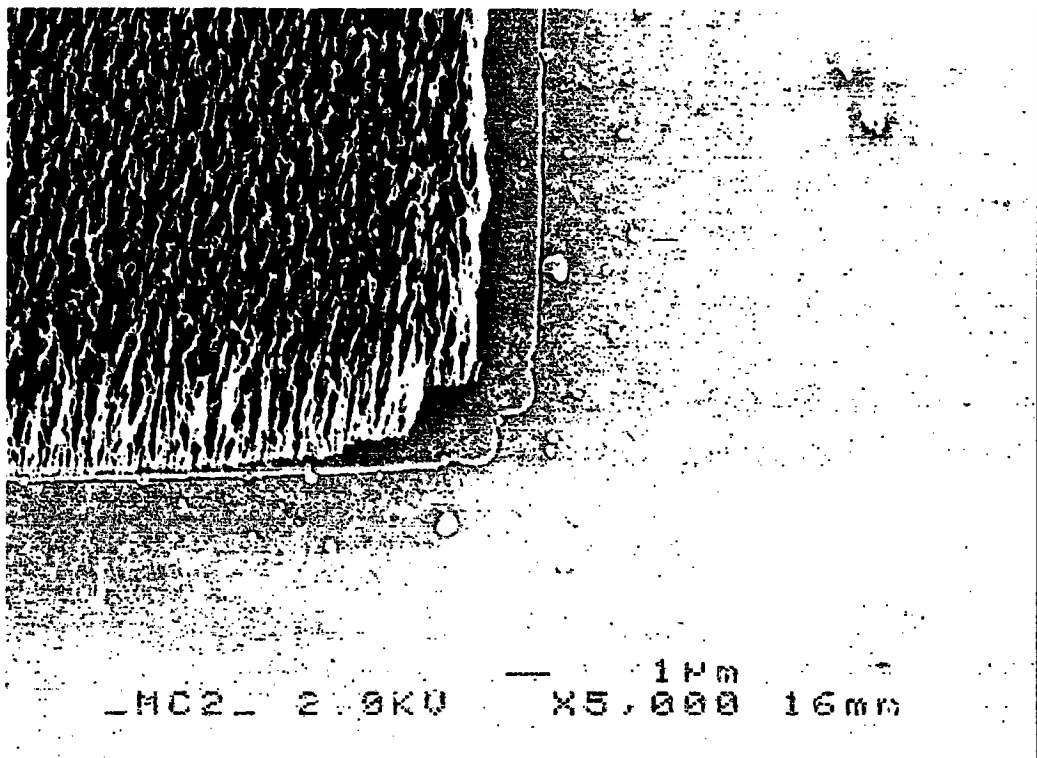


图 11A

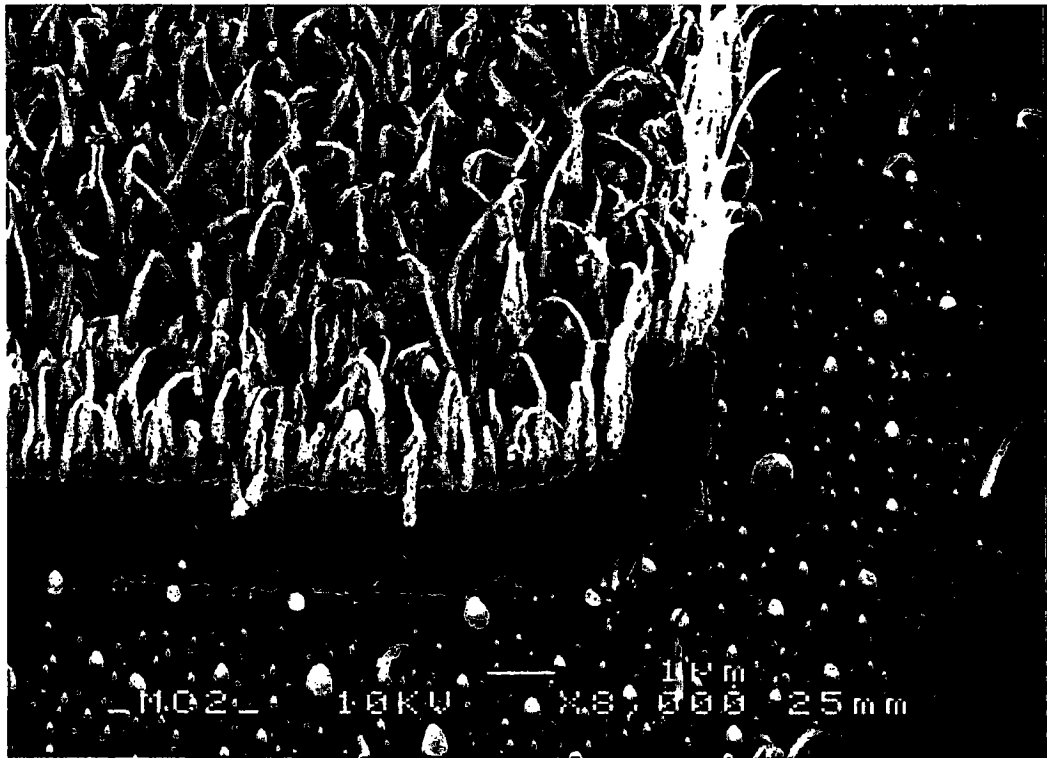


图 11B

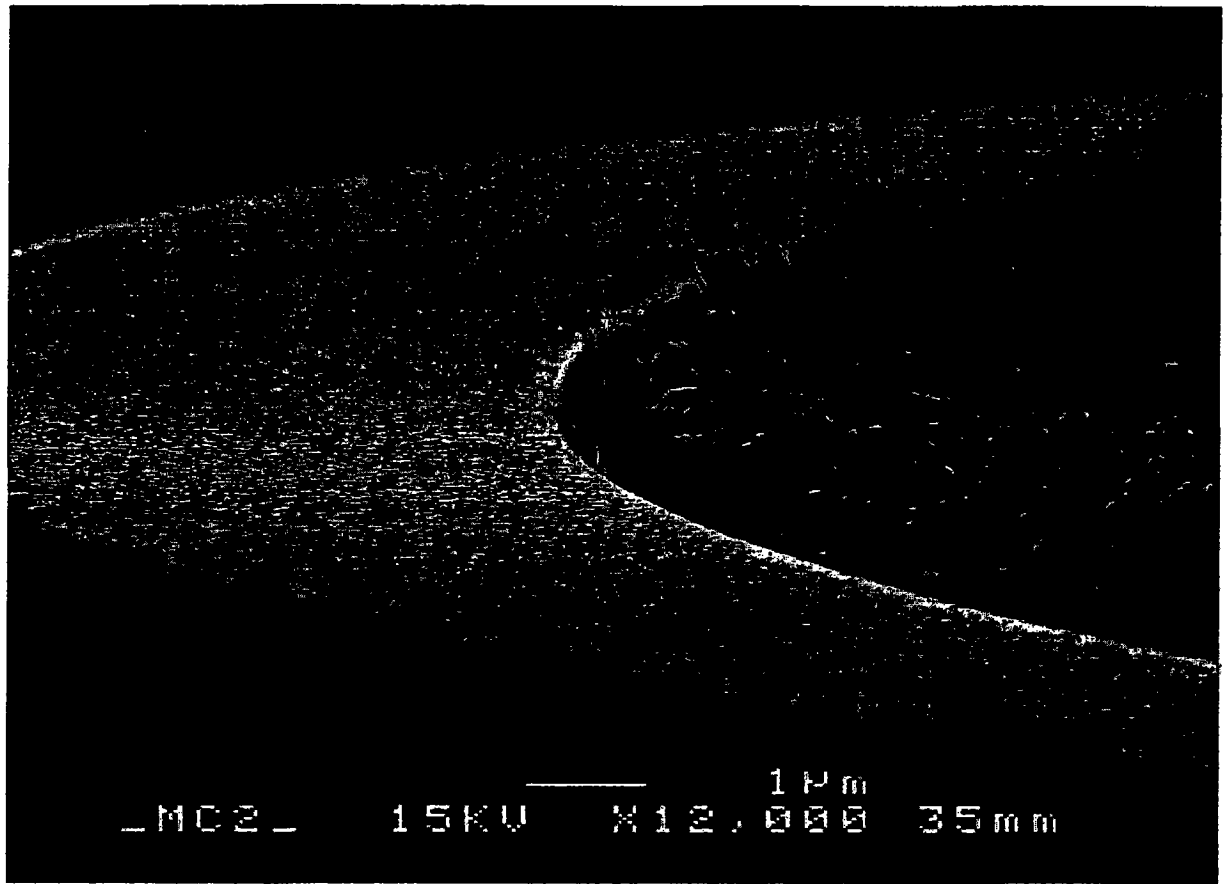


图 12