

395000

申請日期: 87.10.7	案號: 87116636
類別: HOLL 21 / 60	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	用於積體電路封裝之晶片尺寸球柵陣列	395000
	英文	CHIP SCALE BALL GRID ARRAY FOR INTEGRATED CIRCUIT PACKAGE	
二、 發明人	姓名 (中文)	1. 瑞道夫 D. 史崔勒	
	姓名 (英文)	1. RANDOLPH D. SCHUELLER	
	國籍	1. 美國	
	住、居所	1. 美國德州奧斯汀市	
三、 申請人	姓名 (名稱) (中文)	1. 美商孟尼蘇泰礦務及製造公司	
	姓名 (名稱) (英文)	1. MINNESOTA MINING AND MANUFACTURING COMPANY	
	國籍	1. 美國	
	住、居所 (事務所)	1. 美國明尼蘇答州聖保羅市3M中心	
	代表人 姓名 (中文)	1. 泰瑞. K. 夸烈	
	代表人 姓名 (英文)	1. TERRY K. QUALEY	
			

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1997/10/08 08/947,042

有

有關微生物已寄存於

寄存日期

寄存號碼



五、發明說明 (1)

本申請案係1996年12月2日提出之08/759253號申請案之延續。

發明背景

1. 發明領域

本發明大致上係關於積體電路封裝，且較特別是指球柵陣列，尤其本發明係關於一種晶片尺寸球柵陣列設計，其使用一具有一非聚合物支承結構之撓曲帶體。

2. 相關技藝說明

對於電子組件尺寸減小及複雜性增加之要求已促使工業界生產較小且較複雜之積體電路(ICs)，這些相同之趨勢迫使IC封裝應具有較小涵蓋面、較高線數及較佳之電熱性能，同時，這些IC封裝亦需符合可為接受之穩定性標準。

藉由裝置尺寸之減小及對應之電路複雜度增加，積體電路封裝需具有較小之涵蓋範圍、較高線數及較高之電熱性能，同時積體電路亦需符合可為接受之穩定性標準。

球柵陣列(BGA)封裝已發展成可符合於具有較高線數及較小涵蓋面之積體電路封裝之要求，一BGA封裝一般為具有端子之方形封裝，通常為一焊球陣列且自封裝底部突出，諸端子係設計以安裝於一印刷電路板(PCB)或其他適當基材表面上之眾多接合墊。

近來，BGA封裝已利用一帶體自動接合(TAB)製程及撓性電路(有時稱為TAB帶體)製構，其通常由一薄聚醯亞胺基材上之銅軌跡組成，導電線可疊合於TAB帶體之一

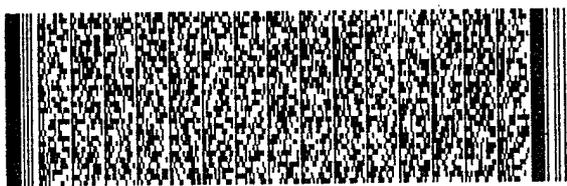


五、發明說明 (2)

或兩側上，此BGA設計一般稱之為Tape BGA(TBGA)，而在一TBGA設計中，帶體上之電路具有導線，其係藉由任一習知方法連接於一半導體晶粒，例如線接合、熱壓縮接合、或倒裝晶片。若此電路存在於帶體之兩側上，則導電之通孔可自電路之一層穿過帶體至另一層。

對於某些應用如攜帶式電子組件而言(細胞式電話、磁碟機、呼叫器等等)，則BGA封裝有時顯得太小，因此，焊塊有時直接積置於IC本身之表面上，且用於接附於PCB(一般稱之為直接式晶片接附或倒裝晶片)。惟，此方式仍有多項問題，首先，焊球之積置即需要多道高成本之製程，此外，通常需積置一聚合物填底物於一晶粒下方，以利取得可為接受之穩定性將晶片倒裝於一PCB，此填底物需能減低一晶粒低熱膨脹相對於一PCB高熱膨脹所生之熱應力(即「熱錯合應力」)，此填底物之積置為高成本之製程，其無法令組件再次使用，因此，若發現任意瑕疵，則一昂貴之PCB即需拋棄。

為了解決相關於晶片倒裝加工上之問題，因而發展出另一種BGA封裝，此種BGA封裝可稱為一晶片尺寸球柵陣列或一晶片尺寸封裝(CSP)，晶片尺寸封裝之名稱係因總封裝尺寸近似或不大於IC本身之尺寸。在一晶片尺寸封裝中，焊球端子通常位於一半導體晶粒下方，以利減少封裝尺寸，CSP之一例子為一由俗稱「微球柵陣列」之TESSERA發展出來之產品，此產品由一撓性電路組成，其具有一軟適性彈性層(或彈性墊)於晶粒與電路之間，

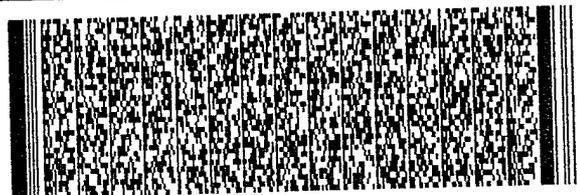
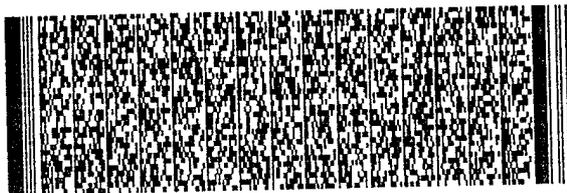


五、發明說明 (3)

此彈性構件由聚合材料組成，如矽，且厚度大約為125至175微米(5-7密爾)。彈性物之一目的在藉由減低晶粒與PCB之間之熱錯合以取得適當之穩定性，而不需使用昂貴之填底材料。

雖然現有之晶片尺寸封裝設計可提供改善之板面利用空間及方便表面安裝總成，但是諸產品仍有多項缺點。首先，其難以發現一種適合之彈性材料可符合低吸水性、低滲氣性之工業規定，以及承受一般工業中之清潔溶劑之能力，例如矽即可由某些清潔溶劑分解，而聚合材料大體上易吸收及滲氣，若吸水過高，則此水份在回流溫度時之快速滲氣將產生氣隙，形成於組件介面且甚至造成封裝爆裂。例如，水份可自一帶體中之聚合物材料釋除，且逐漸積留於晶粒接附膠內，而當板總成加熱操作期間此積留水份膨脹時，則氣隙即形成，造成破裂及封裝失效，此氣隙之生成在回流接附於一PCB期間特別激烈。

晶片尺寸封裝設計之另一重大挑戰為將彈性物接附於撓曲帶體之製程，常用之一方法係拾置彈性墊至個別之位置，而另一方法則關於網印一流體聚合物且隨後加以固化。在任一狀況中，其皆難以符合一CSP應用上所需之緊密公差，另一問題則係封裝之平坦度，在典型之CSP設計中，重要的是小於大約25微米(1密爾)之封裝平坦度(共平面度)可確使所有焊球在回流時接觸於PCB，此種平坦度或共平面度不易由軟性聚合物及一般彈性材



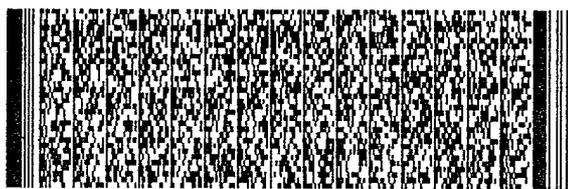
五、發明說明 (4)

料達成。最後，若一晶粒未適當地隔離於一封裝之其他部分，則焊球接合處之提早失效會因一組合晶粒與一基材如電路板者之間所生之熱應力而發生。

通常需在一長條物中處理IC封裝係因目前有大量之設備用於處理此種結構，例如平坦包裝之線框即加工成4至8個單元，塑膠BGA封裝及某些TBGA封裝亦製成於長條物中，以利於組裝過程中方便操作。此條帶填裝入匣體中，匣體用於進給組合設備，以做晶粒接附、線接合、重模塑/封囊、焊球接附、及其他加工步驟，雖然有些組裝器需以捲軸對捲軸方式執行這些過程，但是許多仍以一般之長條物為宜。惟，習知之CSP設計採用彈性墊，其缺少足夠硬度用於一般長條物之加工中，且無額外之堅實度來源。例如，TESSERA「微球柵陣列」設計即利用一金屬框黏接於一條組件之外緣，以供長條物加工，此框架之使用並不方便，且增加一產品之最終成本，因為其增加組件在一帶體加工設計中之複雜度與數量，以及在加工期間需要其他步驟以接附及移除框架。因此，雖然長條物加工已使用於積體電路封裝，但是目前並無方便性之長條物晶片尺寸封裝設計。

在其他CSP設計中，彈性墊係使用黏接層直接疊合於電路與半導體晶粒，以去除黏接層中之氣隙生成，惟，諸設計仍有熱應力之問題，且無足夠硬度做長條物加工。

又一CSP設計中，例如TEXAS INSTRUMENTS公司之「MICRO STAR BGA」，一IC係直接黏接於一撓曲電路表



五、發明說明 (5)

面，而無聚合物或彈性墊，但是此結構並未將晶粒脫離於PCB，結果一昂貴之填底材料即需用於取得所需之焊接處穩定性。此外，經發現本設計中所用聚合物材料之水份會在晶粒黏度膠固化期間滲氣，而在黏膠中產生氣隙。

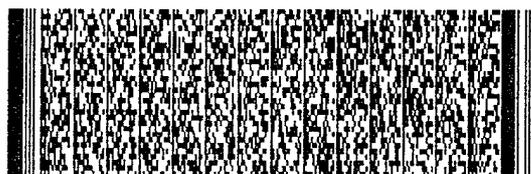
因此，有必要使用一種低成本且可抗溶劑之晶片尺寸封裝，其具有充份之共平面度且無相關問題之水份與熱應力缺點，同時另需要一種易於長條物中生產之晶片尺寸封裝。

發明概述

本方法與裝置係關於用於積體電路封裝之晶片尺寸球柵陣列，諸產品可提供低成本之晶片尺寸封裝，以改善穩定性及利於加工。

在所述之實例中，一非聚合物層或支承結構係用於一半導體晶粒與相關電路之間，當其做為一支承結構時，一非聚合物層可用於提供一大致堅實之平坦表面，以及將晶粒分離或脫離於一基材，例如一印刷電路板

(PCB)。在一典型之實例中，黏接材料亦應用於一非聚合物支承結構與一晶片尺寸封裝總成之鄰近組件之間，以利接附及進一步將一晶粒與基材分離，藉由分離一晶粒及基材，非聚合物支承結構即可減低熱應力。由於支承結構為非聚合物，支承結構與一晶粒之間之氣隙生成可大致消除。非聚合物支承結構亦提供充分之硬度以容許積體電路在長條物中加工，當使用之層係比一支承結



五、發明說明 (6)

構層為薄且不堅實時，非聚合物材料可大致消除氣隙之生成。

在一項內容中，本發明係一種用於一積體電路之封裝，其包括一具有一電氣銜接件陣列之積體電路，以及至少一具有第一、二側之非聚合物層，非聚合物層之第一側在結構上聯結於積體電路，而非聚合物層之第二側在結構上聯結於中間電路。

在另一項內容中，本發明係一種形成一積體電路所用封裝之方法，其包括以下步驟：提供一包括一電氣銜接件陣列之中間電路，及提供至少一非聚合物層，其具有一第一側以於結構上聯結於一積體電路。此方法亦包括在結構上將非聚合物層之第二側聯結於中間電路之步驟。

在另一項內容中，本發明係一電子封裝，包括一撓性帶體，具有一構圖式導電層及至少一構圖式電介層，封裝亦包括至少一非聚合物支承結構，其具有第一與第二側，支承結構之第一側在結構上聯結於撓性帶體之導電層第二側。

在又一項內容中，本發明係一電子封裝，其包括一構圖式導電層，具有第一、二側及一外橫向邊緣，導電層係經構圖以形成一導電區域，該區域具有周邊導電件設於外橫向邊緣之周側，以通電至一半導體裝置。封裝亦包括一構圖式電介層，具有第一、二側及一外橫向邊緣，邊緣之周長係小於構圖式導電層之周長；電介層係經構圖以形成眾多開孔穿過電介層，各開孔建構成容納

五、發明說明 (7)

一焊球，導電層之第一側接合於電介層之第二側，使電介層中之眾多開孔對準於導電層之至少一部分導電區域，且使導電層之周邊導電件伸出電介構件之外周邊。本案另提供一大致硬質之非聚合物支承結構，其具有第一、二側，及具有一大約大於 6.89×10^6 kPA之彈性模數，支承結構之第一側在結構上聯結於導電層之第二側。一半導體裝置之第一側在結構上聯結於非聚合物支承結構之第二側，半導體裝置包括眾多之電氣式接觸位置，且至少其中一接觸位置通電於導電層之周邊導電件。眾多焊球係設於電介層之第一側上，各焊球定位於電介層中之其中一開孔內且通電於導電層之導電區域。

圖式簡單說明

圖1係先前技藝之習知晶片尺寸封裝設計截面圖。

圖2係先前技藝之另一習知晶片尺寸封裝設計截面圖。

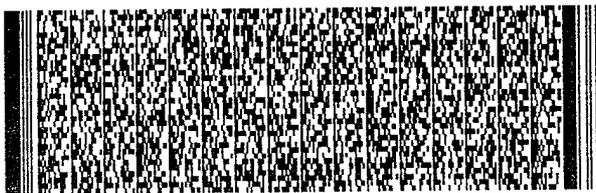
圖3係本案方法與裝置一晶片尺寸封裝設計實例之截面圖。

圖3A係本案方法與裝置另一晶片尺寸封裝設計實例之截面圖。

圖3B係本案方法與裝置另一晶片尺寸封裝設計實例之截面圖。

圖3C係本案方法與裝置另一晶片尺寸封裝設計實例之截面圖。

圖3D係本案方法與裝置又一晶片尺寸封裝設計實例之截面圖。



五、發明說明 (8)

圖4係一截面圖，說明黏接層疊合於本案方法與裝置實例之薄非聚合物材料。

圖5係一片已依本案方法與裝置實例疊以黏膠且沖孔之非聚合物材料頂視圖。

圖6係圖5所示非聚合物片具有本案方法與裝置實例之疊合式撓曲電路之頂視圖。

圖6A係圖5所示非聚合物片具有本案方法與裝置實例之接附式線接晶粒之頂視圖。

圖7係依本案方法與裝置實例之一晶片尺寸封裝條帶定位於一固定座內供接合用之截面圖。

圖8係依本案方法與裝置實例之一晶片尺寸封裝條帶在重模塑期間定位於一固定座內之截面圖。

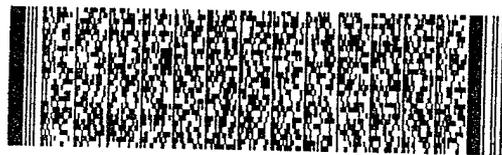
圖9係依本案方法與裝置實例之一晶片尺寸封裝條帶在一固定座上向上朝向晶粒側以利封囊之截面圖。

圖10係依本案方法與裝置實例之一完成晶片尺寸封裝截面圖。

圖11係本發明一變換實例截面圖，其中積體電路之主動電路側係面向非聚合物中介件。

特定實例說明

圖1說明一般之晶片尺寸封裝積體電路封裝設計，其具有一設於一半導體晶粒12與二片撓性電路帶體18之間之彈性墊10，彈性墊10通常做為帶體之一部分且在各側上積置黏接層16與黏接層24，一般係採用二片式帶體，但是具有三層以上之帶體亦可使用。在一種方法中，二

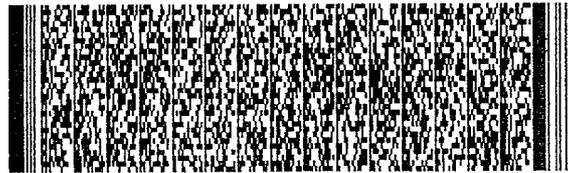


五、發明說明 (9)

片撓性電路帶體18係利用黏接層16以接附於彈性墊10，且其包含一構圖之電介層20(通常為聚醯亞胺)及一構圖之導電層21；另者，黏接層16及/或24可不存在，而彈性墊10施加於一帶體18，例如利用網印。二片撓性帶體18例如可藉由直接將一導電金屬層21電鍍或濺射至一電介層20而成，導電層21則可利用選擇性之電鍍或電鍍蝕刻方法而製構圖案，導電層21例如利用直接濺射導電金屬於電介層20上而製成。電介層20以開孔(或通孔)22構圖以承接焊球(或凸塊)14，使焊球14做電氣式接觸於構圖之導電層21。

如圖1所示，黏接層16可在構圖之導電材料層21與彈性墊10之間變形(或壓縮)，而同時填入彈性墊10與電介層10之間空隙至無構圖導電材料之區域中。例如，黏接層16在變形之前可為大約50微米(2密爾)厚度，且在構圖導電層21與彈性墊10之間可壓縮至大約12.5微米(0.5密爾)與37.5微米(1.5密爾)之間。半導體晶粒12係利用黏接層24以接附於彈性墊10，在圖1所示之晶片尺寸封裝設計中，內線體之接合係提供於電路線體42與晶粒墊44之間，包括內線體接合區域之半導體晶粒12邊緣係以容裝於封囊堰48內之封囊46加以封裝。

在圖1之習知晶片尺寸封裝設計中，彈性墊10通常為一具有較低模數之彈性體，用於將積體電路隔離或「去耦」於製成於PCB或其他基材之焊接處，以減低焊接處上之應力及增加長時間熱循環上之電路穩定性。惟，在

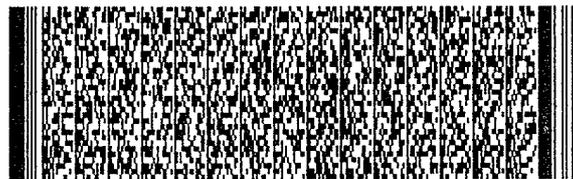
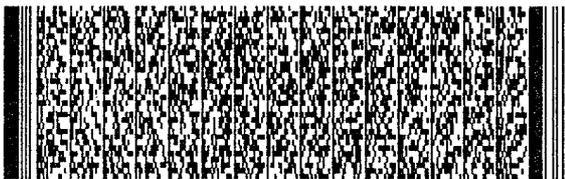


五、發明說明 (10)

圖1所示之習知晶片尺寸封裝設計中，通常不易選出一適合之彈性體，此因其難以發現可符合積體電路封裝嚴格要求下之彈性材料，再者，將彈性墊接附於其他電路組件之製程通常極富挑戰性，例如在取得準確之放置上或以複雜之網印及固化處理上。所使用之一般彈性材料包括矽質材料及低模數之環氧樹脂。

圖2揭示使用三層撓性電路帶體與「沖壓式」通孔之另一習知晶片尺寸封裝積體電路設計，圖2中一較厚之電介層220係使用一黏接層217接合於一構圖之導電電路層216，以形成一三層式帶體。一較厚之聚合物塗覆層211係直接積置於三層式帶體218上，且以黏接層224接附於半導體晶粒212，塗覆層211通常為一具有較薄截面(大約25微米)之聚合材料，但是其模數較高於圖1所示之彈性墊10者，塗覆物211通常為一環氧樹脂質材料。在此習知之應用中，三層式帶體/彎曲電路組合物通常建構成一「長條」，且略呈硬性以利長條移出及置入一固定件內，以做晶粒之再模塑，而不需在轉移步驟期間彎折接線240。

復參閱圖2，氣隙會因為聚合物層釋出之水份而形成於黏接層224中，例如晶粒接附膠224固化時(一般在150°C左右實施)之電介層220(一般為聚醯亞胺)及塗覆物211，焊球214焊接於一基材例如一PCB板236期間會進一步發生氣隙，另一可能性為在焊球214內生成熱裂縫，熱裂縫一般係由晶粒212與所接附基材236之間生成之熱



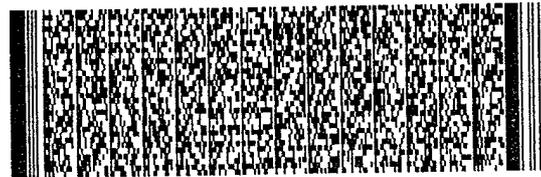
五、發明說明 (11)

應力引起，此熱裂縫可能為焊球接合處238提早失效之原因。

具有非聚合物支承結構之晶片尺寸封裝總成

在本文之方法與裝置實例中，一非聚合物支承結構(或墊片)係用於一半導體裝置或積體電路(例如一半導體晶粒)與相關電路之間，以提供一大致堅實且平坦之表面，且將晶粒分離或脫離於一基材，例如一PCB。在一典型之實例中，黏接材料亦應用於一非聚合物支承結構與一晶片尺寸封裝總成相鄰組件之間，以利接附及進一步分開一晶粒及基材。通常一具有熱膨脹係數(CTE)接近於基材者之非聚合物支承結構係用於減低焊接處上之熱應力效應。

圖3揭示本文方法與裝置其中一實例之晶片尺寸封裝設計截面圖，其具有一非聚合物支承結構50，係設於一半導體晶粒52與一包含二層撓性電路帶體(或撓曲電路或TAB帶)58之中間電路之間。在此實例中，非聚合物支承結構50在結構上係利用黏接層64以聯結於晶粒52，此處之「結構上聯結」意指二組件使用適當方式(例如積置、黏膠、或其他接合型式)，以做直接聯結或間接聯結(例如以中介層或其他組件設於其間)。如圖3所示，半導體晶粒52具有晶粒接合墊或接觸件84，一第二黏接層56將非聚合物墊50接附於撓性帶體58。雖然圖3所示之晶片尺寸封裝設計實例係採用二層撓性電路帶體，但是可知本文之實例亦可採用其他型式之中間電路，例如具



五、發明說明 (12)

有三或多層之非撓性電路條帶或撓性電路帶體亦可行，例如圖3C所示之實例即採用三層帶體19及線接合。在此實例中，三層式帶體19包括電介層60、導電層59、及第二電介層(通常為聚醯亞胺)60a，黏接層60b則使用於層59與層60a之間。

中間電路通常包括一系列銜接點，以利電氣式連接至一基材，如一PCB，在圖3之實例中，二層式撓性電路帶體58包括一構圖式電介層60，及一具有個別導電接合墊59a之構圖式平坦導電層59，焊狀導電墊59a一般為大約200至600微米直徑，且具有大約300至1250微米之間距。構圖之導電層59可由適於形式大致平坦電路之任意可構圖式導電材料製成，其包括且不限定的有金屬或導體如矽、多元矽、鎢、鈦、鋁、鋁質金屬(如鋁合金)、銅、及其合金與組合物等等(為了說明方便，本文之「金屬」係定義為包括金屬、耐火金屬、金屬在化物及類似物或其組合物)，較為一般之構圖式導電層59為銅。構圖式電介層60可由任意適於將導電層59絕緣之可構圖式電介材料製成，其包括且不限定的有聚醯亞胺或聚酯，最常用之電介層60為聚醯亞胺，例如「DuPont KAPTON或UBE UPILEX」。構圖式導電層59通常具有大約12.5至37.5微米厚度，構圖式電介層60通常具有大約25至75微米厚度。

為了形成一球柵陣列57，導電式焊球(或凸塊)54係接附於撓性帶體58，且經由在電介層60中構圖之開孔(或



五、發明說明 (13)

通孔)62以通電於個別之墊片59a，開孔62係構圖以配合於導電墊59a，使各開孔60疊覆於一各別之導電墊59a。焊球54可為任意形狀與尺寸；以適於通過開孔62而連接於接合墊59a，通常焊球54略呈球形，且具有大約250至750微米直徑，最好在大約300與600微米之間，焊球利用一般烤箱做回流接附，例如IR、對流或氣態。開孔62之大小及形狀適可承接焊球54，以利通電於接合墊59a，典型上，開孔62係呈圓形且具有大約250與600微米之間之直徑，較佳為大約300與500微米之間。導電式焊球可由任意適合之導電材料構成，其包括且不限定的有金、焊劑、或銅。

在圖3之實例中，構圖式導電層59具有眾多之接合線82，其各接電至一導電墊59a，接合線82之寬度在大約25與100微米之間，接合線82例如可利用內線接合而在晶粒墊84處電氣式連接於半導體晶粒52，因此其建構以一相同於晶粒墊84者之較小間距，以及一足夠之長度以匹配於線82與墊片84之間。惟，線82亦可形成具有墊片83，其使用圖3A所示之線接合部82a以接線至半導體晶粒52。在任一例子中，當各接合線82以電氣式連接於一各別之晶粒墊84，一電路即在各焊球54與一對應晶粒墊84之間完成。當依此方式形成一球柵陣列時，各焊球54係設計做為一個別之「針腳」，以利將一個別之晶粒墊54係設計做為一個別之「針腳」，以利將一個別之晶粒墊84電氣式連接至一基材76上之一對應基材接合墊75。圖



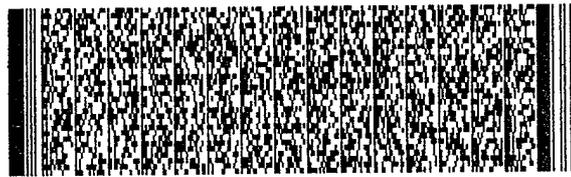
五、發明說明 (14)

6 所示球柵陣列 57 與對應基材接合晶粒墊 75 之間距係在大約 300 與 1250 微米之間，典型上一基材為一印刷電路板 (PCB)，但是亦可為其他任意電路，其包括且不限定的有撓曲電路、矽、晶圓，等等。

如圖 3 所示，晶粒 52 邊緣與內線連接區係由容裝於封囊堰 88 內之封囊 86 封裝，封囊 86 可為習於此技者所熟知之任意適合封囊，其包括且不限定的有環氧樹脂及矽膠，封囊堰 88 為任意適合之封囊容裝結構，其包括且不限定的有環氧樹脂、膠帶等等。雖然圖 3 所示之實例係採用單一之構圖式導電層 59，但是可瞭解的是本案之優點在於其亦可採用具有二或多數構圖式(或非構圖式)導電層之實例。

在圖 3 之實例中，非聚合物墊 50 可為任意材料，且其有適當硬度以利處理及/或具有一接近於一基材者之熱膨脹係數，以利減輕焊接處之應力。藉由使用此一非聚合物墊結構，生成於晶粒接附黏膠 64 中之氣隙即可減少或消除，此因晶粒 52 係直接接合於非聚合物墊 60，藉由黏膠 64 則聚合材料生成之水份即不再存在，且不致進入此二組件間之介面。

除了減低熱應力及氣隙生成，所述方法與裝置之非聚合物墊結構可提供其他之重大優點，例如，包括一非聚合物支承結構 10 之晶片尺寸封裝條帶提供一表面，其具有超越習知彈性墊之平坦度或表面均度，一柵陣列支承結構表面之平坦度係一重要因素，可使所有焊球 54 接觸

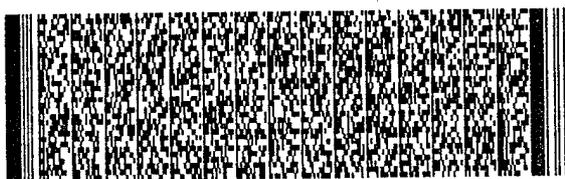


五、發明說明 (15)

於一基材76上之墊片75。必要的是，一晶片尺寸封裝支承結構具有大約50微米(2密爾)以下之共平面度，最必要的是大約25微米(1密爾)以下，此共平面度難以利用一般之軟彈性墊取得。一非聚合物支承結構提供一較平坦之表面以供焊球接附，且因而容許一半導體晶粒與一基材之間有較穩定之連接。

除了上述優點外，一導熱性非聚合物(如金屬片或箔片)可使用做為非聚合物支承結構50，以提供一良好之熱路徑用於熱自圖3之半導體晶粒52表面散失(或自圖3A之半導體晶粒52背側)。此一導熱之非聚合物支承結構50亦可有效地將熱導至焊球54。

所採用之其中一種導熱非聚合物為一金屬片或箔片，而銅為特別適於此目的之金屬，除了導熱以外，一金屬片亦可提供導電層59有改善之電氣遮蔽性，且有助於減少漏話。此外，一金屬片可提供一表面以適用為一接地平面，因此，一金屬片亦可用於提供一方便之接地平面(或必要時可為電力平面)，例如將一焊球54a直接通電於金屬片53，如圖3B所示，此可例如透過一導電墊59b與下方黏膠層56中之通孔55而達成，使得選定之接地焊球54a可電氣式連接於金屬片53。晶粒上之接地墊隨後可經由內線或利用線接合部82b以連接於接地焊球54a，如圖3B所示。有利的是，當採用一金屬片例如一銅箔片時，這些優點即可用較少之成本取得，適合之金屬片包括任意之構圖式金屬箔片，且其可提供足夠之硬度及/

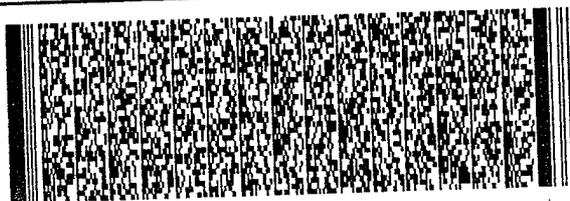


五、發明說明 (16)

或熱膨脹性質，但是不限定於由銅、不銹鋼、合金42、鎢、鈦、鋁、鋁質金屬(如鋁合金)、及合金與其組合物等等所製成之金屬箔片。銅箔亦可塗以一薄電鍍物，以提供良好之焊接性、低成本、及/或減低氧化，適合之塗覆物包括且不限定的有電鍍鎳、鎳/硼、黑銅氧化物、錫/鉛(例如大約37%以上鉛含量之高鉛含量錫/鉛合金)、或貴重金屬如銀或金等等之表面塗覆物。最常用之一非聚合物支承結構為一構圖式銅箔片，其具有100與250微米之間厚度，較佳為大約125與175微米之間。一般用做線框之銅合金，例如194號，其最適於此應用。

有利的是，當採用一適當硬度之非聚合物墊時，一晶片尺寸封裝條帶可用通常用於線框之匣式進給設備操作。「適當硬度」係指一大於 6.89×10^6 kPA(每平方吋 1×10^6 磅，或1 Mpsi)之模數，具有適當硬度之非聚合物材料例子包括陶瓷及金屬箔片，如前所述者。惟，可以瞭解的是本案方法與裝置之利益亦可利用模數低於 6.89×10^6 kPA之非聚合物材料取得，以益處包括前文中所述及者。

參閱圖3，黏接層56，64可為任意黏膠，以適於將非聚合物墊50固接於撓性帶體58與半導體晶粒52，黏接層56，64係選自電介性材料，其作用於一非聚合物墊50，以將晶粒52隔離或「脫離」於一基材(或PCB)76，以利進一步釋除焊接處上之應力及提供改善之穩定性，此黏



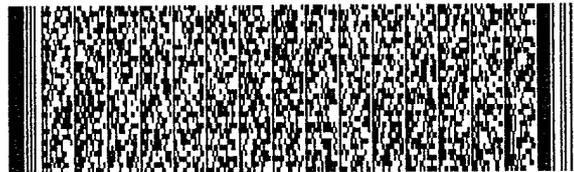
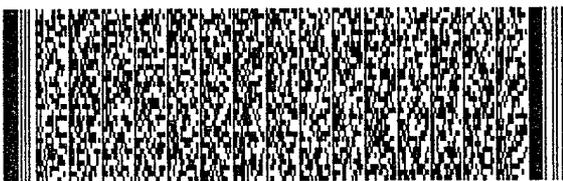
五、發明說明 (17)

膠亦可提供小量之Z軸線順服性而無插接。適當之黏膠例子包括且不限定的有丙烯酸酯PSA、熱塑性聚醯亞胺(如DuPont之KJ材料)、一聚烯烴、DuPont之PYRALUX、環氧樹脂、及其混合物，大部分係以熱塑性聚醯亞胺做為黏接層56，64。

黏膠可施加於一非聚合物墊成任意厚度，以適於形成彈性墊與相鄰表面之間之接合，相鄰表面指一晶粒或電路軌跡，通常黏接層56，64具有大約25至75微米之厚度，較常用為大約25與50微米之間。

雖然圖示之實例係採用單一之非聚合物支承結構，可以瞭解的是本案使用超過一個以上非聚合物支承結構之優點可用於一疊層式晶片尺寸封裝帶體總成，例如二或多個電氣絕緣金屬支承結構即可用於形成分隔之電路路徑(例如接地與電力平面)，或者可採用金屬與非金屬非聚合物支承結構之組合，例如環氧樹脂印刷電路板材料。

在圖3D所示之變換實例中，一安裝層351可用一層積置之非聚合物材料350構成圖案，且使用於一半導體晶粒352與相關電路之間。例如，安裝層351可利用黏接層356以接於二層撓性電路帶體318或其他中間電路，且以黏接層364接於半導體晶粒352。當取代前述非聚合物支承結構實例而使用時，非聚合物層350之實例可因防止水份侵入晶粒接附膠364而減少或消除水份之生成，有利的是，一以非聚合物材料構圖之安裝層可用多種方式製成，其包括且不限定的有做為一分離式帶體組件、或



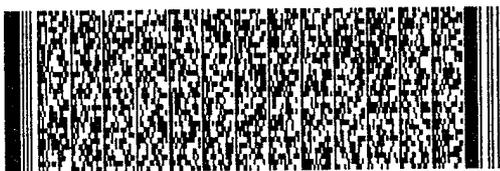
五、發明說明 (18)

接附於一TAB帶體。在某些狀況中，以非聚合物材料構圖之一安裝層在使用上可較前述非聚合物支承結構實例者廉價。

復參閱圖3D，非聚合物層350可由任意之非聚合物材料組成，以防止水份侵入黏接層364，其包括前列使用於一非聚合物支承結構之材料。安裝層351可為任意材料，以適於非聚合物層350之構圖或積置，其包括前列使用於可構圖電介性材料之電介性材料。同樣，黏接層356，364可為任意適當之黏膠或接附裝置，其包括前列使用於非聚合物支承結構者。典型之非聚合物層350係一具有大約1與50微米厚度之間之銅層，而安裝層351為一具有大約25與75微米厚度之間之聚醯亞胺層，最常用之非聚合物層350為具有大約5與10微米厚度之間之銅層，而安裝層351為具有大約50微米厚度之聚醯亞胺層。

圖3D說明使用一以非聚合物層350構圖之安裝層351於一相似於圖3A所示用於非聚合物支承結構，藉由非聚合物支承結構之實例，則圖3D所示之結構仍有多種變化。例如，一導電之非聚合物層350可做為一接地平面、電力平面或完成其他型式之電路路徑，如圖3B所示用於一非聚合物支承結構者。一安裝層351及非聚合物層350亦可使用具有三或多層之中間電路，如圖3C所示用於非聚合物支承結構之實例者。此外，超過一非聚合物層350者亦可使用。

晶片尺寸封裝組件之製造及組合



五、發明說明 (19)

本方法及裝置所述具有一非聚合物支承結構(或墊片)之晶片尺寸封裝裝置可由多種方式製成及應用於不同用途上，例如構成具有一非聚合物墊之晶片尺寸封裝帶體之方法包括以下步驟：將一黏膠疊層於一捲非聚合物材料上(例如金屬箔片)、沖壓非聚合物材料成一所需之形狀、及將撓曲電路(或電路軌跡)對準及黏接於非聚合物，以形成一晶片尺寸封裝帶體(例如呈長條狀)。或者，一晶片尺寸封裝帶體可藉由沖壓一非聚合物材料(例如一金屬箔片)成所需形狀、沖壓一黏接膜成相同形狀、令膜與箔片二者對準電路軌跡、及疊合於結構而形成。在任一狀況中，電路軌跡對一非聚合物支承結構之對準皆極精確，且其並不昂貴。另有多種不同步驟可利用前述之晶片尺寸封裝條帶或帶體實施，以利形成一晶片尺寸封裝裝置，這些步驟可包括晶粒接附、線及/或內線接合、重模塑及/或焊球接附等等步驟，有利的是諸製程之晶片尺寸封裝裝置之組合上較有效率、率直、及有成本效益。

圖4說明黏接層56，64疊合於一薄捲銅片(或箔片)50兩側之情形，典型上係採用具有一覆片(或釋離襯片)之黏膠疊層，且釋離襯片留在黏接層56之一側上而背對銅箔片50。適合之黏膠疊層而可結合於釋離襯片者係包括丙烯酸酯PSA型黏膠，如圖4所示，用以形成黏接層56，64之疊層膠一般係利用捲筒式疊層件100施加，惟，由本文可知前述之黏膠應可用任意適合之方法施加，其包



五、發明說明 (20)

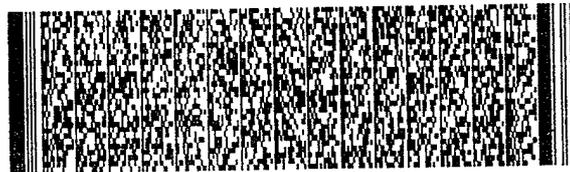
括且不限定的有網印及噴霧積置。

圖5揭示一已疊合以黏接層56，64之非聚合物片50頂視圖，在圖5中，非聚合物片50已沖壓形成以連接長孔區域110包圍晶粒方體51之圖案，晶粒方體51構成具有一匹配於一半導體晶粒52之形狀，且其面積較小以容許線82(或線接合部)連接於連接長孔區域110中晶粒墊84之間隙，連接長孔110利用內線接合、線接合、或其他適當之連接方法以提供空間供連接至晶粒墊84。合併時，晶粒方體51與連接長孔110之尺寸可提供半導體晶粒52有個別之平台。

由本文之優點可知在上述方法中之沖壓操作可用任意適合於積體電路封裝之沖壓方法實施，非聚合物片亦可利用化學蝕刻構圖，其使用一鋼製規模或使用一化學蝕刻模。加工孔112亦在片體50中沖壓出，以利電路準確對準。

其次，如圖6所示，具有通孔62以容納焊球之撓性帶體58係利用加工孔112對準且疊合於銅片50之一側。電路之疊合可藉由多種方式達成，包括捲筒對捲筒方式(例如利用棘輪孔之捲筒對捲筒製程)、或利用一壓合機，在此實例中，疊合前之釋離襯件係拉離黏接層56，且一片或條狀電路利用加工孔112做對準而疊於片體50，惟，其他黏接及疊層方法如前所述者亦可採用。

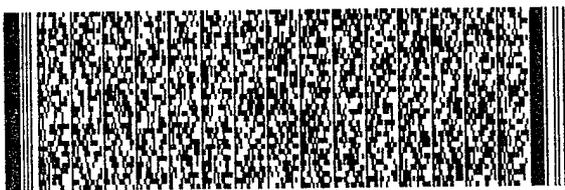
關於此點，一積體電路晶粒之接附及接合可持續而不斷，或者非聚合物片50與接附之撓性帶體58可運往他



五、發明說明 (21)

處做進一步組合，在後者狀況中，非聚合物片50及所接附之撓性帶體58通常在運送之前先裁切成長條狀，而在一長條物中，一單一晶片尺寸封裝條帶具有眾多之個別晶粒方體51。在任一狀況中，進一步之組合係關於將第二釋離襯片移離黏接層64，以準備將一晶粒安裝於非聚合物片50上。在長條物之製程中，非聚合物條片與所接附之電路裝填入匣內以利處理，晶粒隨後放置於非聚合物條帶之黏性側上(即相反於含有電路之一側)，且必要時加以固化。惟，由本文可以得知一晶粒亦可拾置於一卷非聚合物片上(相對於一條帶)，及一半導體晶粒可放置使其電路高度鄰近於或相對於非聚合物片。非聚合物條帶之晶粒側亦可無黏膠，以及無接附晶粒用之晶粒接附膠(通常為環氧樹脂質之材料)。

其次，條帶(包括電路及一或多枚晶粒)係經倒裝及放入可裝填於例如一線接合機或一熱壓縮接合機內之標準匣，如圖7所示，來自帶體之各120例如係利用一接合工具124以接合於一晶粒墊122。一固定座126用於支承帶體(包括晶粒)，以容許線120在接合過程中可於一脆裂部(或刻槽)126斷折；如圖8所示，條帶隨後藉由封囊132填入長孔110中而重模塑，封囊容裝於堰件130內且利用一適當之固化方法以固化之，例如UV或熱作用方法。另者，如圖9所示，條帶可自條帶之晶粒側倒裝至一固定座表面140及填裝有封囊132之長孔110內，而不需要封囊堰件。如圖3A、3B，一晶粒52亦可利用線接合部82a



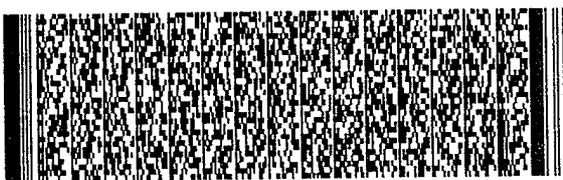
五、發明說明 (22)

以連接於一電路軌跡層59，例如當一半導體晶粒倒裝時，使一半導體晶粒之電路層與晶粒墊朝向背對支承結構之方向，此一實例之俯視圖揭示於圖6A。

如圖10所示，焊球(或凸塊)54可隨後安裝於例如一聚醯亞胺層60內蝕刻開孔所形成之開孔(或通孔)62內，焊球54可利用任意方法接附於條帶，以適於球54與導電式接合墊59a之間形成一固定之電氣式連接，例如以任意之習知方式加熱及回流，如IR、對流、或氣態。雖然圖中未示，通孔62亦可加工成電鍍穿孔(PTH)，及/或在焊球接附之前填以一分離之導電性填料。

關於此點，一條帶或捲筒可裁切成單一或多數之晶粒晶片尺寸封裝(圖10揭示單一之晶粒封裝150)，此可利用任意適當之切割方法達成，例如沖壓、裁切、或其他類似方法。

圖11中，所示之實例中積體電路158之主動電路側係面向非聚合物中介件50，且利用黏膠150a以黏接於該中介件，在此實例中，積體電路158備有中央導電件(接合墊)153，而非前述之周邊導電件。一長孔154形成於非聚合物中介件50中，使長孔對準於延伸下積體電路158中央之接合墊153，此種電路結構為多種電路之典型者，例如動態隨機存取記憶體(DRAM)積體電路。一電路構件159由至少一層構圖式導電層160積置於一非導電性基材上而組成，其係利用黏膠150b而自相反於積體電路158之一側上接附於非聚合物中介件50，在此電路構件

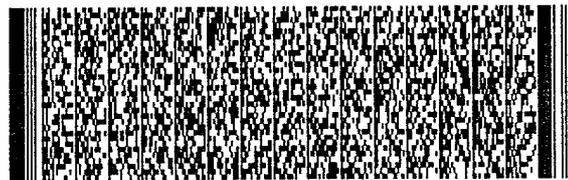


五、發明說明 (23)

159上之一第一組接合墊162鄰近於非聚合物中介件50之長孔154，積體電路158與第一組接合墊162之間之電氣式銜接係以線接合部152實施，或例如來自撓曲電路(圖中未示)之內線接合。電氣式銜接則利用一積置於長孔154區域內之聚合物質封囊151而隔離於周側，第一組接合墊162透過導電式電路軌跡156而連接於長孔154區域外側一陣列中之第二組較大接合墊155，導電構件如焊球157者係接附於第二組接合墊155，此封裝對於最終印刷電路板之接附即經由此導電構件達成。

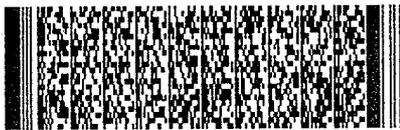
可以瞭解的是本發明之優點在於其他晶片尺寸封裝結構亦可使用此方法製構，包括具有一枚以上半導體晶粒之封裝，此外，非晶片尺寸封裝結構如習知之BGA封裝者可藉由前述之方法與裝置概念製造。另可瞭解的是，雖然前述方法係用於以一長條物製成積體電路，諸方法之優點亦可在使用其他方法與生成物以製成積體電路時取得，生成物包括且不限定的有利用捲筒對捲筒(或捲軸對捲軸)生成物而形成之積體電路。依此，前述方法與裝置之優點可發現於與現有工業下部結構相符之生成物中，以及一般所採用或發展出之較新生成物。亦可瞭解的是前述封裝製程可用尚呈晶圓狀之晶粒實施，例如，一非聚合物片可直接對準及黏接於已進行接合之晶圓及晶片，如前所述，長孔154隨後以封囊151、所附之焊球157、及已沖壓或鋸斷之個別封裝片填入。

本發明雖然適用於本文所舉例說明之特定實例及多種



五、發明說明 (24)

變化、修改形式，惟，應瞭解的是本發明並不侷限於前述之特定形式，反之，本發明在於涵蓋申請範圍內所定義之本發明精神範疇中之所有修改、等效物、及變換。



四、中文發明摘要 (發明之名稱：用於積體電路封裝之晶片尺寸球柵陣列)

一種用於積體電路封裝之晶片尺寸球柵陣列，其具有一非聚合物層或支承結構定位於一半導體晶粒與一基材之間，非聚合物支承結構藉由減低熱應力效應及/或藉由減低或消除一積體電路封裝內之氣隙生成，以增加電路之穩定性。一非聚合物支承結構可為某一材料，例如銅箔片，其具有足夠硬度以供晶片尺寸封裝在一長條物中之處理。

英文發明摘要 (發明之名稱：CHIP SCALE BALL GRID ARRAY FOR INTEGRATED CIRCUIT PACKAGE)

A chip scale ball grid array for integrated circuit packaging having a nonpolymer layer or support structure positioned between a semiconductor die and a substrate. The nonpolymer support structure acts to increase circuit reliability by reducing thermal stress effects and/or by reducing or eliminating formation of voids in an integrated circuit package. A nonpolymer support structure may be a material, such as copper foil, having sufficient rigidity to



四、中文發明摘要 (發明之名稱：用於積體電路封裝之晶片尺寸球柵陣列)

英文發明摘要 (發明之名稱：CHIP SCALE BALL GRID ARRAY FOR INTEGRATED CIRCUIT PACKAGE)

allow processing of chip scale package in strip format.



六、申請專利範圍

1. 一種電子封裝，包含：

一積體電路，具有至少一電氣式接觸位置，係位於積體電路第一側上之中央；

一撓性中間電路，包括一電氣銜接件陣列；

至少一非聚合物層，具有第一及第二側，該非聚合物層之該第一側在結構上聯結於該積體電路之該第一側，而該非聚合物層之該第二側在結構上則聯結於該中間電路，

一長孔，係延伸穿過該中間電路與該非聚合物層之一中央部分，長孔對準於積體電路之至少一電氣式接觸位置；

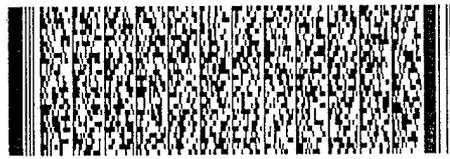
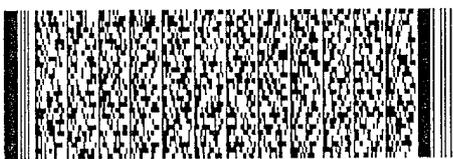
其中積體電路之該至少一電氣式接觸位置係藉由選自線接合與熱壓縮接合所組成族群中之一導電件，以電氣式聯結於該中間電路之至少一電氣銜接件。

2. 如申請專利範圍第1項之電子封裝，其中該非聚合物層係呈導電性，且以電氣式聯結於該積體電路而形成一電力或接地平面。

3. 如申請專利範圍第1項之電子封裝，其中該非聚合物層係一非聚合物支承結構，其具有一大於大約 6.89×10^6 kPA之彈性模數。

4. 如申請專利範圍第1項之電子封裝，其中該非聚合物層係一非聚合物支承結構，其由一具有大約100至250微米厚度之金屬箔片組成。

5. 如申請專利範圍第1項之電子封裝，其中該非聚合



六、申請專利範圍

物層係一非聚合物支承結構且由一銅箔片組成。

6. 如申請專利範圍第1項之電子封裝，進一步包含一具有第一與第二側之安裝層，該安裝層之該第一側在結構上聯結於該非聚合物層之該第二側，而該安裝層之該第二側在結構上聯結於該中間電路。

7. 如申請專利範圍第6項之電子封裝，其中該安裝層係一具有大約25至75微米厚度之聚醯亞胺層，及其中該非聚合物層係一具有大約1至50微米厚度之銅層。

8. 如申請專利範圍第1項之電子封裝，其中該中間電路具有第一與第二側，該中間電路之該第一側在結構上連接於該非聚合物層之該第二側；及

進一步包含以電氣式聯結於該中間電路之眾多焊球或凸塊，該眾多焊球或凸塊在結構上聯結於該中間電路之該第二側。

9. 一種電子封裝，包含：

一撓性電路，包括一構圖式導電層及至少一構圖式電介層，各該層具有一第一側與一第二側；

一非聚合物支承結構，具有第一與第二側，該支承結構之該第二側在結構上聯結於該撓性電路之該導電層之該第一側；

一半導體裝置，具有一第一側以在結構上聯結於該非聚合物支承結構之該第一側，該半導體裝置包括眾多設於中央之電氣式接觸位置；該接觸位置則以電氣式聯結於該撓性電路之該導電層。



六、申請專利範圍

10. 如申請專利範圍第9項之電子封裝，其中該導電層係構圖以形成一導電區域，其中該電介層係構圖以形成眾多開孔穿過該電介層，各該開孔建構以容納一焊球，及其中該導電層之該第二側接合於該電介層之該第一側，使得該電介層中之該眾多開孔對準於該導電層之至少一部分該導電區域。

11. 如申請專利範圍第9項之電子封裝，進一步包含眾多焊球或凸塊設於該撓性帶體之該電介層之該第二側上，各該焊球或凸塊係定位於該電介層中之其中一該眾多開孔內，且以電氣式連接於該撓性電路之該導電層之該導電區域。

12. 如申請專利範圍第9項之電子封裝，其中該非聚合物支承結構係一具有大約100至250微米厚度之銅箔片。

13. 一種形成一電子封裝之方法，包含以下步驟：

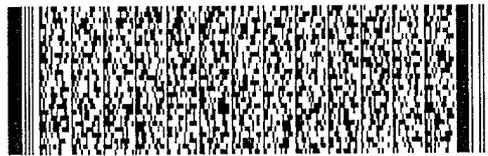
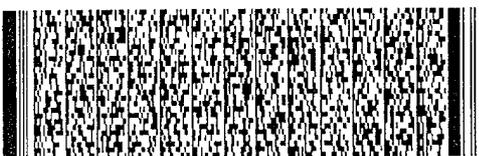
提供一中間電路，其包括一電氣銜接件陣列；

提供至少一導電式非聚合物層，其具有第一與第二側及一設於中央之長孔區域；該導電式非聚合物層之該第一側適可在結構上聯結於一積體電路；

在結構上將該非聚合物層之該第二側聯結於該中間電路；及

在結構上將該積體電路聯結於該非聚合物層之該第一側。

14. 如申請專利範圍第13項之方法，其中該積體電路具有眾多設於中央之電氣式接觸位置，及進一步包含將



六、申請專利範圍

至少其中一該接觸位置經過一中央定位之導電件以電氣式聯結於該中間電路之至少其中一該電氣銜接件之步驟。

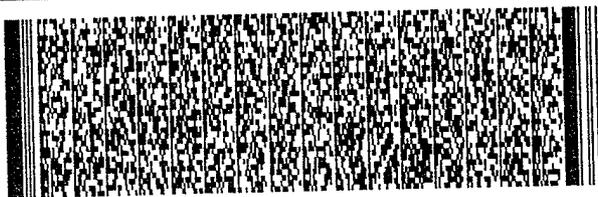
15. 如申請專利範圍第14項之方法，其中將該接觸位置以電氣式聯結於該電氣銜接件之步驟包括將該積體電路之至少其中一該電氣式接觸位置以線接合或熱壓縮接合於該中間電路之至少其中一該電氣銜接件之步驟。

16. 如申請專利範圍第13項之方法，進一步包含將該非聚合物支承結構以電氣式聯結於該積體電路，而形成一電力或接地平面之步驟。

17. 如申請專利範圍第13項之方法，其中該導電式非聚合物層係一非聚合物支承結構，且為一具有大約100至250微米厚度之金屬箔片。

18. 如申請專利範圍第13項之方法，其中該非聚合物層係一具有大約1至50微米厚度之銅層。

19. 如申請專利範圍第13項之方法，其中該中間電路具有第一與第二側；其中在結構上將該中間電路聯結於該非聚合物層之該步驟包括在結構上將該中間電路之該第一側連接於該非聚合物層之該第二側之步驟；及進一步包含在結構上及電氣式聯結眾多焊球或凸塊於該中間電路之步驟；該眾多焊球或凸塊在係結構上聯結於該中間電路之該第二側。



87116636

圖式

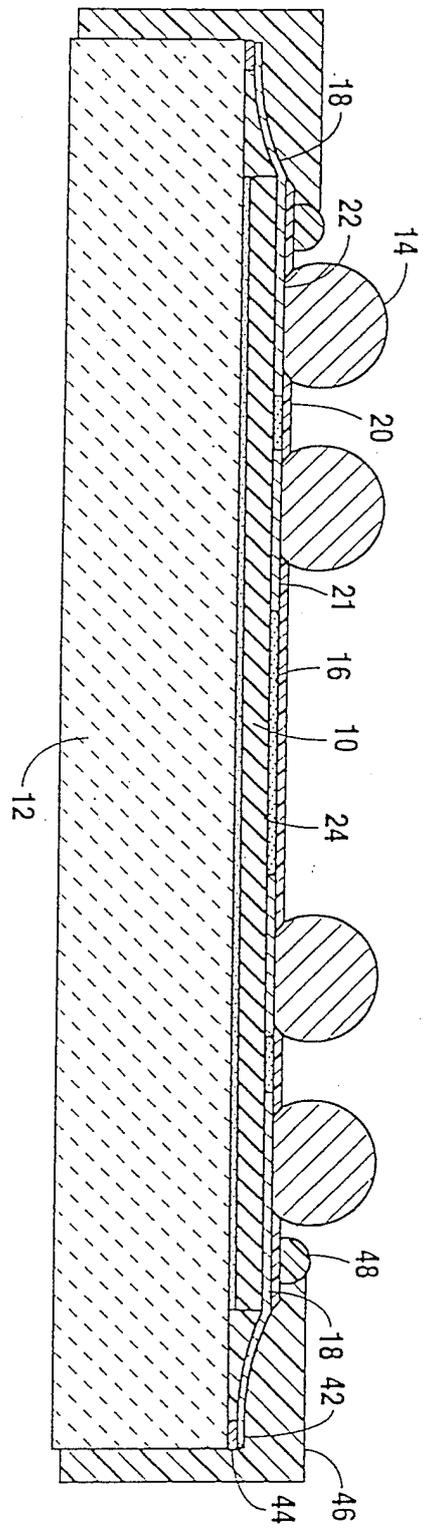


圖 1

先前技藝

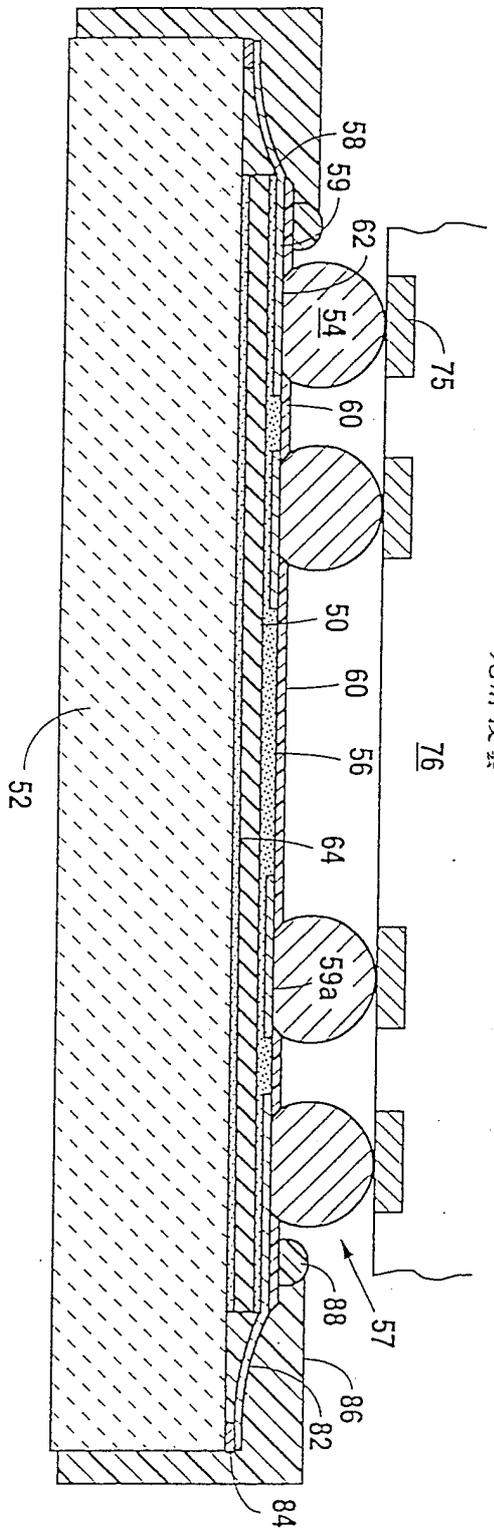


圖 3

圖式

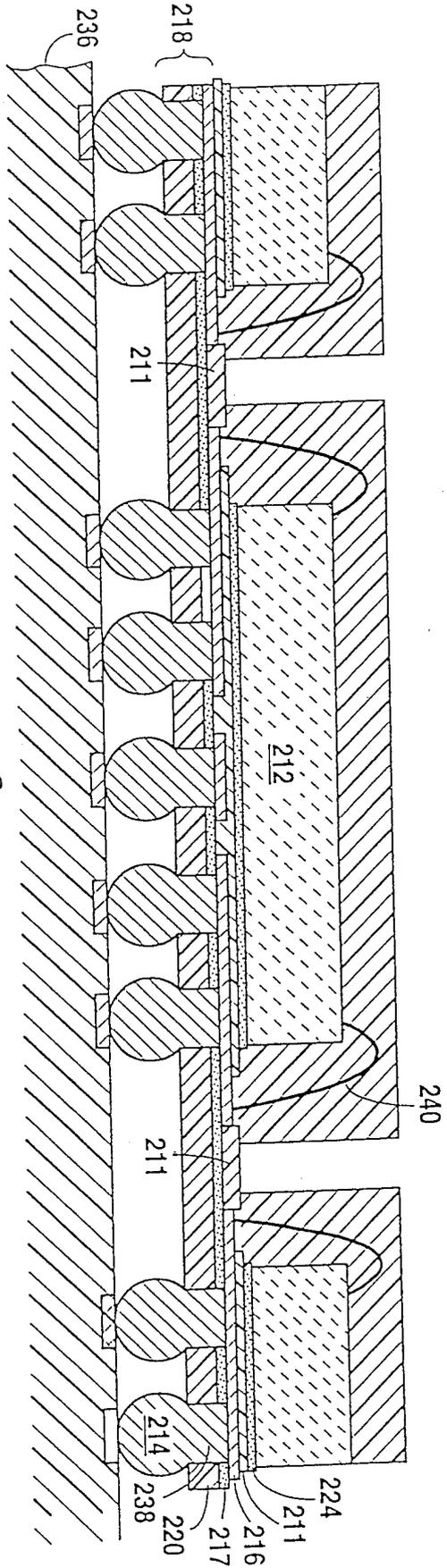


圖 2

先前技藝

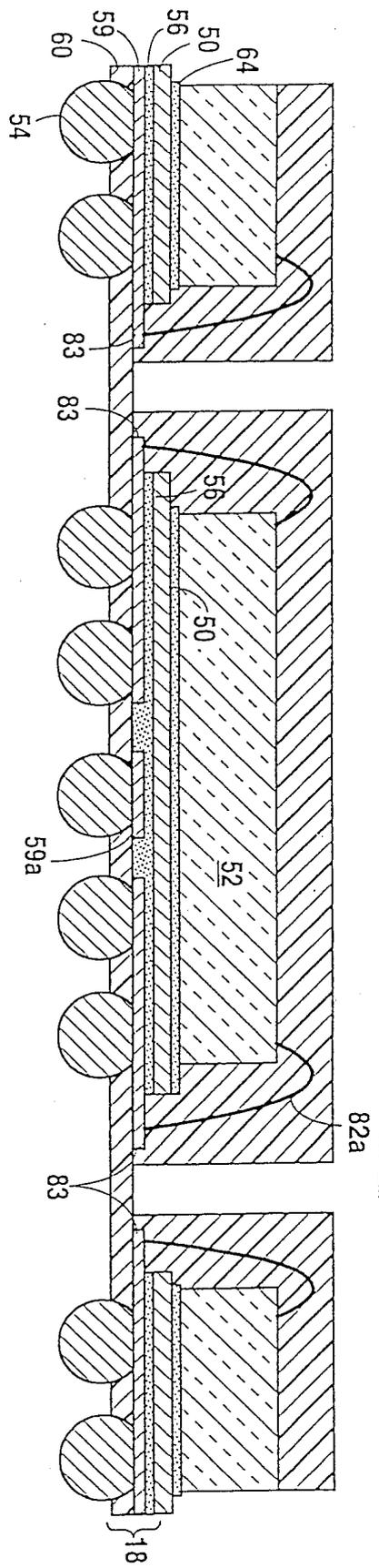


圖 3A

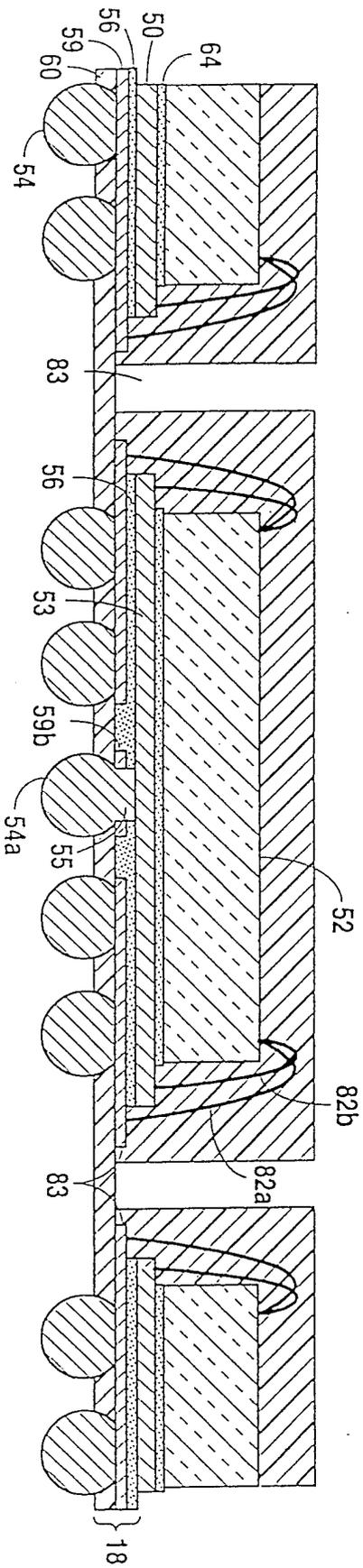


圖 3B

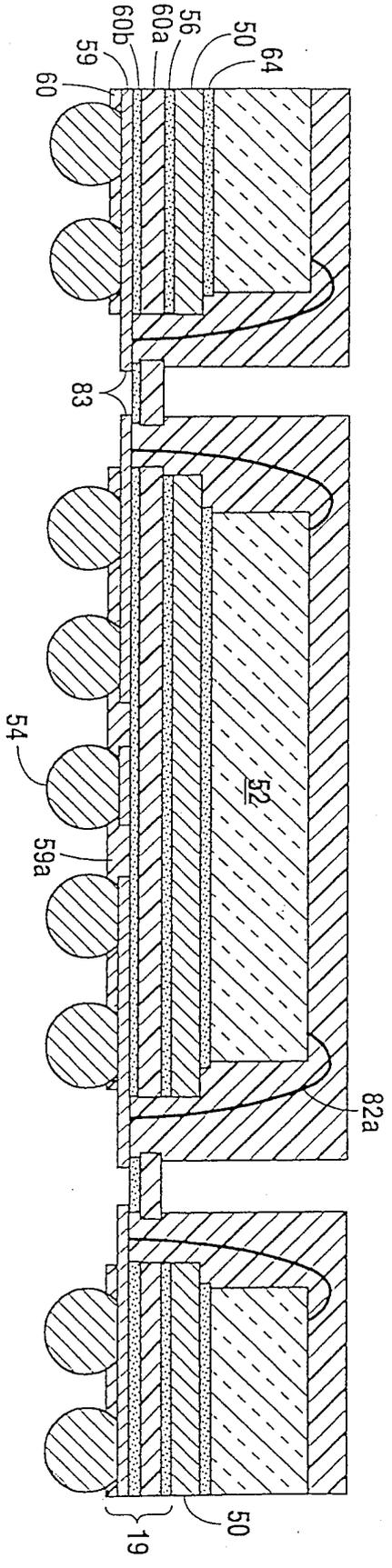


圖 3C

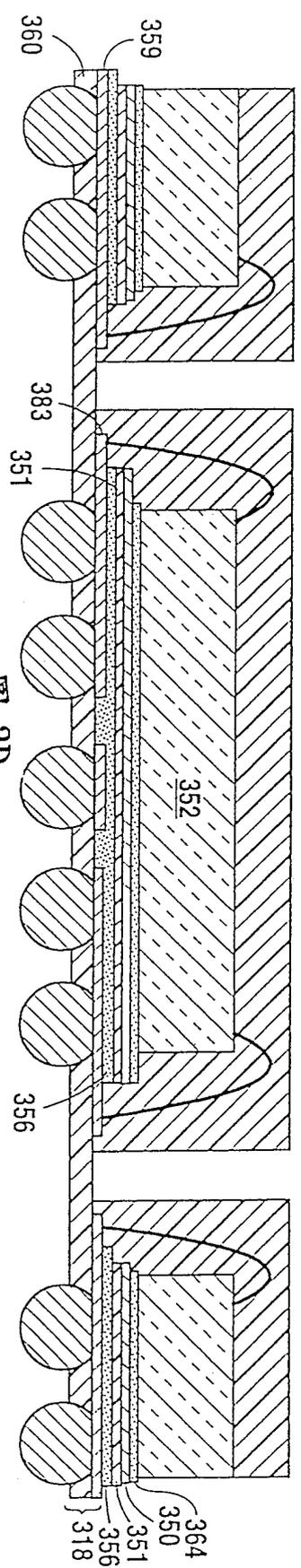


圖 3D

圖式

圖式

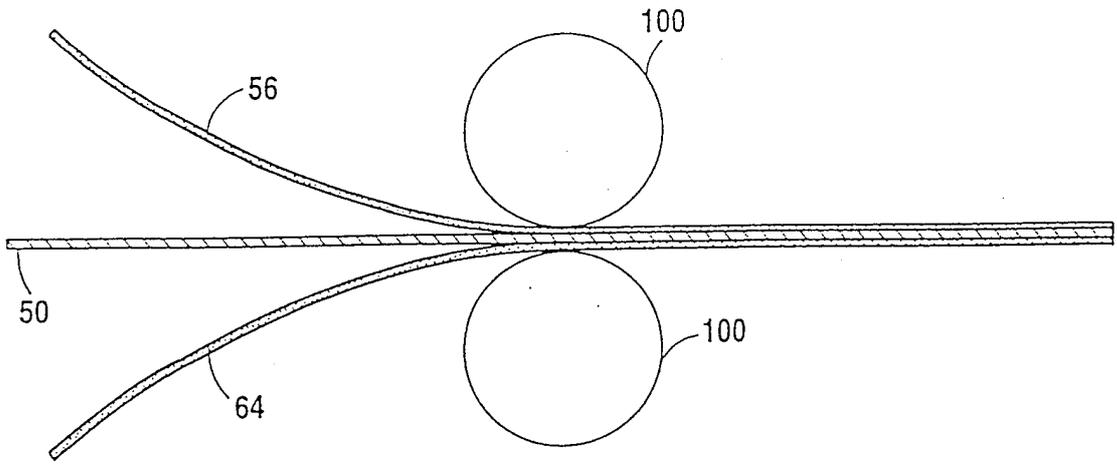


圖 4

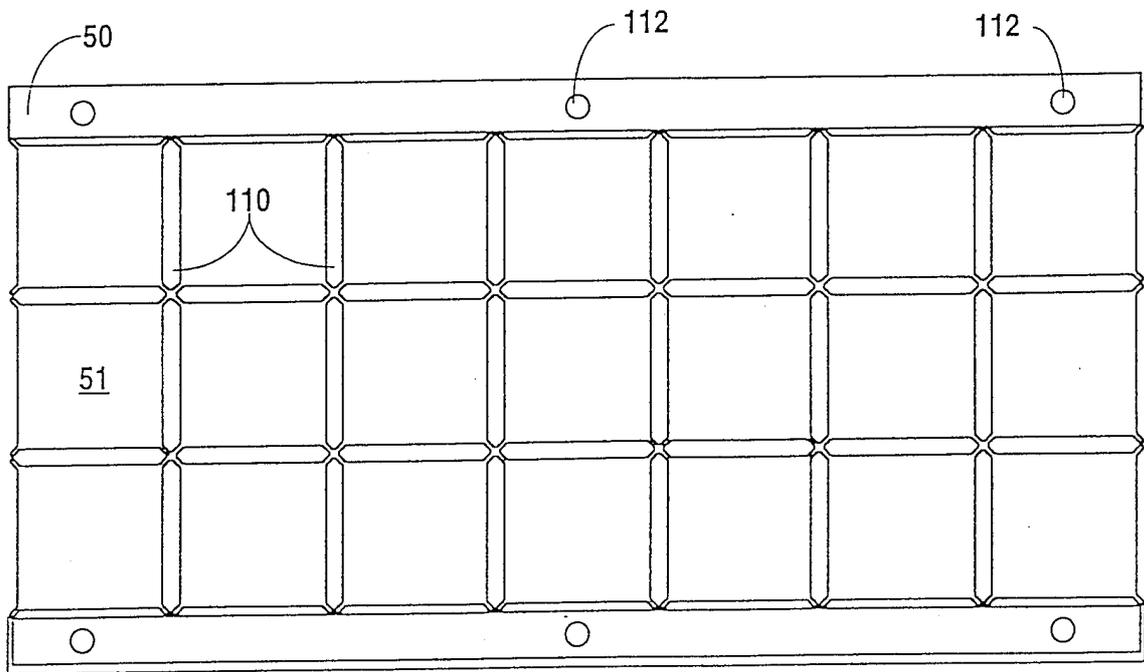


圖 5

圖式

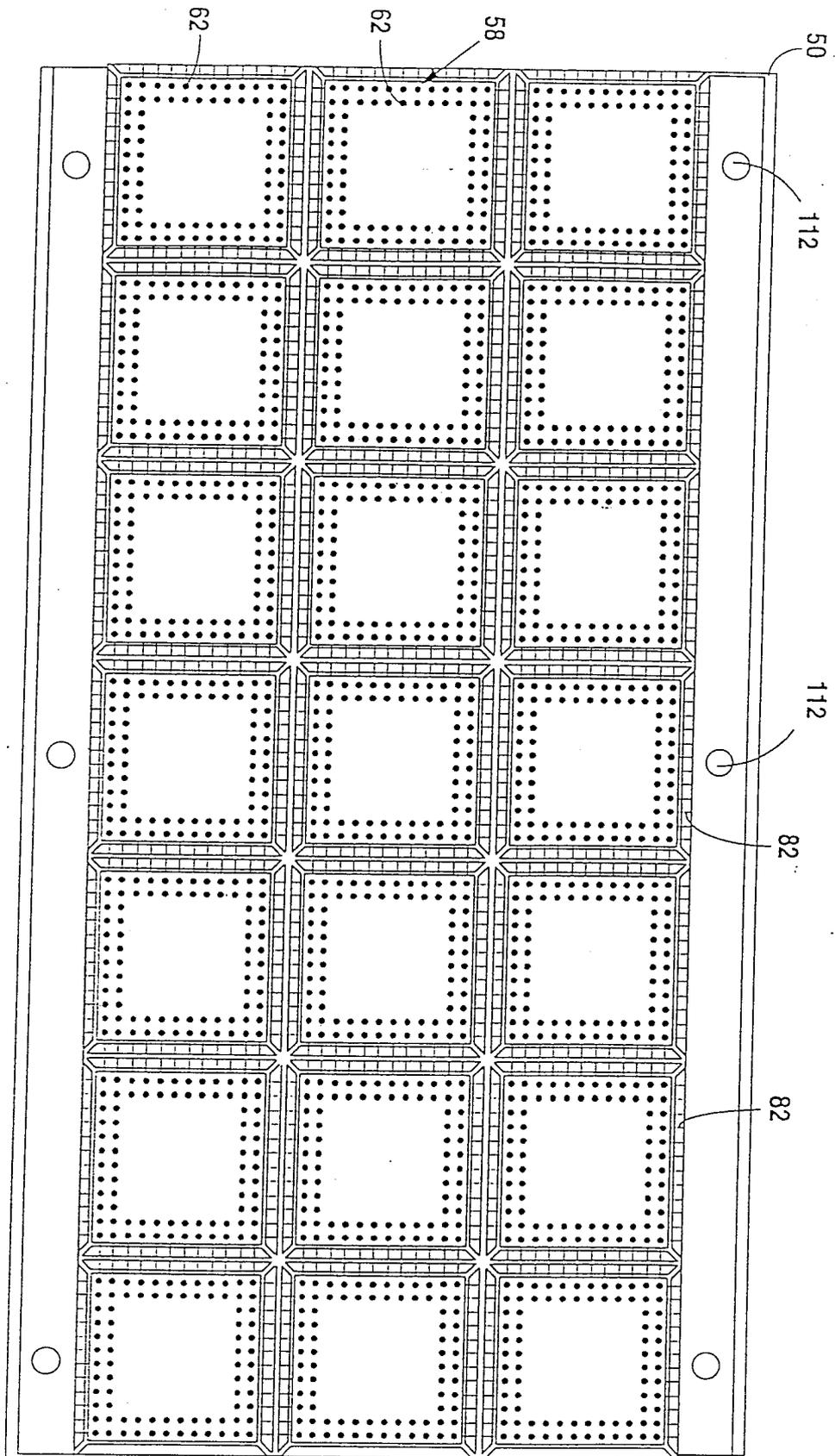


圖 6

圖式

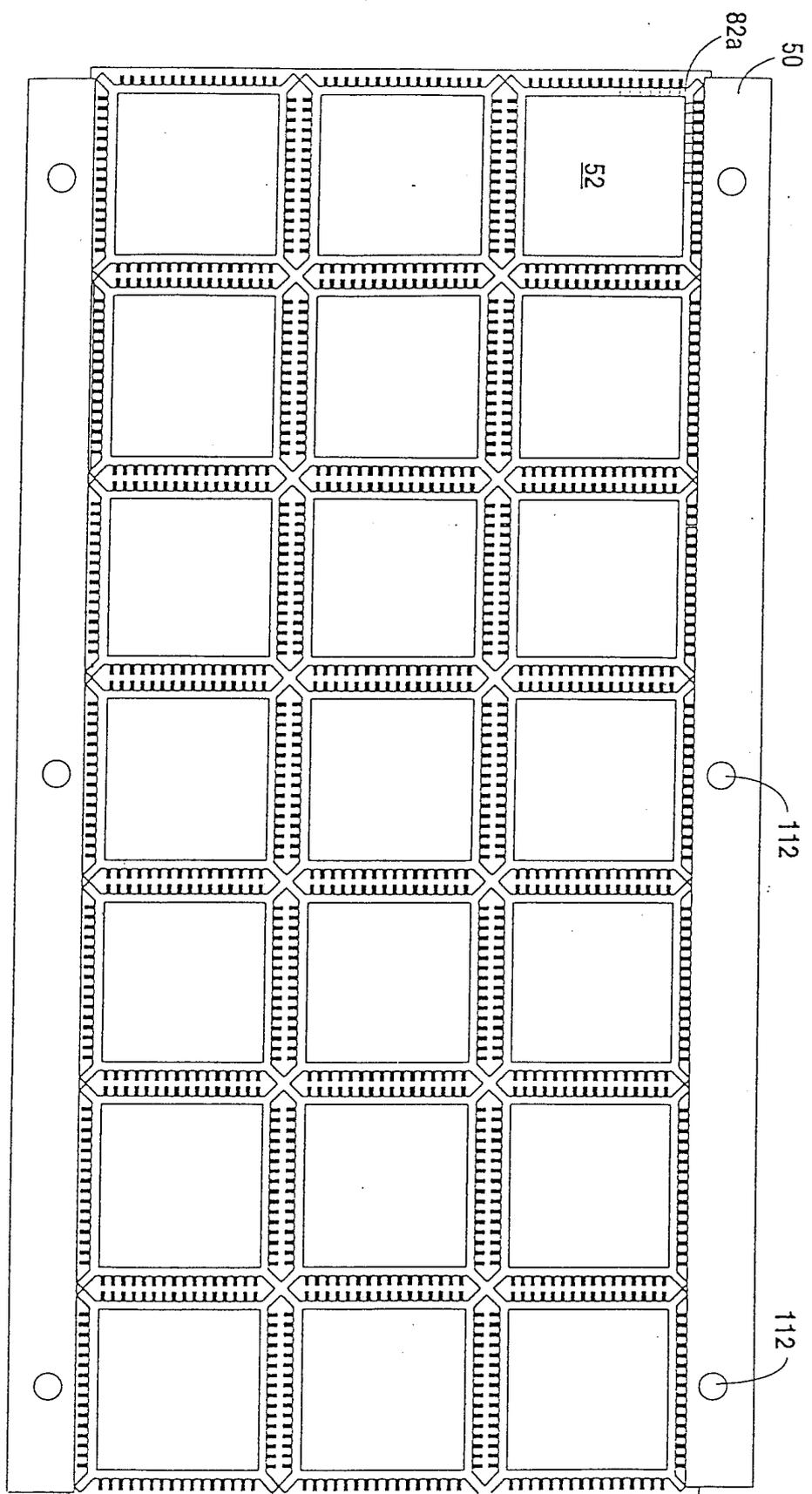


圖 6A

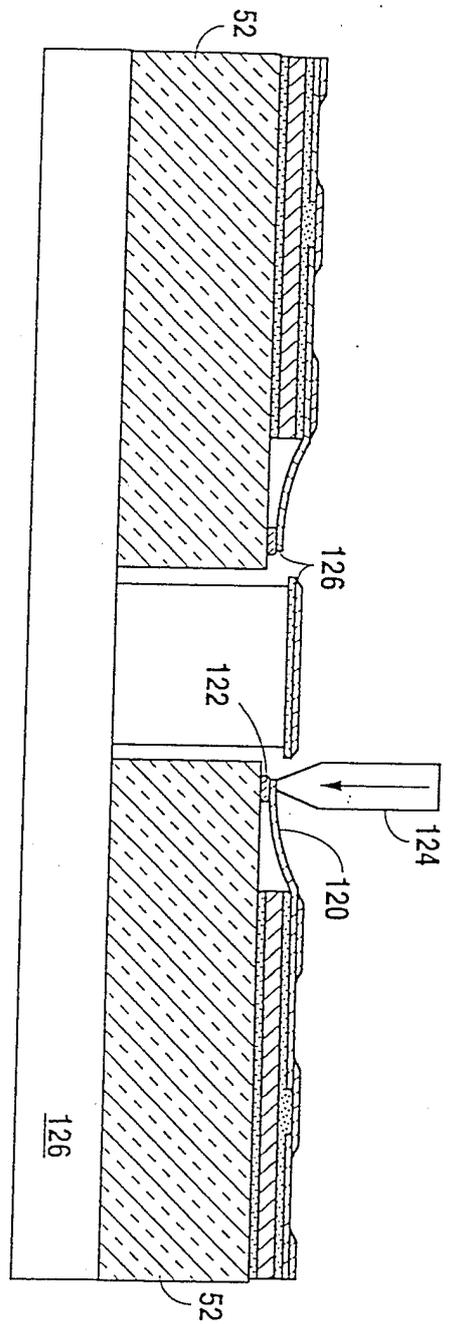


圖 7

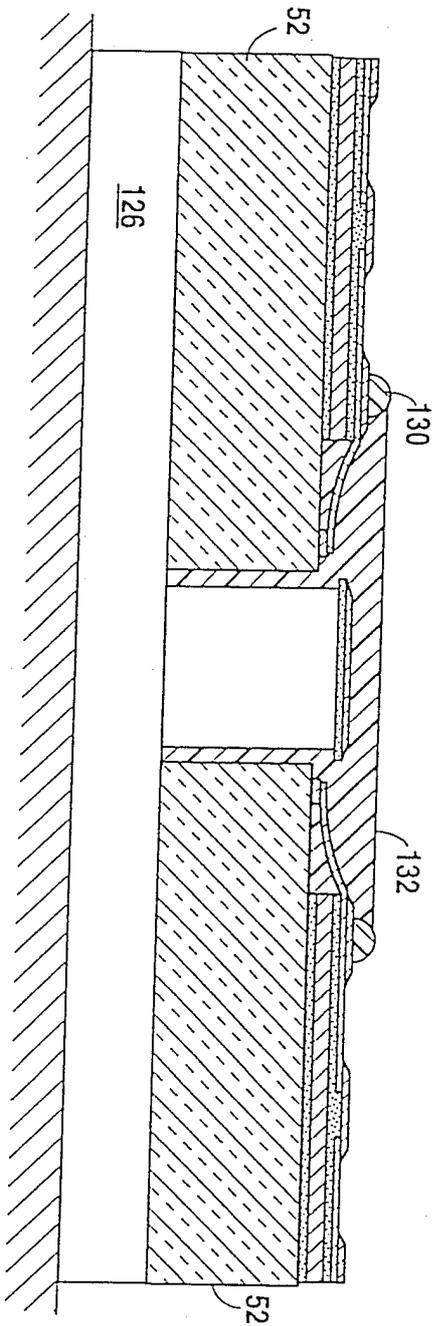


圖 8

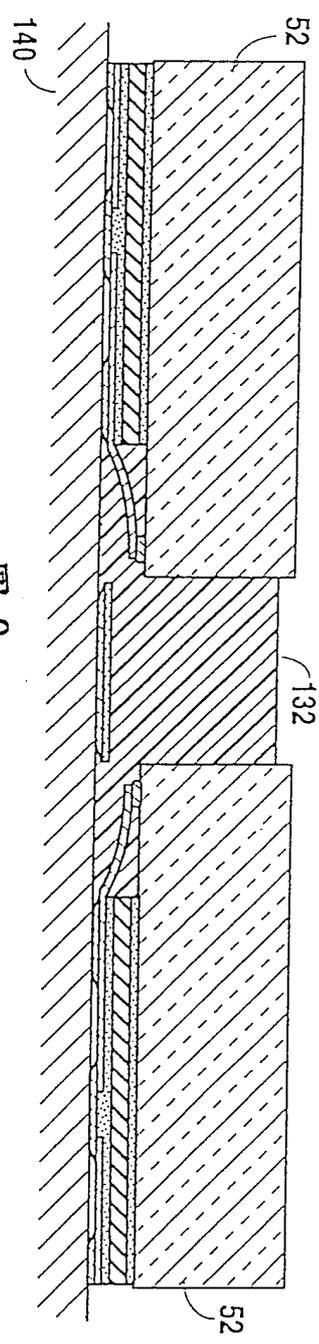


圖 9

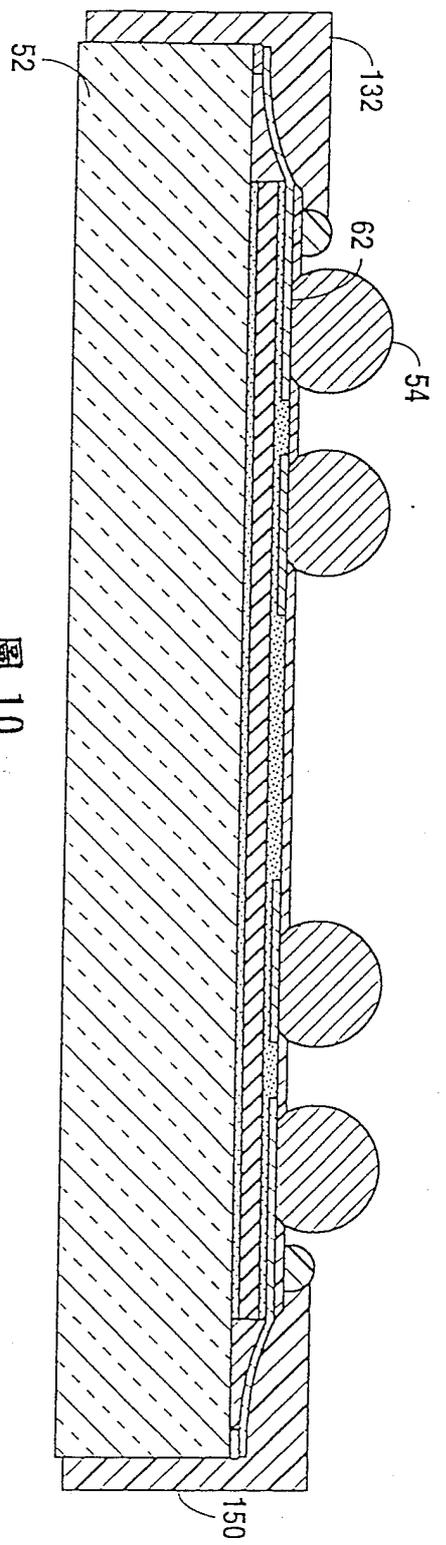


圖 10

圖式

圖式

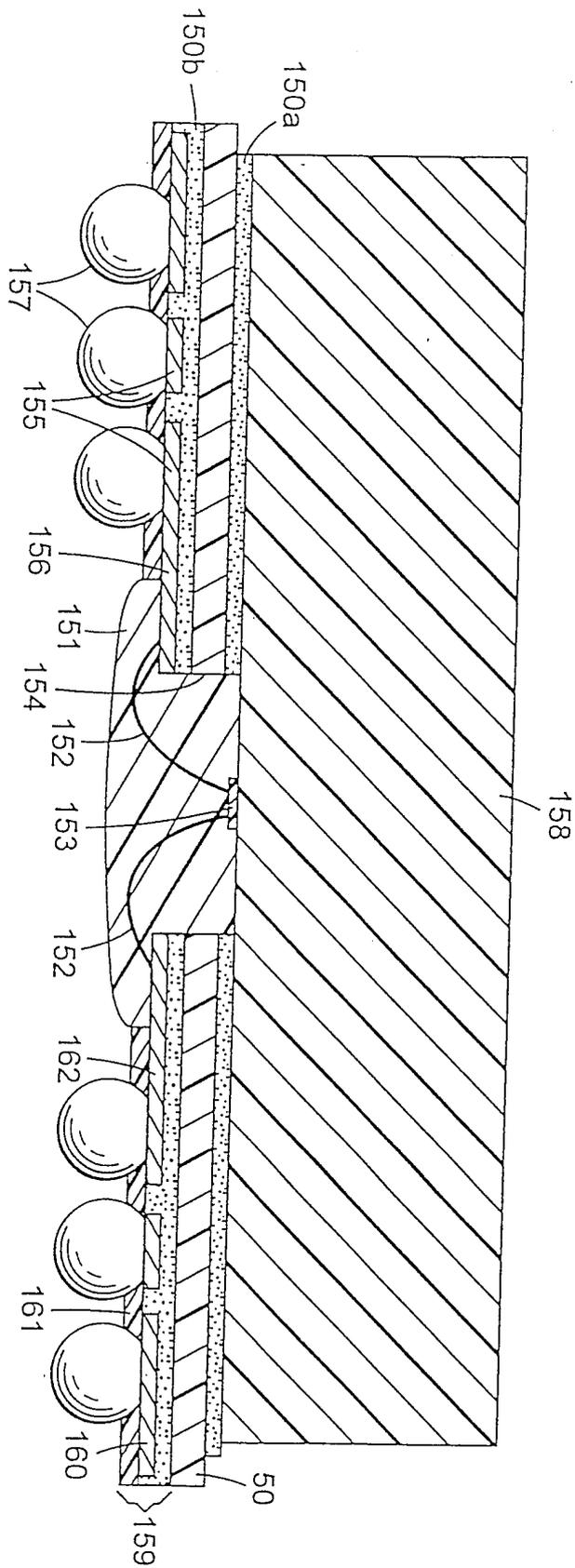


圖 11