



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월28일
(11) 등록번호 10-0854986
(24) 등록일자 2008년08월22일

(51) Int. Cl.

H01L 33/00 (2006.01)

(21) 출원번호 10-2006-7024776
(22) 출원일자 2006년11월24일
 심사청구일자 2006년11월24일
 번역문제출일자 2006년11월24일
(65) 공개번호 10-2007-0028379
(43) 공개일자 2007년03월12일
(86) 국제출원번호 PCT/JP2005/010904
 국제출원일자 2005년06월08일
(87) 국제공개번호 WO 2005/122223
 국제공개일자 2005년12월22일
(30) 우선권주장
 JP-P-2004-00174333 2004년06월11일 일본(JP)

(56) 선행기술조사문헌

EP1376687 A2*
JP13203176 A*
JP16031526 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 8 항

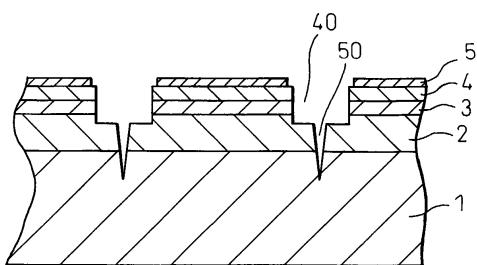
심사관 : 장혜정

(54) 화합물 반도체 소자 웨이퍼의 제조방법

(57) 요 약

본 발명의 목적은 매우 높은 수율로 웨이퍼를 절단할 수 있고, 빠른 가공속도를 달성하고, 생산성을 개선시킨 화합물 반도체 소자 웨이퍼의 제조방법을 제공하는 것이다. 본 발명의 기판상에 형성되고, 화합물 반도체 소자 사이에 배치된 분리대역으로 배열된 복수개의 화합물 반도체 소자와 기판을 함유하는 화합물 반도체 소자 웨이퍼의 제조방법으로, 레이저 가공을 통해 화합물 반도체층이 기판의 표면상에 존재하는 조건하에서 분리대역에서 기판의 표면(즉, 화합물 반도체층상에 표면)상에 분리홈을 형성하는 단계를 포함하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

대표도 - 도2



특허청구의 범위

청구항 1

기판상에 복수의 화합물 반도체 소자가 분리대역을 통해 배열된 화합물 반도체 소자 웨이퍼의 제조방법으로서, 그 분리대역의 기판 표면(반도체층)에, $5\mu\text{m}$ 이상 두께의 화합물 반도체층이 존재하는 상태로 레이저 가공에 의해, 단면형상이 V자형인 분리홈을 형성하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

청구항 2

제1항에 있어서, 상기 화합물 반도체는 III족 질화물 반도체인 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

청구항 3

제1항에 있어서, 상기 기판은 사파이어, SiC 및 질화물 반도체 단결정으로 이루어지는 군에서 선택된 일종으로 이루어진 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

청구항 4

제1항에 있어서, 상기 분리대역의 화합물 반도체층에 트렌치부를 형성하는 공정을 더 포함하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

청구항 5

제4항에 있어서, 상기 트렌치부의 저면이 네가티브전극 형성면과 동일 평면상에 있는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 분리홈을 형성하는 공정 후에, 기판을 배면으로부터 박판화하는 공정을 더 포함하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

청구항 9

제1항에 있어서, 상기 레이저 가공에 의해 분리홈을 형성할 때에, 레이저 조사부에 가스를 송풍하면서 행하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

청구항 10

제1항에 있어서, 레이저빔의 스팟형상은 타원인 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.

청구항 11

삭제

청구항 12

삭제

명세서

기술분야

<1> (관련 출원의 상호 참조)

<2> 본 출원은 35 U.S.C. § 111(b)의 조항 하에 2004년 6월 22일에 출원된 미국 가출원 제60/581,355호의 출원일의 이익을 35 U.S.C. § 119(e)(1)에 따라 주장하는 35 U.S.C. § 111(a)규정하에 출원된 출원이다.

<3> 본 발명은 기판상에 형성되고 화합물 반도체 소자 사이에 배치된 분리대역으로 배열되는 복수개의 화합물 반도체 소자와 기판을 함유하는 반도체 웨이퍼의 제조방법 및 상기 제조방법을 통해 제조된 화합물 반도체 소자에 관한 것이다.

배경기술

<4> 지금까지 pn접합 발광 다이오드(LED)가 화합물 반도체 소자의 형태로서 잘 알려져 왔다. 이러한 공지된 LED로는 기판과, 기판상에 도전성 GaP 단결정의 에피택셜 성장을 통해 얻어진 갈륨 인화물(GaP)발광층을 갖는 GaP계 LED; 알루미늄 갈륨 비화물 혼합 결정($Al_xGa_yAs: 0 \leq X, Y \leq 1, X+Y=1$), 또는 알루미늄 갈륨 인듐 인화물 혼합 결정($Al_xGa_yIn_zP: 0 \leq X, Y, Z \leq 1, X+Y+Z=1$)으로 형성된 발광층을 갖는, 적색광 또는 오렌지-옐로우에서 녹색광을 발광하는 LED; 및 갈륨 인듐 질화물($Ga_aIn_bN: 0 \leq a, b \leq 1, a+b=1$) 등의 III족 질화물 반도체로 형성된 발광층을 갖는, 단파장광(예를 들면 근자외선광, 청색광 또는 녹색광)을 발광하는 LED를 들 수 있다.

<5> 상기 소자에서, 도전성 n형 또는 p형 발광층이 기판상에 형성된다. 예를 들면 $Al_xGa_yIn_zP$ 계 LED에서 도전성 p형 또는 n형 갈륨 비화물(GaAs)단결정으로 이루어진 기판이 사용된다. 청색 LED에서, 단결정(예를 들면, 전기절연성 사파이어 (Al_2O_3)단결정)은 기판으로 사용된다. 단파장 LED에서, 입방정(3C) 또는 육방정(4H 또는 6H) 실리콘 카바이드(SiC)로 형성된 기판이 사용된다.

<6> 일반적으로, 다이서(dicer) 및 스크라이버(scriber)는 이러한 기판과, 복수개의 화합물 반도체 발광 소자를 함유하는 화합물 반도체 발광 소자 웨이퍼로부터 개개의 화합물 반도체 발광 소자 칩을 제조하는데 사용되고, 상기 소자는 화합물 반도체 소자 사이에서 배치된 분리대역으로 규칙적으로 또는 주기적으로 배열된다. "다이서"는 하기 절차를 통해 이러한 웨이퍼를 칩으로 절단하는 기기이다: 상기 웨이퍼는 다이아몬드팁을 갖는 원판날의 회전에 의해 충분히 절단된다; 또는 블레이드팁 보다 더 큰 폭을 갖는 흄을 웨이퍼상에 형성한 후(반절단)에 얻어진 웨이퍼는 외부힘에 의해 절단된다. 한편, "스크라이버"는 하기 절차를 통해 이러한 웨이퍼를 칩으로 절단하는 기기이다: 팁이 다이아몬드로 이루어진 니들을 사용하여 웨이퍼상에 매우 가는 선, 예를 들면 격자상을 스크라이브하고, 얻어진 웨이퍼를 외부의 힘으로 절단한다. 섬아연광구조를 갖는 결정, 예를 들면 GaP, 또는 GaAs는 "110"면을 따라서 개열성을 나타낸다. 따라서 이러한 특성에 의해, 예를 들면 GaAs, GaAlAs, 또는 GaP로 형성된 반도체 웨이퍼는 소망의 형상을 갖는 칩으로 상대적으로 용이하게 분리될 수 있다. 그러나, 사파이어 기판 또는 유사한 기판상에 적층될 질화물 반도체는, 헤테로에픽택셜구조를 갖고, 사파이어 기판에 대해 격자정수 불일치가 크다. 사파이어 기판은 육방정계를 갖고, 개열성을 나타내지는 않는다. 사파이어 및 질화물 반도체의 모스경도는 약 9이고, 즉 이들 매우 단단한 물질이다. 따라서 사파이어기판과 질화물 반도체를 포함하는 웨이퍼는 스크라이버를 사용하여 칩으로 절단하는 것이 곤란하다. 이러한 웨이퍼는 다이서를 사용하여 완전히 절단하면, 절단면상에 크랙킹 또는 파편이 발생하는 경향이 있고, 즉 웨이퍼는 칩으로 성공적으로 절단될 수 없다. 어떤 경우에는 사파이어 기판상에 형성된 반도체층이 박리된다.

<7> 이러한 문제를 해결하기 위해, 레이저 조사를 사용한 스크라이빙법이 제안되어 왔다. 보고된 것처럼, 레이저 조사에 의해 화합물 반도체 웨이퍼상에 분리홈이 형성되는 경우, 반도체 소자 칩은 고수율 및 고생산성으로 제조된다(참조, 예를 들면 일본 특허출원 제3449201호, 일본 특허출원 공개 제11-177139호 및 일본 특허출원 공개 제2004-31526호). 특히 이들 특허는 반도체측상에 스크라이빙을 실시하는 경우, 기판의 노출부가 스크라이브된다는 것이 개시된다. 그러나, 실제로 사파이어 기판의 노광면은 레이저조사를 통해 스크라이빙을 실시하는 경우에도 상당히 느린 속도로 진행되어 반도체 소자 웨이퍼의 생산효율을 열화시킨다. 또한 반도체측상에 예칭중에 네가티브 전극을 형성하기 위해서 n형 반도체층을 노출하고 분리홈을 형성하기 위해서 사파이어 기판을 노출하는 예칭처리가 2회 이상 행해져야만 한다.

<8> 또한 보호막이 레이저 가공면상에 형성되고, 보호막상에 부착된 오염물이 레이저의 흄이 형성된 후 세척되는 경우, III족 질화물형 화합물 반도체 소자는 고수율로 얻어질 수 있다(참조, 예를 들면 일본 특허출원 공개 제2004-31526호). 상기 방법에 따라서, 전기적 특성, 예를 들면 역내전압은 향상될 수 있고, 외관 및 특성의 결함에 의한 수율저하는 개선될 수 있지만, 레이저 가공에 의해 분리홈이 형성되는 경우에 분리홈의 측면에 용융물

이 부착되고, 소자의 발광출력을 저하시킨다.

발명의 상세한 설명

- <9> 본 발명의 목적은 화합물 반도체 소자 웨이퍼를 제조하는 방법에 있어서, 매우 높은 수율로 정확하게 웨이퍼를 절단할 수 있고, 또한 가공속도가 빠르고, 생산성을 개선할 수 있는 화합물 반도체 소자 웨이퍼의 제조하는 방법을 제공하는 것이다.
- <10> 본 발명은 하기를 제공한다.
- <11> (1) 기판상에 형성되고 화합물 반도체 소자 사이에 배치된 분리대역으로 배열된 복수개의 화합물 반도체 소자와 기판을 함유하는 화합물 반도체 소자 웨이퍼의 제조방법으로, 레이저 가공을 통해 화합물 반도체층이 기판의 표면상에 존재하는 조건하에서 분리대역으로 기판의 표면(즉, 화합물 반도체층상에 표면)상에 분리홈을 형성하는 단계를 포함하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <12> (2) 상기(1)에 있어서, 상기 화합물 반도체는 III족 질화물 반도체인 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <13> (3) 상기(1) 또는 (2)에 있어서, 상기 기판은 사파이어, SiC 및 질화물 반도체 단결정으로 이루어지는 군에서 선택된 일종으로 이루어진 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <14> (4) 상기(1) 내지 (3) 중 어느 하나에 있어서, 상기 분리대역에서 화합물 반도체층에 트렌치를 형성하는 단계를 더 포함하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <15> (5) 상기 (4)에 있어서, 상기 트렌치부의 배면은 네가티브전극이 형성된 표면의 배면과 동일한 레벨에 있는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <16> (6) 상기(1) 내지 (5) 중 어느 하나에 있어서, 상기 화합물 반도체층은 분리대역에서 $0.5\mu\text{m}$ 이상의 두께를 갖는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <17> (7) 상기(1) 내지 (6) 중 어느 하나에 있어서, 상기 분리홈은 V자형 또는 U자형을 가정한 단면을 갖는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <18> (8) 상기(1) 내지 (7) 중 어느 하나에 있어서, 상기 분리홈의 형성후에 기판의 배면으로부터 기판을 박막화하는 단계를 더 포함하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <19> (9) 상기(1) 내지 (8) 중 어느 하나에 있어서, 상기 레이저공정은 가스를 레이저 조사부에 송풍하면서 행하는 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <20> (10) 상기(1) 내지 (9) 중 어느 하나에 있어서, 레이저빔의 스팟형상은 타원인 것을 특징으로 하는 화합물 반도체 소자 웨이퍼의 제조방법.
- <21> (11) 상기(1) 내지 (10) 중 어느 하나에 기재된 화합물 반도체 소자 웨이퍼의 제조방법을 통해 제조된 화합물 반도체 소자 웨이퍼.
- <22> (12) 상기(11)에 기재된 화합물 반도체 소자 웨이퍼는 상기 분리홈을 따라서 절단하는 것을 통해 제조된 화합물 반도체 소자.
- <23> 본 발명에 따라서, 화합물 반도체층이 기판의 표면상에 존재하는 조건하에서 분리대역에서 기판의 표면상에서 레이저 가공을 통해 분리홈이 형성된다. 이와같이 현저히 빠른 가공속도로 분리홈이 형성될 수 있다. 빠른 가공속도를 달성하기 위한 하나의 관념상 이유는 화합물 반도체층이 기판에 비해 보다 효율적으로 레이저 빔을 흡수하여, 기판을 포함하는 분리대역이 고온으로 유지되는 것이다.
- <24> 게다가 레이저빔의 스팟형상을 조절하여 분리홈의 측면상에 용융물이 감소되어 깨끗한 절단면을 제공한다. 또한 예치에 의해 분리홈의 주변에 파편을 선택적으로 제거하여 양호한 광추출효율이 얻어진다.
- <25> 또한 화합물 반도체층을 통해 기판의 표면에 분리홈을 형성하기 때문에, 웨이퍼의 절단중에 각각 소자칩의 발광면의 파편을 방지할 수 있다. 따라서 본 발명의 방법을 통해 제조된 웨이퍼로부터 얻어진 화합물 반도체 발광소자 칩은 우수한 광추출효율을 나타내고, 고수율 및 고속으로 제조된다.
- <26> 본 발명의 화합물 반도체 소자 웨이퍼의 기판의 물질은 특별히 제한되지 않고, 기판은 임의의 공지된 물질로 형

성될 수 있다. 물질로는 유리; 사파이어 단결정(Al_2O_3 ; A면, C면, M면, 또는 R면), 스피넬 단결정(MgAl_2O_4), ZnO 단결정, LiAlO_2 단결정, LiGaO_2 단결정 및 MgO 단결정 등의 산화물 단결정; SiC 단결정; Si 단결정; GaAs 단결정; AlN 단결정과 GaN 단결정 등의 질화물 반도체 단결정; 및 ZrB_2 단결정 등의 보라이드 단결정 등을 들 수 있다. 이들 물질중에서, 사파이어 단결정, SiC 단결정 및 질화물 반도체 단결정이 바람직하고, 사파이어 단결정이 특히 바람직하다. 기판의 결정배향은 특별히 제한되지 않는다. 기판의 결정면은 특정 결정면에 대해 배향하거나 배향되지 않아도 좋다.

<27> 사용될 기판은 일반적으로 단결정 잉곳에서 두께가 $250\sim1,000\mu\text{m}$ 가 되도록 절단된다. 화합물 반도체층은 상기 범위내의 두께를 갖는 기판상에 적층되고, 기판은 연마를 통해 박막화 된다. 이어서, 분리홈이 형성되어도 좋다. 또한 분리홈이 형성된 후, 기판을 연마하여 박막화된다. 연마 후 기판의 두께는 $150\mu\text{m}$ 이하가 바람직하고, 보다 바람직하게는 $100\mu\text{m}$ 이다. 이것은 기판 두께가 감소되는 경우, 절단 거리가 감소되어 분리홈의 위치에서 웨이퍼를 칩으로 용이하게 절단할 수 있기 때문이다.

<28> 반도체층은, 예를 들면 $5\mu\text{m}$ 이상의 두께인 경우, 기판은 분리홈의 형성 후에 기판의 배면을 연마하여 박막화되는 것이 바람직하다. 반도체층이 후막화되는 경우, 반도체층과 기판사이에 열팽창계수의 차에 의해 박막화된 웨이퍼의 휘어짐이 커지는 경향이 있다. 이 경우에 반도체층측이 볼록하게 된다. 웨이퍼가 큰 정도로 휘는 경우, 그 후의 분리홈의 형성과 소자 칩으로 절단의 단계가 곤란하게 된다.

<29> 기판의 배면의 표면 조도를 제어하여 웨이퍼의 휨을 조절해도 좋다. 표면 조도 Ra (산술평균표면조도)가 커질수록, 웨이퍼가 평평하게 된다. 이와같이 Ra 는 $0.001\mu\text{m}$ 이상이 바람직하고, $0.01\mu\text{m}$ 이상이 보다 바람직하다. 그러나 Ra 가 너무 크면, 반대로 반도체층측이 오목하게 된다. 이와같이 Ra 의 상한은 $2\mu\text{m}$ 이하가 바람직하고, 보다 바람직하게는 $0.3\mu\text{m}$ 이하이다.

<30> 본 명세서에서, 기판의 배면의 Ra 는 하기 조건:화상; 면적 $30\times30\mu\text{m}$, 스캔라인; 256, 및 스캔속도; 1Hz 하에서 원자현미경(GI사 제품)을 사용하여 측정된 값이다.

<31> 반도체 소자를 구성하는 화합물 반도체층의 예는 III족 질화물 반도체층, 예를 들면 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}_{1-a}\text{M}_a$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$, $0 \leq Z \leq 1$, 및 $X+Y+Z=1$, 여기서 M 은 질소 이외에 V족 원소를 나타내고, 하기 관계식을 만족시킨다: $0 \leq a < 1$)층, 예를 들면 사파이어 기판, 실리콘 카바이드 기판, 또는 실리콘 기판의 위에 형성된 층; 갈륨 비화물(GaAs) 단결정 기판위에 형성된 $\text{Al}_x\text{Ga}_y\text{AS}$ ($0 \leq X$, $Y \leq 1$, $X+Y=1$)층; 갈륨 비화물(GaAs) 단결정층 위에 형성된 $\text{Al}_x\text{Ga}_y\text{In}_z\text{P}$ ($0 \leq X$, Y , $Z \leq 1$, $X+Y+Z=1$ 층; 및 GaP 기판위에 형성된 GaP 층을 들 수 있다. 특히 절단하는 것이 곤란한 III족 질화물 반도체층의 경우에, 본 발명의 효과는 두드러지게 된다.

<32> 이러한 화합물 반도체층은 의도된 성능을 달성하기 위해 기판위에 적당한 위치에 제공되어야만 한다. 예를 들면 이중 혜테로 접합구조를 갖는 발광부를 형성하기 위해, n형 및 p형 화합물 반도체층이 발광층의 상면 및 하면상에 형성된다.

<33> 이들 화합물 반도체층을 성장시키는 방법은 특별히 제한되지 않고, MOCVD(유기금속 화학 증착법), HVPE(하이드라이드 기상 에피택시) 또는 MBE(분자선 에피택셜) 등의 화합물 반도체 층을 성장시키기 위한 공지의 방법을 사용할 수 있다. 층두께 제어성과 질량 생산성으로부터, MOCVD를 사용하는 것이 바람직하다.

<34> III족 질화물 반도체층이 MOCVD에 의해 성장하는 경우에, 수소(H_2) 또는 질소(N_2)는 캐리어 가스로서 사용되고, 트리메틸갈륨(TMГ) 또는 트리에틸갈륨(TEG)은 Ga (III족 원소)원으로 사용되고, 트리메틸알루미늄(TMA) 또는 트리에틸알루미늄(TEA)은 Al (III족 원소)원으로 사용되고, 트리메틸인듐(TMI) 또는 트리에틸인듐(TEI)은 In (III족 원소)원으로 사용되고, 암모니아(NH_3), 하이드라진(N_2H_4) 등은 N (V족 원소)로서 사용된다. 또한 Si 원으로 제공하는 모노실란(SiN_4) 또는 디실란(Si_2H_6), Ge 원으로 제공하는 오가노게르만은 n형 도편트로서 사용되고, 반면에 Mg 원으로 제공하는 마그네슘 화합물 비스(시클로펜타디에닐)마그네슘 (Cp_2Mg) 또는 비스(에틸시클로펜타디에닐)마그네슘($(\text{EtCp})_2\text{Mg}$)은 p형 도편트로서 사용된다.

<35> 발광소자의 경우에, 목적의 반도체층을 적층한 후에, 포지티브 전극과 네가티브 전극은 반도체 다층 구조의 소정의 위치에 형성된다. 본 발명에서 사용되는 포지티브와 네가티브 전극은 특별히 제한되지 않고, 화합물 반도체 발광 소자를 형성하기 위한 다양한 포지티브 및 네가티브 전극을 사용해도 좋고, 전극은 공지의 배열과 구조를 갖는다. 포지티브와 네가티브 전극을 형성하기 위한 방법은 특별히 제한되지 않고, 진공증착법 또는 스퍼터

링 등의 공지의 방법이 사용되어도 좋다.

- <36> 이와같이 기판상에 대량의 화합물 반도체 소자는 소자 사이에 배치된 분리대역으로 규칙적 및 주기적으로 배열된다. 이어서 분리대역에서 웨이퍼를 칩으로 절단하기 위해 분리홈이 형성된다. 발광소자의 경우에, 전극은 분리홈의 형성후에 제조해도 좋다.
- <37> 분리홈의 형성전에 분리대역에 존재하는 화합물 반도체층의 부분이 제거되어, 트렌치를 형성한다. 또한 분리홈의 형성후에 트렌치가 형성되어도 좋다. 트렌치의 형성시에, 본 발명의 효과인 빠른 가공속도를 유지하기 위해 기판의 표면상에 적어도 $0.5\mu\text{m}$ 두께를 갖는 반도체층을 남기는 것이 바람직하다. 기판의 표면상에 남은 반도체층은 $2.0\mu\text{m}$ 이상이 보다 바람직하고, 특히 바람직하게는 $5.0\mu\text{m}$ 이상이다. 기판상에 n형 반도체층, 발광층 및 p형층을 순차적으로 적층하여 형성된 발광소자의 경우에, n형층상에 네가티브 전극의 형성하기 위해 얻어진 화합물 반도체층의 일부를 제거하는 동시에 트렌치를 형성하는 것이 바람직하다.
- <38> 도1은 실시예1에서 제조된 본 발명의 발광 소자를 제작하기 위해 웨이퍼를 표시하는 개략도이다. 참조번호 10은 발광소자, 20은 분리대역 및 30은 네가티브 전극 형성면을 나타낸다. 도2는 웨이퍼의 개략 단면도이다. 참조번호 1은 기판, 2는 n형층, 3은 발광층, 4는 p형층 및 5는 포지티브 전극을 나타낸다. 분리대역에 존재하는 반도체 다층구조의 일부를 제거하여 n층을 외부로 노출하여 트렌치(40)를 형성한다. 참조번호 50은 분리홈을 나타낸다.
- <39> 각 트렌치의 폭은 일반적으로 분리대역 각각의 폭과 동일하지만, 트렌치폭은 분리대역 폭보다 작아도 좋다. 그러나, 트렌치폭은 분리홈 각각의 폭보다 커야만 한다.
- <40> 상기 범위내의 두께를 갖는 반도체를 기판의 표면상에 남겨 놓는다면 트렌치 각각의 깊이는 특별히 제한되지 않는다. 반도체층의 두께에 따라 다른 트렌치깊이는 일반적으로 약 $1\sim10\mu\text{m}$ 이다. 바람직하게는 에칭을 통해 네가티브 전극 형성면을 노출시킬 때에 트렌치 깊이를, n형층을 외부로 노출하는 레벨로 조정하여 트렌치가 형성되는 것이다. 이것에 의해 제조공정을 간략화 할 수 있기 때문이다.
- <41> 트렌치 각각의 단면은 임의의 형상, 예를 들면 직사각형, U자형, 또는 V자형으로 가정해도 좋다. 그러나 트렌치는 트렌치의 저면상에 분리홈이 형성된다는 점에서, 직사각형을 가정한 단면이 바람직하다.
- <42> 트렌치를 형성하는 방법은 특별히 제한되지 않고, 공지의 방법, 예를 들면 에칭, 다이싱, 레이저 가공 및 스크라이빙에 의해 형성되어도 좋다. 특히 바람직하게 트렌치는 습식에칭 또는 건식에칭 등의 에칭 방법에 의해 형성하는 것이다. 이것은 화합물 반도체층의 표면과 측면을 손상시키지 않는 경향이 있기 때문이다.
- <43> 건식에칭의 경우에, 반응성 이온에칭, 이온 제분, 접속 이온빔 에칭 또는 ECR에칭 등의 방법을 사용해도 좋고, 습식 에칭의 경우, 예를 들면 술풀산과 인산의 혼합물을 사용해도 좋다. 물론 에칭을 실시하기전에, 목적의 칩형상을 얻기 위해 화합물 반도체층의 표면상에 소정의 마스크를 형성한다.
- <44> 트렌치는 화합물 반도체층이 기판상에 유지하도록 하여 형성되어야만 한다. 상술한 것처럼, 기판상에 존재하는 화합물 반도체는 적어도 $0.5\mu\text{m}$ 의 두께를 갖는다. 반도체 소자는 발광 소자인 경우, 화합물 반도체층은 n형 반도체층, 발광층, 및 p형 반도체층으로 이루어진다. 이 경우에, 화합물 반도체층의 적어도 일부가 기판상에 존재한다.
- <45> 분리홈은 레이저빔으로 화합물 반도체층의 조사를 통해 형성된다. 화합물 반도체는 기판 보다 효율적으로 레이저빔을 흡수하기 때문에 분리홈이 형성된 기판과 화합물 반도체층의 일부는, 화합물 기판이 반도체로 피복되지 않고 노광된 경우에 비해 보다 고온으로 유지된다. 이와같이 분리홈을 형성하기 위한 가공속도가 증가한다.
- <46> 홈의 폭이 분리대역 폭보다 작은 것이면 분리홈 각각의 폭은 특별히 제한되지 않는다. 분리홈 각각의 깊이는 기판의 표면으로부터 $6\mu\text{m}$ 이상인 것이 바람직하다. 분리홈 깊이가 $6\mu\text{m}$ 보다 작으면 웨이퍼는 칩에 사선으로 절단되고, 불량칩을 형성할 수 있다. 분리홈 깊이는 $10\mu\text{m}$ 이상이 보다 바람직하고, 특히 바람직하게는 $20\mu\text{m}$ 이상이다.
- <47> 분리홈 각각의 단면은 임의의 형상, 직사각형, U자형 또는 V자형으로 가정해도 좋지만, 홈 단면은 V자형 또는 U자형으로 가정하는 것이 바람직하고, V형이 특히 바람직하다. 웨이퍼를 칩으로 절단하는 경우, V자형 홈의 바닥 끝의 근방에서 크랙킹이 시작되어 불량율이 감소하기 때문이다. 분리홈의 단면은 빔직경과 초점 등의 레이저 광학계의 제어를 통해 조절될 수 있다.
- <48> 분리홈은 표면(반도체측면상) 뿐만 아니라, 기판의 배면에서도 형성될 수 있다. 이에 의해 웨이퍼는 표면의 분

리홈과 배면의 분리홈 사이에 부분에서 용이하게 절단되어 불량률을 감소시킨다. 분리홈이 배면에 형성되는 경우에, 배면의 분리홈의 길이방향의 중앙축이 표면의 상응하는 분리홈으로부터 오프셋(offset)하는 경우, 얻어진 발광소자는 경사진 측면을 갖고, 발광 추출 효율을 향상시킨다.

- <49> 본 발명에서, 분리홈은 레이저 가공을 통해 형성된다. 레이저 가공은 소정의 깊이를 갖는 분리홈을 형성할 수 있고 예상의 경우에 비해 빠르게 분리홈을 형성할 수 있다.
- <50> 또한 스크라이빙 또는 다이싱에 비해 레이저 가공은 가공정밀도에서 블레이드 또는 다이아몬드 니들의 소모 및 열화의 결과로서 발생되는 편차를 나타내지 않는다. 또한 레이저 가공은, 예를 들면 절단 블레이드의 끝의 교환을 필요로 하지 않으므로 생산가를 감소시킬 수 있다.
- <51> 분리홈은 레이저 가공을 통해 형성되고, 측면상에 미분 간섭 광학현미경하에 관찰할 수 있는 불규칙성을 갖고, 광추출효율을 향상시킬 수 있다. 또한 격자상 분리 홈의 교차점 각각, 즉 칩의 각부에 상응하는 점의 깊이가 커지게 되고, 웨이퍼는 칩으로 용이하게 절단된다.
- <52> 반도체 웨이퍼를 칩으로 분리하기 위해 분리홈을 형성할 수 있는 것이면, 본 발명에서 사용될 레이저 가공 기기의 형태는 특별히 제한되지 않는다. 사용되어도 좋은 기기의 특정예는 CO₂ 레이저, YAG 레이저, 액시머 레이저, 및 펄스 레이저를 들 수 있다. 이들 중에서 펄스 레이저가 바람직하다.
- <53> 레이저 빔의 파장은, 예를 들면 355nm 또는 266nm이어도 좋고, 단파장이 사용되어도 좋다. 레이저 주파수는 1~100,000Hz가 바람직하고, 보다 바람직하게는 30,000~70,000Hz이다. 분리홈의 폭과 깊이에 따라서 다른 출력은 분리홈을 제조하는데 필요한 최소값이 바람직하다. 화합물 반도체는 레이저빔을 효율적으로 흡수하므로 저출력 빔으로의 가공을 현실화할 수 있다. 여분의 레이저 출력은 기판과 화합물 반도체를 손상시킬 수 있다. 이와 같이, 일반적으로 출력은 2W 이하가 바람직하고, 보다 바람직하게는 1W 이하이다.
- <54> 계다가 레이저빔의 스팟형상은 원 보다 타원인 것이 바람직하다. 특히 레이저빔을 이동시키는 방향으로 길고 좁게 조절할 수 있는 것이 바람직하다. 원에 비해 깨끗한 절단면이 얻어지고 가공속도가 향상되기 때문이다. 짧은 직경은 10μm 이하가 바람직하고, 보다 바람직하게는 5μm 이하이다. 긴 직경은 10μm 이상이 바람직하고, 보다 바람직하게는 50μm 이상이다.
- <55> 또한, 가스를 레이저 조사부에 흘려주는 경우, 화합물 반도체층의 레이저 조사부의 주위에 부분이 냉각되고 화합물 반도체층의 열적손상을 저감시킬 수 있다. 또한 조사에 의해 발생된 용융물이 분리홈의 측면에 부착되지 않고 가스 흐름에 의해 분출된다. 따라서 분리홈의 측면으로부터 광추출양이 개선될 수 있다. 레이저 조사부에 송풍하는 가스는 산소, 질소, 헬륨, 아르곤, 수소 등을 들 수 있고, 이들은 어떤 제한없이 사용될 수 있다. 헬륨, 수소 및 질소는 특히 높은 냉각효과를 가지므로 바람직하게 사용될 수 있다. 이들 가스 중에서, 질소가 경제적이기 때문에 보다 바람직하다. 가스를 흘려주기 위해, 선단에서 노즐 직경은 가능한 작은 것이 바람직하다. 노즐 직경이 작을 수록 국소적인 송풍이 가능하고, 가스 유속이 증가될 수 있다.
- <56> 레이저 가공기로부터 발광된 레이저빔은 광학 시스템(예를 들면, 렌즈)에 의해 목적의 위치에 초점을 맞출수 있다. 레이저빔은 반도체층의 근방에서 부분상에 초점을 맞추는 것이 바람직하고, 특히 반도체층의 표면이다.
- <57> 레이저 가공을 통해 분리홈의 형성은 분리홈이 다른 방법에 의해 형성된 경우에 비해 특히 상당한 과편의 분산을 일으킨다. 분리홈의 형성중에, 이러한 과편은 반도체 웨이퍼의 표면 및 웨이퍼의 배면(분리홈이 배면에 형성되는 경우)상에 부착된다. 과편은 전자현미경(FE-SEM) 사용에 의해 EDX 분석의 결과로 Al, O, C, Cl, Si 등 중에서 1종 이상을 함유하는 것이 발견되었다.
- <58> 바람직한 방법으로, 분리홈이 형성되기 전에 분리홈이 형성되는 표면상에 보호막이 제공되고, 분리홈 형성 후에 보호막상에 부착된 과편이 그 보호막을 따라서 제거된다. 트렌치가 형성되는 경우, 보호막은 트렌치의 형성후에 형성된다.
- <59> 보호막의 물질은 특별히 제한되지 않고, 막은 예를 들면 레지스트, 투명수지, 유리, 금속 또는 절연막으로 형성되어도 좋다. 레지스트로는 포토리소그래피 등에 사용되는 수용성 레지스트를 들 수 있다. 투명수지로는 아크릴 수지, 폴리에스테르, 폴리이미드, 폴리비닐 클로라이드, 및 실리콘 수지를 들 수 있다. 금속으로는 니켈 및 티타늄을 들 수 있다. 절연막으로는 실리콘 산화막 및 실리콘 질화막을 들 수 있다. 보호막은 도포, 증착 또는 스퍼터링 등의 공자의 방법에 의해 형성될 수 있다.
- <60> 분리홈의 형성중 막이 열화되는 것을 방지하기 위해 충분히 강도를 갖는 것이면 보호막의 두께는 특별히 제한되

지 않는다. 보호막의 최소두께는 $0.001\mu\text{m}$ 이상이 바람직하고, 보다 바람직하게는 $0.01\mu\text{m}$ 이상이다. 보호막의 두께가 너무 큰 경우, 분리홈이, 예를 들면 레이저 가공을 통해 형성되면, 보호막은 레이저빔을 흡수할 수 있고, 웨이퍼로부터 박리될 수 있다. 따라서, 보호막의 최대두께는 $5\mu\text{m}$ 이하인 것이 바람직하고, 보다 바람직하게는 $3\mu\text{m}$ 이하이고, 특히 바람직하게는 $1\mu\text{m}$ 이하이다.

<61> 분리홈의 형성후, 그 표면상에 부착된 파편과 보호막이 제거된다. 보호막이 완벽하게 제거될 수 있는 것이면 보호막을 제거하는 방법으로 특별히 제한되지 않는다. 보호막은 임의의 방법, 예를 들면 초음파 처리, 제트수류처리, 샤크, 침지, 에칭 또는 스크루빙에 의해 제거될 수 있다.

<62> 수용성 레지스트는 반도체 웨이퍼의 전체면을 덮기 위해 스피너터를 사용하여 레지스트로부터 균일한 두께를 갖는 보호막을 형성할 수 있고, 레지스트막은 분리홈이 형성된 후에 물로 세정하여 용이하게 제거할 수 있으므로 바람직하다.

<63> 포토레지스트는 보호막으로 사용하는 경우, 분리홈을 형성한 후, 웨이퍼를 인산, 황산, 염산 등에 침지하고, 분리홈 주위에 파편은 습식에칭에 의해 선택적으로 제거한 후 웨이퍼 표면상에 포토레지스트를, 예를 들면 아세톤 등의 유기용제를 사용하여 완벽하게 제거하는 것이 바람직하다.

<64> 보호막이 절연막으로 이루어지는 경우, 보호막은 포지티브와 네가티브 사이에 단락을 방지하기 때문에 반도체 웨이퍼의 트렌치상에 막이 존재하도록 보호막을 부분적으로 제거하는 것이 바람직하다. 이 경우에, 보호막은 투명하고, 절연막으로 이루어지는 것이 바람직하다. 이러한 보호막을 부분적으로 제거하는 경우에, 막은 에칭 마스크를 사용하여 선택적으로 에칭을 행하는 것이 바람직하다.

실시예

<67> 하기, 본 발명은 실시예에 의해 보다 상세하게 설명하지만, 본 발명을 제한하지 않는다.

<68> <실시예1>

<69> 갈륨 질화물계 화합물을 포함하는 청색 발광소자는 하기와 같이 제조되었다.

<70> AlN 베퍼층은 사파이어 기판상에 형성되었다. AlN 베퍼층은 도프되지 않은 GaN으로 구성된 바탕층(두께: $2\mu\text{m}$); Si(농도: $1\times 10^{19}/\text{cm}^3$)로 도프된 GaN으로 이루어진 접촉층(두께: $2\mu\text{m}$); Si(농도: $1\times 10^{18}/\text{cm}^3$)로 도프된 In_{0.1}Ga_{0.9}N으로 이루어진 n클래드층(두께: $12.5\mu\text{m}$); 5개의 GaN 배리어층(두께:각각 16nm)과 5개의 In_{0.2}Ga_{0.8}N 우물층(두께:각각 2.5nm) 교대로 적층하여 형성된 후 최상층 우물층상에 GaN 배리어층(두께: 16nm)을 형성하는 다중 양자우물 구조를 갖는 발광층; Mg(농도: $1\times 10^{20}/\text{cm}^3$)로 도프된 Al_{0.07}Ga_{0.93}N으로 이루어진 p클래드층(두께: 2.5nm); Mg(농도: $8\times 10^{19}/\text{cm}^3$)로 도프된 GaN으로 이루어진 p접촉층(두께: $0.15\mu\text{m}$)을 순차적으로 적층하여 화합물 반도체 다층구조를 제조하였다.

<71> Au층과 NiO층을 포함하는 다층구조를 갖는 투명한 포지티브 전극은 상기 제조된 화합물 반도체 다층구조의 p접촉층의 소정의 위치상에 형성되었다. 구체적으로 포지티브 전극은 공지의 포토리소그래피와 리프트 오프 방법에 의해 p접촉층상에 Au층과 NiO층을 순차적으로 적층하여 형성되었다. 이어서 공지의 포토리소그래피방법에 의해, Ti층, Al층, Ti층 및 Au층을 함유하는 다층구조를 갖는 포지티브 전극 결합 패드를 형성하고, 상기 층은 상기 순서로 포지티브 전극상에 순차적으로 형성되었다.

<72> 상기 형성된 투명한 포지티브 전극은 470nm 의 광으로 60% 투과율을 갖는 것이 발견되었다. 투과율은 상기 절차를 통해 형성된 투명한 포지티브 전극을 사용하여 측정되었고, 투과율 측정요건을 충족시키기 위해 크기를 조절하였다.

<73> 이어서, 도1에 표시된 분리대역(피치: $350\mu\text{m}$, 폭: $20\mu\text{m}$)은 깊이 $1\mu\text{m}$ 로 반응성 이온에칭방법과 공지의 포토리소그래피에 의해 에칭하여 트렌치를 형성하였다. 한편, 도1에 표시된 것처럼, 분리대역에 접한 각각의 화합물 반도체 다층 구조의 일부를 에칭하여 외부에 n접촉층을 노출하고 반도체 네가티브 전극 형성면(30)을 형성하였다. 이어서 Ti/Au 2개의 층 구조를 갖는 네가티브 전극을 이들 당업자에 의해 공지된 방법에 의해 네가티브 전극 형성면상에 형성하였다.

<74> 그 다음에 수용성 레지스트는 스피너터를 사용하여 반도체 웨이퍼의 반도체 다층구조의 전면에 균일하게 도포하고 건조하여 $0.2\mu\text{m}$ 두께의 보호막을 형성하였다.

- <75> 이어서, UV테이프를 반도체 웨이퍼의 사파이어 기판에 부착한 후, 웨이퍼를 진공척에 의해 펠스 레이저 가공기의 스테이지에 고정시켰다. 스테이지는 X축과 Y축방향으로 이동할 수 있고, 회전할 수 있다. 웨이퍼를 고정한 후, 레이저 광학계는 트렌치의 반도체층의 저면상에 레이저빔의 초점이 맞도록 조절하였고, V자형 단면의 분리홈(피치:350 μm , 폭5 μm , 기판의 표면으로부터 깊이:20 μm)은 사파이어 기판의 X축 방향에서 트렌치의 저면에 형성되었다. 레이저 가공은 하기 조건하에서 실시되었다:파장:266nm, 주파수:50kHz 및 출력:1.6W. 이들 조건하에서, 고품질의 분리홈은 70mm/sec의 가공속도로 형성되었다. 이어서 스테이지를 90° 회전하고, 분리홈은 상술한 것과 동일한 방법으로 Y축 방향에 형성되었다. 분리홈을 형성한 후, 진공척을 떼어내고, 얻어진 웨이퍼를 스테이지에서 제거하였다.
- <76> 이어서 반도체 웨이퍼는 세척기의 스테이지 상에 놓고, 웨이퍼를 회전하면서 반도체 다층구조의 표면상에 웨이퍼를 샤워하여 상기 형성된 보호막을 제거하였다. 마지막으로 얻어진 웨이퍼를 고속으로 회전하여 물을 분출하여 건조시켰다.
- <77> 이와같이 제조된 화합물 반도체 발광 소자 웨이퍼의 사파이어 기판의 배면은 래핑과 폴리싱을 행하여 기판의 두께를 85 μm 까지 감소시켰다. 기판의 배면은 0.005 μm 의 Ra를 갖는 것이 발견되었다.
- <78> 얻어진 화합물 반도체 발광 소자 웨이퍼를 외관검사를 행하였더니 웨이퍼의 표면상에 파편이 관찰되지 않았다. 사파이어 기판에 압력을 적용하여 웨이퍼를 발광소자 칩(크기는 각 350 $\mu\text{m} \times 350\mu\text{m}$)으로 절단하였다. 소자의 칩의 수율(외형불량을 갖는 제품은 포함되지 않고 사전에 파기된다)은 90%인 것이 발견되었다. 또한 소자 칩의 수율(외형불량과 고내전압을 갖는 제품은 포함되지 않고 사전에 파기된다)은 86%인 것으로 발견되었다.
- <79> 적분구를 사용하여 측정된 수지로 성형되기 전에 칩 실장된 발광 소자의 발광출력은 20mA의 전류에서 5.1mW인 것이 발견되었다.
- <80> <비교예1>
- <81> 반도체층의 에칭에 의해 분리대역에서 트렌치를 형성하는 단계는 2개의 단계:즉 네가티브 전극 형성면을 형성하고, 분리대역에서 n접촉층을 노출하는 제1단계, 분리대역에서 사파이어 기판을 노출하여 트렌치 홈을 형성하는 제2단계를 행하는 것을 제외하고는 실시예1의 절차를 반복하여 화합물 반도체 발광 소자칩을 제작하였다. 이와같이 제조된 발광소자 칩은 실시예1에서 제조된 소자칩의 것과 동일한 품질을 나타냈다. 그러나, 가공속도는 40mm/sec로 저하되어 깊이 20 μm 의 분리홈을 형성하였다. 이와같이 시간당 가공할 수 있는 웨이퍼의 수가 약40%까지 감소되었다. 또한 사파이어 기판을 노광하기 위해 에칭하는 단계는 약4시간이 요구되었다.
- <82> <실시예2>
- <83> 화합물 반도체 적층구조에 포함된 도포되지 않는 GaN 바탕층의 두께를 8 μm 로 조절하는 것을 제외하고는 실시예1의 절차를 반복하여 갈륨 질화물계 화합물 반도체로 이루어지는 청색 발광 소자를 제조하였다. 실시예2에서 20 μm 의 깊이(기판의 표면으로부터)를 갖는 분리홈은 70mm/sec의 가공속도로 효율적으로 형성되었다. 실시예1에서 제조된 소자의 칩과 동일한 품질을 나타내는 발광 소자칩은 동일한 수율을 제조하였다.
- <84> 실시예2에서, 분리홈을 형성하기 전에 기판을 박막화하는 경우, 기판은 휘어지고, 레이저빔은 반도체 표면상에 일관되게 초점을 맞출수 없다. 이와같이 화합물 반도체층은 가열에 의해 부분적으로 열화되었다. 또한 이와같이 제조된 웨이퍼를 칩으로 절단하는 경우, 균열이 발생되어 최종 생산량은 70%까지 감소되었다. 반대로 기판의 배면의 Ra가 기판의 박막화 중 0.015 μm 로 조절되는 경우, 기판의 휘이 감소되고, 실시예1에서 제조된 소자칩과 동일한 품질을 나타내는 발광소자칩은 동일한 생산량으로 제조되었다.
- <85> 현저하게 실시예1에서 화합물 반도체층은 박막이다. 이와같이 기판이 분리홈의 형성 전에 박막으로 되는 경우에도, 기판은 휘지 않고, 발광소자의 생산량과 품질은 열화되지 않았다.

산업상 이용 가능성

- <86> 본 발명의 방법에 따라서, 화합물 반도체 소자 웨이퍼는 매우 개선된 속도로 가공될 수 있다. 따라서 본 발명은 화합물 반도체 소자의 제조에 있어서 매우 높은 공업적인 이용 가치가 있다.

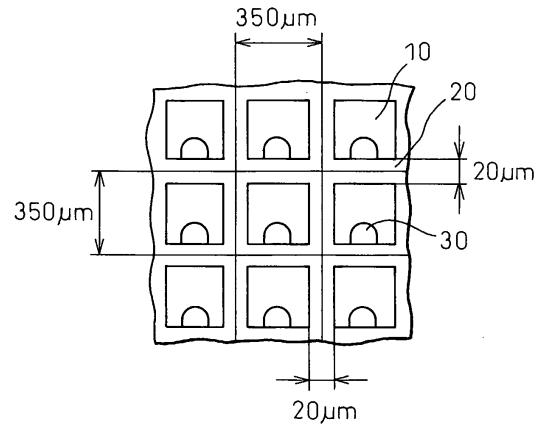
도면의 간단한 설명

- <65> 도1은 실시예1에서 제조된 본 발명의 웨이퍼를 도시하는 개략도이다.

<66> 도2는 실시예1에서 제조된 본 발명의 웨이퍼를 도시하는 개략 단면도이다.

도면

도면1



도면2

