

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 17 年 11 月 10 日 (2005.11.10)

【公開番号】特開 2000-276896 (P2000-276896A)

【公開日】平成 12 年 10 月 6 日 (2000.10.6)

【出願番号】特願 平 11-77432

【国際特許分類第 7 版】

G 1 1 C 29/00

G 0 6 F 12/06

G 0 6 F 12/16

G 1 1 C 16/06

H 0 1 L 27/115

H 0 1 L 27/10

H 0 1 L 21/8247

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

G 1 1 C 29/00 6 0 3 Z

G 0 6 F 12/06 5 1 5 N

G 0 6 F 12/16 3 1 0 R

H 0 1 L 27/10 4 8 1

G 1 1 C 17/00 6 3 9 Z

G 1 1 C 17/00 6 3 9 A

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 17 年 9 月 22 日 (2005.9.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 メモリセルが行列状に配置された複数の第 1 のメモリブロックと、  
前記第 1 のメモリブロックを選択的に活性化する第 1 のデコーダと、  
前記第 1 のメモリブロックと実質的に等しい構成の少なくとも 1 つの第 2 のメモリブ  
ロックと、

前記第 2 のメモリブロックを選択する第 2 のデコーダと、

ブロックアドレス情報を出力するブロックアドレスバッファと、

記憶素子と、前記記憶素子の記憶情報を保持するラッチ回路とを有し、不良ブロックア  
ドレスを記憶する不良ブロックアドレス記憶部であって、前記不良ブロックアドレス記憶  
部の読み出し動作は電源投入時に行なわれ、前記記憶素子の記憶情報が前記ラッチ回路に  
ラッチされる不良ブロックアドレス記憶部と、

前記不良ブロックアドレス記憶部の前記ラッチ回路にラッチされている不良ブロックア  
ドレスと前記ブロックアドレスバッファから入力されたブロックアドレスとを比較する不  
良ブロックアドレス比較部と

を具備し、

前記不良ブロックアドレス比較部で一致が検出されたときに、不良が発生した第 1 のメ

メモリブロックを選択する前記第 1 のデコーダを非選択状態とすると共に、前記第 2 のデコーダを選択状態にすることを特徴とする半導体記憶装置。

【請求項 2】 複数メモリブロックの一括消去時に、前記不良ブロックアドレス記憶部に記憶されている不良ブロックアドレスが前記ブロックアドレスバッファに入力され、前記第 1 のデコーダは、前記メモリブロック毎に設けられた第 1 のラッチ回路に第 1 のデータをラッチすることにより、前記第 1 のラッチ回路に第 1 のデータがラッチされるメモリブロック中のメモリセルへの消去電位の印加を禁止することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 メモリセルの消去時に浮遊ゲート中のエレクトロンをウェル領域に引き抜くタイプの半導体記憶装置において、

メモリセルが行列状に配置されたメモリセルアレイ、前記メモリセルアレイ中のメモリセルの行を選択するロウデコーダ、ブロックを選択するためのブロックデコーダ、強制的に選択を禁止するためのディセーブルラッチ、及び前記メモリセルアレイ中のメモリセルの列を選択するためのカラム選択ゲートをそれぞれ備えた複数のブロックコアと、

前記複数のブロックコアと実質的に等しい構成の少なくとも 1 つの救済用のブロックコアと、

ロウアドレス信号が入力され、前記複数のブロックコア及び救済用のブロックコア中のロウデコーダにそれぞれ内部ロウアドレス信号を供給するロウアドレスバッファと、

カラムアドレス信号が入力されるカラムアドレスバッファと、

前記カラムアドレスバッファから出力される内部カラムアドレス信号をデコードして、前記複数のブロックコア及び救済用のブロックコア中のカラム選択ゲートをそれぞれ選択するカラムデコーダと、

ブロックアドレスが入力され、前記複数のブロックコアの各ブロックデコーダにブロック選択信号を出力するブロックアドレスバッファと、

不良が発生したブロックコアのアドレスを記憶する救済用のアドレス記憶部と、

前記アドレス記憶部に記憶されているブロックコアのアドレスと前記ブロックアドレスバッファから出力されたブロック選択信号とを比較するアドレス比較部と、

パルス信号を出力するディセーブルパルス発生部と、

選択されたメモリセルから読み出されたデータを増幅するセンスアンプと、

前記センスアンプとデータの授受を行う入出力バッファと

を具備し、

前記ブロックコア中のメモリセルアレイに不良が発生したときに、このブロックコアのアドレスを前記アドレス記憶部に記憶し、前記アドレス比較部で一致が検出されたときに、前記アドレス比較部からディセーブル信号を出力し、不良が発生したブロックコア中のブロックデコーダを強制非選択とし、救済用のブロックコア中のブロックデコーダを選択状態とすることにより、不良が発生したブロックコアを救済用のブロックコアに置き換えることを特徴とする半導体記憶装置。

【請求項 4】 複数ブロックを同時に消去するときには、前記アドレス記憶部から不良アドレスを前記ブロックアドレスバッファに入力し、前記不良が発生したブロックコアの前記ディセーブルラッチにブロック選択信号を供給し、前記ディセーブルパルス発生部から出力されるパルス信号に応答してディセーブル信号をラッチすることにより、前記不良が発生したブロックコア中のブロックデコーダを強制非選択にすることを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】 メモリセルが行列状に配置されたメモリセルアレイ、前記メモリセルアレイ中のメモリセルの行を選択するロウデコーダ、ブロックを選択するためのブロックデコーダ、強制的に選択を禁止するためのディセーブルラッチ、及び前記メモリセルアレイ中のメモリセルの列を選択するためのカラム選択ゲートをそれぞれ備えた複数の第 1 ブロックコアと、

前記複数のブロックコアと実質的に等しい構成の少なくとも 1 つの第 2 ブロックコアと

ロウアドレス信号が入力され、前記複数の第 1 ブロックコア及び第 2 ブロックコア中の  
ロウデコーダにそれぞれ内部ロウアドレス信号を供給するロウアドレスバッファと、  
カラムアドレス信号が入力されるカラムアドレスバッファと、  
前記カラムアドレスバッファから出力される内部カラムアドレス信号をデコードして、  
前記複数の第 1 ブロックコア及び第 2 ブロックコア中のカラム選択ゲートをそれぞれ選択  
するカラムデコーダと、  
ブロックアドレスが入力され、前記複数の第 1 ブロックコアの各ブロックデコーダにブ  
ロック選択信号を出力するブロックアドレスバッファと、  
不良が発生した第 1 ブロックコアのアドレスを記憶する救済アドレス記憶部と、  
前記アドレス記憶部に記憶されている第 1 ブロックコアのアドレスと前記ブロックアド  
レスバッファから出力されたブロック選択信号とを比較するアドレス比較部と、  
パルス信号を出力し、前記複数の第 1 ブロックコア及び第 2 ブロックコア中に設けられ  
たディセーブルラッチの動作を制御するディセーブルパルス発生部と、  
選択されたメモリセルから読み出されたデータを増幅するセンスアンプと、  
前記センスアンプとデータの授受を行う入出力バッファと  
を具備し、  
前記複数ブロックを同時に消去するときには、前記アドレス記憶部から不良アドレスを  
前記ブロックアドレスバッファに入力し、前記不良が発生したブロックコアの前記ディセ  
ーブルラッチにブロック選択信号を供給し、前記ディセーブルパルス発生部から出力され  
るパルス信号に応答してディセーブル信号をラッチすることにより、前記不良が発生した  
ブロックコア中のブロックデコーダを強制非選択にすることを特徴とする半導体記憶装置

—

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】変更

【補正の内容】

【0 0 2 2】

【課題を解決するための手段】

この発明の一態様に係る半導体記憶装置は、メモリセルが行列状に配置された複数の第  
1 のメモリブロックと、前記第 1 のメモリブロックを選択的に活性化する第 1 のデコーダ  
と、前記第 1 のメモリブロックと実質的に等しい構成の少なくとも 1 つの第 2 のメモリブ  
ロックと、前記第 2 のメモリブロックを選択する第 2 のデコーダと、ブロックアドレス情  
報を出力するブロックアドレスバッファと、記憶素子と、前記記憶素子の記憶情報を保持  
するラッチ回路とを有し、不良ブロックアドレスを記憶する不良ブロックアドレス記憶部  
であって、前記不良ブロックアドレス記憶部の読み出し動作は電源投入時に行なわれ、前  
記記憶素子の記憶情報が前記ラッチ回路にラッチされる不良ブロックアドレス記憶部と、  
前記不良ブロックアドレス記憶部の前記ラッチ回路にラッチされている不良ブロックアド  
レスと前記ブロックアドレスバッファから入力されたブロックアドレスとを比較する不良  
ブロックアドレス比較部とを具備し、前記不良ブロックアドレス比較部で一致が検出され  
たときに、不良が発生した第 1 のメモリブロックを選択する前記第 1 のデコーダを非選択  
状態とすると共に、前記第 2 のデコーダを選択状態にする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 3

【補正方法】変更

【補正の内容】

【0 0 2 3】

また、この発明の一態様に係る半導体記憶装置は、メモリセルの消去時に浮遊ゲート中  
のエレクトロンをウェル領域に引き抜くタイプの半導体記憶装置において、メモリセルが

行列状に配置されたメモリセルアレイ、前記メモリセルアレイ中のメモリセルの行を選択するロウデコーダ、ブロックを選択するためのブロックデコーダ、強制的に選択を禁止するためのディセーブルラッチ、及び前記メモリセルアレイ中のメモリセルの列を選択するためのカラム選択ゲートをそれぞれ備えた複数のブロックコアと、前記複数のブロックコアと実質的に等しい構成の少なくとも1つの救済用のブロックコアと、ロウアドレス信号が入力され、前記複数のブロックコア及び救済用のブロックコア中のロウデコーダにそれぞれ内部ロウアドレス信号を供給するロウアドレスバッファと、カラムアドレス信号が入力されるカラムアドレスバッファと、前記カラムアドレスバッファから出力される内部カラムアドレス信号をデコードして、前記複数のブロックコア及び救済用のブロックコア中のカラム選択ゲートをそれぞれ選択するカラムデコーダと、ブロックアドレスが入力され、前記複数のブロックコアの各ブロックデコーダにブロック選択信号を出力するブロックアドレスバッファと、不良が発生したブロックコアのアドレスを記憶する救済用のアドレス記憶部と、前記アドレス記憶部に記憶されているブロックコアのアドレスと前記ブロックアドレスバッファから出力されたブロック選択信号とを比較するアドレス比較部と、パルス信号を出力するディセーブルパルス発生部と、選択されたメモリセルから読み出されたデータを増幅するセンスアンプと、前記センスアンプとデータの授受を行う入出力バッファとを具備し、前記ブロックコア中のメモリセルアレイに不良が発生したときに、このブロックコアのアドレスを前記アドレス記憶部に記憶し、前記アドレス比較部で一致が検出されたときに、前記アドレス比較部からディセーブル信号を出力し、不良が発生したブロックコア中のブロックデコーダを強制非選択とし、救済用のブロックコア中のブロックデコーダを選択状態とすることにより、不良が発生したブロックコアを救済用のブロックコアに置き換える。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

更に、この発明の一態様に係る半導体記憶装置は、メモリセルが行列状に配置されたメモリセルアレイ、前記メモリセルアレイ中のメモリセルの行を選択するロウデコーダ、ブロックを選択するためのブロックデコーダ、強制的に選択を禁止するためのディセーブルラッチ、及び前記メモリセルアレイ中のメモリセルの列を選択するためのカラム選択ゲートをそれぞれ備えた複数の第1ブロックコアと、前記複数のブロックコアと実質的に等しい構成の少なくとも1つの第2ブロックコアと、ロウアドレス信号が入力され、前記複数の第1ブロックコア及び第2ブロックコア中のロウデコーダにそれぞれ内部ロウアドレス信号を供給するロウアドレスバッファと、カラムアドレス信号が入力されるカラムアドレスバッファと、前記カラムアドレスバッファから出力される内部カラムアドレス信号をデコードして、前記複数の第1ブロックコア及び第2ブロックコア中のカラム選択ゲートをそれぞれ選択するカラムデコーダと、ブロックアドレスが入力され、前記複数の第1ブロックコアの各ブロックデコーダにブロック選択信号を出力するブロックアドレスバッファと、不良が発生した第1ブロックコアのアドレスを記憶する救済アドレス記憶部と、前記アドレス記憶部に記憶されている第1ブロックコアのアドレスと前記ブロックアドレスバッファから出力されたブロック選択信号とを比較するアドレス比較部と、パルス信号を出力し、前記複数の第1ブロックコア及び第2ブロックコア中に設けられたディセーブルラッチの動作を制御するディセーブルパルス発生部と、選択されたメモリセルから読み出されたデータを増幅するセンスアンプと、前記センスアンプとデータの授受を行う入出力バッファとを具備し、前記複数のブロックを同時に消去するときには、前記アドレス記憶部から不良アドレスを前記ブロックアドレスバッファに入力し、前記不良が発生したブロックコアの前記ディセーブルラッチにブロック選択信号を供給し、前記ディセーブルパルス発生部から出力されるパルス信号に応答してディセーブル信号をラッチすることにより、前

記不良が発生したブロックコア中のブロックデコーダを強制非選択にする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 5

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 6

【補正方法】削除

【補正の内容】

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 7

【補正方法】削除

【補正の内容】

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 8

【補正方法】削除

【補正の内容】

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】削除

【補正の内容】

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 0

【補正方法】変更

【補正の内容】

【0 0 3 0】

上記のような構成によれば、ブロックコアを1つの単位として不良救済を行うので、基板となるPウェル領域に高電位を印加して浮遊ゲート中のエレクトロンをPウェル領域に引き抜く構造のメモリセルを用いた場合に、メモリセル内に不良があっても確実に救済できる。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正の内容】

【0 0 3 1】

また、半導体記憶装置内の全ブロックを一括で消去する場合、不良のあったブロックコアに対しては電圧を印加しないようにできるので、不良部分による電位降下を抑えることができ、正常なブロックコアの消去を妨げない。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 2

【補正方法】変更

【補正の内容】

## 【 0 0 3 2 】

更に、制御ゲートが電源電位で読み出しでき、制御ゲート電位のコントロールの必要がなく、低電圧動作品の動作マージンを大きくすることができる。

## 【 手 続 補 正 1 3 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 3 3

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 3 3 】

更にまた、ヒューズブローしたか否かに応じて不良ブロックアドレスを記憶できる。

## 【 手 続 補 正 1 4 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 3 4

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 3 4 】

ラッチ回路によるラッチ動作を電源投入時に行えば、ヒューズセルの読み出しによるアクセスの遅れを防ぐことができる。

## 【 手 続 補 正 1 5 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 3 5

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 3 5 】

また、上記のような構成によれば、ブロックコアを1つの単位として不良救済を行うので、基板となるPウェル領域に高電位を印加して浮遊ゲート中のエレクトロンをPウェル領域に引き抜く構造のメモリセルを用いた場合に、メモリセル内に不良があっても確実に救済できる。

## 【 手 続 補 正 1 6 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 3 6

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 3 6 】

不良が発生したブロックコア中のブロックデコーダを強制非選択にすれば、不良ブロックへの電位の印加を防ぐことができ、電位の低下を防止できる。

## 【 手 続 補 正 1 7 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 3 7

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 3 7 】

また、複数のブロックコアをそれぞれ独立したウェル内に形成すれば、不良ブロックを完全に分離できる。