



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201430957 A

(43)公開日：中華民國 103 (2014) 年 08 月 01 日

(21)申請案號：102102915

(22)申請日：中華民國 102 (2013) 年 01 月 25 日

(51)Int. Cl. :

H01L21/336 (2006.01)

H01L21/304 (2006.01)

(71)申請人：茂達電子股份有限公司 (中華民國) ANPEC ELECTRONICS CORPORATION
(TW)

新竹市新竹科學工業園區篤行一路 6 號

(72)發明人：林永發 LIN, YUNG FA (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：9 項 圖式數：9 共 20 頁

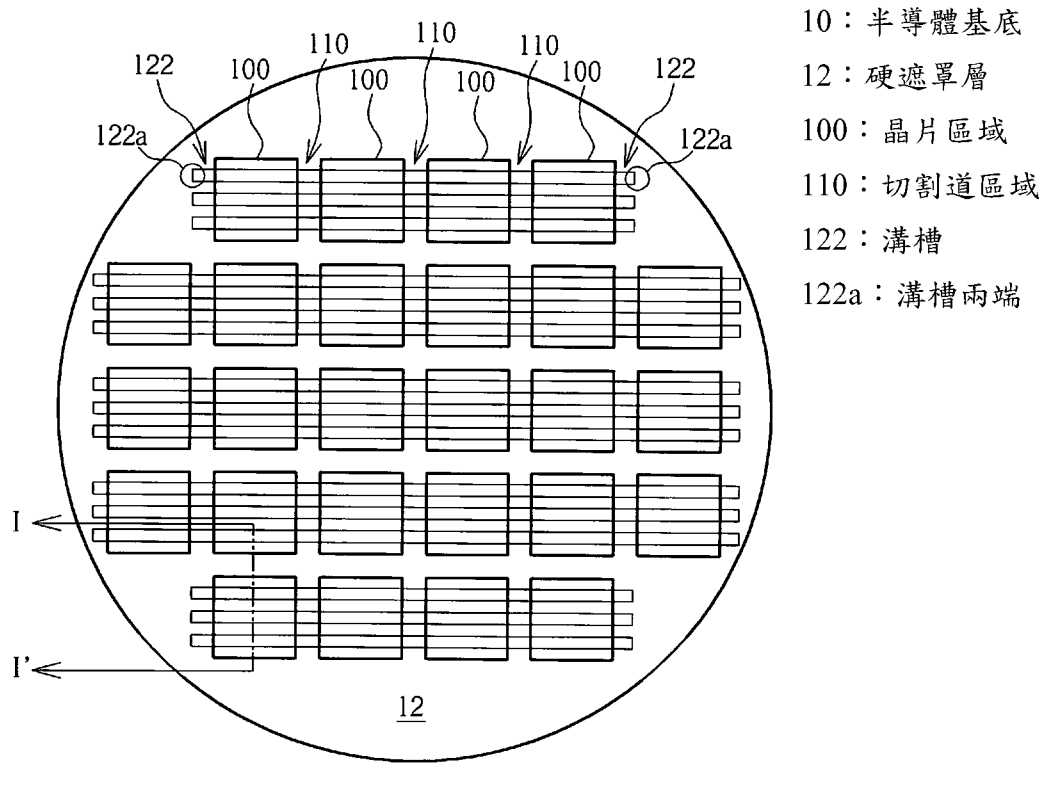
(54)名稱

半導體功率元件的製作方法

METHOD FOR FABRICATING SEMICONDUCTOR POWER DEVICE

(57)摘要

一種半導體功率元件的製作方法。先提供一半導體基底，具有複數個晶片區域以及晶片區域間的切割道區域。再於半導體基底上形成第一磊晶層。再於第一磊晶層表面形成硬遮罩層，於硬遮罩層中形成至少一開口，經由開口，蝕刻第一磊晶層，形成至少一溝槽，其中開口及溝槽橫跨複數個晶片區域及切割道區域，使得溝槽的兩端均不落在晶片區域內。接著去除硬遮罩層，再於溝槽中填滿一第二磊晶層，並使第二磊晶層覆蓋第一磊晶層。再將覆蓋在第一磊晶層上的第二磊晶層研磨掉，顯露出第一磊晶層。於第一及第二磊晶層上形成第三磊晶層。



第2圖

發明摘要

※ 申請案號：102102915

※ 申請日：102.1.25

※IPC 分類：H01L 21/336 2006.01

【發明名稱】 半導體功率元件的製作方法

H01L 21/306 2006.01

METHOD FOR FABRICATING SEMICONDUCTOR POWER
DEVICE

【中文】

一種半導體功率元件的製作方法。先提供一半導體基底，具有複數個晶片區域以及晶片區域間的切割道區域。再於半導體基底上形成第一磊晶層。再於第一磊晶層表面形成硬遮罩層，於硬遮罩層中形成至少一開口，經由開口，蝕刻第一磊晶層，形成至少一溝槽，其中開口及溝槽橫跨複數個晶片區域及切割道區域，使得溝槽的兩端均不落在晶片區域內。接著去除硬遮罩層，再於溝槽中填滿一第二磊晶層，並使第二磊晶層覆蓋第一磊晶層。再將覆蓋在第一磊晶層上的第二磊晶層研磨掉，顯露出第一磊晶層。於第一及第二磊晶層上形成第三磊晶層。

【英文】

A method for fabricating a semiconductor power device is disclosed. A substrate having thereon a plurality of die regions and scribe lanes are provided. A first epitaxial layer is formed on the substrate. A hard mask is formed on the first epitaxial layer. A gate trench is etched into the first epitaxial layer through an opening in the hard mask. The opening and the trench both traverse the die regions and scribe lanes in their longitudinal direction. The hard mask is then removed. A second epitaxial layer is formed in the trench. After polishing the second epitaxial layer, a third epitaxial layer is formed to cover the first and second epitaxial layers.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

- 10 半導體基底
- 12 硬遮罩層
- 100 晶片區域
- 110 切割道區域
- 122 溝槽
- 122a 溝槽兩端

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】 半導體功率元件的製作方法

METHOD FOR FABRICATING SEMICONDUCTOR

POWER DEVICE

【技術領域】

【0001】 本發明係有關一種半導體功率元件的製作方法，特別是有關於一種具有超級接面結構的半導體功率元件的製作方法。

【先前技術】

【0002】 已知，在功率元件中，其基底的設計通常為 P 型與 N 型半導體交替設置，因此在基底中會存在有多個垂直於基底表面的 PN 接面，且該些 PN 接面互相平行，又稱為超級接面結構，此種結構具有耐壓低阻抗之優點。

【0003】 其中一種超級接面結構係利用蝕刻出深溝渠，再填入磊晶層之方式來製作，其具有製程上之簡化以及低成本之優點，然而這種技術仍技術問題需要克服，例如，深溝槽內之蝕刻能力以及後續磊晶製程所產生的缺陷。

【發明內容】

【0004】 因此本發明之目的，即提供一種改良的半導體功率元件的製作方法，利用跨晶片區域的溝槽磊晶製程，降低磊晶製程所產生的缺陷，並且可以形成功率元件所使用具有超級介面的基材。

【0005】 為達上述目的，本發明提出一種半導體功率元件的製作方法，包含有：提供一半導體基底，具有第一電性，其上有複數個晶片區域以及介於該晶片區域之間的切割道區域；於該半導體基底上形成一第一磊晶層，具有上述第一電性；於該第一磊晶層表面形成一硬遮罩層；於該硬遮罩層中形成至少一開口；經由該開口，蝕刻該第一磊晶層，形

成至少一溝槽，其中該開口及該溝槽係橫跨該複數個晶片區域以及該切割道區域，使得該溝槽的兩端均不落在該晶片區域內；去除該硬遮罩層；於該溝槽中填滿一第二磊晶層，具有第二電性，並使第二磊晶層覆蓋該第一磊晶層；進行一化學機械研磨製程，將覆蓋在該第一磊晶層上的該第二磊晶層研磨掉，顯露出該第一磊晶層；以及於該第一及第二磊晶層上形成一第三磊晶層，具有上述第一電性。

【0006】 為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉較佳實施方式，並配合所附圖式，作詳細說明如下。然而如下之較佳實施方式與圖式僅供參考與說明用，並非用來對本發明加以限制者。

【圖式簡單說明】

【0007】 第 1 圖至第 8 圖為依據本發明一實施例所繪示的溝渠式功率電晶體元件之製造方法示意圖。

第 9 圖為依據本發明一實施例所繪示的溝渠式功率電晶體元件的平面示意圖。

【實施方式】

【0008】 請參閱第 1 圖至第 8 圖，其為依據本發明一實施例所繪示的溝渠式功率電晶體元件之製造方法示意圖。第 1 圖可以為第 2 圖中沿著切線 I-I' 所視剖面。首先，如第 1 圖及第 2 圖所示，提供一半導體基底 10，其具有第一電性，例如 N 型重摻雜之矽晶圓，其可作為電晶體元件的汲極(drain)。在半導體基底 10 有複數個晶片區域 100 以及介於晶片區域 100 之間的切割道(scribe lane)區域 110(見第 2 圖)，上述溝渠式功率電晶體元件即形成在各個晶片區域 100 內。

【0009】 首先，利用一磊晶製程於半導體基底 10 上形成一磊晶層 11，例如 N 型磊晶矽層。接著，可以在磊晶層 11 表面形成一硬遮罩層 12，例如，氧化矽或者氮化矽。然後，利用微影、蝕刻等製程，於硬遮罩層 12

中形成開口 112。接著將光阻去除，然後，利用乾蝕刻製程，經由硬遮罩層 12 中的開口 112，蝕刻磊晶層 11 至一預定深度，如此形成溝槽 122。

【0010】 本發明的主要特徵在於，如第 2 圖所示，上述形成的開口 112 及溝槽 122 係橫跨複數個晶片區域 100 以及切割道區域 110，使得各個溝槽 122 的兩端 122a 均不落在晶片區域 100 內，意即，各個溝槽 122 的兩端 122a 與晶片區域 100 不重疊。根據本發明實施例，各個直線條狀的溝槽 122 係在一方向(例如參考座標 X 軸)為連續的，且橫跨數個在該方向上的同列複數個晶片區域 100。另外，如第 9 圖所示，溝槽 122 亦可以是呈現格柵狀或交錯的圖案，使直線條狀的溝槽 122 在不同的方向(例如參考座標 X 軸及參考座標 Y 軸)為連續的，且同樣橫跨數個在各方向上的複數個晶片區域 100。

【0011】 由於磊晶缺陷經常發生在溝槽 122 的兩端 122a，這樣的做法即可降低磊晶製程過程中形成在晶片區域 100 的介面缺陷。需注意的是，第 2 圖中的晶片區域 100 大小、數量以及溝槽 122 的數量、形狀僅為例示，本發明並非以此為限。此外，除了上述如第 1 圖至第 4 圖中的作法之外，也可以在 N 型基底 10 上先形成第一(P 型)磊晶層 11，蝕刻出溝槽 122 之後，填入第二(N 型)磊晶層 13，之後，可以保留高於第一(P 型)磊晶層 11 上的 N 型區域(類似 11a)，或再研磨至第一(P 型)磊晶層，再形成第三(N 型)磊晶層 11a。

【0012】 需注意的是，若磊晶層 11 為 N 型，上述溝槽 122 蝕刻的深度可以選擇貫穿或不貫穿磊晶層 11，若磊晶層 11 為 P 型的話，則溝槽 122 蝕刻的深度必須貫穿磊晶層 11。

【0013】 如第 3 圖所示，接著去除硬遮罩層 12，並進行磊晶製程，於溝槽 122 中填滿磊晶層 13，具有第二電性，例如 P 型磊晶矽層。根據本發明實施例，磊晶層 11 與磊晶層 13 具有相反的摻質電性。根據本發明實施例，磊晶層 13 可以覆蓋磊晶層 11。

【0014】 如第 4 圖所示，接著進行化學機械研磨(CMP)製程，將覆蓋在磊晶層 11 上的磊晶層 13 研磨掉，顯露出磊晶層 11。隨後，進行另一次的磊晶製程，形成磊晶層 11a，具有上述第一電性，覆蓋住磊晶層 11 及磊晶層 13。磊晶層 11a 電性與磊晶層 11 相同，與磊晶層 13 相反。根據本發明實施例，磊晶層 11a 為 N 型磊晶矽層。此時，即完成可用於製作超級界面結構的半導體基材。

【0015】 如第 5 圖所示，接著，於磊晶層 11a 表面形成閘極氧化層 22 以及閘極 24。根據本發明實施例，閘極 24 可以是多晶矽閘極。根據本發明實施例，閘極 24 的圖案可以是直線型，並以微影製程分別將各個晶片區域 100 內的閘極圖案定義出來，加以蝕刻而成。

【0016】 如第 6 圖所示，進行一離子佈植製程，在兩閘極 24 之間的磊晶層 11a 中植入具有第二電性(例如 P 型)摻質，形成離子井 130。後續可以進行熱驅入(thermal drive-in)製程。

【0017】 如第 7 圖所示，利用光阻及微影製程，定義出源極摻雜區域，然後，施以離子佈植，將第一電性(例如 N 型)摻質植入離子井 130，形成源極摻雜區 132。後續可以進行熱驅入製程。

【0018】 最後，如第 8 圖所示，進行接觸洞及金屬化製程，包括形成層間介電層 30，於層間介電層 30 中蝕刻出接觸洞 230，沈積阻障層 32 及金屬層 34，並使金屬層 34 填滿接觸洞 230，構成接觸件 34a，接觸離子井 130 及源極摻雜區 132。

【0019】 以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

- 【0020】** 10 半導體基底
11 磊晶層
11a 磊晶層

- 12 硬遮罩層
- 13 磊晶層
- 22 閘極氧化層
- 24 閘極
- 30 層間介電層
- 32 阻障層
- 34 金屬層
- 34a 接觸件
- 100 晶片區域
- 110 切割道區域
- 112 開口
- 122 溝槽
- 122a 溝槽兩端
- 130 離子井
- 132 源極摻雜區
- 230 接觸洞

申請專利範圍

1. 一種半導體功率元件的製作方法，包含有：

提供一半導體基底，具有第一電性，其上有複數個晶片區域以及介於該晶片區域之間的切割道區域；

於該半導體基底上形成一第一磊晶層，具有上述第一電性；

於該第一磊晶層表面形成一硬遮罩層；

於該硬遮罩層中形成至少一開口；

經由該開口，蝕刻該第一磊晶層，形成至少一溝槽，其中該開口及該溝槽係橫跨該複數個晶片區域以及該切割道區域，使得該溝槽的兩端均不落在該晶片區域內；

去除該硬遮罩層；

於該溝槽中填滿一第二磊晶層，具有第二電性，並使第二磊晶層覆蓋該第一磊晶層；

進行一化學機械研磨製程，將覆蓋在該第一磊晶層上的該第二磊晶層研磨掉，顯露出該第一磊晶層；以及

於該第一及第二磊晶層上形成一第三磊晶層，具有上述第一電性。

2. 如申請專利範圍第 1 項所述之半導體功率元件的製作方法，其中該第一電性為 N 型，該第二電性為 P 型。

3. 如申請專利範圍第 1 項所述之半導體功率元件的製作方法，其中該第一、第二及第三磊晶層均為磊晶矽層。

4. 如申請專利範圍第 1 項所述之半導體功率元件的製作方法，其中在形成該第三磊晶層後，另包含有以下步驟：

於該第三磊晶層上形成一閘極氧化層以及複數閘極；

進行一離子佈植製程，在該複數閘極之間的該第三磊晶層中植入具有上述第二電性摻質，形成一離子井；以及

於該離子井中形成一源極摻雜區。

5. 如申請專利範圍第 1 項所述之半導體功率元件的製作方法，其中在形成該源極摻雜區後，另包含有以下步驟：

形成一層間介電層；

於該層間介電層中蝕刻出至少一接觸洞；以及

沈積一阻障層及一金屬層，並使該金屬層填滿該接觸洞，構成一接觸件。

6. 如申請專利範圍第 1 項所述之半導體功率元件的製作方法，其中該半導體基底係作為該半導體功率元件的汲極。

7. 一種半導體功率元件的製作方法，包含有：

提供一半導體基底，具有第一電性，其上有複數個晶片區域以及介於該晶片區域之間的切割道區域；

於該半導體基底上形成一第一磊晶層，第二電性；

於該第一磊晶層表面形成一硬遮罩層；

於該硬遮罩層中形成至少一開口；

經由該開口，蝕刻該第一磊晶層，形成至少一溝槽，其中該開口及該溝槽係橫跨該複數個晶片區域以及該切割道區域，使得該溝槽的兩端均不落在該晶片區域內；

去除該硬遮罩層；以及

於該溝槽中填滿一第二磊晶層，具有上述第一電性，並使第二磊晶層覆蓋該第一磊晶層。

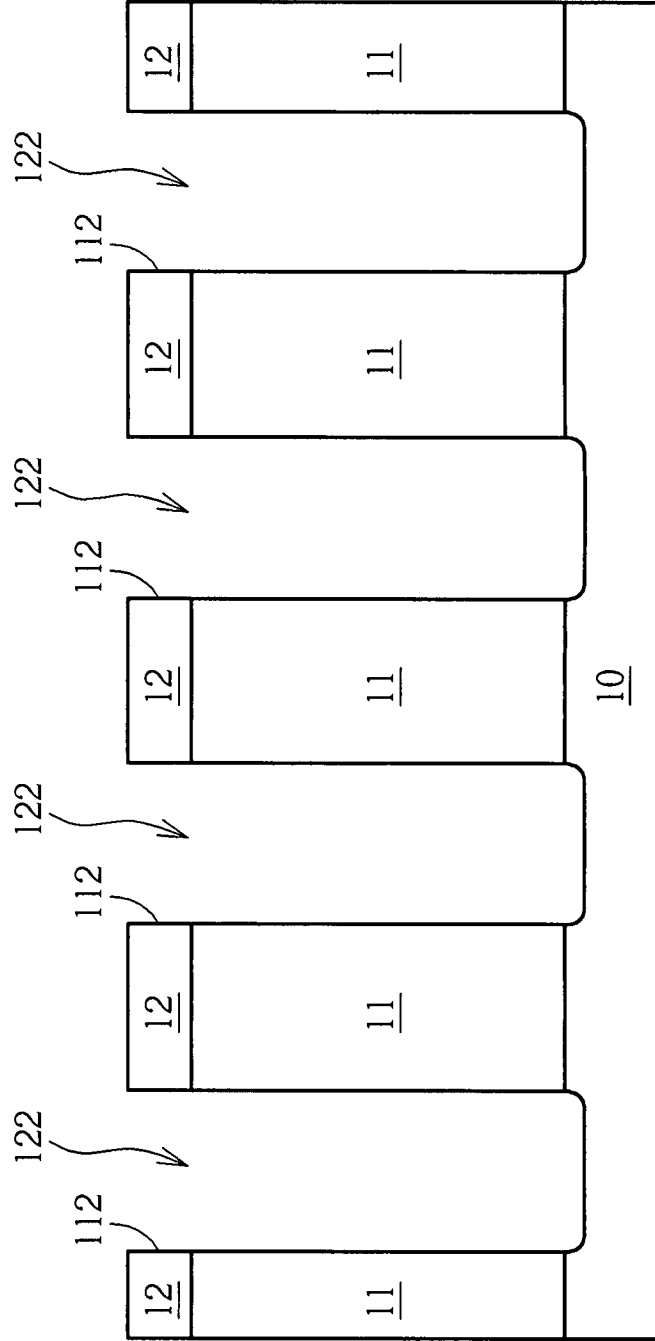
8. 如申請專利範圍第 7 項所述之半導體功率元件的製作方法，其中於該溝槽中填滿該第二磊晶層後，另包含有以下步驟：

進行一化學機械研磨製程，將覆蓋在該第一磊晶層上的該第二磊晶層研磨掉，顯露出該第一磊晶層；以及

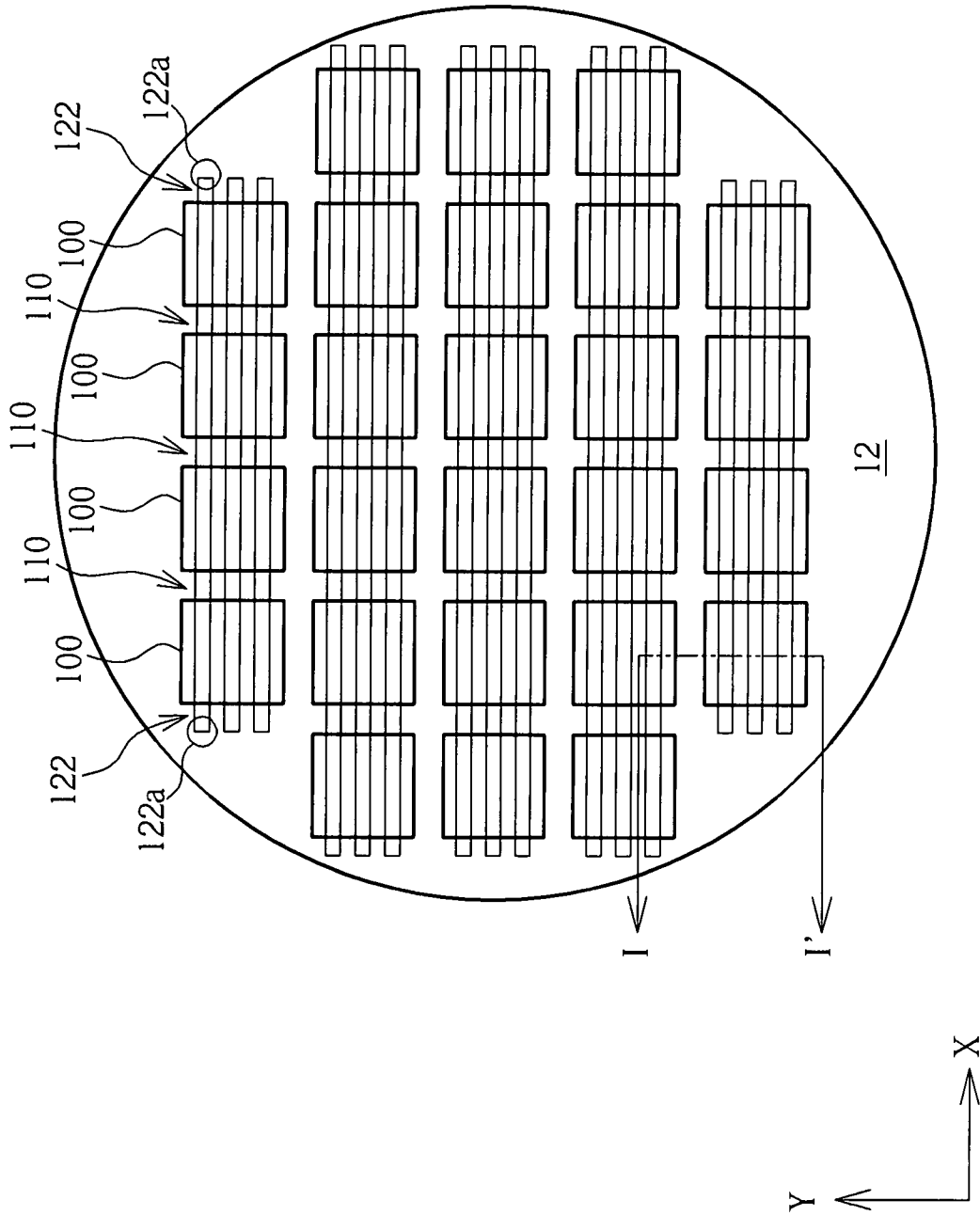
於該第一及第二磊晶層上形成一第三磊晶層，具有上述第一電性。

9. 如申請專利範圍第 7 項所述之半導體功率元件的製作方法，其中該第一電性為 N 型，該第二電性為 P 型。

圖式

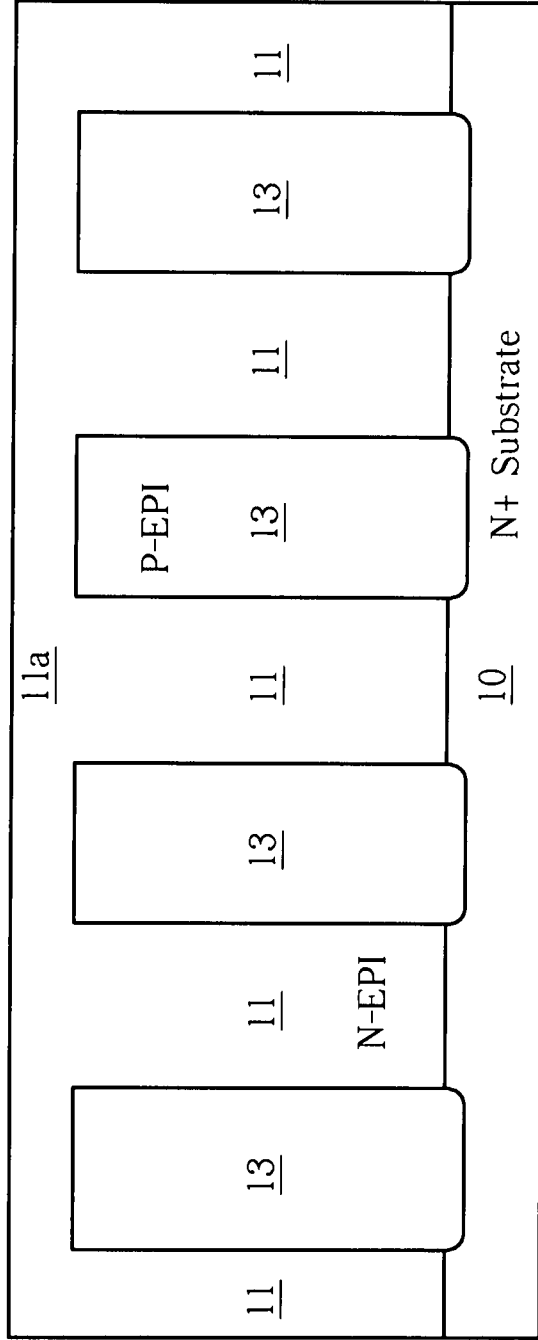


第1圖



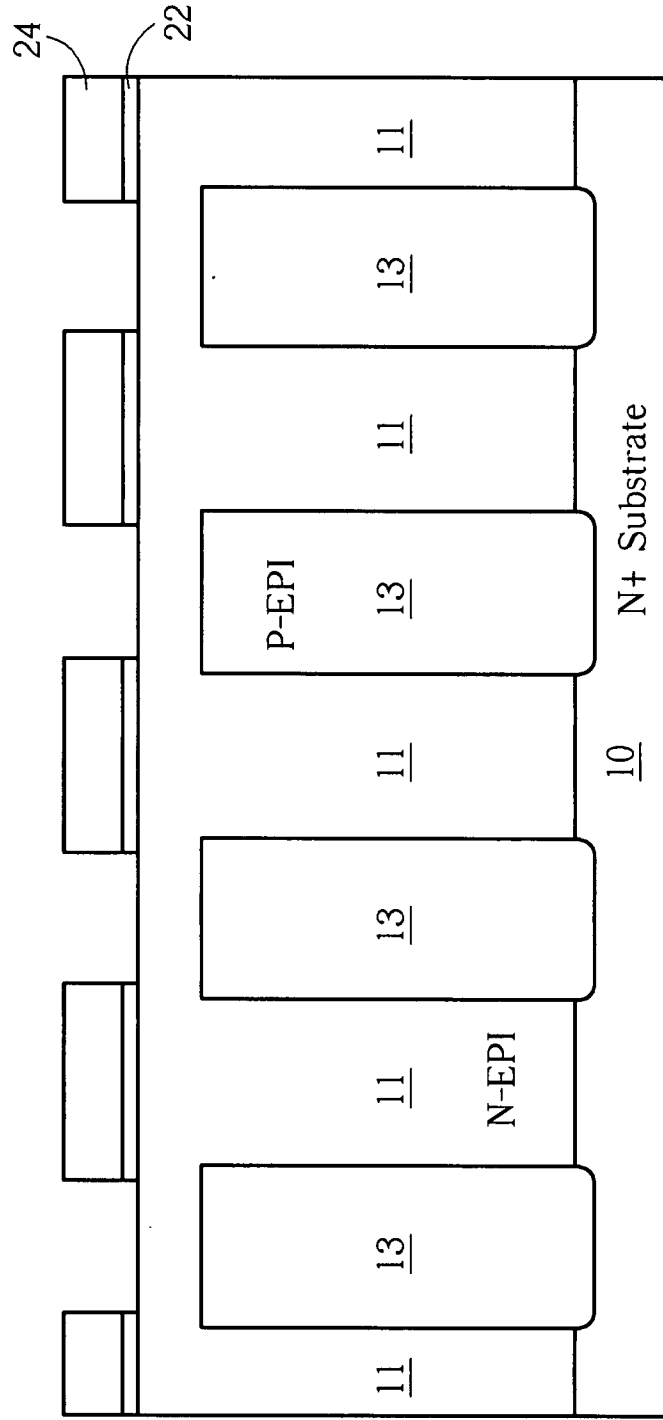
第2圖



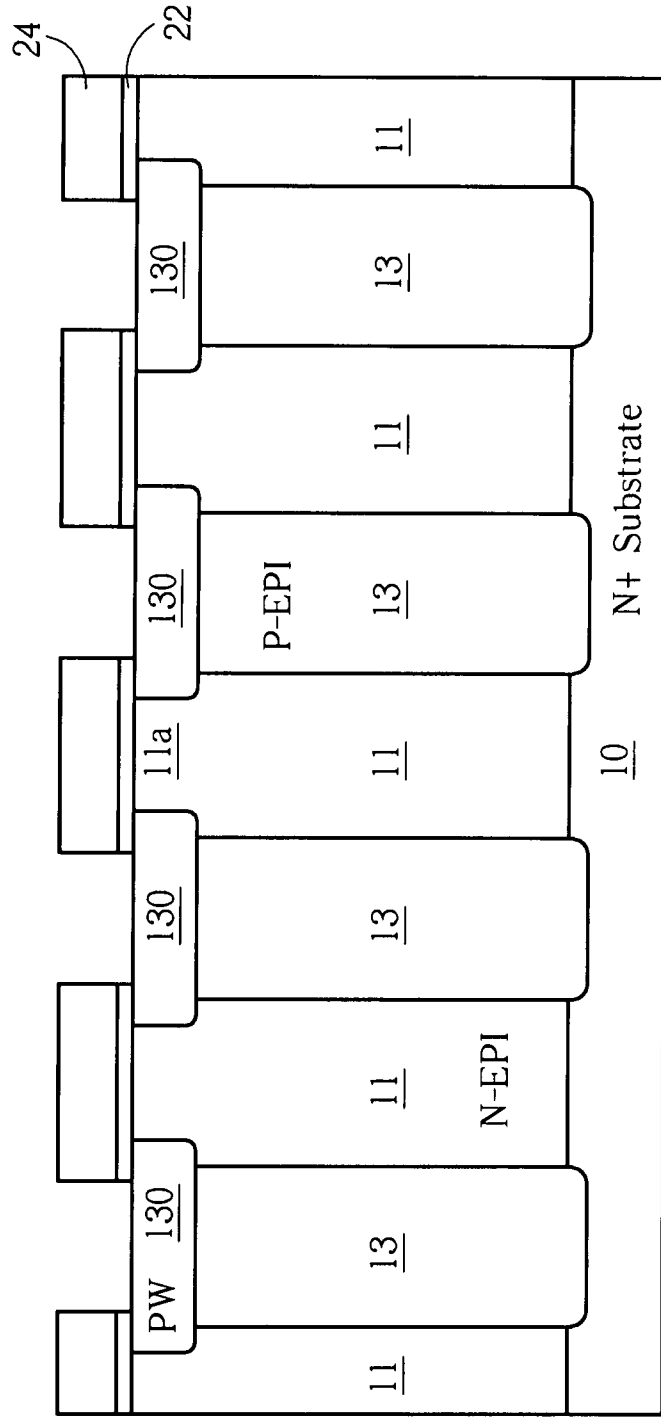


第4圖



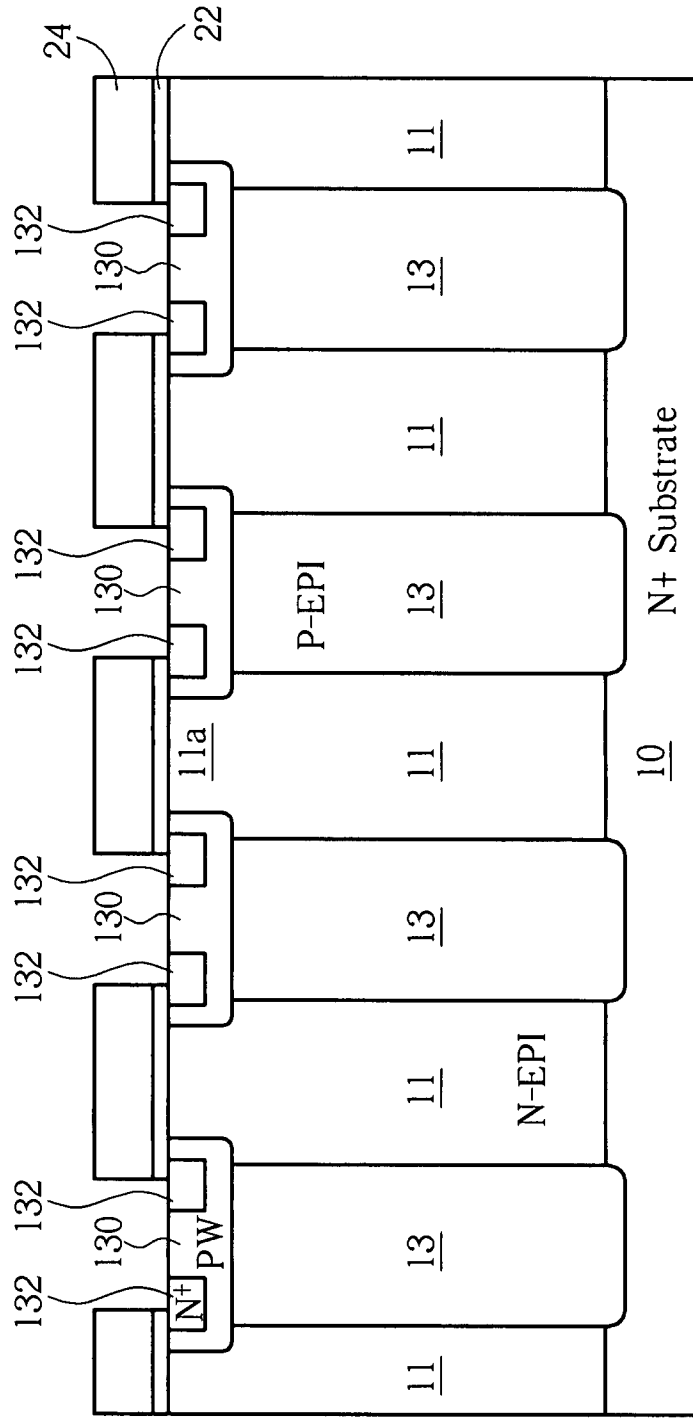


第5圖

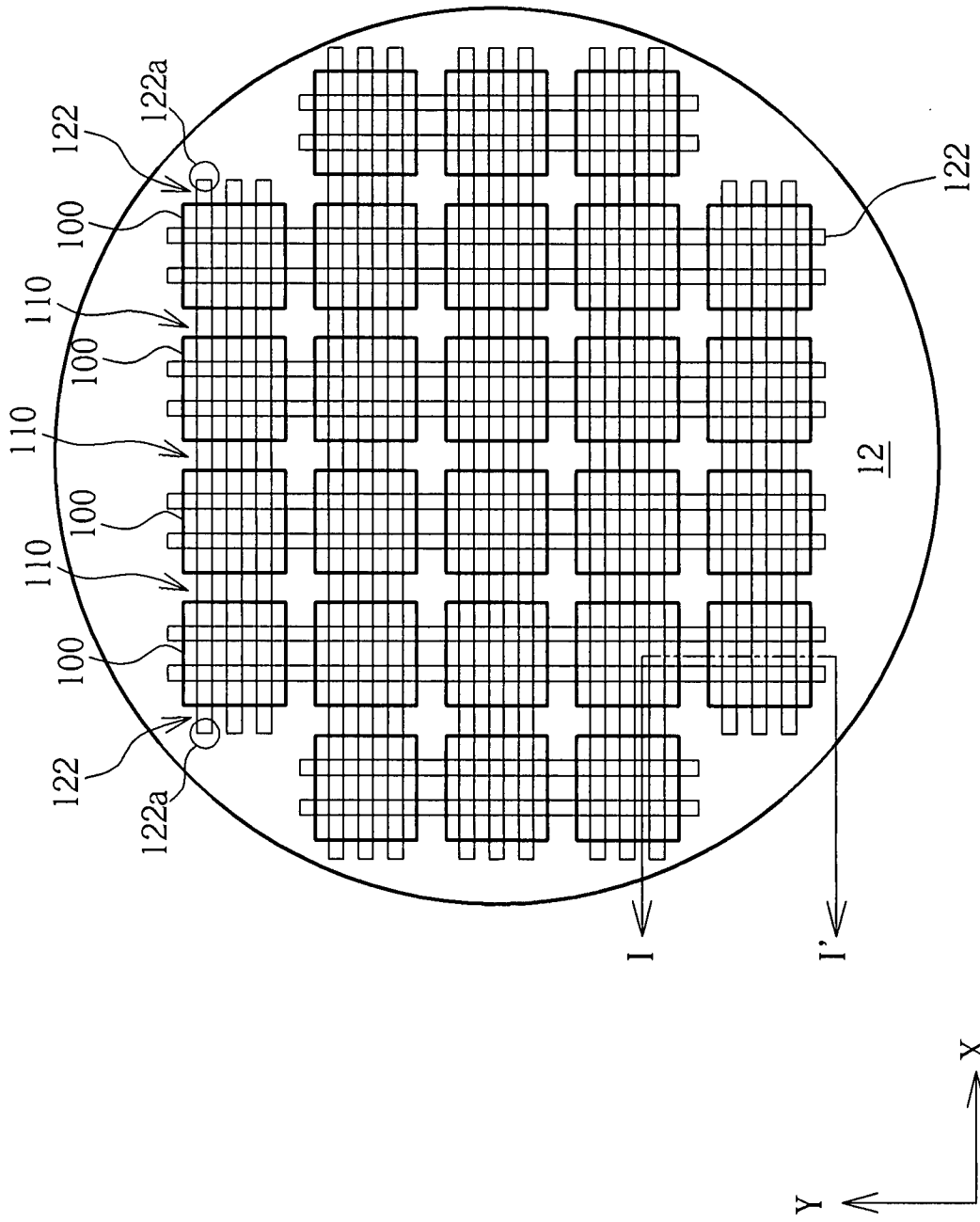


第6圖





第7圖



第9圖

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：

【發明名稱】 半導體功率元件的製作方法

METHOD FOR FABRICATING SEMICONDUCTOR POWER

DEVICE

【中文】

一種半導體功率元件的製作方法。先提供一半導體基底，具有複數個晶片區域以及晶片區域間的切割道區域。再於半導體基底上形成第一磊晶層。再於第一磊晶層表面形成硬遮罩層，於硬遮罩層中形成至少一開口，經由開口，蝕刻第一磊晶層，形成至少一溝槽，其中開口及溝槽橫跨複數個晶片區域及切割道區域，使得溝槽的兩端均不落在晶片區域內。接著去除硬遮罩層，再於溝槽中填滿一第二磊晶層，並使第二磊晶層覆蓋第一磊晶層。再將覆蓋在第一磊晶層上的第二磊晶層研磨掉，顯露出第一磊晶層。於第一及第二磊晶層上形成第三磊晶層。

【英文】

A method for fabricating a semiconductor power device is disclosed. A substrate having thereon a plurality of die regions and scribe lanes are provided. A first epitaxial layer is formed on the substrate. A hard mask is formed on the first epitaxial layer. A gate trench is etched into the first epitaxial layer through an opening in the hard mask. The opening and the trench both traverse the die regions and scribe lanes in their longitudinal direction. The hard mask is then removed. A second epitaxial layer is formed in the trench. After polishing the second epitaxial layer, a third epitaxial layer is formed to cover the first and second epitaxial layers.

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：

【發明名稱】 半導體功率元件的製作方法

METHOD FOR FABRICATING SEMICONDUCTOR POWER

DEVICE

【中文】

一種半導體功率元件的製作方法。先提供一半導體基底，具有複數個晶片區域以及晶片區域間的切割道區域。再於半導體基底上形成第一磊晶層。再於第一磊晶層表面形成硬遮罩層，於硬遮罩層中形成至少一開口，經由開口，蝕刻第一磊晶層，形成至少一溝槽，其中開口及溝槽橫跨複數個晶片區域及切割道區域，使得溝槽的兩端均不落在晶片區域內。接著去除硬遮罩層，再於溝槽中填滿一第二磊晶層，並使第二磊晶層覆蓋第一磊晶層。再將覆蓋在第一磊晶層上的第二磊晶層研磨掉，顯露出第一磊晶層。於第一及第二磊晶層上形成第三磊晶層。

【英文】

A method for fabricating a semiconductor power device is disclosed. A substrate having thereon a plurality of die regions and scribe lanes are provided. A first epitaxial layer is formed on the substrate. A hard mask is formed on the first epitaxial layer. A gate trench is etched into the first epitaxial layer through an opening in the hard mask. The opening and the trench both traverse the die regions and scribe lanes in their longitudinal direction. The hard mask is then removed. A second epitaxial layer is formed in the trench. After polishing the second epitaxial layer, a third epitaxial layer is formed to cover the first and second epitaxial layers.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

12 硬遮罩層

100 晶片區域

110 切割道區域

122 溝槽

122a 溝槽兩端

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無