

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4870873号
(P4870873)

(45) 発行日 平成24年2月8日 (2012. 2. 8)

(24) 登録日 平成23年11月25日 (2011. 11. 25)

(51) Int. Cl.

F I

HO 1 L 21/331 (2006. 01)

HO 1 L 29/72 P

HO 1 L 29/732 (2006. 01)

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2001-65055 (P2001-65055)	(73) 特許権者	302062931
(22) 出願日	平成13年3月8日 (2001. 3. 8)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2002-270813 (P2002-270813A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成14年9月20日 (2002. 9. 20)	(74) 代理人	100110928
審査請求日	平成20年1月21日 (2008. 1. 21)		弁理士 速水 進治
		(74) 代理人	100118544
			弁理士 野本 可奈
		(74) 代理人	100127236
			弁理士 天城 聡
		(72) 発明者	若林 勝
			東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
		審査官	崎間 伸洋
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

シリコン基板の表面近傍に、第一導電型のコレクタ領域と該コレクタ領域の表面に位置する第二導電型のベース領域とを形成する工程と、

前記シリコン基板上に絶縁膜および第一の多結晶シリコン膜をこの順で形成する工程と、

前記絶縁膜および前記第一の多結晶シリコン膜を選択的にエッチングして前記ベース領域に到達する接続孔を形成する工程と、

酸化剤およびアルカリを含む洗浄液を用いて前記第一の多結晶シリコン膜表面および前記接続孔の内部を洗浄するとともに、酸化シリコン薄膜を前記接続孔の底部に形成する酸化シリコン薄膜形成工程と、

前記接続孔の底部の前記酸化シリコン薄膜上に、前記接続孔を埋め込むように全面に第二の多結晶シリコン膜を形成した後、前記第一および第二の多結晶シリコン膜中に第一導電型の不純物を導入する工程と、

基板全体を950℃以上で加熱処理し、前記不純物を前記ベース領域中に拡散させて第一導電型のエミッタ領域を形成する工程と、

前記第一および第二の多結晶シリコン膜を選択的にエッチングしてエミッタ電極とする工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、
前記接続孔を形成する工程の後前記酸化シリコン薄膜形成工程において、
フッ化水素酸またはその塩を含む洗浄液による洗浄を行い、次いで、前記酸化剤およびアルカリを含む洗浄液による洗浄を行うことを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 に記載の半導体装置の製造方法において、
前記接続孔を形成する工程の後前記酸化シリコン薄膜形成工程において、
フッ化水素酸またはその塩を含む洗浄液による洗浄を行い、次いで、酸化剤および酸を含む洗浄液による洗浄を行い、その後、前記酸化剤およびアルカリを含む洗浄液による洗浄を行うことを特徴とする半導体装置の製造方法。

10

【請求項 4】

請求項 1 に記載の半導体装置の製造方法において、
前記接続孔を形成する工程の後前記酸化シリコン薄膜形成工程において、
フッ化水素酸またはその塩を含む洗浄液による洗浄を行い、次いで、前記酸化剤およびアルカリを含む洗浄液による洗浄を行い、その後、酸化剤および酸を含む洗浄液による洗浄を行うことを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 乃至 4 いずれかに記載の半導体装置の製造方法において、
前記酸化剤およびアルカリを含む洗浄液は、過酸化水素、アンモニアおよび水を含有することを特徴とする半導体装置の製造方法。

20

【請求項 6】

請求項 1 乃至 5 いずれかに記載の半導体装置の製造方法において、
前記エミッタ領域を形成するための前記加熱処理を、ランプアニール法により行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バイポーラトランジスタの製造方法に関するものである。

【0002】

【従来の技術】

30

バイポーラトランジスタの構造として、大別してコンベンショナルおよび SST の 2 種類がある。コンベンショナルと呼ばれる構造は、イオン注入法などにより基板中にコレクタ領域およびベース領域を形成した後、その上部にエミッタ電極を形成し、このエミッタ電極から不純物を熱拡散することによってベース領域中にエミッタ領域を形成するものである。以下、コンベンショナル構造のバイポーラトランジスタの製造方法について図 7 を参照して説明する。

【0003】

まず図 7 (a) のように、p 型シリコン基板 1 表面に n 型不純物をイオン注入してコレクタ領域 2 を形成し、次いで p 型不純物をイオン注入してコレクタ領域 2 表面にベース領域 3 を形成する。つづいて、この上に絶縁膜 4 と、第一の多結晶シリコン膜 5 を、この順で堆積する (図 7 (b))。この第一の多結晶シリコン膜 5 の上に開口部を有するレジスト 6 を形成し (図 7 (c))、これをマスクとしてドライエッチングによりベース領域に到達する接続孔を形成する。この状態で接続孔内部にエッチング残渣 7 が付着する (図 7 (d))。

40

【0004】

その後、アッシングおよびレジスト剥離液による処理を行い、次いでフッ化水素酸またはその塩を用いた洗浄を実施した後、純水によるリンスを行う。これにより、レジストおよびエッチング残渣 7 が除去される。このときリンス後のフッ酸の液残りによる異物 8 が接続孔内部や第一の多結晶シリコン膜 5 上に再付着する (図 8 (a))。次に、接続孔内部を埋め込むように基板全面に第二の多結晶シリコン膜 11 を堆積した後、第二の多結晶シ

50

リコン膜 11 中に n 型不純物をイオン注入し、ひきつづき、基板全体を加熱処理して n 型不純物をベース領域 3 中に拡散させてエミッタ領域 14 を形成する。その後、第一の多結晶シリコン膜 5 および第二の多結晶シリコン膜 11 を選択的にドライエッチングしてエミッタ電極 15 とし、バイポーラトランジスタが完成する (図 8 (b))。

【0005】

ところが、この従来技術においては、図 8 (a) に示したようにフッ酸の液残りによる異物 8 が接続孔内部や第一の多結晶シリコン膜 5 上に再付着するため、以下の課題を有していた。第一に、エミッタ開口部を形成するドライエッチングの際、第一の多結晶シリコン膜 5 上の異物 8 がマスクとなってエッチング残りが発生する。第二に、エミッタ電極 15 とベース領域 3 との界面に異物 8 が残存するため、エミッタ不純物の拡散が不良となって設計通りのエミッタ領域が形成されなかったり、エミッタ電極抵抗が増大する場合があった。

【0006】

次に SST (Super Self-alignment Technology) と呼ばれる構造について説明する。SST の構造では、外部ベース領域がエミッタのまわりにセルフアラインに形成され、多結晶シリコンによってベース領域に引き出される。基板上にベース引き出し用ポリシリコン膜を形成する点、ベース領域を熱拡散により形成するため複数回の熱処理が必要となる点で、前述のコンベンショナル構造と相違する。

【0007】

図 5 は特開平 6-69225 号公報に記載されている SST 構造のバイポーラトランジスタの製造プロセスである。まず、p 型シリコン基板 501 上に n^+ コレクタ埋込み層 502 と n^- コレクタエピタキシャル層 503 とが形成されたエピタキシャル基板に素子分離酸化膜 504 を形成する。続いて、硼素を添加したベースポリシリコン膜 505 を堆積し、かつパターニングしたのち、シリコン酸化膜 506 を堆積し、エミッタ形成予定領域のシリコン酸化膜 506、 p^+ 型ベースポリシリコン膜 505 に開口を形成し、 n^- コレクタエピタキシャル層 503 を露出させる (図 5 (a))。次に、全面にシリコン酸化膜を堆積させ、この酸化膜を RIE のような異方性エッチングによりエッチングしてシリコン酸化膜側壁 507 を形成する。そして、窒素雰囲気中での熱処理を行い p^+ 型外部ベース拡散領域 508 を形成する (図 5 (b))。続いて、ポリシリコン堆積装置に低温でローディングしたり、水素置換しながらローディングすることにより、エピタキシャル層 503 との界面に自然酸化膜がほとんど被着しないような条件でエミッタ電極となるポリシリコン膜 509 を堆積し、このポリシリコン膜 509 に硼素 510 をイオン注入する。その後、例えば、1050℃、60 秒の窒素雰囲気中でランプ加熱を行い硼素をエミッタポリシリコン膜 509 から n^- エピタキシャル層 503 へ固相拡散させ、内部ベース拡散領域とするための硼素拡散領域 511 を形成する (図 5 (c))。その後、ポリシリコン膜 509 に硼素 512 をイオン注入し、例えば、1050℃、10 秒の窒素雰囲気中でランプ加熱を行い硼素をエミッタポリシリコン膜 509 から n^- エピタキシャル層 503 へ固相拡散させ、エミッタ拡散領域 513 とベース拡散領域 511' とを自己整合的に形成する (図 5 (d))。そして、エミッタポリシリコン膜 509 をパターニングすることによりエミッタポリシリコン電極 509' を形成する。最後に、ベースコンタクトを開孔し、エミッタポリシリコン電極 509' およびベース引き出し用ポリシリコン電極 505 上に金属電極 514 を被着してパターニングする (図 5 (e))。以上のような二重拡散法プロセスを用いることにより、各種寄生抵抗、容量を低減するベース拡散領域の浅いバイポーラトランジスタが得られる。

【0008】

ところが、二重拡散法を使った上記プロセスでは、エミッタ抵抗低減のためにエピタキシャル層 503 上に酸化膜を存在させないようにしているが、そのために、ランプ加熱を繰り返すことにより、拡散源であるエミッタポリシリコン膜 509 の単結晶化が起こる。この単結晶化によってエミッタ・ベース接合部の不純物濃度や深さの制御が困難となり、拡散プロファイルにばらつきを生じさせることとなる。

10

20

30

40

50

【0009】

このような課題を解決するプロセスとして上記公報には、図6に示す製造プロセスが開示されている。まず、従来の製造方法と同様の工程により、 P^+ 拡散領域103の形成まで行う。それまでの工程において、エピタキシャル層101とエミッタポリシリコン膜104との界面に5オングストローム以上・20オングストローム以下の自然酸化膜程度の酸化膜105が形成されるように前処理条件や堆積炉への導入条件等を調節する。(図6(a))。次に、酸化膜105が存在する状態でエピタキシャル層101上の全面にエミッタポリシリコン膜104を堆積する(図6(b))。その後、このエミッタポリシリコン膜104に硼素106をイオン注入する(図6(c))。続いて、例えば、900℃、20分の窒素雰囲気中の炉加熱を行うことにより、エミッタポリシリコン膜104が固相エ
10
ピタキシャル成長により単結晶化しないように硼素をエミッタポリシリコン104から n^- エピタキシャル層へ固相拡散させ、硼素拡散領域107を形成させる。引続き、ポリシリコン膜104に砒素108をイオン注入する(図6(d))。

【0010】

その後、例えば900℃、10分の窒素雰囲気中の炉加熱を行い砒素をエミッタポリシリコン膜104から n^- エピタキシャル層101へ固相拡散させ、エミッタ拡散領域109とベース拡散領域107とを自己整合的に形成する。そして、例えば、1000℃、10秒の窒素雰囲気中のランプ加熱により不純物を活性化させる。その際の熱で、酸化膜105はボールアップされた酸化物105'となり、これによって、ポリシリコン膜104とエピタキシャル層101との低抵抗な電氣的コンタクトを得る(図6(e))。その後、
20
ポリシリコン膜をパターニングし、最後に、ベースコンタクトを開孔し、エミッタポリシリコン電極およびベースポリシリコン電極上に金属電極を被着してパターニングする。このようなプロセスを採用することにより、ベース・エミッタ拡散プロファイルの良好な制御性が得られるとされている。

【0011】

ところが、この技術においては、界面の酸化膜105が容易にボールアップする形態とするための処理条件の制御が困難であるという課題があった。上記公報における界面の酸化膜105は、前処理条件や堆積炉への導入条件等を調節することにより、容易にボールアップされる程度の膜厚に調整されると記載されているが、その制御は必ずしも容易ではなかった。また、このような酸化膜では、特に、ランプ加熱のように高温の熱処理をした場合、エミッタ電極を構成する多結晶シリコンの単結晶化を十分に抑制することが困難であり、電流増幅率(hFE)の低下やばらつき、エミッタ電極抵抗の上昇をもたらす場合があった。
30

【0012】

【発明が解決しようとする課題】

本発明は上記課題に鑑みなされたものであり、不純物拡散のための熱処理時にエミッタ電極を構成する多結晶シリコンが単結晶化することを界面酸化膜の残存を防ぎつつ確実に抑止すること、これにより、エミッタ電極抵抗を低減するとともにエミッタ不純物濃度を設計通りに制御して安定したhFEを実現することを目的とする。

【0013】

また本発明は、エミッタ電極形成のためのドライエッチング後の洗浄において、ウオーターマーク等の異物の発生を防止することにより、歩留まりの向上および素子信頼性の向上を図ることを目的とする。
40

【0014】

【課題を解決するための手段】

本発明によれば、

シリコン基板の表面近傍に、第一導電型のコレクタ領域と該コレクタ領域の表面に位置する第二導電型のベース領域とを形成する工程と、

前記シリコン基板上に絶縁膜および第一の多結晶シリコン膜をこの順で形成する工程と

前記絶縁膜および前記第一の多結晶シリコン膜を選択的にエッチングして前記ベース領域に到達する接続孔を形成する工程と、

酸化剤およびアルカリを含む洗浄液を用いて前記第一の多結晶シリコン膜表面および前記接続孔の内部を洗浄するとともに、酸化シリコン薄膜を前記接続孔の底部に形成する酸化シリコン薄膜形成工程と、

前記接続孔の底部の前記酸化シリコン薄膜上に、前記接続孔を埋め込むように全面に第二の多結晶シリコン膜を形成した後、前記第一および第二の多結晶シリコン膜中に第一導電型の不純物を導入する工程と、

基板全体を950℃以上で加熱処理し、前記不純物を前記ベース領域中に拡散させて第一導電型のエミッタ領域を形成する工程と、

前記第一および第二の多結晶シリコン膜を選択的にエッチングしてエミッタ電極とする工程と、

を含むことを特徴とする半導体装置の製造方法、が提供される。

【0015】

本発明によれば、不純物拡散のための熱処理時にエミッタ電極を構成する多結晶シリコンが単結晶化することを、界面酸化膜の残存を防ぎつつ確実に抑止する。このため、エミッタ電極抵抗を低減するとともにエミッタ不純物濃度を設計通りに制御して安定したhFEを実現することができる。従来技術においては、基板全体を加熱処理し、不純物をベース領域中に拡散させてエミッタ領域を形成する際、基板近傍の多結晶シリコンが単結晶化し、エミッタ抵抗の上昇および上記不純物拡散の阻害をもたらすことがあった。本発明は、酸化剤およびアルカリを含む洗浄液を用いた洗浄を行うことによりかかる課題を解決し、エミッタ電極抵抗を低減するとともにエミッタ不純物濃度を設計通りに制御して安定したhFEを実現できる。このような作用効果が得られる理由は、接続孔底部および開口により表出された単結晶シリコン基板表面の表面荒さが増大すること、および、これらの上に酸化シリコン薄膜が形成されることによるものと推察される。ベース領域表面上の多結晶シリコンの単結晶化は、単結晶シリコン基板表面を成長基点として進行する。従来技術においては、成長基点となるシリコン基板表面を酸化膜により覆うことにより単結晶の成長を抑制していた。これに対し本発明においては、酸化膜によって成長起点を覆うことのほか、成長表面の平滑性を低下させることにより単結晶の成長を阻害している。また、酸化膜自体も洗浄液により形成されたものであり、熱酸化あるいは大気中での自然酸化により形成されたものと比べ、薄い膜厚を制御性良く実現できる上、膜質も均一なものとなる。したがって、ボールアップを確実に行うことができ、エミッタ電極抵抗を低減するとともにエミッタ不純物濃度を設計通りに制御して安定したhFEを実現できるのである。

【0016】

さらに、本発明によれば、基板中にあらかじめコレクタ領域およびベース領域を形成し、その後、加熱処理によって不純物を熱拡散させてエミッタ領域を形成するという工程を採用しているため、加熱処理を一回行うだけで済む。このため、エミッタ拡散源となる多結晶シリコン膜の単結晶化を防止できる。前述の二重拡散法によるSST構造形成プロセスでは、ランプ加熱を繰り返す必要があるため、エミッタポリシリコン膜の単結晶化が特に問題となる。これに対し本発明は、不純物拡散のための加熱処理を一回行うだけで済むため、この点からも多結晶シリコン膜の単結晶化を有効に防止できるのである。

【0018】

本発明においては、前記した効果、すなわち、多結晶シリコンが単結晶化することを抑止しつつ界面酸化膜の残存を防ぐことにより、エミッタ電極抵抗を低減するとともにエミッタ不純物濃度を設計通りに制御して安定したhFEを実現するという効果を奏するほか、以下の作用効果が得られる。

【0019】

本発明においては、エミッタ電極を構成する多結晶シリコンを、第一および第二の多結晶シリコン膜の2段階に分けて形成している。このため、接続孔形成後、その内部を洗浄する際の洗浄液の選択の自由度が大きくなる。たとえば、多結晶シリコン膜を1段階で形成

10

20

30

40

50

した場合、エミッタ開口部のエッチング後、エッチング残渣を除去する等の目的でフッ化水素酸またはその塩を含む洗浄液を用いて洗浄したとき、シリコン酸化膜等の絶縁膜が溶解し、膜減りが生じたり接続孔内でサイドエッチングが進行し、設計通りの素子を製造することが困難となる場合がある。本発明においては、絶縁膜上に第一の多結晶シリコン膜を形成するため、絶縁膜が第一の多結晶シリコン膜で覆われた構造となり、このような課題を解決することができる。ところが、このようなプロセスを採用した場合、第一の多結晶シリコン膜上に洗浄液の液残りが発生しやすい状況となる。多結晶シリコンの表面は、シリコン酸化膜等の絶縁膜に比べ、疎水性が高く、ウオーターマークや異物が再付着しやすいからである。本発明は、このような、エミッタ電極を構成する多結晶シリコンを第一および第二の多結晶シリコン膜の２段階に分けて形成した場合に特有の課題を解決するものである。すなわち、酸化剤およびアルカリを含む洗浄液を用いて第一の多結晶シリコン膜表面および接続孔の内部を洗浄することにより、第二の多結晶シリコン膜を堆積する際の下地層を親水性にし、これにより、ウオーターマークや異物が再付着することを防止している。この結果、歩留まりの向上および素子信頼性の向上を図ることができる。

10

【0020】

なお、本発明における第一導電型および第二導電型は、それぞれ反対の導電型であればいずれの組み合わせでもよい。すなわち第一導電型がn型、第二導電型がp型であってもよいし、第一導電型がp型、第二導電型がn型であってもよい。

【0021】

本発明に係る半導体装置の製造方法において、上記接続孔を形成した後、フッ化水素酸またはその塩を含む洗浄液による洗浄を行い、次いで、上記酸化剤およびアルカリを含む洗浄液による洗浄を行うことができる。このようにすればエッチング残渣が効果的に除去される。

20

【0022】

この場合、フッ化水素酸またはその塩を含む洗浄液による洗浄後の洗浄は、以下の手順とすることができる。

(i)酸化剤および酸を含む洗浄液による洗浄を行い、その後、酸化剤およびアルカリを含む洗浄液による洗浄を行う。

(ii)酸化剤およびアルカリを含む洗浄液による洗浄を行い、その後、酸化剤および酸を含む洗浄液による洗浄を行う。

30

【0023】

【発明の実施の形態】

図1(a)は本発明の製造方法により得られるバイポーラトランジスタの一例である。シリコン基板1表面近傍にコレクタ領域2が形成され、このコレクタ領域2に内包される状態でコレクタ領域2表面にベース領域3が形成される。シリコン基板1上に絶縁膜4を介して第一の多結晶シリコン膜5、第二の多結晶シリコン膜11からなるエミッタ電極が形成されており、エミッタ電極がシリコン基板1と接する部分にエミッタ領域14が形成されている。また、図1(b)はタングステンおよび多結晶シリコンからなるエミッタ電極を設けた例である。本発明は、このような構造のバイポーラトランジスタに適用することもできる。以下、図1(a)のバイポーラトランジスタを例に挙げ、本発明に係る製造方法の一例について説明する。

40

【0024】

まず図2(a)のように、p型シリコン基板1表面にn型不純物をイオン注入してコレクタ領域2を形成し、次いでp型不純物をイオン注入してコレクタ領域2表面にベース領域3を形成する。つづいて、この上に絶縁膜4を形成する。絶縁膜4は通常シリコン酸化膜とする。本実施形態では、HTO膜(High Temperature Oxide)を採用し、800~820℃程度の加熱雰囲気下でLP(Low Pressure)CVD法により成膜している。膜厚はたとえば50~100nm程度とする。次に、この上に膜厚50~100nm程度の第一の多結晶シリコン膜5を堆積する(図2(b))。

【0025】

50

この第一の多結晶シリコン膜 5 の上に開口部を有するレジスト 6 を形成し（図 2（c））、これをマスクとしてドライエッチングによりベース領域に到達する接続孔を形成する。この状態で接続孔内部にエッチング残渣 7 が付着する（図 2（d））。

【0026】

その後、アッシングおよびレジスト剥離液による処理を行い、次いでフッ化水素酸またはその塩を用いた洗浄を実施した後、純水によるリンスを行う。これにより、レジストおよびエッチング残渣 7 が除去される。ところが、リンス後のフッ酸の液残りによる異物が接続孔内部や第一の多結晶シリコン膜 5 上に再付着する（図 3（a））。従来技術においては、この異物に対する処置は行われていなかったが、本発明においては、洗浄液により除去処理を行う。この洗浄処理は、(i)酸化剤およびアルカリを含む洗浄液による洗浄を必須とし、適宜、(ii)酸化剤および酸を含む洗浄液による洗浄を行うものとする。酸化剤としては、過酸化水素等が好ましく用いられる。また、アルカリとしてはアンモニア等が例示され、酸としては、硫酸、塩酸等が例示される。

この洗浄処理の手順の具体例を以下に示す。

（a）A P M 洗浄

（b）S P M 洗浄→A P M 洗浄

（c）A P M 洗浄→H P M 洗浄

（d）S P M 洗浄→A P M 洗浄→H P M 洗浄

＊A P M：アンモニア、過酸化水素、水からなる洗浄液

S P M：硫酸、過酸化水素、水からなる洗浄液

H P M：塩酸、過酸化水素、水からなる洗浄液

この間、適宜、純水によるリンス工程や過酸化水素水による洗浄工程を設けても良い。

【0027】

このような処理を行うことにより、異物が効果的に除去される。また、接続孔底部および第一の多結晶シリコン膜 5 の表面荒さが増大するとともに、これらの上に酸化シリコン薄膜 9 a、酸化シリコン薄膜 9 b が形成される（図 3（b））。

【0028】

次に、接続孔内部を埋め込むように基板全面に第二の多結晶シリコン膜 1 1 を堆積した後、第二の多結晶シリコン膜 1 1 中に n 型不純物をイオン注入する（図 4（a））。

【0029】

その後、基板全体を加熱処理し、n 型不純物をベース領域 3 中に拡散させてエミッタ領域 1 4 を形成する。このとき、酸化シリコン薄膜 9 a、酸化シリコン薄膜 9 b がボールアップし、消滅する（図 4（b））。図中には、ボールアップ後の界面 1 2 として示されている。このときの加熱処理の方法としては、R T A（Rapid Thermal Annealing）等のランプアニール法が好ましい。エミッタ領域 1 4 を設計通りに作製することができ、また、酸化シリコン薄膜 9 a、酸化シリコン薄膜 9 b のボールアップを確実に行うことができるからである。加熱処理条件としては、950℃以上とすることが好ましく、たとえば、1000℃～1100℃、より好ましくは1000℃～1050℃とする。処理時間は、たとえば10～60秒とする。

【0030】

その後、第一の多結晶シリコン膜 5 および第二の多結晶シリコン膜 1 1 を選択エッチングしてエミッタ電極とし、バイポーラトランジスタを完成する（図 4（c））。

【0031】

本発明においては、酸化剤およびアルカリを含む洗浄液による洗浄を行うため、図 3（b）の工程で酸化シリコン薄膜 9 a、酸化シリコン薄膜 9 b が形成される。シリコン酸化膜は多結晶シリコンに比べ、親水性が高いため、このような膜が形成されると、その後の液残りがなく、ウオーターマークや異物の発生を防止することができる。したがって、従来技術図 3（b）で説明したような異物の発生の問題がない。

【0032】

また、従来技術においては、図 3（b）の熱加熱処理を実施した際、第二の多結晶シリコ

10

20

30

40

50

ン膜 11 がベース領域 3 と接する箇所において第二の多結晶シリコン膜 11 が単結晶化し、エミッタ抵抗の上昇およびベース領域 3 への不純物拡散の阻害をもたらすことがあった。本発明においては、このような課題が効果的に解決される。これは、接続孔底部の表面荒さが増大すること、および、これらの上に酸化シリコン薄膜 9a が形成されることによるものと推察される。第二の多結晶シリコン膜 11 中の単結晶化は、単結晶のシリコン基板表面を成長基点として進行する。従来技術においては、成長基点となるシリコン基板表面を酸化膜により覆うことにより単結晶の成長を抑制していた。これに対し本発明においては、酸化膜によって成長起点を覆うことのほか、成長表面の平滑性を低下させることにより単結晶の成長を阻害している。また、酸化膜自体も洗浄液により形成されたものであり、熱酸化あるいは大気中での自然酸化により形成されたものと比べ、薄い膜厚を制御性良く実現できる上、膜質も均一なものとなる。したがって、ボールアップを確実に行うことができ、エミッタ電極抵抗を低減するとともにエミッタ不純物濃度を設計通りに制御して安定した h f E を実現できる。

10

【0033】

また、本実施形態では、エミッタ電極を構成する多結晶シリコンを、絶縁膜 4、第一の多結晶シリコン膜 5 のように 2 段階に分けて形成しているため、フッ化水素酸またはその塩を含む洗浄液によってシリコン酸化膜等の絶縁膜が溶解し、膜減りが生じたり接続孔内でサイドエッチングが進行することを防止できる。

【0034】

なお、本実施形態は多結晶シリコンからなるバイポーラトランジスタの例を示したが、多結晶シリコン上にタングステン等の高融点金属を積層した図 1 (b) に示す電極構造とすることもできる。

20

【0035】

【実施例】

本実施例では図 1 (a) に示す構造のバイポーラトランジスタを作製し、その性能を評価した。以下、このバイポーラトランジスタの作製手順について説明する。

【0036】

まず図 2 (a) のように、シリコン基板 1 表面にリンをイオン注入してコレクタ領域 2 を形成し、次いでボロンをイオン注入してコレクタ領域 2 表面にベース領域 3 を形成し、つづいてこの上に酸化シリコンからなる絶縁膜 4 を形成した。絶縁膜 4 は 800~820℃ 程度の加熱雰囲気下で L P C V D 法により成膜し、膜厚は 50~100nm 程度とした。次に、この上に膜厚 50~100nm 程度の第一の多結晶シリコン膜 5 を堆積した (図 2 (b))。そして、第一の多結晶シリコン膜 5 の上に開口部を有するレジスト 6 を形成し (図 2 (c))、これをマスクとしてドライエッチングによりベース領域に到達する接続孔を形成した。

30

【0037】

その後、アッシングおよびレジスト剥離液による処理を行い、次いでフッ化水素酸またはその塩を用いた洗浄を実施した後、純水によるリンスを行った。これにより、レジストおよびエッチング残渣 7 が除去される (図 3 (a))。この後、A P M (アンモニア：過酸化水素：水 = 1 : 4 : 20 (体積比)) により洗浄を行った。処理温度は 50~70℃ が好ましいが、本実施例では 60℃ 程度とした。処理時間は 3~5 分である。その後、純水によるリンスを行った後、基板を乾燥させた (図 3 (b))。

40

【0038】

次に、接続孔内部を埋め込むように基板全面に第二の多結晶シリコン膜 11 を堆積した後、第二の多結晶シリコン膜 11 中に砒素をイオン注入した (図 4 (a))。

【0039】

その後、基板全体を R T A により加熱処理し、砒素をベース領域 3 中に拡散させてエミッタ領域 14 を形成した。処理温度は 1025℃、40 秒とした (図 4 (b))。

【0040】

その後、第一の多結晶シリコン膜 5 および第二の多結晶シリコン膜 11 を選択エッチング

50

してエミッタ電極 15 とし、バイポーラトランジスタを完成させた（図 4（c））。

【0041】

以上のようにして得られたバイポーラトランジスタを試料 1 とする。また、これとあわせて、APM による洗浄を行わないこと以外は上記と同様にしてバイポーラトランジスタを作製した。これを試料 2 とする。これらの試料について hFE を測定したところ、試料 1 では電流増幅率 hFE が顕著に向上し、しかもそのばらつきが低減していることがわかる。また、エミッタ電極抵抗も良好な値を示した。本発明によるバイポーラトランジスタは、hFE のばらつきが小さく、安定した素子性能が得られることが確認された（図 9）。

【0042】

【発明の効果】

以上説明したように、本発明によれば、不純物拡散のための熱処理時にエミッタ電極を構成する多結晶シリコンが単結晶化することを、界面酸化膜の残存を防止しつつ、確実に防止できる。このため、エミッタ電極抵抗を低減するとともにエミッタ不純物濃度を設計通りに制御して安定した hFE を実現することができる。

【0043】

また本発明によれば、エミッタ電極形成のためのドライエッチング後の洗浄において、ウォーターマーク等の異物の発生を防止することにより、歩留まりの向上および素子信頼性の向上を図ることができる。

【図面の簡単な説明】

【図 1】本発明の製造方法により得られるバイポーラトランジスタの例を示す図である。

【図 2】本発明の製造方法を説明するための図である。

【図 3】本発明の製造方法を説明するための図である。

【図 4】本発明の製造方法を説明するための図である。

【図 5】従来の製造方法を説明するための図である。

【図 6】従来の製造方法を説明するための図である。

【図 7】従来の製造方法を説明するための図である。

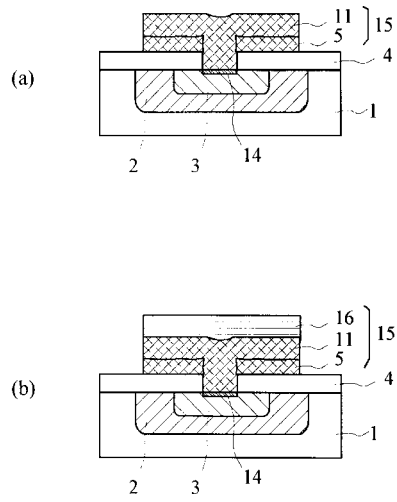
【図 8】従来の製造方法を説明するための図である。

【図 9】実施例で作製したバイポーラトランジスタの電流増幅率の評価結果である。

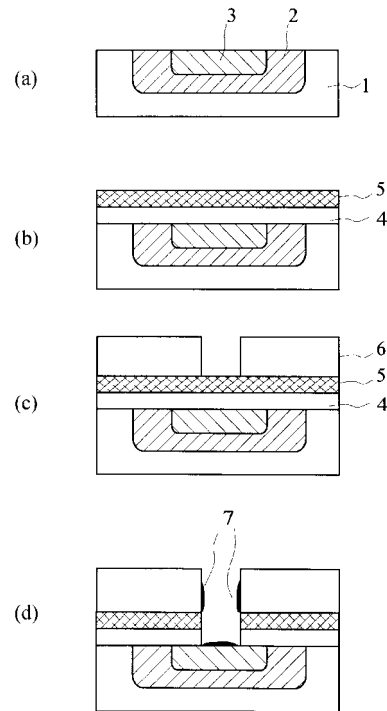
【符号の説明】

- | | | |
|-----|-------------|----|
| 1 | シリコン基板 | 30 |
| 2 | コレクタ領域 | |
| 3 | ベース領域 | |
| 4 | 絶縁膜 | |
| 5 | 第一の多結晶シリコン膜 | |
| 6 | レジスト | |
| 7 | エッチング残渣 | |
| 8 | 異物 | |
| 9 a | 酸化シリコン薄膜 | |
| 9 b | 酸化シリコン薄膜 | |
| 11 | 第二の多結晶シリコン膜 | 40 |
| 12 | ボールアップ後の界面 | |
| 14 | エミッタ領域 | |
| 15 | エミッタ電極 | |
| 16 | タングステン | |

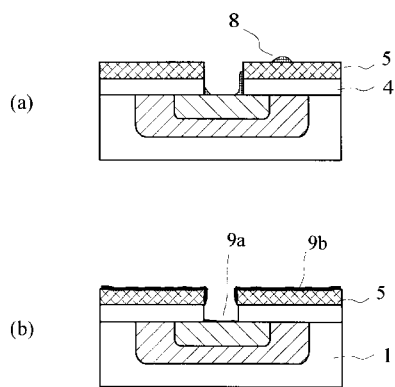
【図 1】



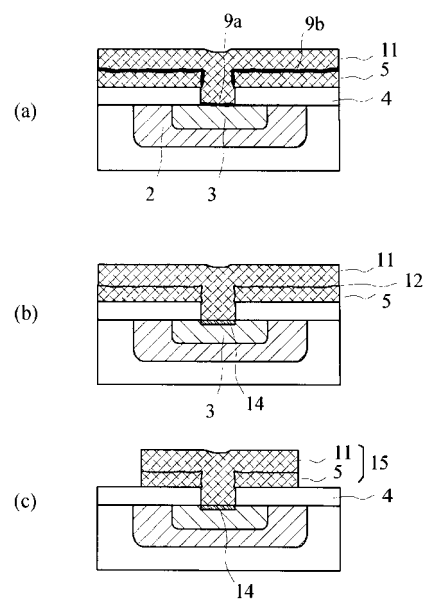
【図 2】



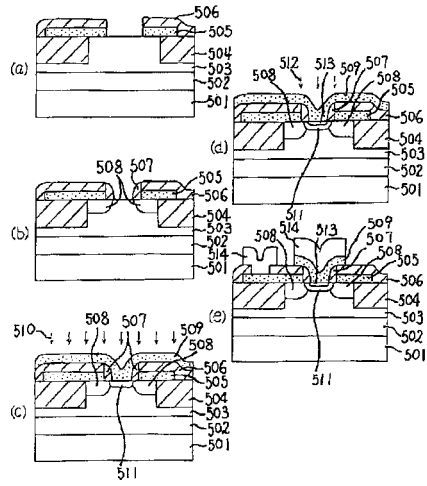
【図 3】



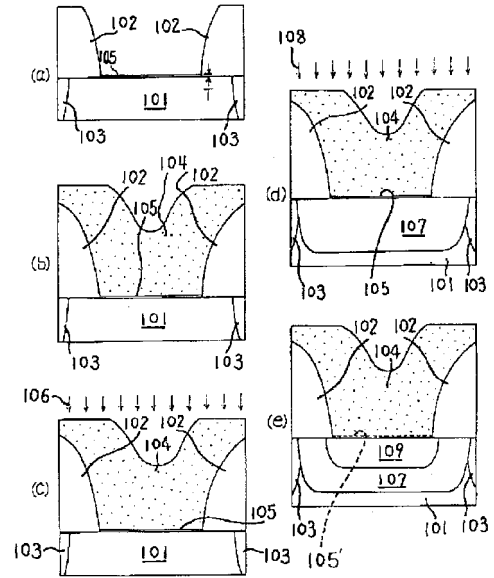
【図 4】



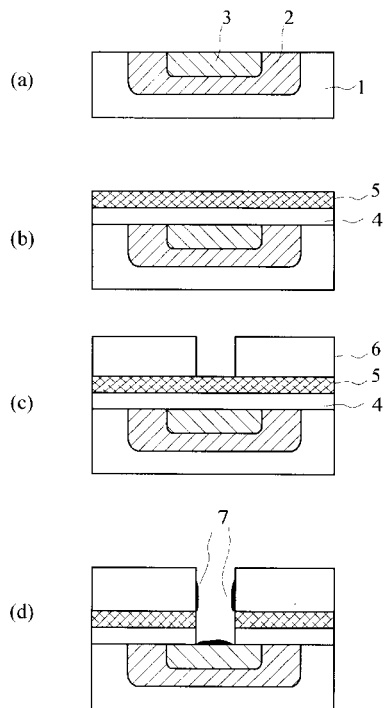
【図 5】



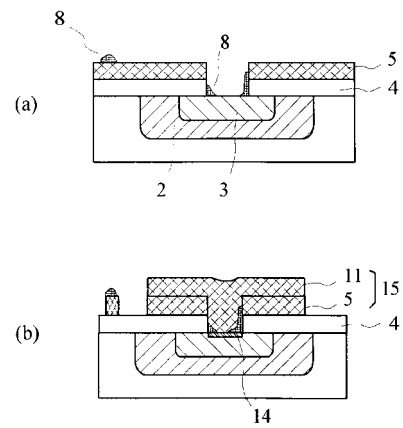
【図 6】



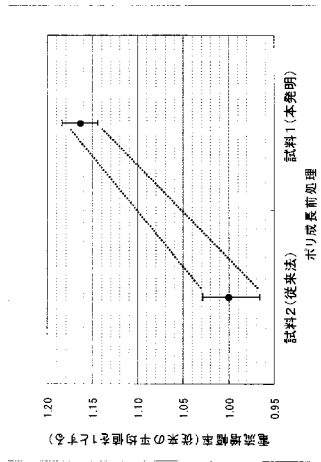
【図 7】



【図 8】



【図 9】



フロントページの続き

- (56)参考文献 特開平07-335664 (JP, A)
特開平10-335341 (JP, A)
特開平09-306867 (JP, A)
特開平05-021595 (JP, A)
特開平11-087281 (JP, A)
特開平06-069225 (JP, A)
特開平03-099440 (JP, A)
特開平03-246947 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

H01L21/33-331

H01L29/68-737