



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 698 21 784 T2 2004.12.02

(12)

## Übersetzung der europäischen Patentschrift

(97) EP 1 020 057 B1

(51) Int Cl.<sup>7</sup>: H04L 27/156

(21) Deutsches Aktenzeichen: 698 21 784.5

(86) PCT-Aktenzeichen: PCT/US98/20274

(96) Europäisches Aktenzeichen: 98 953 198.3

(87) PCT-Veröffentlichungs-Nr.: WO 99/17508

(86) PCT-Anmeldetag: 28.09.1998

(87) Veröffentlichungstag

der PCT-Anmeldung: 08.04.1999

(97) Erstveröffentlichung durch das EPA: 19.07.2000

(97) Veröffentlichungstag

der Patenterteilung beim EPA: 18.02.2004

(47) Veröffentlichungstag im Patentblatt: 02.12.2004

(30) Unionspriorität:

941949 01.10.1997 US

(84) Benannte Vertragsstaaten:

AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LI, LU, MC, NL, PT, SE

(73) Patentinhaber:

Rosemount Inc., Eden Prairie, Minn., US

(72) Erfinder:

GABOURY, J., Michael, Burnsville, US; FENG, Xiaoxin, Eden Prairie, US

(74) Vertreter:

PAe Splanemann Reitzner Baronetzky  
Westendorp, 80469 München

(54) Bezeichnung: FSK-DEMODULATOR MIT SUPRALINEAREM INTEGRATOR

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung****HINTERGRUND DER ERFINDUNG**

**[0001]** Die vorliegende Erfindung betrifft im Allgemeinen das Gebiet der Prozesssteuerungsinstrumente. Insbesondere betrifft die vorliegende Erfindung Systeme und Verfahren zur Erleichterung einer seriellen Nachrichtenübermittlung innerhalb eines Prozesssteuerungsinstruments.

**[0002]** Sender in der Prozesssteuerungsindustrie kommunizieren für gewöhnlich über einen Zweidraht-Schaltkreis oder eine Zweidraht-Regelschleife mit einem Regler. Der Sender empfängt Befehle von einem Regler über die Zweidraht-Regelschleife und sendet Ausgangssignale, welche einen gemessenen physikalischen Parameter wiedergeben, zurück an den Regler. Der Sender selbst kann eine Reihe von Vorrichtungen, wie beispielsweise Mikroprozessoren, Speichervorrichtungen, Analog-Digital-Wandler, Digital-Analog-Wandler, digitale Signalprozessoren (DSPs), Sensoren, sowie andere Peripherievorrichtungen aufweisen. Eine Nachrichtenübermittlung zwischen den verschiedenen Vorrichtungen innerhalb des Senders erfolgt für gewöhnlich auf einem Datenbus, welcher eine Taktleitung und eine Reihe von Datenleitungen aufweist. Aufgrund von Bedenken hinsichtlich des Stromverbrauchs und hinsichtlich der Komplexität ist es wichtig, die Anzahl der Datenbusleitungen, die für die Nachrichtenübermittlung zwischen den unterschiedlichen Vorrichtungen erforderlich sind, auf ein Minimum zu reduzieren.

**[0003]** In vielen Prozesssteuerungsinstrumenten muss der Sensor des Prozesssteuerungsinstruments von der Mess-Schaltkreisanordnung oder anderen Vorrichtungen in dem Prozesssteuerungsinstrument aus Sicherheitsgründen elektrisch isoliert sein. Zur elektrischen Isolierung des Sensors vom Rest der Schaltkreisanordnung in dem Sender wird eine Isolierschranke verwendet. Der Sensor empfängt Energie und kommuniziert mit der Mess-Schaltkreisanordnung durch die Schranke. Die Schranke verhindert, dass schädliche elektrische Entladungen, die manchmal auf der Prozessregelschleife auftreten, in die Mess-Schaltkreisanordnung gelangen, während das Einschließen der Isolierschranke einerseits für die Sicherheit oder andere Zwecke notwendig ist, verhindert es andererseits die Anzahl elektrischer Verbindungen, die zwischen dem Sensor und den anderen Vorrichtungen für die Nachrichtenübermittlung, Taktinformation und Energie erlaubt sind. Herkömmliche serielle Nachrichtenübermittlungsverfahren, welche für die Übermittlung von Daten über die Isolierschranke verwendet werden, haben häufig einen unerwünscht hohen Stromverbrauch und/oder eine komplexe Schaltkreisanordnung zur Folge.

**[0004]** Das US-Patent Nr. 4,021,744 (Druckschrift

D1) von Nicola Montefusco richtet sich auf einen Demodulator für frequenzumgetastete Nachrichtenübermittlungssysteme. In dem Patent von Montefusco und in dem dort beschriebenen relevanten Stand der Technik sind Demodulatoren offenbart, welche zwischen zwei eng benachbarten Eingangs frequenzen unterscheiden. Siehe D1 in Spalte 1, Zeilen 58 bis 61. Der offenbare Demodulator ist für ein Nachrichtenübermittlungssystem der Art ausgelegt, bei dem zwei Eintastfrequenzen abwechselnd zur Übertragung von Informationen erzeugt werden, z. B. als Punkte und Striche im Morsealphabet oder als Zeichen und Leerzeichen des Baudot-Codes. Siehe D1 in Spalte 1, Zeilen 6 bis 10.

**[0005]** Der in dem Patent von Montefusco offenbare Demodulator weist eine Amplitudenbegrenzer schaltung LM auf, welche eine ankommende Schwingung empfängt, die zwischen zwei Eintastfrequenzen abwechselt, und welche ansprechend auf die Schwingung eine Rechteckwelle liefert. Ansprechend auf die Rechteckwelle liefert ein Nulldurchgangs-Detektor DF eine Reihe von Signalimpulsen c an den Rücksetz-Eingang eines Impulszählers CN, dessen Schritteingang eine Folge von Taktimpulsen empfängt. Das Ausgangssignal des Impulszählers wird einem digitalen Vergleicher CM zugeführt und wird mit einem festgelegten Zahlenwert verglichen, der nicht kleiner als der aus einer Eintastfrequenz erhaltenen Zählerwert K sein sollte, jedoch andererseits weit unter dem Zählerwert K + X liegen sollte, der aus der zweiten Eintastfrequenz erhalten wird. Ansprechend darauf gibt der Vergleicher CM eine Folge rechteckiger Impulse aus, die mit jeweiligen Halbkreisen der im Demodulator eintreffenden Schwingungen übereinstimmen. Diese Impulse werden in einem Tief passfilter LP integriert, dessen Ausgangsspannung nach Übersteigen eines Schwellenpegels einen die Eintastfrequenz wiedergebenden rechteckigen Impuls liefert. Siehe D1 in Spalte 2, Zeilen 22 bis 60.

**ZUSAMMENFASSUNG DER ERFINDUNG**

**[0006]** Es werden ein Verfahren und eine Vorrichtung zum Entschlüsseln eines codierten Signals offenbart. Ein erstes Bit des codierten Signals wird empfangen und mit einem supralinearen Integrator zur Lieferung eines ersten Integrationssignals integriert. Ein erstes Referenzsignal wird als Funktion eines vorherigen Integrationssignals, das mit einem vorherigen Bit des codierten Signals verbunden ist, durch Multiplizieren des vorherigen Integrationssignals mit einem Wert, der größer als eins ist, wenn das vorherige Bit einen ersten Wert aufweist, und durch Multiplizieren des vorherigen Integrationssignals mit einem Wert, der kleiner als eins ist, wenn das vorherige Bit einen zweiten Wert aufweist. Das erste Integrationssignal wird mit dem ersten Referenzsignal verglichen, und ein erstes Bit eines Ausgangssignals wird basierend auf dem Vergleich geliefert. Das erste

Bit des Ausgangssignals zeigt die in dem ersten Bit codierten Informationen des codierten Signals.

**[0007]** Das Verfahren und die Vorrichtung der vorliegenden Erfindung sind insbesondere für die serielle Nachrichtenübermittlung über eine Schranke in einem Prozesssteuerungsinstrument ausgelegt. Ein Gehäuse für das Prozesssteuerungsinstrument weist ein erstes Fach, ein zweites Fach sowie eine elektrische Schranke zwischen dem ersten und zweiten Fach auf. Eine Codier-Schaltkreisanordnung in dem ersten Fach ist mit der Schranke zur Codierung von Daten in einem Signal zur Übertragung über die Schranke gekoppelt. Signalzyklen mit einer ersten Periode geben einen ersten Datenzustand wieder, während Signalzyklen mit einer zweiten Periode einen zweiten Datenzustand wiedergeben. Eine Decodier-Schaltkreisanordnung in dem zweiten Fach ist mit der Schranke verbunden und empfängt und entschlüsselt das Signal mit der unterschiedlichen Periode. In einigen bevorzugten Ausführungsformen weist das codierte Signal zur Reduzierung des Stromverbrauchs durch die Schranke und zur Verbesserung der Qualität des übertragenen Signals ein Tastverhältnis von 50% auf. Die Decodier-Schaltkreisanordnung der vorliegenden Erfindung kann zum Entschlüsseln von sowohl frequenzmodulierten Signalen als auch impulsweitenmodulierten Signalen verwendet werden.

**[0008]** Weitere Einzelheiten, Vorteile und Merkmale der Erfindung ergeben sich aus der nachfolgenden Kurzbeschreibung der Erfindung anhand der Zeichnungen.

#### KURZBESCHREIBUNG DER ZEICHNUNGEN

**[0009]** Es zeigen:

**[0010]** **Fig. 1** ein vereinfachtes Blockdiagramm einer Art von Prozesssteuerungssender, der erfindungsgemäße Nachrichtenübermittlungsverfahren und Schaltkreise verwendet;

**[0011]** **Fig. 2** einen Impulsplan, der ein Codiersystem zur seriellen Nachrichtenübermittlung gemäß der vorliegenden Erfindung veranschaulicht;

**[0012]** **Fig. 3** ein Diagramm eines Decodierschaltkreises zur Verwendung beim Entschlüsseln eines seriellen Datenstroms, der auf die in **Fig. 2** gezeigte Art und Weise codiert wurde;

**[0013]** **Fig. 4** einen Impulsplan für den Schaltkreis von **Fig. 3** und bevorzugte Verfahren bei der erfindungsgemäßen seriellen Nachrichtenübermittlung;

**[0014]** **Fig. 5** ein detailliertes Schaltkreisdiagramm für den Stromgenerator von **Fig. 3**;

**[0015]** **Fig. 6** ein Diagramm, das weiter die Arbeitsweise der in den **Fig. 3** und 5 gezeigten erfindungsgemäßen Schaltkreise veranschaulicht; und

**[0016]** **Fig. 7** ein Diagramm eines Codierschaltkreises zur Verwendung beim Codieren eines seriellen Datenstroms.

#### AUSFÜHLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

**[0017]** **Fig. 1** ist ein vereinfachtes Blockdiagramm eines Senders **10**, welcher die seriellen Nachrichtenübermittlungsmethoden der vorliegenden Erfindung zur Nachrichtenübermittlung zwischen verschiedenen in dem Sender angeordneten oder mit dem Sender verbundenen Vorrichtungen einsetzt. Wie gezeigt weist der Sender **10** ein Gehäuse **11**, eine Mess-Schaltkreisanordnung **16** sowie die Sensor-Schaltkreisanordnung **18** auf. Die Mess-Schaltkreisanordnung **16** ist in dem Fach **17** des Gehäuses **11** angeordnet. Die Sensor-Schaltkreisanordnung **18** ist in dem Fach **19** des Gehäuses **11** angeordnet. Abschnitte der Sensor-Schaltkreisanordnung **18** können auch außerhalb des Gehäuses **11** angeordnet sein.

**[0018]** Die Mess-Schaltkreisanordnung **16** koppelt an die Zweidrahtschleife **12** über Verbindungsanschlüsse **14** und wird zum Senden und Empfangen von Informationen auf der Schleife **12** verwendet. Die Schleife **12** koppelt an eine Steuerwarte, die als Stromquelle **15** und Widerstand **13** ausgeführt ist. Die Mess-Schaltkreisanordnung **16** und/oder die Sensor-Schaltkreisanordnung **18** können mehrere Knoten zweierlei Art aufweisen: Master-Knoten, welche typischerweise Mikroprozessoren sind, oder Slave-Knoten, welche typischerweise Peripheriegeräte wie beispielsweise Speicher sind. Andere Beispiele für Peripheriegeräte, welche in der Mess-Schaltkreisanordnung **16** oder der Sensor-Schaltkreisanordnung **18** vorliegen können, sind Vorrichtungen zum Abzweigen von Energie für den Sender aus dem durch die Schleife **12** fließenden Strom, Modems und andere Nachrichtenübermittlungs- und Eingabe-/Ausgabegeräte, Signalverarbeitungsvorrichtungen, Anzeigevorrichtungen, Analog-Digital-Wandler, Digital-Analog-Wandler, Temperatursensoren, Strömungssensoren, ph-Wert-Sensoren, Pegelsensoren, Drucksensoren, Differenzdrucksensoren, usw.

**[0019]** Wie vorstehend erwähnt sind in einer Ausführungsform die Mess-Schaltkreisanordnung **16** und die Sensor-Schaltkreisanordnung **18** in separaten Fächern **17** und **19** im Sender **10** angeordnet und sind mit Hilfe von Isolatoren **20** und **25** elektrisch voneinander isoliert. Bei den Isolatoren kann es sich um Transformatoren, Lichtschranken, oder andere in der Technik bekannte und für die elektrische Isolierung der Sensor-Schaltkreisanordnung **18** und des Pro-

zesses von der Mess-Schaltkreisanordnung **16** erforderliche Isolierschranken handeln. Die Isolatoren können zudem Rauschen des Massekreises bei der Messung der von der Sensor-Schaltkreisanordnung **18** gemessenen Parameter vermindern. Die Übertragungsleitungen **22** und **24** koppeln die Mess-Schaltkreisanordnung **16** und die Sensor-Schaltkreisanordnung **18** an den Isolator **20**, um eine Nachrichtenübermittlung zwischen der Sensor-Schaltkreisanordnung **18** und der Mess-Schaltkreisanordnung **16** über den Isolator **20** zu erleichtern. In der gezeigten Ausführungsform stellen die Leitungen **22** und **24** eine einzelne Datenleitung dar, über welche Informationen von der Mess-Schaltkreisanordnung **16** durch den Isolator **20** an die Sensor-Schaltkreisanordnung **18** seriell übertragen werden müssen. Ebenso werden Informationen von der Sensor-Schaltkreisanordnung **18** durch den Isolator **25** an die Mess-Schaltkreisanordnung **16** seriell übertragen.

**[0020]** Wie gezeigt weist die Mess-Schaltkreisanordnung **16** einen Frequenzmodulator oder Codierschaltkreis **30**, einen Decodierschaltkreis **31**, einen Mikroprozessor **32**, einen digitalen Signalverarbeitungsschaltkreis **33** sowie eine Eingabe-/Ausgabe (I/O)-Schaltkreisanordnung **34** auf. Die I/O-Schaltkreisanordnung **34** ist zum Empfang von Daten und Befehlen über die Schleife **12**, zum Übertragen von Daten über die Schleife **12** und zum Regulieren der Energie von der Schleife an den Sender **10** an den Mikroprozessor **32** sowie an die Schleife **12** gekoppelt. Der Mikroprozessor **32** ist an die I/O-Schaltkreisanordnung **34**, an den Modulator **30** und an den Decoder **31** über einen digitalen Signalverarbeitungsschaltkreis (DSP) **33** angeschlossen, um Signale und Daten von/zu den verschiedenen Vorrichtungen des Senders **10** zu empfangen, übertragen und zu verarbeiten. Im Allgemeinen wird der Mikroprozessor **32** zur Steuerung des Betriebs des Senders **10** verwendet. Der Modulator **30** frequenzmoduliert Signale, die über eine Übertragungsleitung **24**, einen Isolator **20** sowie eine Übertragungsleitung **22** an die Sensor-Schaltkreisanordnung **18** übertragen werden sollen. Der Decoder **31** empfängt über die Übertragungsleitung **27**, den Isolator **25** und die Übertragungsleitung **29** von der Sensor-Schaltkreisanordnung **18** übertragene modulierte Signale.

**[0021]** Die Sensor-Schaltkreisanordnung **18** umfasst die Steuerregister **21**, den Modulator- oder Codierschaltkreis **23**, den Sensor **26**, die Signalumwandlungs-Schaltkreisanordnung **28**, sowie den Decoder **100**. Der Sensor **26** misst eine Prozessvariable und liefert ein Ausgangssignal an die Signalumwandlungs-Schaltkreisanordnung **28**. Die Schaltkreisanordnung **28** kann Sigma-Delta-Modulatoren, vollständige A/D-Wandler oder eine andere Signalumwandlungs-Schaltkreisanordnung aufweisen. Der Modulator **23** kann von der gleichen Art wie der Modulator **30** sein, welcher Signale frequenzmoduliert, die mit Pro-

zessvariablen in Zusammenhang stehen und über die Übertragungsleitung **27**, den Isolator **25** sowie die Übertragungsleitung **29** an die Mess-Schaltkreisanordnung **16** zu übertragen sind. Es können jedoch auch andere Modulationsverfahren verwendet werden, um Signale über den Isolator **25** zu übertragen.

**[0022]** Der Decoder **100** decodiert erfindungsgemäß das vom Modulator **30** über die Isolierschranke übertragene frequenzmodulierte Signal. Das über den Isolator **20** übertragene Signal führt codierte Informationen und wird zur Erzeugung eines Taktsignals für die Verwendung im Betrieb der Sensor-Schaltkreisanordnung **18** verwendet. Das entschlüsselte Signal wird an eine andere Schaltkreisanordnung in der Sensor-Schaltkreisanordnung **18** geliefert, beispielsweise an die Steuerregister **21**, und kann zur Steuerung der unterschiedlichen Vorrichtungen innerhalb der Sensor-Schaltkreisanordnung **18** eingesetzt werden. Die Steuerregister **21** steuern Testfunktionen, Filterfunktionen und dergleichen. Während in anderen Ausführungsformen die Messschaltkreisanordnung **16** und die Sensor-Schaltkreisanordnung **18** andere Vorrichtungen als die in **Fig. 1** gezeigten aufweisen können, werden in einigen Ausführungsformen Modulatoren **23** und **30** sowie Decoder **31** und **100** verwendet, um Informationen zwischen der Mess-Schaltkreisanordnung **16** und der Sensor-Schaltkreisanordnung **18** zu übertragen oder weiterzuleiten.

**[0023]** Der Sender **10** ist an einen Regler angeschlossen, der elektrisch als Spannungsquelle **15** und Widerstand **13** ausgeführt ist, wobei der Regler die gesamte Energie an den Sender **10** liefern kann. In bevorzugten Ausführungsformen kann die Sensor-Schaltkreisanordnung **18** auch eine Gleichrichter- oder Demodulator-Schaltkreisanordnung zum Gleichrichten des über den Isolator **20** übertragenen Signals aufweisen, um Energie für die Sensor-Schaltkreisanordnung **18** bereitzustellen. Die Sensor-Schaltkreisanordnung **18** und die Mess-Schaltkreisanordnung **17** können alternativ jedoch auch von einem externen Stromnetz über ein Leitung betrieben werden, wie es in einem magnetischen Durchflussmesser der Fall ist.

**[0024]** Der Strom in der Prozessregelschleife (durch den Sender **10**, die Stromquelle **15** sowie den Widerstand **13** gebildet) gibt typischerweise eine vom Sensor **26** im Sender **10** gemessene Prozessvariable oder ein Steuersignal vom Sender **10** wieder. Die Stromstärke reicht gemäß der ISA-Norm 4–20 mA von 4 bis 20 mA. Dementsprechend muss der Sender **10** auch bei weniger als 4 mA betriebsfähig sein. Der Sender **10** kann auch so konfiguriert sein, dass er digital über den 4–20 mA-Strom kommuniziert, wie es in dem HART®-Protokoll der Fall ist, oder kann vollständig digital kommunizieren wie bei Fieldbus.

**[0025]** Die vorliegende Erfindung schließt ein Verfahren und eine Vorrichtung zum Bereitstellen einer seriellen Nachrichtenübermittlung über Isolierschaltkreise, wie beispielsweise die in **Fig. 1** gezeigten Isolatoren **20** und **25**, ein. Zur leichteren Veranschaulichung wird hier lediglich das Codieren und Decodieren von über den Isolator **20** übertragenen Signalen erörtert. Die selben Verfahren und Merkmale können jedoch auch zur Codierung und Decodierung von über den Isolator **25** übertragenen Signalen angewendet werden. Gemäß bevorzugten erfindungsgemäßen Ausführungsformen wird ein serieller Datenstrom durch den Modulator **30** codiert, indem ein Frequenz- oder Perioden-Modulationsverfahren eingesetzt wird. Ein logisches "0" (erster Datenzustand) wird als ein Zyklus des Signals mit einer ersten Periode  $T_0$  übertragen, und ein logisches "1" (zweiter Datenzustand) wird als Zyklus des Signals mit einer zweiten Periode  $T_1$  übertragen, welche sich von der ersten Periode unterscheidet. Ein auf diese Weise codierter serieller Datenstrom ist in **Fig. 2** gezeigt. Es ist praktisch, jedoch nicht notwendig,  $T_1$  auf ungefähr  $2T_0$  ( $T_1 \approx 2T_0$ ) festzulegen, um die Komplexität der Codier- und Decodier-Schaltkreisanordnung zu verringern. In einer bevorzugten Ausführungsform wird  $T_1$ , während eines hochpräzisen Betriebsmodus, auf ungefähr  $1,10 \mu\text{s}$  ( $F_1 \approx 900 \text{ KHz}$ ) eingestellt, während  $T_0$  auf ungefähr  $0,55 \mu\text{s}$  ( $F_0 \approx 1,8 \text{ MHz}$ ) eingestellt wird. In dieser Ausführungsform wird bei Betrieb in einem niedrigeren Energie-Betriebsmodus  $F_1$  auf ungefähr  $460,5 \text{ KHz}$  eingestellt, während  $F_0$  auf ungefähr  $921 \text{ KHz}$  eingestellt wird.

**[0026]** Ein codierter Datenstrom, wie er in **Fig. 2** gezeigt ist, wird erfindungsgemäß über die Isolierschranke **20** übertragen, und anschließend mit Hilfe des Decoderschaltkreises **100** entschlüsselt. Durch Variieren der Signalperiode zur Darstellung verschiedener Datenzustände, im Gegensatz dazu, nur das Tastverhältnis des Signals (Impulsbreitenmodulation) zu verändern, werden Datenübertragungsfehler über die Isolierschranke vermindert. Die Impulsbreitenmodulation kann eine Sättigung des Transformatorkerns in transformatorartigen Isolierschranken zur Folge haben. Falls der Transformatorkern gesättigt ist, tritt ein Energieverlust im Kern auf, wodurch eine Erwärmung des Transformators bewirkt wird. Die Erzeugung unnötiger Wärme um elektronische Instrumente ist unerwünscht, da sie zu Versagen von Bauteilen, zu einer verringerten Bauteil-Lebenserwartung und zu Verschlechterungen bei der elektrischen Leistungsfähigkeit der Bauteile beiträgt. Zudem ist eine Verschwendungen von Energie in höchstem Maße unerwünscht, insbesondere in Prozesssteuerungsinstrumenten, in denen Energie über die Schleife zugeführt wird. Des Weiteren verzerrt der gesättigte Kern des Transformators das Signal, was zu Übertragungsfehlern führt.

**[0027]** In bevorzugten Ausführungsformen der vor-

liegenden Erfindung sind die codierten Signale in etwa Signale mit einem Tastverhältnis von 50%, unabhängig von der Periode eines jeden individuellen Signalzyklus. Auf diese Weise sind die codierten Signale der vorliegenden Erfindung potentiell leichter zu erzeugen als in Impulsweiten-Modulationsverfahren. Darüber hinaus sollten Signale mit einem Tastverhältnis von 50% einen konstanteren Stromverbrauch im Vergleich zu impulsweitenmodulierten codierten Signalen schaffen. Noch weiter sollte die Symmetrie des Signals mit einem Tastverhältnis von 50% dazu beitragen, die mit dem Signal verbundenen Oberwellen zu reduzieren, wodurch die Störung von nahegelegenen Bauteilen vermindert wird.

**[0028]** **Fig. 2** zeigt acht aufeinanderfolgende Zyklen **50**, **52**, **54**, **56**, **58**, **60**, **62** und **64** eines codierten Signals. Jeder Zyklus stellt ein Bit übertragener Daten dar. Alternativ kann jeder Zyklus einen aus einer Vielzahl möglicher Datenzustände für die Übertragung zwischen Vorrichtungen repräsentieren. Während eines jeden Zyklus sind die voreilende Flanke (Übergang) **68** sowie die nacheilende Flanke (Übergang) **70** vorzugsweise zeitlich abgestimmt, so dass das Signal ungefähr ein Tastverhältnis von 50% aufweist, unabhängig von der Signalperiode während des Zyklus. Wie gezeigt, weisen die Zyklen **50**, **52**, **54**, **60** und **64** Perioden  $T_0$  (bei Frequenz  $F_0$ ) auf. Die Zyklen **56**, **58** und **62** des Signals weisen Perioden  $T_1$  (bei Frequenz  $F_1$ ) auf. Aus diesem Grund würde bei einer Implementierung der vorliegenden Erfindung in einem Zweidatenzustand der Datenstrom von **Fig. 2** die Folge 00011010 darstellen.

**[0029]** Ein Schaltkreis zum Decodieren der periodencodierten Daten von

**[0030]** **Fig. 2** ist in **Fig. 3** gezeigt, wobei jedoch auch andere Implementierungen möglich sind. Ein Schaltkreis zum Codieren der periodencodierten Daten von **Fig. 2** ist in **Fig. 7** gezeigt. Durch die Verwendung des in **Fig. 3** gezeigten seriellen Datencodierschaltkreises **100** kann ein einzelner durch Verwendung des Verfahrens von **Fig. 2** codierter und über einen Isolier-Transformator oder eine andere Schranke übertragener Datenstrom entschlüsselt werden. Darüber hinaus kann der Decodierschaltkreis **100** auch zum Entschlüsseln von impulsweitenmodulierten Datenströmen verwendet werden. Auf diese Weise ist der in **Fig. 3** gezeigte Schaltkreis gut für den Einsatz in der Mess-Schaltkreisanordnung **16** und/oder der Sensor-Schaltkreisanordnung **18** zum Entschlüsseln von über eine Isolierschranke übertragenen Daten geeignet. Des Weiteren können die Verfahren und Schaltkreise der vorliegenden Erfindung verwendet werden, um eine verbesserte serielle Datenübermittlung auf jedem beliebigen geeigneten Datenbus oder auf jeder beliebigen anderen Datenleitung zu erleichtern.

**[0031]** Der Decoderschaltkreis **100** weist einen Stromerzeuger **102**, einen Referenzstromerzeuger **104**, einen flankengesteuerten Vergleicher **106** und eine Ausgangs-Schaltkreisanordnung **108** auf. Der Stromerzeuger **102** umfasst den Schalter  $S_1$ , den Kondensator  $C_1$ , die Stromsenke  $I_C$ , die Transkonduktanz-Verstärkerstufe **110** sowie den Abtast- und Halteschaltkreis **118** auf. Der Eingang **112** des Transkonduktanzverstärkers **110** ist mit der Versorgungsspannung  $V_{DD}$  gekoppelt. Der Kondensator  $C_1$  und der Schalter  $S_1$  sind an den Eingängen **112** und **114** des Verstärkers **110** parallel geschaltet. Die Stromsenke  $I_C$  ist zwischen dem Eingang **114** des Verstärkers **110** und der Versorgungsspannung  $V_{SS}$  geschlossen. Der Ausgang **116** des Verstärkers **110** liefert den Strom  $I_{gm}$  als ein Eingangssignal in den Abtast- und Halteschaltkreis **118**. Der Abtast- und Halteschaltkreis **118** liefert an den Ausgängen **120** und **122** Ströme  $I_s(t)$ , bei denen es sich um verzögerte Versionen von  $I_{gm}$  handelt.

**[0032]** Der Schalter  $S_1$  wird gesteuert, indem das eintreffende codierte Datensignal  $CK$  eingesetzt wird. Während der Hochspannungsabschnitte des  $CK$ -Signal-Tastverhältnisses öffnet sich der Schalter  $S_1$ . Der Schalter  $S_1$ , der Kondensator  $C_1$ , die Stromsenke  $I_C$  und der Transkonduktanzverstärker **110** bilden zusammen den supralinearen Integrationsschaltkreis. Der Begriff "supralinear" soll anzeigen, dass das Ausgangssignal des Integrationsschaltkreises als eine Funktion der Zeit folgendermaßen ausgedrückt werden kann:  $y = mt^x$  (wobei  $x$  größer als 1 ist). Abhängig von der Periode oder Frequenz des den Schalter  $S_1$  steuernden an kommenden Signals  $CK$ , weist der Ausgangstrom  $I_{gm}$  am Ausgang **116** des Verstärkers **110** einen von zwei perioden- oder frequenzabhängigen Endwerten auf, wobei jeder Endwert einem der beiden zwei codierten Datenzuständen entspricht. In anderen Ausführungsformen kann der Schaltkreis jedoch so ausgelegt sein, dass er drei oder mehr Ausgangszustände bereitstellt, die drei oder mehr möglichen Datenzuständen entsprechen.

**[0033]** Der Abtast- und Halteschaltkreis **118** behält die Stromstärke  $I_{gm}$  während der Niedrigspannungsabschnitte des  $CK$ -Signal-Tastverhältnisses bei, so dass der Ausgangstrom  $I_s(t)$  des Abtast- und Halteschaltkreises **118** im Wesentlichen gleich  $I_{gm}$  während des Niedrigspannungsabschnitts des  $CK$ -Signals beibehalten wird. Der Abtast- und Halteschaltkreis **118** wird implementiert, indem ein geschalteter Stromspiegel von der Art verwendet wird, der den Ausgangstrom sogar nach Veränderung des Eingangstroms beibehält. Alternativ kann ein spannungsartiger Abtast- und Halte (S/H)-Schaltkreis verwendet werden. Der Ausgangstrom  $I_s(t)$  des Schaltkreises **118** wird an den Vergleicher **106** am Eingang **120** geliefert, und an den Referenzstromerzeuger **104** am Eingang **122**. Auf diese Weise wird der Strom  $I_s(t)$  gespiegelt, so dass er an zwei Ausgängen des

Abtast- und Halteschaltkreises bereitgestellt werden kann. Die Arbeitsweise des Stromerzeugers **102** wird ausführlicher mit Bezug auf die **Fig. 5** und **6** erörtert und gezeigt. Aus Gründen der einfacheren Veranschaulichung ist jedoch in den **Fig. 5** und **6** lediglich die Erzeugung eines  $I_s(t)$ -Ausgangstroms gezeigt.

**[0034]** Der Referenzstromerzeuger **104** erzeugt einen Referenzstrom  $I_{REF}$ , der an den flankengesteuerten Vergleicher **106** für den Vergleich mit Strom  $I_s(t)$  geliefert wird. Bei geeigneter Einstellung des Stroms  $I_C$  erzeugt der Referenzstromerzeuger **104** einen im Wesentlichen konstanten Referenzstrom für jedes beliebige gegebene Paar von codierten Eingangssignalenfrequenzen, und stellt automatisch den Referenzstrom angemessen ein, falls  $I_s(t)$  aufgrund des Prozesses oder der Temperatur leicht variiert. Der Referenzstromerzeuger **104** weist die Stromverzögerungszelle **124**, den Schalter  $S_2$ , den Multiplizierschaltkreis **128** sowie den Multiplizierschaltkreis **129** auf. Bei der Stromverzögerungszelle **124** kann es sich um einen geschalteten Stromspiegel oder um andere bekannte Schaltkreise handeln, welche den Strom  $I_s(t)$  als Eingangssignal empfangen, welche diesen Eingangstrom über eine Zeitdauer  $\tau$  beibehalten, und dann zu einem späteren Zeitpunkt im Wesentlichen den gleichen Strom wie  $I_s(t - \tau)$  bereitstellen. So liefert die Stromverzögerungszelle **124** an ihrem Ausgang **126** einen Strom, der im Wesentlichen gleich dem Strom  $I_s(t)$  vom vorherigen Zyklus des an kommenden codierten Datensignals  $CK$  ist. Im Allgemeinen hat  $\tau$  einen von zwei Werten, abhängig von der Folge von Datenzuständen, die vom Decoder **100** empfangen werden. Sobald die vorherigen und aktuellen Bits jeweils logische "0"-Datenzustände aufweisen, ist  $\tau$  ungefähr  $T_0$ . Wenn die vorherigen und aktuellen Bits jeweils logische "1"-Datenzustände aufweisen, ist  $\tau$  ungefähr  $T_1$ . Wenn die vorherigen und aktuellen Bits einen Übergang von einem logischen "1"-Zustand zu einem logischen "0"-Datenzustand darstellen oder umgekehrt, ist  $\tau$  ungefähr gleich  $1/2*(T_0 + T_1)$ .

**[0035]** Abhängig von dem Ausgangssignal  $Q(t)$  des Decoders **100** (nachfolgend noch ausführlicher erörtert) koppelt der Schalter  $S_2$  das Ausgangssignal **126** der Stromverzögerungszelle **124** an einen der Multiplizierschaltkreise **128** und **129**. Falls ausgewählt, multipliziert der Multiplizierschaltkreis **128** den Strom  $I_s(t - \tau)$  mit 0,75, während der Multiplizierschaltkreis **129** den Strom  $I_s(t - \tau)$  mit 1,5 multipliziert. Andere Multiplikationsfaktoren können verwendet werden, falls andere Frequenzen als 900 MHz und 1,8 MHz zum Codieren beispielsweise von Daten in dem hochpräzisen Betriebsmodus verwendet werden. Große Abweichungen bei  $I_s(t)$ , welche auftreten würden, wenn zwischen hochpräzisen und Niederleistungs-Frequenzbereichen geschaltet würde, werden vermieden oder durch Steuerung des Stroms  $I_C$  ausgeglichen, um die Integrationsrate des supralinearen

Integrators zu verändern. Im Allgemeinen wird  $I_C$  so gesteuert, dass der Strom  $I_s(t)$  nominal immer in etwa den gleichen Wert aufweist.

**[0036]** Der Mindestwert  $I_{S\text{MIN}}$  des Stroms  $I_s(t)$ , welcher vom Stromerzeuger **102** (entsprechend der Periode  $T_0$  und daher einem logischen "0" oder ersten Datenzustand) geliefert wird, ist vorzugsweise auf ungefähr die Hälfte des maximalen Stromwerts  $I_{S\text{MAX}}$  des Stroms  $I_s(t)$  (entsprechend der Periode  $T_1$  und daher einem logischen "1" oder zweiten Datenzustand) eingestellt. Aus diesem Grund ist der Referenzstrom  $I_{\text{REF}}$  am Ausgang **130** des Referenzstromerzeugers **104** im Wesentlichen konstant, wie es in Gleichung 1 gezeigt ist:

$$I_{\text{REF}} \text{ (für alle } t) = 1,5 * I_{S\text{MIN}} = 0,75 * I_{S\text{MAX}} \text{ Gleichung 1}$$

**[0037]** Da der Vergleicher **106** flankengesteuert ist, entspricht das Ausgangssignal  $Q(t)$  dem zuvor codierten Bit, bis der Vergleicher erneut verriegelt oder zwischenspeichert. Daher wird, da die Stromverzögerungszelle **124** ebenfalls Strom  $I_s(t - \tau)$  liefert, der dem vorherigen codierten Bit entspricht, der Schalter **52** derart gesteuert, dass der richtige Multiplizierschaltkreis ausgewählt wird, um Referenzstrom  $I_{\text{REF}}$  bereitzustellen. Ein Vorteil des Decoderschaltkreises **100** liegt darin, dass der Strom  $I_C$  derart gesteuert werden kann, dass der Stromerzeuger **104** einen geeigneten Referenzstrom liefert, unabhängig von der besonderen Gruppierung von Perioden (und daher unabhängig von möglichen Werten von  $I_{S\text{MIN}}$  und  $I_{S\text{MAX}}$ ), welche ausgewählt werden, um die logischen Pegel in dem Datenstrom darzustellen. Der Referenzstrom  $I_{\text{REF}}$  wird während geringfügiger Änderungen von  $I_s(t)$ , die durch Temperatur- oder Prozessschwankungen verursacht werden, durch die geeignete Auswahl der Multiplizierer **128** und **129** beibehalten. Dies liefert insofern den Vorteil, dass bei geringer oder überhaupt keiner Schaltkreismodifizierung der Decoderschaltkreis **100** zum Decodieren von Signalen verwendet werden kann, wobei die Signale mit jeder beliebigen einer großen Bandbreite von Periodengruppierungen codiert wurden. Diese Anpassungsfähigkeit zusammen mit einer  $I_C$ -Modifizierung erlaubt eine Auswahl oder Veränderung der Perioden, was praktisch oder notwendig sein kann, ohne dass der Schaltkreis **100** modifiziert werden muss. Die Fähigkeit des Maßschneiderns der Signalperioden ohne Modifizierung der Schaltkreisanordnung spart Zeit und Kosten. Die Verwendung von Multiplizierschaltkreisen **128** und **129** ermöglicht die Erzeugung eines ausreichenden Referenzstroms, wenn kleine Abweichungen bei den an kommenden Daten oder dem Takt signal CK auftreten.

**[0038]** Der Stromvergleicher **106** empfängt den Strom  $I_s(t)$  vom Ausgang **120** des Stromerzeugers **102** an einem seiner Eingänge. Der Stromvergleicher **106** empfängt an seinem anderen Eingang den Referenzstrom  $I_{\text{REF}}$  vom Ausgang **130** des Referenzstromerzeugers **104**. Am Ausgang **132** liefert der Vergleicher **106** ein hohes oder niedriges Spannungsausgangssignal, abhängig davon, ob der Strom  $I_s(t)$  größer oder kleiner als der Referenzstrom  $I_{\text{REF}}$  ist. Auf diese Weise gibt das Vergleicher-Ausgangssignal **132** wieder, ob ein bestimmtes Bit des am Schalter **S<sub>1</sub>** empfangenen codierten Signals eine codierte "1" oder eine "0" aufwies.

**[0039]** Das Ausgangsspannungssignal am Ausgang **132** des Vergleichers **106** wird an die Ausgangsschaltkreisanordnung **108** geliefert. Es versteht sich, dass während der Vergleicher **106** vorzugsweise ein Stromvergleicher ist, der gesamte oder Teile des Decoderschaltkreises **100** implementiert werden können, indem sie Spannungsmodusschaltkreise anstelle von Strommodusschaltkreisen verwenden. Beispielsweise kann der Stromerzeuger **102** durch einen Spannungserzeugungsschaltkreis ersetzt werden. Ebenso könnte der Referenzstromerzeuger **104** durch einen Referenzspannungs-Erzeugerschaltkreis ersetzt werden. In diesem Fall würde der Vergleicher **106** durch einen Spannungsvergleicherschaltkreis ersetzt. Aufgrund der Rauschfestigkeit und der verringerten Energieanforderungen der Strommodusschaltkreise werden jedoch Strommodusschaltkreise wie die in **Fig. 3** gezeigten bevorzugt.

**[0040]** Der Ausgangsschaltkreis **108** weist eine Stromquelle  $I_V$ , einen Kondensator  $C_V$ , ein UND-Gatter **136** sowie eine Zwischenspeicher-Schaltkreisanordnung **140** auf. Die Stromquelle  $I_V$  ist zwischen der Netzspannung  $V_{DD}$  und dem Eingang **134** an das UND-Gatter **136** gekoppelt. Der Eingang **134** des UND-Gatters **136** ist ebenfalls durch den Kondensator  $C_V$  an die Versorgungsspannung  $V_{SS}$  gekoppelt. Der Ausgang **132** des Vergleichers **106** ist an den Eingang **135** sowie das UND-Gatter **136** gekoppelt. Das Ausgangssignal  $Q(t)$  des UND-Gatters **136** wird an den Eingang **138** des Zwischenspeicher-Schaltkreisanordnung **140** geleitet. Die Zwischenspeicher-Schaltkreisanordnung **140** liefert bei **142** ein Ausgangssignal, welches den Zustand des im Signal CK codierten Datenstroms wiedergibt. Die Stromquelle  $I_V$  und der Kondensator  $C_V$  arbeiten zusammen, um den Eingang **134** des UND-Gatters **136** unmittelbar nach einer Rücksetzung oder beim Einschalten auf einer niedrigen logischen Pegelspannung zu halten. Auf diese Weise wird das Ausgangssignal  $Q(t)$  nach dem Einschalten mehrere Zyklen lang niedrig gehalten, bis der Kondensator  $C_V$  ausreichend aufgeladen ist. Diese verhindert falsche Ausgangssignale aufgrund von Rauschen oder anderen Einschalt-Prozessbedingungen. Alternativ kann anstelle der Verwendung des durch die Stromquelle  $I_V$  und den Kondensator  $C_V$  gebildeten Verzögerungsschaltkreises ein Einschalt-Rücksetz-Schaltkreis zum Antrieb des Eingangsknotens **134** des

UND-Gatters **136** verwendet werden.

**[0041]** Nachdem der Kondensator  $C_V$  ausreichend aufgeladen ist, spiegelt das Ausgangssignal  $Q(t)$  den Zustand des Ausgangs des Vergleichers **106** wider. Die Zwischenspeicher-Schaltkreisanordnung **140** empfängt das Ausgangssignal  $Q(t)$  des UND-Gatters als ein Eingangssignal und liefert ein Ausgangssignal am Ausgang **142**. Die Zwischenspeicher-Schaltkreisanordnung **140** wird dazu verwendet, die einzelnen entschlüsselten Bits, welche den in dem seriellen Datenstrom CK empfangenen codierten Bits entsprechen, in einer anderen Schaltkreisanordnung im Sender zwischenspeichern.

**[0042]** **Fig. 4** ist ein Steuerdiagramm, welches das Ausgangssignal  $Q(t)$  als Funktion eines Eingangssignals CK zeigt. **Fig. 4** zeigt das entschlüsselte Bit (im Signal  $Q(t)$ ) für jedes Bit oder jeden Zyklus des periodencodierten Datensignals CK. Das Ausgangssignal  $Q(t)$  verändert seinen entsprechenden Wert für jedes Bit des codierten Signals CK am Mittelpunkt (oder der nacheilenden Flanke **402**) des entsprechenden empfangenen periodencodierten Bit. Auf diese Weise verändert sich während einer Zustandsänderung von einem empfangenen periodencodierten "0" zu einem empfangenen periodencodierten "1",  $Q(t)$  (an der voreilenden Flanke **404**) von "0" auf "1" am Mittelpunkt (d. h. an der nacheilenden Flanke **402**) des empfangenen periodencodierten "1"-Bit. Während in der bevorzugten Verwendung der vorliegenden Erfindung  $Q(t)$  an den nacheilenden Flanken des entsprechenden Bit des empfangenen periodencodierten Signals seinen Zustand verändert, sind auch eine Reihe anderer Anwendungen möglich. Beispielsweise kann  $Q(t)$  so ausgelegt sein, dass es am Start (an der voreilenden Flanke **406**) des nächsten empfangenen codierten Bit seinen Zustand verändert.

**[0043]** **Fig. 5** ist ein Schaltkreisdiagramm, das den Stromerzeuger **102** ausführlicher zeigt. Wie in **Fig. 5** gezeigt, ist der Stromerzeuger **102** funktionell in den supralinearen Integrationsschaltkreis **502** und den Abtast- und Halteschaltkreis **118** unterteilt. Der Integrationsschaltkreis **502** weist den Schalter  $S_1$ , den Kondensator  $C_1$ , die Stromquelle  $I_C$  und den Transkonduktanzverstärker **110** auf. Wie in **Fig. 5** gezeigt, weist der Transkonduktanzverstärker **110** die Transistoren  $Q_{MN1}$  und  $Q_{MN2}$  sowie die Stromquelle  $I_D$  auf, die als Differenzverstärker konfiguriert ist. Der Transkonduktanzverstärker **110** arbeitet zur Bildung eines supralinearen Integrationsschaltkreis mit dem Schalter  $S_1$ , dem Kondensator  $C_1$  und der Stromquelle  $I_C$  zusammen, wobei der Integrationsschaltkreis einen Ausgangstrom  $I_{gm}$  mit einer Stärke bereitstellt, die von der Periodenlänge des Zyklus des codierten Eingangssignals CK abhängig ist. Die Stromquelle  $I_1$  ist eingeschlossen, um einen Strom mit niedrigem Pegel zu liefern, um den Transistor  $Q_{MN2}$  eingeschaltet zu

halten. Der Abtast- und Halteschaltkreis **118** weist die Transistoren  $Q_{MP1}$  und  $Q_{MP2}$ , den Kondensator  $C_2$  sowie den Rücksetzschalter  $S_3$  auf. Transistor  $Q_{MP1}$ , Transistor  $Q_{MP2}$ , Kondensator  $C_2$  und Schalter  $S_3$  sind als geschalteter Stromspiegel konfiguriert.

**[0044]** Der Stromerzeuger **102** arbeitet im Allgemeinen wie folgt. Während des Hochspannungsabschnitts eines jeden codierten Zyklus oder Bits des Signals CK ist der Schalter  $S_1$  geöffnet. Während dieser Zeit lädt sich der Kondensator  $C_1$  auf, und die Spannung  $V_1$  fällt. Auf diese Weise entwickelt sich, wenn der Steuerknoten des Transistors  $Q_{MN2}$  an die Spannungsquelle  $V_{DD}$  angeschlossen ist, eine Spannungsdifferenz zwischen den Steuerknoten der Transistoren  $Q_{MN1}$  und  $Q_{MN2}$ , wodurch bewirkt wird, dass ein größerer Teil des Stroms  $I_D$  durch den Transistor  $Q_{MN2}$  gelangt. Da der Einschaltstrom  $I_1$  im Vergleich zum Strom  $I_D$  sehr gering ist, weist der durch den Transistor  $Q_{MN2}$  fließende Strom eine ähnliche Stärke wie der Strom  $I_{gm}$  auf, der in den Transistor  $Q_{MP1}$  des Abtast- und Halteschaltkreises **118** fließt.

**[0045]** Im Allgemeinen wird der Schalter  $S_3$  geschlossen, sobald der Schalter  $S_1$  geöffnet ist und umgekehrt. Wie gezeigt, sind beide Schalter  $S_1$  und  $S_3$  Schalter vom PMOS-Typ. Es können aber auch andere Schalterarten mit geringfügigen Abänderungen verwendet werden. In der gezeigten Ausführungsform schließt sich der Schalter  $S_3$  während des Hochspannungsabschnitts des Eingangssignals CK, und der Abtast- und Halteschaltkreis **118** arbeitet als Stromspiegel. Auf diese Weise ist der durch den Transistor  $Q_{MP2}$  fließende Strom  $I_S$  in etwa gleich dem Strom  $I_{gm}$ . Während des Niedrigspannungsabschnitts eines jeden Zyklus oder Bit des Signals CK öffnet sich der Schalter  $S_3$  und die Ladung des Kondensators  $C_2$  hält den Transistor  $Q_{MP2}$  leitfähig, so dass der Ausgangstrom  $I_S$  sogar dann beibehalten wird, wenn sich der Strom  $I_{gm}$  verändert. Auf diese Weise hält diese geschaltete Stromspiegelungskonstruktion den mit Hilfe der Transkonduktanzstufe **110** erzeugten Strom zur Verwendung während des nächsten Halbzyklus bei. Die geschalteten Stromspiegel von der Art, wie sie für die Abtast- und Haltevorrichtung **118** verwendet werden, können auch als Stromverzögerungszelle **124** eingesetzt werden.

**[0046]** **Fig. 6** zeigt die Übereinstimmung zwischen dem Strom  $I_S$  vom Stromerzeuger **102** und dem eintrifenden codierten Signal CK. Wie aus **Fig. 6** ersichtlich ist, nimmt, nachdem die nacheilende Flanke **605** des ersten Zyklus **602** (welcher die einem "0"-Bit entsprechende Periode  $T_0$  aufweist) in dem codierten Signal CK empfangen wird, der Strom  $I_S$  seinen aktiven Mindeststromwert  $I_{SMIN}$  an. An der voreilenden Flanke **606** des nächsten Zyklus **604** (welcher die einem "1"-Bit entsprechende Periode  $T_1$  aufweist) des Signals CK fällt  $I_S$  im Wesentlichen auf Null. An der nacheilenden Flanke **607** des Zyklus **604** nimmt der

Strom  $I_s$  seinen Maximalwert  $I_{s\text{MAX}}$  an. Dieser Vorgang geht für jedes Bit oder jeden Zyklus des eingehenden Datensignals CK weiter, wobei der Strom  $I_s$  entweder den Wert  $I_{s\text{MIN}}$  oder den Wert  $I_{s\text{MAX}}$  annimmt. Der Abtast- und Halteschaltkreis **118** behält den Stromwert (entweder bei  $I_{s\text{MIN}}$  oder bei  $I_{s\text{MAX}}$ ) für den Rest des Zyklus des codierten Bit bei. Nach der vorliegenden Flanke des nächsten codierten Bit bewirkt der Schalter  $S_3$ , dass der Strom  $I_s$  auf 0 rückgesetzt wird.

**[0047]** Fig. 7 zeigt eine bevorzugte Ausführungsform des Modulators **30**, der erfindungsgemäß zur Frequenz- oder Periodencodierung von Signalen zur Übertragung über den Isolator **20** verwendet wird. Der Modulator **30** weist ein Taktignal CLOCK mit einem Tastverhältnis von ungefähr 50%, einen Frequenzteiler **702** und einen Multiplexer **706** auf. Das Taktignal CLOCK mit einem Tastverhältnis von 50% kann beispielsweise die Frequenz  $F_0$  aufweisen, die der Übertragung eines logischen 0-Bit entspricht. Dieses Taktignal wird sowohl an den Eingang **703** des Frequenzteilers **702** als auch an den Eingang **708** des Multiplexers **706** geliefert. Nach der Frequenzteilung durch den Teiler **702** wird ein Signal mit einem Tastverhältnis von 50% aber ungefähr der halben Frequenz des Taktsignals CLOCK (d. h. mit der Frequenz  $F_1$ ) an den Multiplexer **706** am Eingang **704** geliefert. Unter Verwendung des Steuersignaleingangs **710** des Multiplexers **706** wird der Ausgang **712** des Multiplexers **706** selektiv an einen geeigneten der Eingänge **704** und **708** während jedes individuellen Zyklus angeschlossen. Auf diese Weise kann ein frequenzcodiertes Signal mit einem Tastverhältnis von ungefähr 50% am Ausgang **712** erzeugt werden.

**[0048]** Die vorliegende Erfindung liefert zahlreiche Vorteile gegenüber dem Stand der Technik. Beispielsweise trägt die Verwendung eines supralinearen Integrationsschaltkreises dazu bei, die integrierte Signaldifferenz zwischen codierten Bits des ersten und zweiten Datenzustands zu erhöhen. Dies schafft wiederum eine größere Rauschfestigkeit und verringert die Wahrscheinlichkeit, dass Übertragungsfehler auftreten. Darüber hinaus erfordern bevorzugte Ausführungsformen der vorliegenden Erfindung lediglich einen einzigen Integrationsschaltkreis. Die Beschaffenheit des erfindungsgemäßen Decoders mit nur einem Integrationskanal verringert die Komplexität und Kosten im Vergleich zum Stand der Technik, bei dem Decoder zwei Integrationskanäle besitzen. Des Weiteren vermindert die Verwendung eines Signals mit einem Tastverhältnis von 50% zum Codieren der übertragenden Daten die Wärmeerzeugung, reduziert Datenverluste und durch verzerrte Signale von gesättigten Schrankentransformatoren verursachte Fehler, und verringert die Störung von nahegelegenen Bauteilen, die manchmal aus Oberwellen von Signalen resultiert, welche kein Tastverhältnis von 50%

aufweisen. Darüber hinaus vermindern Signale mit einem Tastverhältnis von 50% die Komplexität des Decoderschaltkreises und vereinfachen die Erzeugung codierter Signale.

**[0049]** Die Verfahren und Schaltkreise der vorliegenden Erfindung können bei Verwendung unterschiedlicher Hardware, Software sowie Hardware/Software-Kombinationen zum Codieren und Entschlüsseln der Datensignale eingesetzt werden, um Nachrichten zu senden und zu empfangen. Die vorliegende Erfindung ist besonders gut zur Verwendung in Prozesssteuerungssendern, Ventilreglern und allgemeinen in Prozesssteuerungs-Feldvorrichtungen ausgelegt, da die vorliegende Erfindung einen geringen Stromverbrauch aufweist. Der Begriff Prozesssteuerungsinstrument, wie er hier verwendet wird, soll jede beliebige dieser oder anderen Prozesssteuerungsvorrichtungen bezeichnen. Die vorliegende Erfindung kann jedoch in jeder beliebigen aus einer großen Vielzahl von Anwendungen genutzt werden, in denen Vorrichtungen auf einer gedruckten Schaltung oder an Datenleitungen im Allgemeinen angeschlossene Vorrichtungen zur Nachrichtenübermittlung untereinander erforderlich sind.

**[0050]** Während die vorliegende Erfindung hauptsächlich mit Bezug auf die Codierung und Decodierung logischer Einsen und Nullen beschrieben ist, kann die vorliegende Erfindung auch zur Implementierung einer Mehrzustands-Nachrichtenübermittlung verwendet werden, in welcher mehr als zwei Datenzustände codiert sind. Der einzelne supralineare Integrationschaltkreis und eine andere Decodier-Schaltkreisanordnung können zum Entschlüsseln von entweder impulsweitenmodulierten oder frequenzmodulierten Signalen mit geringer oder gar keiner Modifizierung verwendet werden. Begriffe wie beispielsweise Decodier-Schaltkreisanordnung, Integrations-Schaltkreisanordnung und Stromerzeuger-Schaltkreisanordnung, können sich auch auf eine Zustandsveränderungserfassungs-Schaltkreisanordnung von der Art beziehen, die Zustandsveränderungen in einem codierten Signal zum Zwecke der Entschlüsselung des Signals erfasst.

## Patentansprüche

1. Decodierschaltkreis (**100, 31**) zum Decodieren eines frequenzcodierten Signals in mindestens zwei Datenzustände, wobei der Schaltkreis Folgendes aufweist:  
 einen supralinearen Integrator ( $S_i, C_1, I_C, 110$ ), der das Signal über eine Hälfte einer Signalperiode integriert, um einen integrierten Wert am Ende der halben Signalperiode bereitzustellen, wobei der supralineare Integrator als eine Funktion der Zeit  $t$  von  $Y = mt^x$  anspricht, wobei  $x$  ein Zahlenwert größer eins und  $m$  eine Konstante ist;  
 einen Referenzwertgenerator (**104**); und

einen Vergleicher (106), der an den Integrator und an den Referenzwertgenerator gekoppelt ist, wobei der Vergleicher den integrierten Wert mit dem Referenzwert während der anderen Periodenhälfte vergleicht und darauf ansprechend ein Ausgangssignal liefert, das den Datenzustand wiedergibt.

2. Decodierschaltkreis nach Anspruch 1, dadurch gekennzeichnet, dass der Referenzwertgenerator einen an den Integrator gekoppelten und von einem Schalter (S<sub>1</sub>) selektiv gesteuerten Multiplikator (128, 129) aufweist, der durch selektives Multiplizieren eines vorhergehenden integrierten Werts (bit -  $\tau$ ) mit einem Faktor entweder größer oder kleiner eins als eine Funktion eines vorhergehenden Datenzustands, der mit dem vorhergehenden integrierten Wert in Verbindung steht, einen Referenzwert (IREF) erzeugt.

3. Decodierschaltkreis nach Anspruch 2, dadurch gekennzeichnet, dass der Integrator einen Transkonduktanzverstärker (110) aufweist, der den integrierten Wert am Transkonduktanzverstärkerausgang (116) bereitstellt.

4. Decodierschaltkreis nach Anspruch 3, welcher ferner eine Abtast- und Haltevorrichtung (118) aufweist, die zwischen dem Ausgang des Transkonduktanzverstärkers und dem Vergleicher und zwischen dem Ausgang des Transkonduktanzverstärkers und dem Multiplikator gekoppelt ist, wobei die Abtast- und Haltevorrichtung den integrierten Wert empfängt und diesen während der anderen Periodenhälfte beibehält.

5. Decodierschaltkreis nach Anspruch 4, welcher ferner eine Stromverzögerungszelle (124) aufweist, die zwischen der Abtast- und Haltevorrichtung und dem Multiplikator angeschlossen ist, wobei die Stromverzögerungszelle den integrierten Wert während der anderen Periodenhälfte empfängt und speichert und während der anderen Periodenhälfte den vorhergehenden integrierten Wert an den Multiplikator liefert.

6. Decodierschaltkreis nach Anspruch 5, dadurch gekennzeichnet, dass der Integrator, der Transkonduktanzverstärker, die Abtast- und Haltevorrichtung, die Strom-Verzögerungszelle und der Vergleicher MOS-Vorrichtungen sind.

7. Decodierschaltkreis nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, dass der Schalter derart gesteuert wird, dass der Multiplikator den vorhergehenden integrierten Wert selektiv mit einem Faktor von ungefähr 1,5 oder ungefähr 0,75 als Funktion des vorhergehenden Datenzustands multipliziert, wobei der vorhergehende Datenzustand mit dem vorhergehenden integrierten Wert in Zusammenhang steht.

8. Decodierschaltkreis nach einem der Ansprüche 2 bis 7, dadurch gekennzeichnet, dass der integrierte Wert gleich einem integrierten Maximalwert oder einem integrierten Minimalwert ist, wobei der Faktor größer eins sowie der Faktor kleiner eins ausgewählt werden, so dass der Faktor größer als eins multipliziert mit dem integrierten Minimalwert ungefähr gleich dem Faktor kleiner als eins multipliziert mit dem integrierten Maximalwert ist.

9. Prozesssteuerungsinstrument (10), welches Folgendes aufweist:

eine in einem ersten Gehäuse (19) angeordnete Sensor-Schaltkreisanordnung (18);  
 eine in einem zweiten Gehäuse (17) angeordnete Mess-Schaltkreisanordnung (16), die an einen Prozessregelkreis (13) gekoppelt ist, wobei die Mess-Schaltkreisanordnung über den Prozessregelkreis mit einem Prozess in Zusammenhang stehende Daten überträgt; und  
 eine Übertragungsleitung (22, 24, 27, 28), die eine Trennisolierung (22, 26) aufweist und ein codiertes Signal zwischen der Sensor-Schaltkreisanordnung und der Mess-Schaltkreisanordnung leitet, wobei ein Zyklus des codierten Signals mit einer ersten Periode ein erstes Datenzustandsbit anzeigt, und ein Zyklus des codierten Signals mit einer zweiten, sich von der ersten Periode unterscheidenden Periode, ein zweites Datenzustandsbit anzeigt; wobei die Sensor-Schaltkreisanordnung ferner eine Decodier-Schaltkreisanordnung (100, 31) aufweist, wobei die Decodier-Schaltkreisanordnung Folgendes aufweist:

eine an die Übertragungsleitung gekoppelte Übergangserfassungs-Schaltkreisanordnung (102), die einen ersten Übergang oder eine erste Zustandsveränderung des codierten Signals während eines ersten Zyklus erfasst und darauf ansprechend ein Erfassungssignal erzeugt, das von einem anfänglichen Erfassungssignalwert ausgehend zunimmt oder abnimmt, und einen zweiten Übergang des codierten Signals während des ersten Zyklus erfasst, der dem ersten Übergang des codierten Signals während des ersten Zyklus folgt, wobei die Übergangserfassungs-Schaltkreisanordnung nach Erfassung des zweiten Übergangs bewirkt, dass das Erfassungssignal einen endgültigen Erfassungssignalwert erreicht; und

eine an den Übergangserfassungs-Schaltkreis gekoppelte Vergleichs-Schaltkreisanordnung (106), welche den endgültigen Erfassungssignalwert mit einem Schwellenwert zu einem Zeitpunkt im Anschluss an die Erfassung des zweiten Übergangs vergleicht; und

eine an die Vergleichs-Schaltkreisanordnung gekoppelte Ausgabe-Schaltkreisanordnung (108), die ein erstes Datenbit von einer ersten Art liefert, wenn der endgültige Erfassungssignalwert größer als der Schwellenwert ist, und die das erste Datenbit von einer zweiten Art liefert, wenn der endgültige Signal-

wert niedriger als der Schwellenwert ist.

10. Prozesssteuerungsinstrument nach Anspruch 9, dadurch gekennzeichnet, dass es sich bei dem codierten Signal um ein Signal mit einem Tastverhältnis von 50% während beiden Zyklen mit der ersten bzw. der zweiten Periode handelt.

11. Prozesssteuerungsinstrument nach Anspruch 10, dadurch gekennzeichnet, dass eine der beiden Perioden im Wesentlichen doppelt so lange wie die jeweils andere erste bzw. zweite Periode ist.

12. Prozesssteuerungsinstrument nach Anspruch 10 oder 11, dadurch gekennzeichnet, dass die Übergangserfassungs-Schaltkreisanordnung eine Integrations-Schaltkreisanordnung ( $S_i, C_1, I_c, 110$ ) aufweist, die das codierte Signal als Eingangssignal empfängt und die das codierte Signal während der einen Hälfte der individuellen Zyklen des codierten Signals integriert und ansprechend hierauf ein Integrations-Ausgangssignal erzeugt, das die Periode des codierten Signals während der individuellen Zyklen des codierten Signals anzeigt.

13. Prozesssteuerungsinstrument nach Anspruch 12, dadurch gekennzeichnet, dass die Integrations-Schaltkreisanordnung eine supralineare Integrations-Schaltkreisanordnung aufweist, die das Integrations-Ausgangssignal als eine Funktion der Zeit  $t$  in Übereinstimmung mit der Beziehung  $y = mt^x$  bereitstellt, wobei  $x$  eine Zahl ist, deren Wert größer als eins ist und  $m$  eine Konstante ist.

14. Prozesssteuerungsinstrument nach Anspruch 12 oder 13, dadurch gekennzeichnet, dass die Integrations-Schaltkreisanordnung das Integrations-Ausgangssignal in Form eines Stromsignals bereitstellt, wobei der Schwellenwert ein Schwellen-Stromwert ( $I_{REF}$ ) ist, und wobei die Vergleichs-Schaltkreisanordnung einen Stromvergleicher-Schaltkreis (106) zum Vergleichen des Integrations-Ausgangssignals mit dem Schwellen-Stromwert aufweist.

15. Prozesssteuerungsinstrument (10), welches Folgendes aufweist:  
eine Sensor-Schaltkreisanordnung (18);  
eine an eine Prozessregelschleife gekoppelte Mess-Schaltkreisanordnung (16), welche Daten über die Prozessregelschleife (12) überträgt und empfängt und Energie von Prozessregelschleife erhält;  
eine zwischen der Sensor-Schaltkreisanordnung und der Mess-Schaltkreisanordnung gekoppelte Trennisolierung, welche die Sensor-Schaltkreisanordnung von der Mess-Schaltkreisanordnung elektrisch isoliert;  
wobei einer der Sensor-Schaltkreise und der Mess-Schaltkreise weiter einen mit der Trennisolierung verbundenen Codierschaltkreis (23, 30) auf-

weist, wobei der Codier-Schaltkreis Daten in Signal mit einem Tastverhältnis von 50% codiert, das über die Trennisolierung hinweg übertragen wird, wobei ein Zyklus des Signals mit einem Tastverhältnis von 50% mit einer ersten Periode die Übertragung eines ersten Datenzustandsbits anzeigt, und wobei ein Zyklus des Signals mit einem Tastverhältnis von 50% mit einer sich von der ersten Periode unterscheidenden zweiten Periode die Übertragung eines zweiten Datenzustandsbits anzeigt; und  
wobei der je andere des Sensor-Schaltkreises bzw. des Mess-Schaltkreises eine mit der Trennisolierung gekoppelte Decodier-Schaltkreisanordnung (31, 100) aufweist, wobei die Decodier-Schaltkreisanordnung das Signal mit einem Tastverhältnis von 50% über die Trennisolierung empfangen und die Daten aus dem Signal mit einem Tastverhältnis von 50% extrahieren.

16. Prozesssteuerungsinstrument nach Anspruch 15, dadurch gekennzeichnet, dass die eine der ersten und der zweiten Periode im Wesentlichen doppelt so lang wie die andere der ersten und der zweiten Periode ist.

17. Prozesssteuerungsinstrument nach Anspruch 15, dadurch gekennzeichnet, dass die Decodier-Schaltkreisanordnung Folgendes aufweist:  
eine Integrations-Schaltkreisanordnung ( $S_i, C_1, I_c, 110$ ), die das Signal mit einem Tastverhältnis von 50% als Eingangssignal empfängt und das Signal mit einem Tastverhältnis von 50% während individueller Zyklen des Signals mit einem Tastverhältnis von 50% integriert, und ansprechend darauf ein Integrations-Ausgangssignal, das die Periode des Signals mit einem Tastverhältnis von 50% während der individuellen Zyklen des Signals mit einem Tastverhältnis von 50% anzeigt, bereitstellt;  
eine Referenzsignal-Erzeugungsschaltkreisanordnung (104), die ein Referenzsignal erzeugt; und  
eine Vergleicher-Schaltkreisanordnung (106), die das Integrations-Ausgangssignal und das Referenzsignal als Eingangssignale empfängt und ansprechend darauf ein Vergleicher-Ausgangssignal liefert, wobei das mit jedem Zyklus des Signals mit einem Tastverhältnis von 50% verbundene Vergleicher-Ausgangssignal den Datenzustand anzeigt, der durch den Zyklus des Signals mit einem Tastverhältnis von 50% dargestellt ist.

18. Prozesssteuerungsinstrument nach Anspruch 17, dadurch gekennzeichnet, dass die Integrations-Schaltkreisanordnung eine supralineare Integrations-Schaltkreisanordnung aufweist, die das Integrations-Ausgangssignal als supralineare Funktion des Signals mit einem Tastverhältnis von 50% liefert.

19. Prozesssteuerungsinstrument nach Anspruch 17 oder 18, dadurch gekennzeichnet, dass die Integrations-Schaltkreisanordnung das Integrati-

ons-Ausgangssignal in Form eines Stromsignals ( $I_{REF}$ ) bereitstellt, wobei der Referenzsignalerzeuger das Referenzsignal in Form eines Stromsignals ( $I_{REF}$ ) erzeugt, und wobei die Vergleicher-Schaltkreisanordnung eine Stromvergleicher-Schaltkreisanordnung einschließt.

20. Prozesssteuerungsinstrument nach einem der Ansprüche 15 bis 19, dadurch gekennzeichnet, dass die Trennisolierung einen Transformator aufweist.

21. Verfahren zum Decodieren eines codierten Signals, wobei das Verfahren folgende Schritte aufweist:

Empfangen eines ersten Bits des codierten Signals (CK);

Integrieren des ersten Bits des codierten Signals mit einem supralinearen Integrator zur Lieferung eines ersten Integrationssignals, das mit dem ersten Bit des codierten Signals in Zusammenhang steht; Bereitstellen eines ersten Referenzsignals als Funktion eines vorherigen Werts des ersten Integrationssignals, das mit dem vorherigen Bit des codierten Signals in Zusammenhang steht, indem der vorherige Wert des ersten Integrationssignals mit einem Wert größer als eins multipliziert wird, wenn das vorherige Bit einen ersten Wert hatte, und indem der vorherige Wert des ersten Integrationssignals mit einem Wert kleiner als eins multipliziert wird, wenn das vorherige Bit einen zweiten Wert hatte; und

Vergleichen des ersten Integrationssignals mit dem ersten Referenzsignal und Bereitstellen eines ersten Bit eines Ausgangssignals basierend auf dem Vergleich, wobei das erste Bit des Ausgangssignals Informationen anzeigt, die in dem ersten Bit des codierten Signals codiert sind.

Es folgen 7 Blatt Zeichnungen

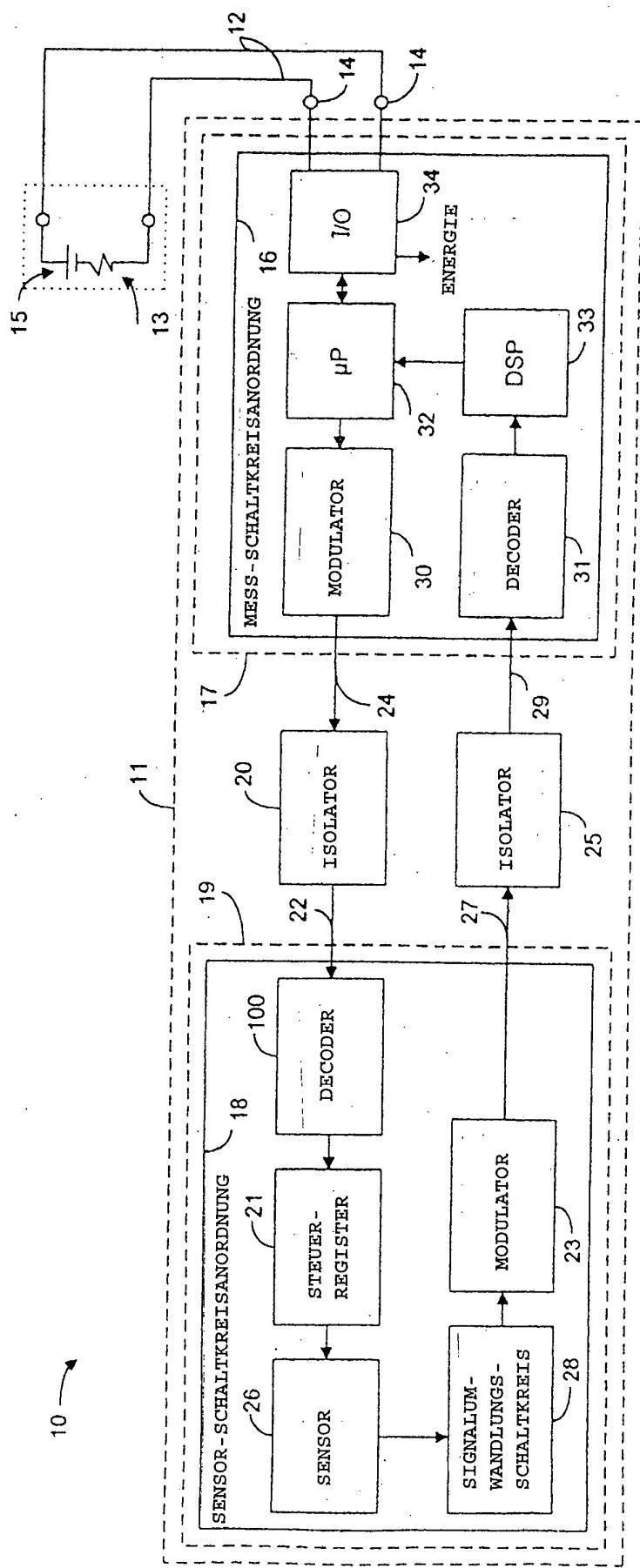


Fig. 1

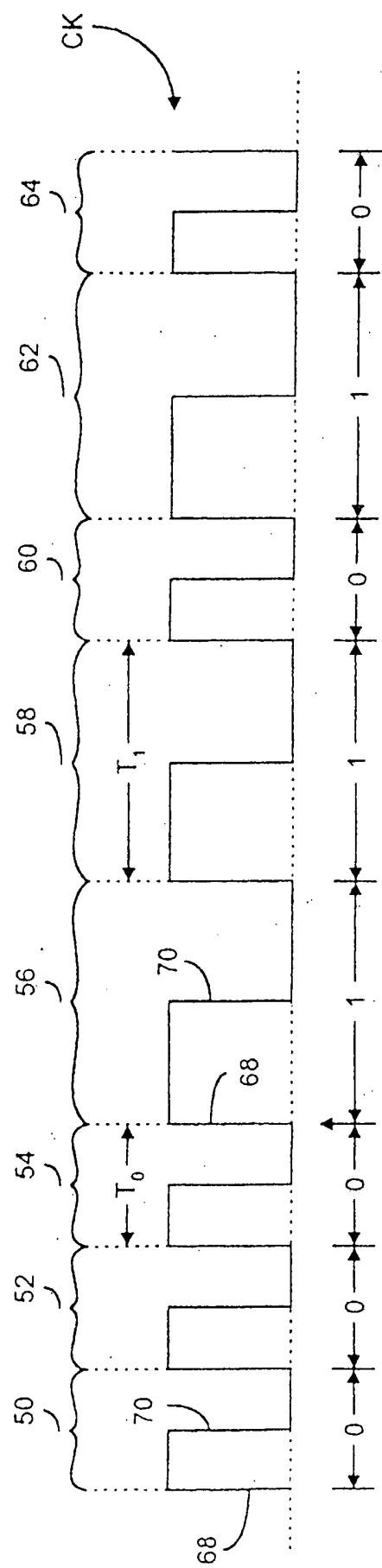
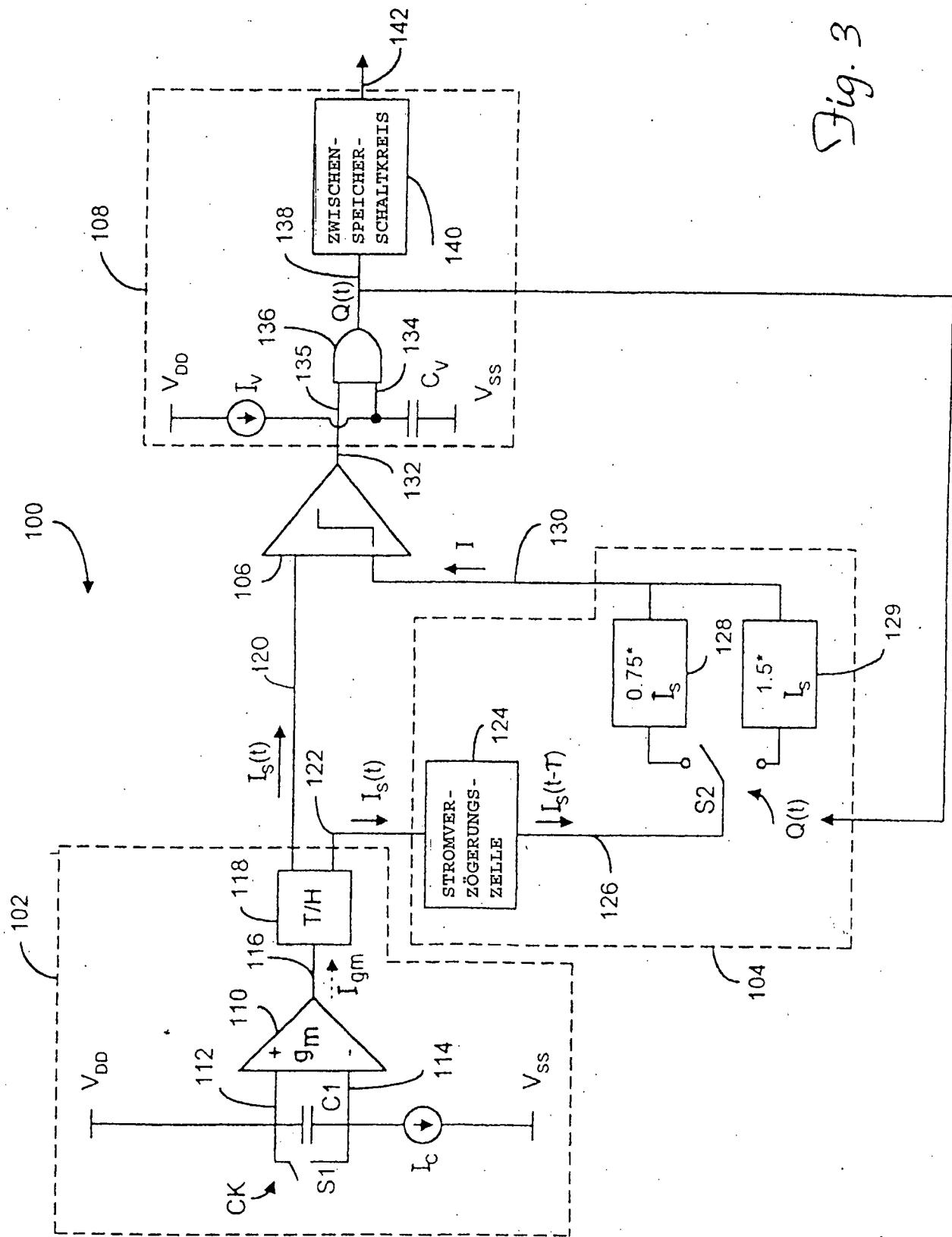


Fig. 2



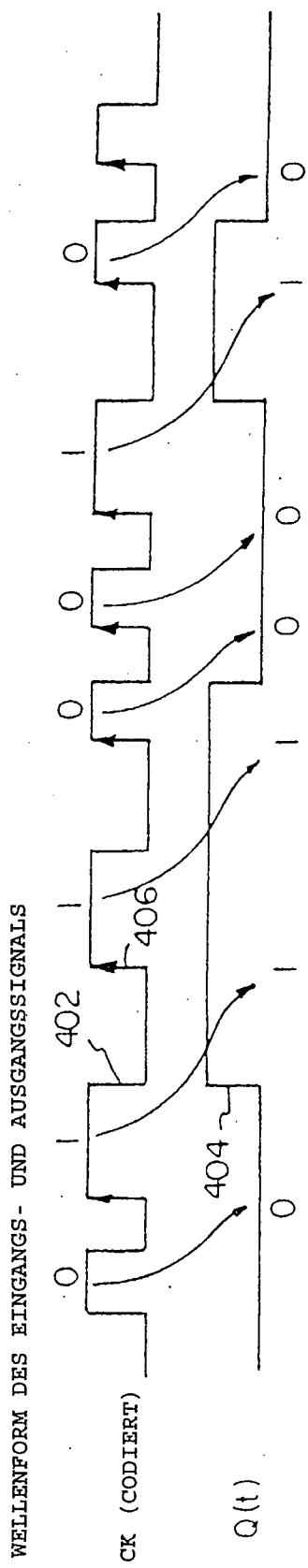
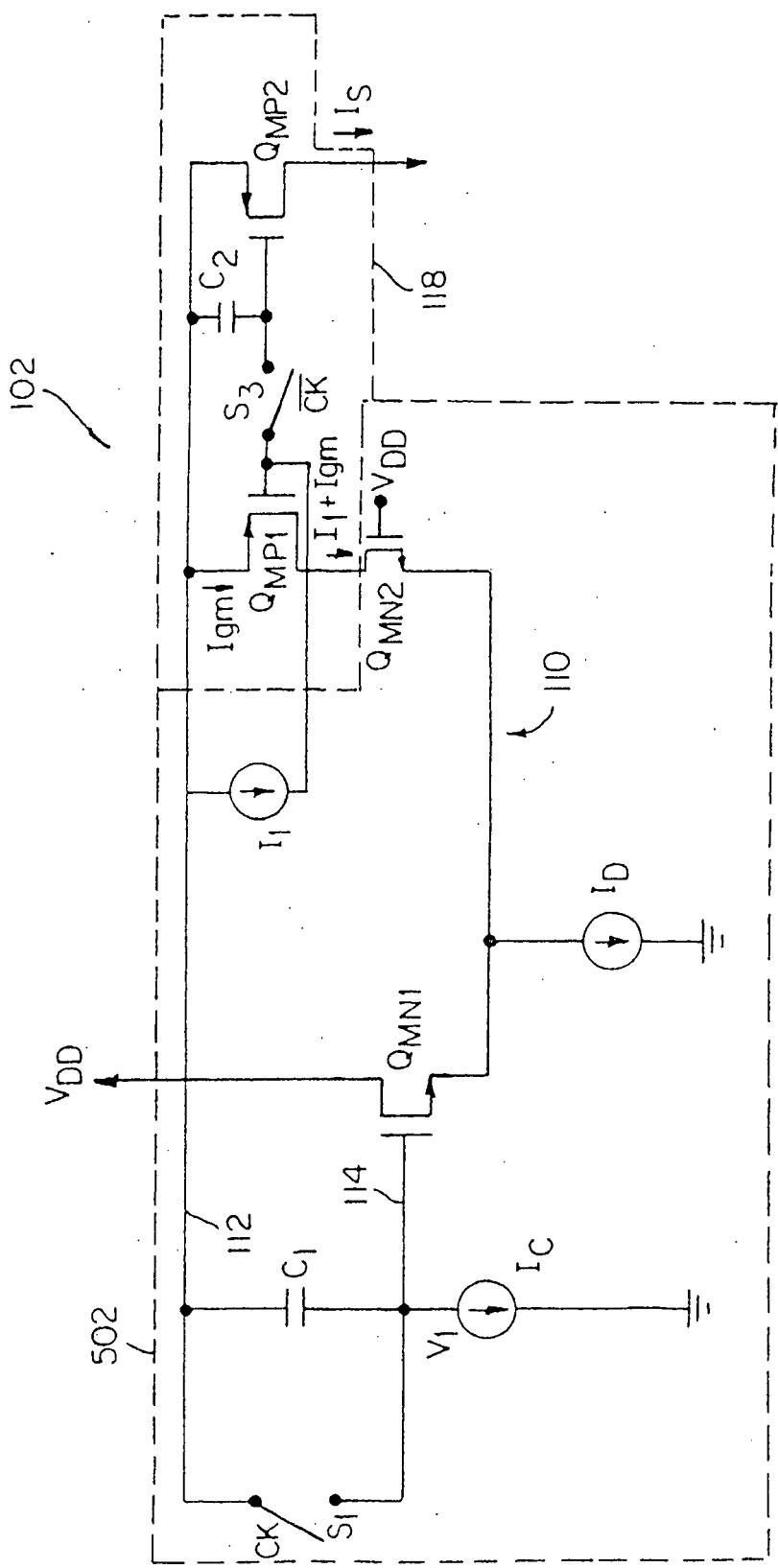


Fig. 4

Fig. 5



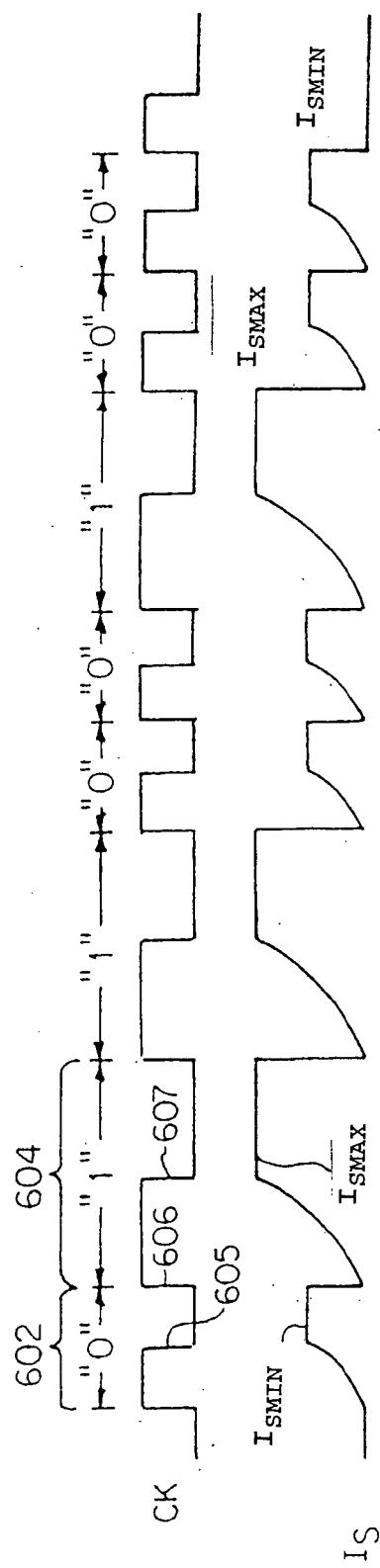


Fig. 6

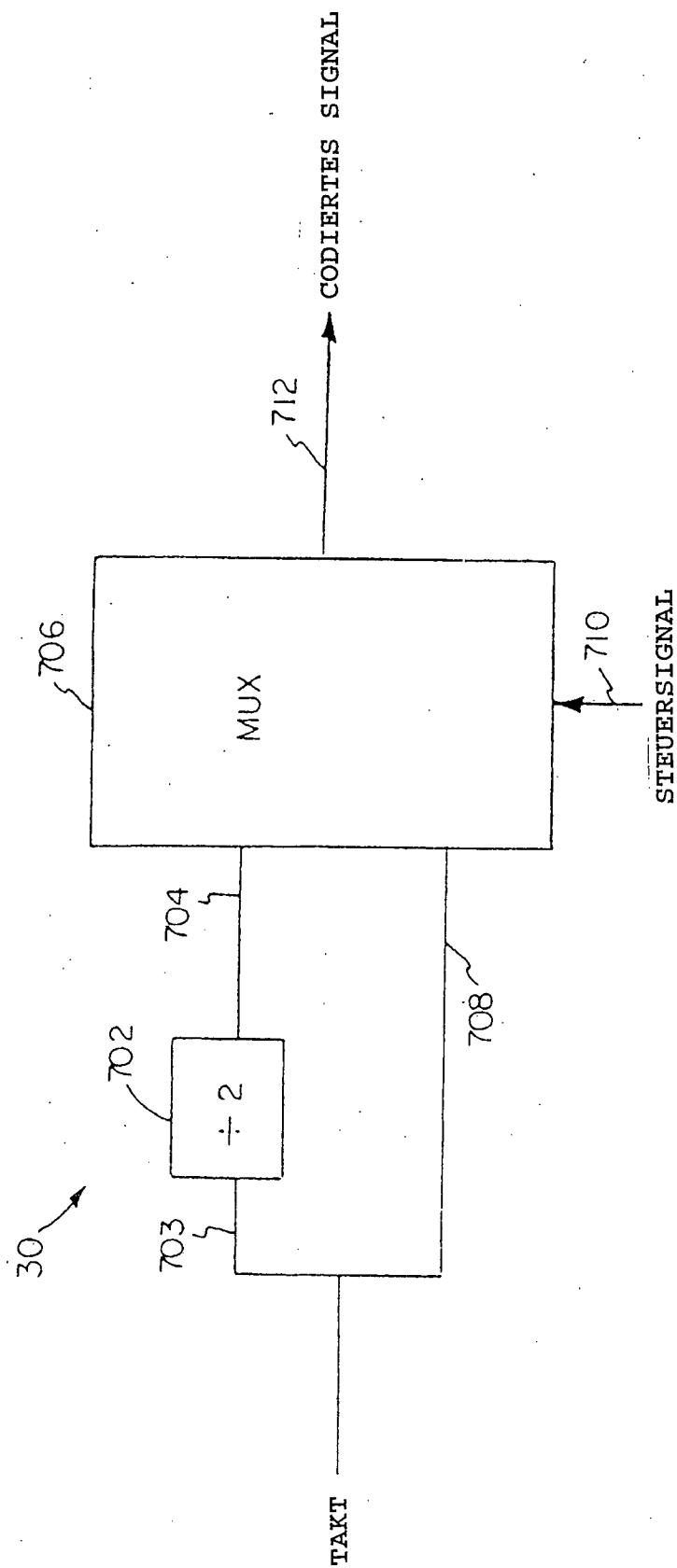


Fig. 9