

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 11/15

G11C 7/00



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 01122086.4

[45] 授权公告日 2005 年 6 月 22 日

[11] 授权公告号 CN 1207718C

[22] 申请日 2001.5.21 [21] 申请号 01122086.4

[30] 优先权

[32] 2000.10.17 [33] JP [31] 316867/2000

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 日高秀人

审查员 范玉霞

[74] 专利代理机构 中国专利代理(香港)有限公司

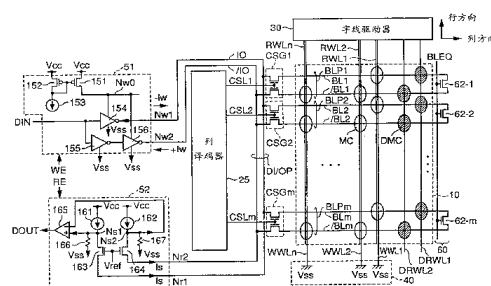
代理人 杨 凯 张志醒

权利要求书 7 页 说明书 34 页 附图 36 页

[54] 发明名称 容易控制数据写入电流的薄膜磁性体存储器

[57] 摘要

与 MTJ 存储单元的各列对应地配置折叠型位线对。形成位线对的 2 条位线 (BL, /BL) 通过列选择门 (CSG1 ~ CSGm) 分别与形成数据 I/O 线对 DI/OP 的 2 条数据线 (IO, /IO) 连接。在数据写入时, 与各位线对对应地配置的均衡化晶体管 (62) 导通。数据写入电流控制电路 (51) 将 2 条数据线 (IO, I/O) 分别设定在高电位状态 (V_{cc}) 或低电位状态 (V_{ss}), 故可以根据写入数据的电平简单地控制作为为往复电流流过位线对的数据写入电流的方向。



1、一种薄膜磁性体存储器，其特征在于，具备：

具有矩阵状配置的多个磁性体存储单元的存储器阵列，上述多个磁性体存储单元的每一个利用由第1数据写入电流和第2数据写入电流施加的数据写入磁场写入存储数据，并且根据写入的上述存储数据的电平，具有不同的电阻值；

还具有分别与上述磁性体存储单元的行对应地设置的多条写入字线；

多条写入字线在数据写入时为了将上述第1数据写入电流流过、根据地址选择结果有选择地被激活；

还具有分别与上述磁性体存储单元的列对应地设置的多个位线对；

上述多个位线对各自包含第1位线和第2位线；

还具有用于在根据地址选择结果选择的位线对，产生上述第2数据写入电流的数据写入控制电路；以及

分别与上述多个位线对对应地设置的多个晶体管开关；

上述数据写入控制电路在上述数据写入时，将包含于上述选择的位线对的上述第1位线和上述第2位线各设定在高电位状态和低电位状态的一方；

上述多个晶体管开关的各个，连接在对应的第1位线和第2位线之间，并且，在上述数据写入时为了流过上述第2数据写入电流而将对应的上述第1和第2位线之间进行电连接。

2、根据权利要求1所述的薄膜磁性体存储器，其特征在于：

由在上述薄膜磁性体存储器外部提供的外部电源电位来驱动上述数据写入控制电路。

3、根据权利要求1所述的薄膜磁性体存储器，其特征在于：

还具有：

由对上述多个位线对共同设置的第1数据线和第2数据线形成的数据线对；

分别与上述列对应地设置的多个列选择门电路；

在上述数据写入时，由上述数据写入控制电路各设定在上述高电位状态和低电位状态的一方的第1内部节点和第2内部节点；

上述多个列选择门电路的各个，根据上述地址选择结果将对应的上述第 1 和第 2 位线分别与上述第 1 和第 2 数据线连接；

上述第 1 内部节点和第 2 内部节点与上述第 1 数据线和第 2 数据线连接，以使形成上述第 2 数据写入电流路径的布线电阻值与作为上述地址选择对象的上述列位置无关而保持一定。

4、根据权利要求 1 所述的薄膜磁性体存储器，其特征在于：
还具有多个数据线对；

各个上述多个数据线对在每 M 上述列中配置、并且由第 1 数据线和第 2 数据线构成，其中 M 为 2 以上的自然数；

10 还具有分别与上述列对应地设置的多个列选择门电路，

上述多个列选择门电路的各个，根据上述地址选择结果将对应的上述第 1 位线 and 第 2 位线分别与对应的上述第 1 数据线和第 2 数据线连接；

上述数据写入控制电路对应于各上述数据线对而设置，而且在上述数据写入时根据地址选择结果而工作；

工作的上述数据写入控制电路将对应的上述第 1 数据线和第 2 数据线各设定在上述高电位状态和低电位状态的一方。

5、根据权利要求 1 所述的薄膜磁性体存储器，其特征在于：
还具有：

20 分别与上述行对应地设置的多条读出字线；以及
执行数据读出的数据读出控制电路；

所述多条读出字线在数据读出时，将所选择的行的磁性体存储单元与上述多条位线对连接；

数据读出控制电路在上述数据读出时对包含于所选择的列的位线对的上述第 1 位线和上述第 2 位线供给数据读出电流；

各上述多个晶体管开关在上述数据读出时，将上述对应的第 1 位线和第 2 位线之间断开。

6、根据权利要求 5 所述的薄膜磁性体存储器，其特征在于：

各上述磁性体存储单元在各自的上述列中与上述第 1 和第 2 位线的其中之一连接，

上述薄膜磁性体存储器，还具有：

分别与上述列对应地设置、并分别与各上述第 1 位线连接的多个

第 1 虚设存储单元;

分别与上述列对应地设置、并分别与各上述第 2 位线连接的多个第 2 虚设存储单元;

与上述多个第 1 虚设存储单元对应地设置、用于将上述多个第 1 虚设存储单元分别与对应的上述第 1 位线连接、在上述数据读出时根据地址选择结果被激活的第 1 虚设读出字线;

与上述多个第 2 虚设存储单元对应地设置、用于将上述多个第 2 虚设存储单元分别与对应的上述第 2 位线连接、在上述数据读出时根据地址选择结果被激活的第 2 虚设读出字线; 以及

在上述数据读出时, 将上述多条字线中的 1 个和上述第 1 及第 2 虚设读出字线中的 1 个, 根据上述地址选择结果有选择地被激活的字线驱动电路,

上述第 1 和第 2 虚设存储单元分别具有上述磁性体存储单元根据上述存储数据的电平而具有的第 1 和第 2 电阻值的中间电阻值。

7、根据权利要求 5 所述的薄膜磁性体存储器, 其特征在于:

还具有降低从上述薄膜磁性体存储器的外部供给的外部电源电位而生成内部电源电位的电压降低电路,

上述数据写入控制电路由上述外部电源电位驱动,

上述数据读出控制电路由上述内部电源电位驱动。

8、一种薄膜磁性体存储器, 其特征在于具备:

具有矩阵状配置的多个磁性体存储单元的存储器阵列,

上述多个磁性体存储单元的每一个利用由第 1 数据写入电流和第 2 数据写入电流施加的数据写入磁场写入存储数据, 并且根据写入的上述存储数据的电平, 具有不同的电阻值;

还具有分别与上述磁性体存储单元的行对应地设置的多条写入字线;

多条写入字线在数据写入时根据地址选择结果选择性地流过上述第 1 数据写入电流;

并且还具有:

分别与上述磁性体存储单元的列对应地设置的多条位线;

对上述多条位线共同设置、由第 1 数据线和第 2 数据线形成的数据线对;

用以在根据地址选择结果选择的位线产生上述第2数据写入电流的数据写入控制电路;

分别与上述列对应地设置的多个列选择门电路; 以及
5 分别在上述多条位线与上述第2数据线之间连接的多个晶体管开关;

上述数据写入控制电路在上述数据写入时, 将上述第1数据线和第2数据线各设定在高电位状态和低电位状态的一方;

根据上述地址选择结果被选择的列的列选择门电路将对应的位线与上述第1数据线连接;

10 上述多个晶体管开关至少在上述所选择的列中, 将对应的位线和上述第2数据线之间连接以使上述第2数据写入电流流过。

9、根据权利要求8所述的薄膜磁性体存储器, 其特征在于:

还具有

15 接收上述数据写入控制电路的输出的第1内部节点和第2内部节点;

第3内部节点;

供给读出基准电位的第4内部节点;

在读出数据时, 将数据读出电流供给到上述第3内部节点的数据读出控制电路; 和

20 控制上述第1至第4内部节点和上述第1和第2数据线之间的连接的电流转换电路;

上述数据写入控制电路, 在上述数据写入时, 将上述第1内部节点和上述第2内部节点各设定为上述高电位状态和低电位状态的一方;

25 各上述晶体管开关分别在上述数据写入时和上述数据读出时, 根据上述地址选择结果, 使上述对应的位线和上述第2数据线之间选择性地电连接,

上述电流转换电路在上述数据写入时, 分别将上述第1数据线和第2数据线与上述第1内部节点和上述第2内部节点连接, 而且在上述数据读出时, 将上述第1数据线和上述第2数据线分别与上述第3内部节点和第4内部节点连接,

上述数据读出控制电路根据上述第3内部节点的电位进行数据读

出。

10、根据权利要求8所述的薄膜磁性体存储器，其特征在于：

还具有

接收上述数据写入控制电路的输出的第1内部节点和第2内部节点；

供给读出基准电位的第3内部节点和第4内部节点；

在读出数据时，将数据读出电流供给到上述第1数据线的数据读出控制电路；和

控制上述第1至第4内部节点和上述第1和第2数据线之间的连接的电流转换电路；

上述数据写入控制电路，在上述数据写入时，将上述第1内部节点和上述第2内部节点分别设定为上述高电位状态和低电位状态；

各上述晶体管开关分别在上述数据写入时和上述数据读出前的预充电时，将各上述位线和上述第2数据线之间电连接，另一方面，在数据读出时，将各上述位线和上述第2数据线之间电切断；

上述电流转换电路在上述数据写入时，分别将上述第1数据线和上述第2数据线与上述第1内部节点和上述第2内部节点连接，而且在上述预充电时，将上述第1数据线和上述第2数据线分别与上述第3内部节点和上述第4内部节点连接，另一方面，在上述数据读出时，将上述第1数据线和上述第2数据线从上述第1至第4内部节点切断；

上述数据读出控制电路根据上述第1数据线的电位进行数据读出。

11、一种薄膜磁性体存储器，其特征在于：

具备具有矩阵状配置的多个磁性体存储单元的存储器阵列；

上述多个磁性体存储单元的每一个具备：

利用由第1数据写入电流和第2数据写入电流施加的数据写入磁场写入存储数据，而且，具有根据写入的上述存储数据的电平而不同的电阻值的磁存储部；和

在数据读出时，使数据读出电流通过上述磁存储部的存取元件；具有

分别与上述磁性体存储单元的行对应地设置的多条读出字线；

分别与上述磁性体存储单元的列对应地设置的多条写入字线;

分别与上述行对应地设置的多条写入位线; 以及

分别与上述列对应地设置的多条读出位线;

- 5 上述多条读出字线在上述数据读出时, 使所选择的行的各上述存取元件导通;

上述多条写入字线在数据写入时, 根据地址选择结果, 选择性地设为激活状态, 并在上述激活状态时将上述第 1 数据写入电流流过;

上述多条写入位线在数据写入时, 根据地址选择结果, 选择性地
将上述第 2 数据写入电流流过;

- 10 上述多条读出位线在上述数据读出时, 根据地址选择结果, 选择性地
将上述数据读出电流流过。

12、根据权利要求 11 所述的薄膜磁性体存储器, 其特征在于:

上述多条读出位线分别通过各个上述存取元件与属于对应的上述列的多个上述磁存储部的每一个进行电连接。

- 15 13、根据权利要求 11 所述的薄膜磁性体存储器, 其特征在于:

上述多条读出位线的每一条与上述多条写入字线的每一条, 使用同一的共同布线形成,

上述薄膜磁性体存储器还具有电流控制电路;

- 20 上述电流控制电路在上述数据读出时, 将与对应于上述写入字线的激活状态的第 2 电位不同的第 1 电位和各上述共同布线之间连接, 而另一方面, 在上述数据写入时, 将各上述共同布线和上述第 1 电位之间切断。

14、一种薄膜磁性体存储器, 其特征在于:

具备具有矩阵状配置的多个磁性体存储单元的存储器阵列;

- 25 上述多个磁性体存储单元的每一个具备:

利用由第 1 数据写入电流和第 2 数据写入电流产生的数据写入磁场写入存储数据, 而且, 具有根据写入的上述存储数据的电平而不同的电阻值的磁存储部; 和

- 30 在数据读出时, 使数据读出电流通过上述磁存储部的存取元件; 具有

分别与上述磁性体存储单元的行对应地设置的多条读出字线;

分别与上述磁性体存储单元的列对应地设置的多条写入字线;

分别与上述行和列其中之一对应地设置、在上述数据写入时用于流过上述第 1 数据写入电流的多条写入数据线;

分别与上述行和列的另一方对应地设置的多条共同布线; 以及对上述多条共同布线设置的电流控制电路;

- 5 上述多条共同布线在上述数据读出时, 根据上述地址选择结果有选择地接受上述数据读出电流的供给, 而且, 在上述数据写入时, 为了使上述第 2 数据写入电流流过, 根据上述地址选择结果有选择地被驱动到第 1 电位; 以及

- 10 上述电流控制电路在上述数据读出时将上述第 1 电位不同的第 2 电位与各上述共同布线之间连接, 而另一方面, 在上述数据写入时, 将上述第 2 电位和各上述共同布线之间切断。

15、根据权利要求 14 所述的薄膜磁性体存储器, 其特征在于:

上述多条共同布线的每一条在对应的行和列的上述另一方, 通过各上述磁存储部和各上述存取元件电连接。

15

容易控制数据写入电流的薄膜磁性体存储器

技术领域

- 5 本发明涉及薄膜磁性体存储器，涉及具有特定的磁隧道结（MTJ: Magnetic Tunneling Junction）的存储单元的随机存取存储器。

背景技术

- 10 作为能以低功耗存储非易失数据的存储器，MRAM（Magnetic Random Access Memory）装置受到了关注。MRAM 装置是使用在半导体集成电路中形成的多个薄膜磁性体进行非易失的数据存储、对于各个薄膜磁性体进行随机存取的存储器。

- 特别是近年来，从发表的文献中可知，通过将利用磁隧道结（MTJ: Magnetic Tunnel Junction）的薄膜磁性体用作为存储单元，MRAM装置的性能得到了飞跃的进步。具有磁隧道结的存储单元的MRAM
15 装置，已经在“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”，ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. 以及“Nonvolatile RAM based on Magnetic Tunnel Junction Elements”，ISSCC Digest of Technical Papers, TA7.3, Feb. 2000. 等技术文献中公开。

图 41 是表示具有磁隧道结部的存储单元（以下简称为 MTJ 存储单元）构成的概略图。

- 参照图 41，MTJ 存储单元具有电阻值根据存储数据的数据电平而变化的磁隧道结部 MTJ 和存取晶体管 ATR。存取晶体管 ATR 由场效应
25 晶体管形成，连接在磁隧道结部 MTJ 和接地电位 Vss 之间。

对于 MTJ 存储单元，配置了用于指示数据写入的写入字线 WWL、用于指示数据读出的读出字线 RWL 和在数据读出时和数据写入时用于传输对应于存储数据电平的电信号的数据线、即位线 BL。

图 42 是说明 MTJ 存储单元的数据读出工作的概念图。

- 30 参照图 42，磁隧道结部 MTJ 具有有一定方向的固定磁场的磁性体层（以下简称为固定磁性层）FL 和有自由磁场的磁性体层（以下简称为自由磁性层）VL。在固定磁性层 FL 和自由磁性层 VL 之间，配置由

绝缘体膜形成的隧道阻挡层 TB。在自由磁性层 VL 中, 根据存储数据的电平, 非易失地写入与固定磁性层 FL 同一方向的磁场和与固定磁性层 FL 不同方向的磁场其中之一。

在数据读出时, 存取晶体管 ATR 由于读出字线 RWL 激活而导通。
5 这样, 在位线 BL ~ 磁隧道结部 MTJ ~ 存取晶体管 ATR ~ 接地电位 V_{ss} 的电流路径中, 从未图示的控制电路流过作为一定电流供给的读出电流 I_s 。

磁隧道结部 MTJ 的电阻值按照固定磁性层 FL 和自由磁性层 VL 之间的磁场方向的相对关系而变化。具体地说, 当固定磁性层 FL 的磁
10 场方向和写入到自由磁性层 VL 上的磁场方向相同时, 与两者磁场方向不同时相比较, 磁隧道结部 MTJ 的电阻值变小。

因而, 在数据读出时, 由于读出电流 I_s 而在磁隧道结部 MTJ 产生的电位变化随着在自由磁性层 VL 存储的磁场方向而不同。这样, 如果例如在将位线 BL 预充电到高电位状态后, 开始读出电流 I_s 的供
15 给, 则通过位线 BL 的电位电平变化的监视, 可以读出 MTJ 存储单元的存储数据的电平。

图 43 是说明对于 MTJ 存储单元的数据写入工作的概念图。

参照图 43, 在数据写入时, 读出字线 RWL 非激活, 存取晶体管 ATR 关断。在该状态下, 用于在自由磁性层 VL 中写入磁场的数据写入
20 电流分别流过写入字线 WWL 和位线 BL。自由磁性层 VL 的磁场方向由分别流过写入字线 WWL 和位线 BL 的数据写入电流的方向的组合来决定。

图 44 是说明数据写入时数据写入电流的方向和磁场方向的关系的概念图。

参照图 44, 用横轴表示的磁场 H_x 表示由流过写入字线 WWL 的数据写入电流产生的磁场 $H(WWL)$ 的方向。在纵轴表示的磁场 H_y 表示
25 由流过位线 BL 的数据写入电流产生的磁场 $H(BL)$ 的方向。

在自由磁性层 VL 中存储的磁场方向, 只有在磁场 $H(WWL)$ 和 $H(BL)$ 的和达到图中所示的星状特性线的外侧区时才被更新。即说,
30 当外加相当于星状特性线的内侧区的磁场时, 在自由磁性层 VL 存储的磁场方向不更新。

因此, 为了按照写入工作更新磁隧道结部 MTJ 的存储数据, 必须

使电流流过写入字线 WWL 和位线 BL 而两者。在磁隧道结部 MTJ 中一度存储的磁场方向即存储数据在进行新数据写入之前的期间内被非易失地保持。

在数据读出工作时，在位线 BL 中流过读出电流 I_s 。然而，一般来说，因为将读出电流 I_s 设定为与上述数据写入电流比较小 1~2 个数量级，故在数据读出时由于读出电流 I_s 的影响，MTJ 存储单元的存储数据错误改写的可能性很小。

在上述技术文献中公开了将这种 MTJ 存储单元集成在半导体衬底上以构成作为随机存取存储器的 MRAM 装置的技术。

图 45 表示矩阵状集成配置的 MTJ 存储单元的概念图。

参照图 45，通过在半导体衬底上矩阵状配置 MTJ 存储单元，可以实现高集成化的 MRAM 装置。图 45 表示将 MTJ 存储单元配置为 n 行 $\times$ m 列 (n, m : 自然数) 的情况。

如上述说明，对于各 MTJ 存储单元，必须配置位线 BL、写入字线 WWL 和读出字线 RWL。因此，对于矩阵状配置的 $n \times m$ 个 MTJ 存储单元，必须配置 n 条写入字线 WWL1 ~ WWLn 和读出字线 RWL1 ~ RWLn、 m 条位线 BL1 ~ BLm。

这样，对于 MTJ 存储单元，一般来说，设置了分别对应于读出工作和写入工作的独立的字线。

图 46 是在半导体衬底上配置的 MTJ 存储单元的结构图。

参照图 46，在半导体主衬底 SUB 上的 P 型区 PAR 形成存取晶体管 ATR。存取晶体管 ATR 具有 n 型区的源/漏区 110、120 和栅 130。源/漏区 110 通过在第 1 金属布线层 M1 上形成的金属布线连接接地电位 V_{ss} 。作为采用在第 2 金属布线层 M2 上形成的金属布线写入字线 WWL。位线 BL 设置在第 3 金属布线层 M3 上。

磁隧道结部 MTJ 配置在设置了写入字线 WWL 的第 2 金属布线层 M2 和设置了位线 BL 的第 3 金属布线层 M3 之间。存取晶体管 ATR 的源/漏区 120 通过在接触孔中形成的金属膜 150、第 1 和第 2 金属布线层 M1 和 M2 和阻挡层金属 140 与磁隧道结部 MTJ 电连接。阻挡层金属 140 是为了进行磁隧道结部 MTJ 和金属布线之间电连接而设置的缓冲材料。

如上述说明，在 MTJ 存储单元中，读出字线 RWL 和写入字线 WWL

设置为独立的布线。写入字线 WWL 和位线 BL 在数据写入时必须流过用于产生规定值以上磁场的写入电流。因此，位线 BL 和写入字线 WWL 用金属布线形成。

5 另外，读出字线 RWL 是用于控制存取晶体管 ATR 的栅电位的，不必流过电流。因此，从提高集成度的观点来看，读出字线 RWL 不新设置独立的金属布线层，与栅 130 在同一布线层，采用多晶硅层和多晶硅硅化物结构等形成。

10 这样，当在半导体衬底上集成 MTJ 存储单元时，由于存储单元需要的布线较多，则布线数目较多，存在增加制造成本的问题。并且，由于在位线 BL 上常时连接多个 MTJ 存储单元，则位线 BL 的寄生电容是比较大的值，再加上读出字线 RWL 由多晶硅层和多晶硅硅化物结构形成，因此读出工作的高速化是困难的。

此外，在数据写入时，在位线 BL 中也必须流过较大的数据写入电流。因此，必须根据写入数据的电平控制数据写入电流的方向，则
15 存在控制数据写入电流的电路复杂化的问题。

发明内容

本发明的目的是在具有 MTJ 存储单元的 MRAM 装置中，精简用于供给数据写入电流的控制电路的构成，削减制造成本。

20 本发明的另一个目的是分开配置读出字线和写入字线的驱动电路，以便提高布局的自由度，减少布局面积即芯片面积。

本发明的还一个目的是削减各存储单元必要的布线数，以便削减制造成本。

归纳本发明的要点，是一种薄膜磁性体存储器，具有：存储器阵列；多条写入字线；多个位线对；数据写入控制电路；以及多个位线
25 电流控制电路。存储器阵列具有矩阵状配置的多个磁性体存储单元。各磁性体存储单元，当由第 1 和第 2 数据写入电流产生的数据写入磁场比规定磁场大时，根据写入的存储数据的电平，具有不同的电阻值。多条写入字线分别与磁性体存储单元的行对应地设置，在数据写入时为了流过第 1 数据写入电流，根据地址选择结果有选择地激活。
30 多个位线对分别与磁性体存储单元的列对应地设置，各自包含第 1 和第 2 位线。数据写入控制电路在数据写入时，将根据多个位线对中的地址选择结果选择的 1 个中包含的第 1 位线和第 2 位线分别设定在高

电位状态和低电位状态。多个位线电流控制电路分别与多个位线对应地设置，各自在数据写入时，将为了流过第2数据写入电流而对应的第1和第2位线之间进行电连接。

5 本发明的主要优点是可以将数据写入时的数据写入电流作为往复电流流过短路的位线对中，故可以精简用于控制数据写入电流的构成。

在本发明的另一种情况下，薄膜磁性体存储器具有：存储器阵列；多条写入字线；多条位线；数据线对；数据写入控制电路；多个列选择门电路；以及多个位线电流控制电路。存储器阵列具有矩阵状配置的多个磁性体存储单元。各磁性体存储单元，当由第1和第2数据写入电流产生的数据写入磁场比规定磁场大时，根据写入的存储数据的电平，具有不同的电阻值。多条写入字线分别与磁性体存储单元的行对应地设置，在数据写入时根据地址选择结果流过第1数据写入电流。多个位线分别与磁性体存储单元的列对应地设置。数据线对与多条位线共同设置，由第1和第2数据线形成。数据写入控制电路在数据写入时，将第1和第2数据线分别设定为高电位状态和低电位状态。多个列选择门电路分别与列对应地设置，各自根据地址选择结果将对应的位线与第1数据线连接。多个位线电流控制电路分别与列对应地设置，各自为了在数据写入时流过第2数据写入电流，将对应的位线

10 15 20 和第2数据线之间进行电连接。

在这种薄膜磁性体存储器中，通过构成数据线对的第1和第2数据线电位电平的控制，可以设定流过开放型位线的数据写入电流的方向，从而精简用于控制数据写入电流的构成。

在本发明的又一种情况下，薄膜磁性体存储器具有：存储器阵列；多条读出字线；多条写入字线；多条写入数据线；以及多条读出数据线。存储器阵列具有矩阵状配置的多个磁性体存储单元。各磁性体存储单元包含当由第1和第2数据写入电流产生的数据写入磁场比规定磁场大时，根据写入的存储数据的电平而具有不同的电阻值的存储部和在数据读出时使数据读出电流通过存储部的存储单元选择门电路。多条读出字线分别与磁性体存储单元的行对应地设置，在数据读出时，根据地址选择结果使对应的存储单元选择门电路工作。多条写入字线分别与磁性体存储单元的列对应地设置，在数据写入时为了流过第1数据写入电流，根据地址选择结果有选择地驱动为激活状

25 30

态。多条写入数据线分别与行对应地设置，在数据写入时流过第2数据写入电流。多条读出数据线分别与列对应地设置，在数据读出时流过数据读出电流。

5 在这种薄膜磁性体存储器中，由于分别与磁性体存储单元的行和列对应地配置读出字线和写入数据线，故可独立配置有选择地驱动读出字线的电路和有选择地驱动各条写入字线的电路。其结果则可提高布局的自由度，从而提高集成度。

在本发明的还一种情况下，薄膜磁性体存储器具有：存储器阵列；多条读出字线；多条写入数据线；多条共同布线；以及电流控制
10 电路。存储器阵列具有矩阵状配置的多个磁性体存储单元。各磁性体存储单元包含当由第1和第2数据写入电流产生的数据写入磁场比规定磁场大时，根据写入的存储数据的电平而具有不同的电阻值的存储部和在数据读出时使数据读出电流通过存储部的存储单元选择门电路。多条读出字线分别与磁性体存储单元的行对应地设置，在数据读
15 出时，根据地址选择结果使对应的存储单元选择门电路工作。多条写入数据线分别与行和列的其中之一对应地设置，在数据写入时流过第1数据写入电流。多个共同布线分别与行和列的其中另一个对应地设置。各共同布线在数据读出时，根据地址选择结果有选择地接受数据读出电流的供给。各共同布线在数据写入时，为了流过第2数据写入
20 电流，有选择地驱动到第1电位。电流控制电路分别在数据读出时和数据写入时，将与第1电位不同的第2电位与各共同布线之间予以连接和切断。

在这种薄膜磁性体存储器中，可以在共同布线中共有数据读出时的读出数据线功能和数据写入时的写入字线功能。其结果将是减少了
25 布线数并削减了制造成本。

附图说明

通过参照附图的后述的本发明的详细的说明，本发明的上述和其它的目的、特征、方面和优点会变得更加明白。

图1是表示本发明实施例1的MRAM装置1整体构成的概略方框
30 图。

图2是存储器阵列10及其周边电路的实施例1的构成的详细说明图。

图3是说明实施例2的电源供给系统的方框图。

图 4 是表示存储器阵列 10 及其周边电路的实施例 3 的构成的方框图。

图 5 是表示存储器阵列 10 及其周边电路的实施例 3 的变形例 1 构成的方框图。

5 图 6 是表示存储器阵列 10 及其周边电路的实施例 3 的变形例 2 构成的方框图。

图 7 是表示存储器阵列 10 及其周边电路的实施例 3 的变形例 3 构成的方框图。

10 图 8 是在实施例 4 的存储器阵列 10 周边电路的构成中, 表示有关数据写入部分的方框图。

图 9 是在实施例 4 的变形例 1 的存储器阵列 10 周边电路的构成中, 表示有关数据写入部分的方框图。

图 10 是在实施例 4 的变形例 2 的存储器阵列 10 周边电路的构成中, 表示有关数据写入部分的方框图。

15 图 11 是在实施例 4 的变形例 3 的存储器阵列 10 周边电路的构成中, 表示有关数据写入部分的方框图。

图 12 是表示存储器阵列 10 及其周边电路的实施例 5 的构成的方框图。

图 13 是表示电流转换电路 56 的构成的方框图。

20 图 14 是表示存储器阵列 10 及其周边电路的实施例 5 的变形例构成的方框图。

图 15 是表示电流转换电路 58 的构成的方框图。

图 16 是表示本发明实施例 6 的 MRAM 装置 2 的整体构成的概略方框图。

25 图 17 是表示实施例 6 的存储器阵列 10 的构成的方框图。

图 18 是表示实施例 6 的 MTJ 存储单元连接状态的电路图。

图 19 是说明对于实施例 6 的 MTJ 存储单元的数据写入和数据读出的时序图。

图 20 是说明实施例 6 的 MTJ 存储单元配置的结构图。

30 图 21 是表示实施例 6 的变形例 1 的存储器阵列 10 构成的方框图。

图 22 是表示实施例 6 的变形例 1 的 MTJ 存储单元连接状态的电路图。

图 23 是说明对于实施例 6 的变形例 1 的 MTJ 存储单元的数据写入和数据读出的时序图。

图 24 是说明实施例 6 的变形例 1 的 MTJ 存储单元配置的结构图。

图 25 是表示实施例 6 的变形例 2 的存储器阵列 10 构成的方框图。

图 26 是表示实施例 6 的变形例 2 的 MTJ 存储单元连接状态的电路图。

图 27 是表示实施例 6 的变形例 2 的 MTJ 存储单元配置的结构图。

图 28 是表示实施例 6 的变形例 3 的存储器阵列 10 构成的方框图。

图 29 是表示实施例 6 的变形例 3 的 MTJ 存储单元连接状态的电路图。

图 30 是表示实施例 6 的变形例 3 的 MTJ 存储单元配置的结构图。

图 31 是表示实施例 6 的变形例 4 的存储器阵列 10 构成的方框图。

图 32 是表示实施例 6 的变形例 4 的 MTJ 存储单元连接状态的电路图。

图 33 是表示实施例 6 的变形例 4 的 MTJ 存储单元配置的结构图。

图 34 是表示实施例 6 的变形例 5 的存储器阵列 10 构成的方框图。

图 35 是表示实施例 6 的变形例 5 的 MTJ 存储单元连接状态的电路图。

图 36 是表示实施例 6 的变形例 5 的 MTJ 存储单元配置的结构图。

图 37 是表示实施例 6 的变形例 6 的存储器阵列 10 构成的方框图。

图 38 是表示实施例 6 的变形例 6 的 MTJ 存储单元连接状态的电路图。

图 39 是表示实施例 6 的变形例 6 的 MTJ 存储单元配置的结构图。

图 40 是表示实施例 6 的变形例 6 的 MTJ 存储单元配置的另一例子的结构图。

图 41 是表示具有磁隧道结部的存储单元构成的概略图。

图 42 是说明 MTJ 存储单元的数据读出工作的概念图。

图 43 是说明对于 MTJ 存储单元的数据写入工作的概念图。

图 44 是说明在数据写入时数据写入电流的方向和磁场方向的关系的概念图。

图 45 是表示矩阵状集成配置的 MTJ 存储单元的概念图。

图 46 是在半导体衬底上配置的 MTJ 存储单元的结构图。

5 具体实施方式

以下参照附图详细说明本发明的实施例。

实施例 1

参照图 1, 本发明实施例 1 的 MRAM 装置 1 响应来自外部的控制信号 CMD 和地址信号 ADD 进行随机存取, 进行写入数据 DIN 的输入和读
10 出数据 DOUT 的输出。

MRAM 装置 1 具有响应控制信号 CMD, 控制 MRAM 装置 1 全部工作的控制电路 5 和具有按 n 行 $\times$ m 列矩阵状配置的多个 MTJ 存储单元的存储器阵列 10。存储器阵列 10 的构成后面将详细说明, 配置了分别与 MTJ 存储单元的行对应的多条写入字线 WWL 和读出字线 RWL。并且,
15 配置了分别与 MTJ 存储单元的列对应地设置的折叠型位线对。位线对由位线 BL 和 /BL 构成。下面将位线 BL 和 /BL 的组总称为位线对 BLP。

MRAM 装置 1 还具有: 根据由地址信号 ADD 表示的行地址 RA 进行存储器阵列 10 的行选择的行译码器 20; 根据由地址信号 ADD 表示的列地址 CA 进行存储器阵列 10 的列选择的列译码器 25; 根据行译码器
20 20 的行选择结果有选择地激活读出字线 RWL 和写入字线 WWL 的字线驱动器 30; 在数据写入时使数据写入电流流过写入字线 WWL 的字线电流控制电路 40; 以及在数据读出和数据写入时, 使数据写入电流 $\pm I_w$ 和读出电流 I_s 通过的读出/写入控制电路 50、60。

参照图 2, 存储器阵列 10 按 n 行 $\times$ m 列 (n, m : 自然数) 配置, 具有图 41 所示构成的 MTJ 存储单元 MC。与 MTJ 存储单元的行 (以下
25 简称为存储单元行) 对应, 分别设置读出字线 $RWL1 \sim RWLn$ 和写入字线 $WWL1 \sim WWLn$ 。

与 MTJ 存储单元的列 (以下简称为存储单元列) 对应, 分别设置构成位线对的位线 $BL1, /BL1 \sim BLm, /BLm$ 。

30 以下, 在总括地表示写入字线、读出字线、位线和位线对时, 分别使用符号 WWL、RWL、BL (/BL) 和 BLP 表示, 在表示特定的写入字线、读出字线、位线和位线对时, 在其符号中附加下标, 如表示为

RWL1、WWL1。

写入字线 WWL1 ~ WWLn 通过字线电流控制电路 40 与接地电位 V_{SS} 连接。这样，通过字线驱动器 30，数据写入电流 I_p 流过激活为选择状态（高电位状态：电源电位 V_{CC} ）的写入字线 WWL。

列译码器 25 根据列地址 CA 的译码结果，使分别与存储单元列对应地设置的列选择线 CSL1 ~ CSLm 的其中之一激活为选择状态（H 电平）。

数据 I/O 线对 DI/OP 传输数据写入时的数据写入电流 $\pm I_w$ 和数据读出时的读出电流 I_s 。即，在数据读出时和数据写入时被共有。

① 数据 I/O 线对 DI/OP 包含数据线 IO 和 /IO。

下面对读出/写入控制电路 50 中包含的列选择门电路 CSG1 ~ CSGm、数据写入电流控制电路 51 以及数据读出电路 52 的构成予以说明。

列选择门电路 CSG1 ~ CSGm 分别与存储单元列对应地配置。列选择门电路 CSG1 ~ CSGm 中的某一个根据列译码器 25 的列选择结果成为导通状态，将构成数据 I/O 线对 DI/OP 的数据线 IO 和 /IO 分别连接对应的位线 BL 和 /BL。

例如，列选择门电路 CSG1 具有连接在数据线 IO 和位线 BL1 之间的晶体管开关和在数据线 /IO 和位线 /BL1 之间进行电连接的晶体管开关。这些晶体管开关根据列选择线 CSL1 的电位电平进行导通/关断。即，当列选择线 CSL1 激活为选择状态（H 电平）时，列选择门电路 CSG1 将数据线 IO， /IO 分别与位线 BL1 和 /BL1 电连接。分别与其他存储单元列对应地设置的列选择门电路 CSG2 ~ CSGm 也有同样的构成。

② 数据写入电流控制电路 51 响应数据写入时激活的控制信号 WE 而工作。

数据写入电流控制电路 51 包含：将一定电流供给内部节点 N_{w0} 的 P 型 MOS 晶体管 151；构成用于控制晶体管 151 的通过电流的电流镜电路的 P 型 MOS 晶体管 152 和电流源 153。

③ 数据写入电流控制电路 51 还具有接受从内部节点 N_{w0} 供给的工作电流而工作的倒相器 154、155 和 156。倒相器 154 将写入数据 DIN 的电位电平倒相并传输给内部节点 N_{w1} 。倒相器 155 将写入数据 DIN

的电位电平倒相并传输给倒相器 156 的输入节点。倒相器 156 将倒相器 154 的输出倒相并传输给内部节点 $Nw2$ 。从而，数据写入电流控制电路 51 根据写入数据 DIN 的电位电平，将数据线 IO 和 /IO 的电位电平设定在电源电位 V_{cc} 或接地电位 V_{ss} 。

数据读出电路 52 响应在数据读出时激活的控制信号 RE 而工作，输出读出数据 DOUT。

数据读出电路 52 具有：接受电源电位 V_{cc} 并将一定电流分别供给内部节点 $Ns1$ 和 $Ns2$ 的电流源 161 和 162；在内部节点 $Ns1$ 和内部节点 $Nr1$ 之间进行电连接的 N 型 MOS 晶体管 163；在内部节点 $Ns2$ 和内部节点 $Nr2$ 之间进行电连接的 N 型 MOS 晶体管 164；以及对内部节点 $Ns1$ 和 $Ns2$ 之间的电位电平差进行放大并输出读出数据 DOUT 的放大器 165。

对晶体管 163 和 164 的栅提供参照电位 V_{ref} 。电流源 161 和 162 的供给电流量和参照电位 V_{ref} ，按照读出电流 I_s 的电流量来设定。电阻 166 和 167 被设计成用于将内部节点 $Ns1$ 和 $Ns2$ 下拉到接地电位 V_{ss} 。按照这种构成，数据读出电路 52 在数据读出时，将读出电流 I_s 供给各数据线 IO 和 /IO。根据通过列选择门电路和位线对连接的 MTJ 存储单元的存储数据电平，放大在数据线 IO 和 /IO 产生的电位差，输出读出数据 DOUT。

读出/写入控制电路 60 夹住存储器阵列 10，配置在列选择门电路 $CSG1 \sim CSGm$ 的相反一侧。

读出/写入控制电路 60 具有根据位线均衡化信号 BLEQ 而导通/关断的均衡化晶体管 $62-1 \sim 62-m$ 。均衡化晶体管 $62-1 \sim 62-m$ 分别与存储单元列对应地设置。例如，均衡化晶体管 $62-1$ 与第 1 存储单元列对应地设置，响应位线均衡化信号 BLEQ 的激活（H 电平），将位线 BL1 和 /BL1 进行电连接。

分别与其他存储单元列对应地设置的均衡化晶体管 $62-2 \sim 62-m$ 也是一样，响应位线均衡化信号 BLEQ 的激活，在对应的存储单元列，将构成位线对的位线 BL 和 /BL 之间进行电连接。

位线均衡化信号 BLEQ 由控制电路 5 生成。位线均衡化信号 BLEQ 在 MRAM 装置 1 的备用期间、MRAM 装置 1 的激活期间中，在存储器阵列 10 是非选择状态时以及在激活期间内的数据写入工作时，为了将

构成按折叠型设置的位线对的位线 BL 和 /BL 在各存储单元列中短路，激活为 H 电平。

另一方面，在 MRAM 装置的激活期间中的数据读出工作时，位线均衡化信号 BLEQ 非激活为 L 电平。与此相呼应，在各存储单元列中，
5 构成位线对的位线 BL 和 /BL 之间被断开。

首先，说明数据写入时的工作。以下，作为一个实例，将选择与列选择线 CSL2 对应的第 2 存储单元列的情况予以说明。

响应列选择结果，列选择线 CSL2 激活为选择状态（H 电平），列选择门电路 CSG2 导通。这样，数据线 IO 和 /IO 分别与构成位线对 BLP2 的位线 BL2 和 /BL2 电连接。在数据写入时，均衡化晶体管 62-
10 2 为导通状态，将位线 BL2 和 /BL2 之间短路。

如已经说明的一样，数据写入电流控制电路 51 将数据线 IO 和 /IO 的电位电平设定在电源电位 V_{cc} 或接地电位 V_{ss} 。例如，当写入数据 DIN 的数据电平是 L 电平时，由于倒相器 154 和 156 的输出分别设定
5 在电源电位 V_{cc} （高电位状态）和接地电位 V_{ss} （低电位状态），则在数据线 IO 上流过用于写入 L 电平数据的数据写入电流 $-I_w$ 。

数据写入电流 $-I_w$ 通过列选择门电路 CSG2 供给位线 BL2。传输给位线 BL2 的数据写入电流 $-I_w$ 被均衡化晶体管 62-2 而转向，在另一条位线 /BL2 中作为反方向的数据写入电流 $+I_w$ 被传输。位线
10 /BL2 中流过的数据写入电流 $+I_w$ 通过列选择门电路 CSG2 传输给数据线 /IO。

写入字线 WWL1 ~ WWLn 中的某一条被激活为选择状态（H 电平），流过数据写入电流 I_p 。从而，在列选择线 CSL2 对应的存储单元列中，对于在对应的写入数据线 WWL 中流过数据写入电流的 MTJ 存储单元进行数据写入。这时，对与位线 BL2 连接的 MTJ 存储单元 MC，写入 L
15 电平数据，对与位线 /BL2 连接的 MTJ 存储单元 MC，写入 H 电平数据。

另一方面，当写入数据 DIN 的数据电平是 H 电平时，内部节点 Nw1 和 Nw2 的电位电平的设定与上述情况相反，在位线 BL2 和 /BL2 中流过与上述方向相反的数据写入电流，写入与上述相反的数据电
20 平。这样，具有按照写入数据 DIN 的数据电平的方向的数据写入电流 $\pm I_w$ 被供给位线 BL 和 /BL。

下面对数据读出予以说明。

MTJ 存储单元 MC 在每 1 行中与位线 BL 和 /BL 的其中之一连接。
例如, 对属于第 1 存储单元列的 MTJ 存储单元予以说明, 第 1 行的 MTJ 存储单元与位线 BL1 连接, 第 2 行的 MTJ 存储单元与位线 /BL1 连接。以下同样, 各 MTJ 存储单元, 在奇数行与位线对的 BL1 ~ BLm 连接, 在偶数行与位线对的 /BL1 ~ /BLm 连接。

其结果, 当读出字线 RWL 根据行选择结果有选择地激活时, 位线对的 BL1 ~ BLm 和位线对的 /BL1 ~ /BLm 的其中之一与 MTJ 存储单元 MC 连接。

存储器阵列 10 还有分别与位线 BL1、/BL1 ~ BLm、/BLm 连接的多个虚设存储单元 DMC。虚设存储单元与虚设读出字线 DRWL1 和 DRWL2 的其中之一连接, 按 2 行 × m 列配置。与虚设读出字线 DRWL1 连接的虚设存储单元, 分别与位线 BL1、BL2 ~ BLm 连接。另外, 与虚设读出字线 DRWL2 连接的剩余的虚设存储单元分别与位线 /BL1、/BL2 ~ /BLm 连接。

虚设读出字线 DRWL1 和 DRWL2 有选择地激活, 以便将在位线对的 BL1 ~ BLm 和位线对的 /BL1 ~ BLm 中的与属于被选择的存储单元行的 MTJ 存储单元 MC 非连接的一方, 分别与虚设存储单元 DMC 连接。

其结果, 位线对的 BL1 ~ BLm 和位线对的 /BL1 ~ /BLm 分别与被选择的存储单元行对应的 m 个 MTJ 存储单元和 m 个虚设存储单元连接。

如已经说明的一样, 数据读出电路 52 对数据线 IO 和 /IO 供给同一方向的读出电流 Is。

对在数据读出时选择了与列选择线 CSL2 对应的第 2 存储单元列的情况予以说明。

列选择线 CSL2 被激活为选择状态 (H 电平), 列选择门电路 CSG2 导通。据此, 构成数据 I/O 线对 DI/OP 的数据线 IO 和 /IO 与数据写入时同样, 分别与位线 BL2 和 /BL2 连接。

然而, 在数据读出时, 由于均衡化晶体管 62-2 关断, 故从数据读出电路 52 供给的读出电流 Is 按同一方向流过位线 BL2 和 /BL2。

读出字线 RWL1 ~ RWLn 的其中之一被激活为选择状态 (H 电平), 对应的 MTJ 存储单元与位线 BL2 和 /BL2 其中一个连接。并且, 虚设读出字线 DRWL1 和 DRWL2 中的某一个被激活, 与 MTJ 存储单元非连接的位线 BL2 和 /BL2 的其中另一个与虚设存储单元 DMC 连接。

在根据行选择结果，选择奇数行，位线 BL2 与 MTJ 存储单元 MC 连接时，虚设读出字线 DRWL2 被激活，位线/BL2 与虚设存储单元 DMC 连接。反之，在根据行选择结果选择偶数行，位线/BL2 与 MTJ 存储单元 MC 连接时，虚设读出字线 DRWL1 被激活，位线 BL2 与虚设存储单元 DMC 连接。

如已经说明的一样，MTJ 存储单元 MC 的电阻值随存储数据电平而变化。这里，在存储 H 电平数据时的 MTJ 存储单元 MC 的电阻值为 R_h ，在存储 L 电平数据时的 MTJ 存储单元 MC 的电阻值为 R_l ，则将虚设存储单元 DMC 的电阻值 R_d 设定在 R_l 和 R_h 的中间值。这样，通过将在和虚设存储单元连接的位线上产生的电位变化与在和 MTJ 存储单元 MC 连接的位线上产生的电位变化进行比较，即可检测作为数据读出对象的存储数据的电平。

在位线 BL2 和 /BL2 之间产生的电位差通过数据 I/O 线对 DI/OP 传输给数据读出电路 52 中的内部节点 N_{s1} 和 N_{s2} 。通过放大器 165，内部节点 N_{s1} 和 N_{s2} 的电位电平差被放大，并作为读出数据 DOUT 输出。

因而，在与位线 BL 连接的 MTJ 存储单元中存储 L 电平数据时，以及在与位线/BL 连接的 MTJ 存储单元 MC 中存储 H 电平数据时，在读出数据 DOUT 中都输出 L 电平。反之，在与位线 BL 连接的 MTJ 存储单元中存储 H 电平数据时，以及在与位线/BL 连接的 MTJ 存储单元 MC 中存储 L 电平数据时，在读出数据 DOUT 中都输出 H 电平。

这样，与各存储单元列对应地配置折叠型位线对 BLP，通过用均衡化晶体管使数据写入电流转向，只通过将各位线 BL 和 /BL 一端的电位电平控制在电源电位 V_{cc} 或接地电位 V_{ss} ，即可供给不同方向的数据写入电流。因此，不必形成极性不同的电位（负电位），仅通过将数据线 IO 和 /IO 的电位设定在电源电位或接地电位，电流的方向即被转换，故可使数据写入电流控制电路 51 的电路构成简化。读出/写入控制电路 60 也可以仅用均衡化晶体管 62-1~62-m 简单地形成。

同时，由于用虚设存储单元进行数据读出，则在设置折叠型位线对 BLP 的构成中，可高效率地配置 MTJ 存储单元。

实施例 2

参照图 3, 在实施例 2 的存储器阵列 10 中, 与实施例 1 同样, 在各存储单元列, 设置折叠型位线对, 在读出/写入控制电路 60 中, 设置均衡化晶体管 62-1~62-m。

在实施例 2 中, 在数据写入时供给数据写入电流, 对于激活数据写入电流控制电路 51 和字线 WWL 的字线驱动器 30, 对 MRAM 装置 1 直接供给从外部供给的外部电源电位 Ext. Vcc。

MRAM 装置 1 还具有使外部电源电位 Ext. Vcc 降压并生成内部电源电位 Int. Vcc 的电压降低电路 (VDC: Voltage Down Converter) 55。

电压降低电路 55 生成的内部电源电位 Int. Vcc 供给进行数据读出电路 52、列译码器 25、控制电路 5、行译码器 20 等的读出和地址处理的内部电路。在数据读出时和数据写入时的各部分工作与实施例 1 同样, 不再重复详细说明。

采用这种构成, 在数据写入时, 通过利用从外部施加的外部电源电压 Ext. Vcc 来驱动供给比较大的数据写入电流 $\pm I_w$ 的数据写入电流控制电路 51 和将数据写入电流 I_p 供给写入字线 WWL 的字线驱动器 30, 可迅速供给这些数据写入电流。

另外, 通过由已被降压的内部电源电位 Int. Vcc 来驱动供给数据写入电流的电路以外的内部电路, 可以减少这些内部电路的功耗, 并可确保与高集成化的装置的微细化对应的可靠性。

实施例 3

在实施例 1 中, 示出了在沿行方向配置的数据 I/O 线对 DI/OP 的一端分别连接数据写入电流控制电路 51 的输出节点 Nw1 及 Nw2 与数据线 IO 及 /IO 的构成。然而, 在这种构成中, 与选择的存储单元列对应, 数据写入电流 $\pm I_w$ 的路径长度变化了。

例如, 在图 2 所示的构成中, 在列选择线 CSL1 一侧, 由于数据写入电流控制电路 51 的输出节点 Nw1 及 Nw2 和数据线 IO 及 /IO 分别连接, 故在选择列选择线 CSL1 时的数据写入电流的路径长度变短了, 而相反侧的列选择线 CSLm 在选择状态被激活时的数据写入电流的路径长度变长了。这样, 由于根据被选择的存储单元列, 传输数据写入电流的布线长度变化, 故数据写入电流的路径电阻值变化, 数据写入电流的电流值也变化了。其结果, 根据存储单元列, 在写入工作

的容限方面产生了差别。

因而，在选择时数据写入电流的路径长度变长的存储单元列中，具有写入容限不足产生的可能性。然而，若与最担心写入容限不足的存储单元列（例如，在图2中包含的位于存储器阵列一端的第1列和第 m 列，或者包含由于存储单元的特性离散而形成容限不足的存储单元的存储单元列）相一致地设定数据写入电流，则在其他存储单元列的数据写入时，将所设定的数据写入电流大于必须的数据写入电流，浪费了功耗。

参照图4，在实施例3的构成中，数据写入电流控制电路51分别在最前面的存储单元列（第1列）一侧和最后面的存储单元列（第 m 列）一侧，分别与构成数据I/O线对DI/OP的数据IO和/O连接。

采用这种构成，可与作为列选择对象的存储单元列的位置无关，使由节点Nw1（数据写入电流控制电路51）～数据线IO～位线BL～均衡化晶体管～位线/BL～数据线/O～节点Nw2形成的数据写入电流 $\pm I_w$ 的路径长度一定，防止电阻值变动，可将数据写入电流 $\pm I_w$ 的电流值维持在一定电平。

这样，除了实施例1已说明的效果外，即使对于某个存储单元列抑制了无用的功耗，也可恰当地设定写入工作容限。

实施例3的变形例1

参照图5，在实施例3的变形例1中，在整个存储器阵列10中，设置多个数据I/O线对DI/OP。各数据I/O线对DI/OP被配置在每 M 个（ M ：自然数）存储单元列中。图5中，表示 $M=2$ 时、即每2个存储单元列配置1对数据I/O线对DI/OP的构成。

图5中，代表性表示在这些数据I/O线对DI/OP中的对于第1列和第2列设置的数据I/O线对DI/OPa和对于第3列和第4列设置的数据I/O线对DI/OPb。

数据写入电流控制电路51和数据读出电路52与各数据I/O线对对应地设置。例如，与数据I/O线对DI/OPa对应，配置数据写入电流控制电路51a和数据读出电路52a。即，数据写入电流控制电路51和数据读出电路52，在全部存储器阵列10中各设置（ m/M ）个。

从这些数据写入电流控制电路51和数据读出电路52中，各激活与选择的存储单元列对应的1个，进行数据写入电流 $\pm I_w$ 和读出电

流 I_s 的供给。其他部分的构成和工作与实施例 1 同样，不再重复详细说明。

这样，通过在每 M 个存储单元列中分段配置数据 I/O 线对 DI/OP，可以有效防止通过数据写入电流的布线长度变化随作为列选择对象的存储单元列的位置而引起的电流电平变化，可以享受到与实施例 3 同样的效果。

实施例 3 的变形例 2

参照图 6，实施例 3 的变形例 2 与图 4 所示实施例 3 的构成相比较，其差别是：数据写入电流控制电路 51 的输出节点 $Nw1$ 和 $Nw2$ 在数据 I/O 线对 DI/O 的中央部分分别与数据线 IO 和 /IO 电连接。

采用这种构成，可以防止因作为列选择对象的存储单元列的位置而引起的数据写入电流路径的电阻值变化，能够享受到与实施例 3 同样的效果。

实施例 3 的变形例 3

参照图 7，实施例 3 的变形例 3 与图 5 说明的实施例 3 的变形例 1 的情况同样，在每 M 个存储单元列中配置独立的数据输入输出线 DI/OP。数据 I/O 线对 DI/OP 的配置数目和与其对应的数据写入电流控制电路 51 及数据读出电路 52 的配置和选择，已在图 5 中说明了，不再重复说明。

在实施例 3 的变形例 3 中，各数据 I/O 线对 DI/OP 被配置在对应的 M 个存储单元列的中央部。图 7 中，作为一个例子说明了 $M=2$ 的情况，与第 1 列和第 2 列对应地设置的数据 I/O 线对 DI/OPa 被配置在存储单元列的第 1 列和第 2 列之间。

采用这种构成，与实施例 3 的变形例 1 的构成进行比较，进一步控制了依存于作为列选择对象的存储单元列的位置的数据写入电流的变动，对于任何存储单元列都可以进一步恰当地设定写入工作容限。

实施例 4

在实施例 1 到 3 中，对于 MTJ 存储单元 MC，已经说明了由共同的位线 BL 供给数据写入电流 $\pm I_w$ 和读出电流 I_s 的构成。

然而，由于数据写入电流 $\pm I_w$ 和读出电流 I_s 的电流量大不相同，故将位线 BL 分开地配置在数据读出时用于流过读出电流的读出

位线 RBL 和在数据写入时用于流过数据写入电流 $\pm I_w$ 的写入位线 WBL 中也是有效的。

关于 MTJ 存储单元构成的变化将在后面详细说明, 在实施例 4 中说明当独立的配置流过数据写入电流 $\pm I_w$ 的写入位线 WBL 时, 与作为列选择对象的存储单元列的位置无关地用于抑制数据写入电流变动的构成。

参照图 8, 在实施例 4 的存储器阵列 10 中, 与各存储单元列对应, 设置形成用于流过数据写入电流 $\pm I_w$ 的互补的写入位线对的 WBL, /WBL。对于写入位线 WBL, 当总括表示时, 用符号 WBL 表示, 当表示特定的写入位线时, 则在符号 WBL 中附加符号, 表示为 WBL1, /WBL1。

具有读出/写入控制电路 60 的均衡化晶体管 62-1~62-m, 在各存储单元列, 电连接写入位线 WBL 和 /WBL。均衡化晶体管 62-1~62-m, 与列选择门电路 CSG1~CSGm 同样, 根据列选择线 CSL1~CSLm 的电位电平导通/关断。

采用这种构成, 根据列选择结果, 例如当列选择线 CSL2 被激活为选择状态 (H 电平) 时, 列选择门电路 CSG2 和均衡化晶体管 62-2 导通, 形成节点 Nw1 (数据写入电流控制电路 51) ~ 数据线 IO ~ 写入位线 WBL ~ 均衡化晶体管 62-2 ~ 写入位线 /WBL2 ~ 数据线 /IO ~ 节点 Nw2 (数据写入电流控制电路 51) 的电流路径。

这样, 对于形成写入位线对的互补的写入位线 WBL 和 /WBL, 由于流过由均衡化晶体管转向的反方向的数据写入电流, 则可进行与实施例 1 同样的数据写入。

与图 4 所示的构成同样, 数据写入电流控制电路 51 的内部节点 Nw1 和 Nw2 以及构成数据 I/O 线对 DI/OP 的数据线 IO 和 /IO, 分别连接在最前面的存储单元列 (第 1 列) 和最后面的存储单元列 (第 m 列)。

因此, 与作为列选择对象的存储单元列的位置无关的数据写入电流路径的布线长度即电阻值为一定值, 可防止数据写入电流的变动。这样, 与实施例 3 同样, 对于各存储单元列, 不会产生无用的功耗, 可确保恰当的写入容限。

实施例 4 的变形例 1

参照图 9, 实施例 4 的变形例 1 与图 5 的情况同样, 数据 I/O 线

对 DI/OP 按每 M 个存储单元列配置。数据写入电流控制电路 51 也在整个存储器阵列 10 中分别与 (m/M) 组配置的数据 I/O 线对 DI/OP 对应地配置。均衡化晶体管 62-1~62-m 与图 8 的情况同样, 根据列选择线 CSL1~CSLm 的电位电平导通/关断, 进行与实施例 1 同样的数据写入。

采用这样的构成, 在将位线 BL 分开配置为读出位线 RBL 和写入位线 WBL 时, 也可以享受到与实施例 3 的变形例 1 同样的效果。

实施例 4 的变形例 2

参照图 10, 实施例 4 的变形例 2 与图 6 所示的构成同样, 在各存储单元列中共同设置的数据 I/O 线对 DI/OP 的中央部, 将数据线 IO 和 /IO 分别与数据写入电流控制电路 51 的输出节点 Nw1 和 Nw2 连接。均衡化晶体管 62-1~62-m 与图 8 的情况同样, 根据列选择线 CSL1~CSLm 的电位电平导通/关断, 进行与实施例 1 同样的数据写入。

采用这种构成, 在将位线 BL 分开配置为读出位线 RBL 和写入位线 WBL 时, 也可以得到与实施例 3 的变形例 2 同样的效果。

实施例 4 的变形例 3

参照图 11, 实施例 4 的变形例 3 与图 7 的情况同样, 数据 I/O 线对 DI/OP 按每 M 个存储单元列配置, 各数据 I/O 线对 DI/OP 部配置在对应的 M 个存储单元列的中央部。均衡化晶体管 62-1~62-m 与图 8 的情况同样, 根据列选择线 CSL1~CSLm 的电位电平导通/关断, 进行与实施例 1 同样的数据写入。

采用这种构成, 在将位线 BL 分开配置为读出位线 RBL 和写入位线 WBL 时, 也可以得到与实施例 3 的变形例 2 同样的效果。

在实施例 4 和其变形例 1 到 3 中, 省略了有关数据读出的构成的说明, 与实施例 1 到 3 同样, 可以根据在读出字线 RBL 产生的电位变化, 进行使用了虚设存储单元 DMC 的数据读出。

在实施例 1 到 4 中, 示出了使用虚设存储单元 DMC 进行数据读出、MTJ 存储单元 MC 在各位线 BL 和 /BL 按每 1 行配置的构成, 但也可在位线 BL 和 /BL 与字线的各交点处配置 MTJ 存储单元 MC。这时, 不设置虚设存储单元 DMC 也可以进行数据读出。

这样, 由于在各存储单元行与位线 BL、/BL 的各交点处配置 MTJ

存储单元, 故对于 1 位的存储数据配置 2 个 MTJ 存储单元. 采用这种构成, 响应读出字线 RWL 的激活, 对于位线 BL 和 /BL, 分别连接存储互补的数据电平的 2 个 MTJ 存储单元. 因此, 由于通过比较由存储这些互补数据的 MTJ 存储单元产生的电位变化的差别设定读出数据的数据电平, 故与使用虚设存储单元 DMC 检测读出数据 DOUT 的数据电平的情况进行比较, 可充分地确保读出容限.

实施例 5

参照图 12, 在实施例 5 中, 与各存储单元列对应, 配置非折叠型的开放型位线. 即, 与 m 个存储单元列对应, 分别设置位线 BL1 ~ BL m .

MTJ 存储单元 MC 在各存储单元行中被配置在每个与位线 BL 的交点. 形成数据 I/O 线对 DI/OP 的数据线 IO 和 /IO, 与存储器阵列 10 在列方向邻接, 被配置成分别夹住存储器阵列 10 地而对置.

列选择门电路 CSG1 ~ CSG m 由列选择线 CSL1 ~ CSL m 控制导通/关断, 与数据 I/O 线对 DI/OP 之一的数据线 IO 对应的位线 BL 连接.

读出/写入控制电路 60 具有在位线 BL1 ~ BL m 与数据 I/O 线对 DI/OP 之另一个的数据线 /IO 之间分别连接的电流控制晶体管 64-1 ~ 64- m . 电流控制晶体管 64-1 ~ 64- m 也与列选择门电路 CSG1 ~ CSG m 同样, 分别根据列选择线 CSL1 ~ CSL m 导通/关断.

在数据写入电流控制电路 51 和数据读出电路 52 与数据 I/O 线对 DI/OP 之间, 设置电流转换电路 56. 电流转换电路 56 有选择地将来自数据写入电流控制电路 51 的数据写入电流 $\pm I_w$ 和来自数据读出电路 52 的读出电流 I_s 供给数据 I/O 线对 DI/OP.

参照图 13, 电流转换电路 56 具有用于有选择地连接数据写入电流控制电路 51 的输出节点 Nw1 和数据读出电路 52 的输出节点 Nr1 的其中之一与数据线 IO 的开关 SW1a 和有选择地将数据写入电流控制电路 51 的输出节点 Nw2 和电源电位 Vcc 的其中之一与数据线 /IO 连接的开关 SW1b.

开关 SW1a 和 SW1b 根据共同的控制信号 RWS 工作. 即, 在数据读出时, 根据控制信号 RWS, 开关 SW1a 和 SW1b 分别将数据读出电路 52 的输出节点 Nr1 和电源电位 Vcc 与数据线 IO 和 /IO 连接.

在实施例 5 中, 数据读出电路 52 在将数据线 /IO 上拉到电源电

位 V_{cc} 的状态下使读出电流 I_s 流过数据线 I_0 ，将在数据线 I_0 产生的电压降与作为基准的电压降低量 ΔV_r 进行比较，检测读出数据 DOUT 的数据电平。 ΔV_r 设定为 ΔV_h 和 ΔV_l 的中间值，其中： ΔV_h 为读出 H 电平数据时的数据线 I_0 的电压降， ΔV_l 为读出 L 电平数据时的数据线 I_0 的电压降。

数据读出控制电路的构成是在图 2 所示的数据读出电路 52 的构成中省略晶体管 164 和将节点 $Nr2$ 与电源电位 V_{cc} 连接并设定电阻 167 的电阻值以使内部节点 $Ns2$ 的电位电平为 $(V_{cc} - \Delta V_r)$ 而实现的。

另外，在数据写入时，根据控制信号 RWS，开关 $SW1a$ 和 $SW1b$ 将数据写入电流控制电路 51 的输出节点 $Nw1$ 和 $Nw2$ 分别与数据线 I_0 和 $/I_0$ 连接。

再参照图 12，在数据写入时，在节点 $Nw1$ （数据写入电流控制电路 51）～数据线 I_0 ～位线 BL～数据线 $/I_0$ ～节点 $Nw2$ （数据写入电流控制电路 51）的路径上可以流过数据写入电流。在配置开放型位线的构成中，与实施例 1 同样，仅将数据写入电流控制电路 51 的输出节点 $Nw1$ 和 $Nw2$ 的电位电平控制在电源电位 V_{cc} 和接地电位 V_{ss} 的其中之一，即可供给不同方向的数据写入电流。这样，不必产生极性不同的电位（负电位）即可简化数据写入电流控制电路 51 的电路构成。读出/写入控制电路 60 同样可以仅由电流控制晶体管 $64-1 \sim 64-m$ 简单地形成。

数据写入电流控制电路 51 和形成数据 I/O 线对 DI/OP 的数据线 I_0 及 $/I_0$ ，分别连接在最前面的存储单元列（第 1 列）一侧和最后面的存储单元列（第 m 列）一侧。因而，与实施例 3 和 4 同样，可与作为列选择对象的存储单元列的位置无关地将数据写入电流路径的布线长度即电阻值维持在一定值。可其结果，防止数据写入电流的变动，不导致无用功耗而确保对各存储单元的适当的写入容限。

实施例 5 的变形例

图 14 是表示存储器阵列 10 及其周边的实施例 5 的变形例构成的方框图。

参照图 14，实施例 5 的变形例与图 12 的构成相比较，其不同是：读出/写入控制电路 60 包含的电流控制晶体管 $64-1 \sim 64-m$ 根据位

线预充电信号 BLPR 而导通/关断。位线预充电信号 BLPR 的信号电平被设定为与已说明的位线均衡化信号 BLEQ 一样。

代替电流转换电路 56 的电流转换电路 58 连接在数据写入电流控制电路 51 和数据 I/O 线对 DI/OP 之间。数据读出电路 52 响应控制信号 RE 而工作，并将读出电流 I_s 供给数据 I/O 线对之一的数据线 IO。

图 15 是表示电流转换电路 58 构成的方框图。

参照图 15，电流转换电路 58 具有在数据写入电流控制电路 51 的输出节点 Nw1 和供给电源电位 Vcc 的预充电节点 Np1 与数据线 IO 之间配置的开关 SW2a 和在数据写入电流控制电路 51 的输出节点 Nw2 和供给电源电位 Vcc 的预充电节点 Np2 与数据线 IO 之间配置的开关 SW2b。

开关 SW2a 和 SW2b 在数据写入时分别将数据线 IO 和 /IO 与数据写入电流控制电路 51 的输出节点 Nw1 和 Nw2 电连接。并且，开关 SW1b 和 SW2b 在数据读出之前进行的预充电工作时，将数据线 IO 和 /IO 与预充电节点 Np1 和 Np2 分别进行电连接。

然而，在数据读出时，预充电的数据线 IO 和 /IO 通过开关 SW1b 和 SW2b 使数据写入电流控制电路 51 的输出节点 Nw1，Nw2 与预充电节点 Np1，Np2 都断开。

开关控制电路 59 根据已经说明的控制信号 WE 和位线预充电信号 BLPR 的信号电平判断是数据写入时、数据读出时和预充电工作时哪种情况，控制开关 SW2a 和 SW2b 的连接。

采用这种构成，在数据读出时，使位线预充电信号 BLPR 非激活为 L 电平，关断电流控制晶体管 64-1~64-m，并使数据线 IO 和 /IO 与数据写入电流控制电路 51 和预充电节点 Np1、Np2 都断开。

利用具有与实施例 5 同样构成的数据读出电路 52，通过与数据线 IO 和选择的存储单元列对应的列选择门电路，对位线 BL 供给读出电流 I_s 。根据写入字线 RWL 的激活，利用与位线连接的 MTJ 存储单元 MC，将在位线 BL 产生的电压降与基准电压降 ΔV_r 进行比较，数据读出电路 52 即可检测读出数据 DOUT 的数据电平。

另外，在数据写入时，位线预充电信号 BLPR 被激活为 H 电平，电流控制晶体管 64-1~64-m 导通。因而，在选择的存储单元列中，形成节点 Nw1（数据写入电流控制电路 51）~ 数据线 IO ~ 位线 BL ~

电流控制晶体管~数据线/IO~节点 $Nw2$ (数据写入电流控制电路 51) 的电流路径, 可以使按照写入数据 DIN 的数据电平的数据写入电流 $\pm I_w$ 流过位线 BL。这样, 即可进行与实施例 5 同样的数据写入工作。

实施例 6

在实施例 6 中, 将说明对于 MTJ 存储单元 MC 设置的布线的配置的变型。

参照图 16, 本发明实施例 6 的 MRAM 装置 2 与 MRAM 装置 1 同样, 响应来自外部的控制信号 CMD 和地址信号 ADD 进行随机存取, 进行写入数据 DIN 的输入和读出数据 DOUT 的输出。存储器阵列 10 具有 n 行 $\times$ m 列矩阵状配置的多个 MTJ 存储单元。存储器阵列 10 的构成后面将详细说明, 分别与存储单元行对应地配置多条读出字线 RWL 和写入位线 WBL, 分别与存储单元列对应地配置多条写入字线 WWL 和读出位线 RBL。

这样, 在实施例 6 中, 将流过数据写入电流 $\pm I_w$ 和读出电流 I_s 的位线 BL 分开为在数据读出时流过读出电流 I_s 的读出位线 RBL 和在数据写入时流过数据写入电流 $\pm I_w$ 的写入位线 WBL。并且, 读出字线 RWL 和写入字线 WWL 按相互不同的方向配置。

MRAM 装置 2 具有: 根据由地址信号 ADD 表示的行地址 RA, 进行存储器阵列 10 的行选择的行译码器 20; 根据由地址信号 ADD 表示的列地址 CA, 进行存储器阵列 10 的列选择的列译码器 25; 根据行译码器 20 的行选择结果, 在数据读出时有选择地激活读出字线 RWL 的读出字线驱动器 30r; 根据行译码器 20 的行选择结果, 在数据写入时, 使数据写入电流流过写入位线 WBL 的写入控制电路 50w 和 60w; 根据列译码器 25 的列选择结果, 在数据写入时有选择地激活写入字线 WWL 的写入字线驱动器 30w; 使数据写入电流流过被激活的写入字线 WWL 的字线电流控制电路 40; 以及在数据读出时将读出电流 I_s 供给读出位线 RBL 的读出控制电路 50r。

写入控制电路 50w 同时具有已在实施例 1 说明的数据写入电流控制电路 51 的功能和进行行选择的选择门电路的功能。写入控制电路 60w 与写入控制电路 50w 协调地工作, 根据写入数据 DIN 的数据电平, 通过控制存储器阵列 10 两端部的写入位线 WBL 的两端的电位来

控制数据写入电流 $\pm I_w$ 的方向。

读出控制电路 50r 同时具有图 2 已说明的数据读出电路 52 的功能和进行列选择的列选择门电路 CSG1~CSGm 的功能。

字线电流控制电路 40, 为了使数据写入电流流过激活为选择状态 (高电位状态: H 电平) 的写入字线 WWL, 将各写入字线 WWL 与接地电位 V_{ss} 连接。

参照图 17, 实施例 6 的存储器阵列 10 具有 n 行 $\times$ m 列配置的多个 MTJ 存储单元 MC。在实施例 6 的构成中, 对于各 MTJ 存储单元 MC 配置读出字线 RWL、写入字线 WWL、读出位线 RBL 和写入位线 WBL。

10 读出字线 RWL 和写入位线 WBL 分别与存储单元行对应并按照行方向配置。写入字线 WWL 和读出位线 RBL 分别与存储单元列对应并按照列方向配置。

其结果, 在整个存储器阵列 10 中, 设置了读出字线 RWL1~RWLn、写入字线 WWL1~WWLm、读出位线 RBL1~RBLm 以及写入位线 WBL1~WBLn。

以下, 当总括地表示读出位线时, 用 RBL 作为表示符号, 当表示特定的读出位线时, 在这些符号上附加下标, 表示为 RBL1, RBLm。

字线电流控制电路 40 将写入字线 WWL1~WWLm 与接地电位 V_{ss} 连接。这样, 当通过写入字线驱动器 30w 使写入字线 WWL 激活为选择状态 (H 电平: 电源电位 V_{cc}) 时, 可使数据写入电流 I_p 流过已激活的写入字线 WWL。

参照图 18, 在实施例 6 的 MTJ 存储单元中, 对于由磁隧道结部 MTJ 和存取晶体管 ATR 组成的 MTJ 存储单元, 设置读出字线 RWL、写入字线 WWL、写入位线 WBL 和读出位线 RBL。如已经说明的一样, 代表性应用 25 在半导体衬底上形成的场效应晶体管的 MOS 晶体管作为存取晶体管 ATR。

存取晶体管 ATR 的栅与读出字线 RWL 连接。存取晶体管 ATR 在读出字线 RWL 激活为选择状态 (H 电平: 电源电位 V_{cc}) 时导通, 形成包含磁隧道结部 MTJ 的电流路径。另外, 当读出字线 RWL 非激活为非选择状态 (L 电平: 接地电位 V_{ss}) 时, 由于存取晶体管 ATR 关断, 30 故不形成包含磁隧道结部 MTJ 的电流路径。

写入字线 WWL 和写入位线 WBL 以与磁隧道结部 MTJ 邻近的方式在

相互正交方向上配置。这样，由于在相互正交方向上配置读出字线 RWL 和写入字线 WWL，故可以分开配置读出字线驱动器 30r 和写入字线驱动器 30w。由于读出字线 RWL 和写入字线 WWL 在数据读出时和数据写入时分别独立地激活，故这些驱动器可以作为本来独立的装置来设计。因而，将写入字线驱动器 30w 和读出字线驱动器 30r 分开并小型化，由于可把每个驱动器配置在与存储器阵列 10 邻接的不同区中，故可提高布局的自由度，减少布局面积即 MRAM 装置的芯片面积。

磁隧道结部 MTJ 在读出位线 RBL 和存取晶体管 ATR 之间电连接。因而，在数据读出时，通过将不必流过电流的写入位线 WBL 的电位电平设定在接地电位 V_{ss} ，响应存取晶体管 ATR 的导通，故形成读出位线 RBL~磁隧道结部 MTJ~存取晶体管 ATR~写入位线 WBL(接地电位 V_{ss}) 的电流路径。通过在该电流路径中流过读出电流 I_s ，在读出位线 RBL 中产生与磁隧道结部 MTJ 的存储数据电平对应的电位变化，可以读出存储数据。

在数据写入时，写入字线 WWL 和写入位线 WBL 中分别流过数据写入电流，在由这些数据写入电流分别产生的磁场的和达到超过一定磁场即图 44 所示的星状特性线的区时，在磁隧道结部 MTJ 中写入存储数据。

下面用图 19 说明对于实施例 6 的 MTJ 存储单元的数据写入和数据读出。

首先，说明数据写入时的工作。

写入字线驱动器 30w 根据列译码器 25 的列选择结果，将与选择列对应的写入字线 WWL 的电位驱动为选择状态(H 电平)。在非选择列中，写入字线 WWL 的电位电平维持在非选择状态(L 电平)。通过字线电流控制电路 40，各写入字线 WWL 与接地电位 V_{ss} 连接，故在选择列中，数据写入电流 I_p 流过写入字线 WWL。

读出字线 RWL 在数据写入时维持在非选择状态(L 电平)。在数据写入时，读出控制电路 50r 不供给读出电流 I_s ，将读出位线 RBL 预充电到高电位状态(V_{cc})。并且，由于存取晶体管 ATR 维持关断状态，故在数据写入时，在读出位线 RBL 上不流过电流。

写入控制电路 50w 和 60w 通过控制在存储器阵列 10 两端的写入位线 WBL 的电位，产生按照写入数据 DIN 的数据电平方向的数据写入

电流。例如，当写入“1”的存储数据时，将写入控制电路 60w 侧的位线电位设定在高电位状态（电源电位 V_{cc} ），将相反侧的写入控制电路 50w 侧的位线电位设定在低电位状态（接地电位 V_{ss} ）。这样，在从写入控制电路 60w 朝向 50w 的方向上，数据写入电流 $+I_w$ 流过写入位线 WBL。另外，当写入“0”的存储数据时，将写入控制电路 50w 侧和 60w 侧的位线电位分别设定在高电位状态和低电位状态，在从写入控制电路 50w 朝向 60w 的方向上，数据写入电流 $-I_w$ 流过写入位线 WBL。这时，数据写入电流 $\pm I_w$ 根据行译码器 20 的行选择结果，有选择地流过与选择行对应的写入位线 WBL。

这样，通过设定数据写入电流 I_p 和 $\pm I_w$ 的方向，在数据写入时，根据写入的存储数据的电平“1”、“0”，选择方向相反的数据写入电流 $+I_w$ 和 $-I_w$ 的其中之一，即可与数据电平无关地将写入字线 WWL 的数据写入电流 I_p 固定在一定方向。这样，由于可常时地使流过写入字线 WWL 的数据写入电流 I_p 的方向一定，故如已经说明的一样，可以简化字线电流控制电路 40 的构成。

下面说明数据读出时的工作。

在数据读出时，写入字线 WWL 维持在非选择状态（L 电平），其电位电平由字线电流控制电路 40 固定在接地电位 V_{ss} 。在数据读出时，写入控制电路 50w 和 60w 停止使写入位线 WBL 设定在接地电位 V_{ss} 的数据写入电流的供给。

另外，读出字线驱动器 30r 根据行译码器 20 的行选择结果，将与选择行对应的读出字线 RWL 驱动在选择状态（H 电平）。在非选择行中，读出字线 RWL 的电位电平维持在非选择状态（L 电平）。读出控制电路 50r 在数据读出时，将进行数据读出的一定量的读出电流 I_s 供给选择列的读出位线 RBL。由于读出位线 RBL 在数据读出前预充电为高电平预充电位状态（ V_{cc} ），故通过响应读出字线 RWL 激活的存取晶体管 ATR 的导通，在 MTJ 存储单元内形成读出电流 I_s 的电流路径，在读出位线 RBL 中产生根据存储数据的电位变化（降低）。

在图 19 中，在作为一例的存储的数据电平是“1”的情况下，当固定磁性层 FL 和自由磁性层 VL 的磁场方向同一时，在存储数据是“1”时读出位线 RBL 的电位变化 ΔV_1 较小，在存储数据是“0”时读出位线 RBL 的电位变化 ΔV_2 大于 ΔV_1 。通过检测这些电位降低 Δ

V1 和 $\Delta V2$ 的差, 即可读出 MTJ 存储单元的存储数据。

并且, 在读出位线 RBL 中, 由于使具有数据读出的预充电电压和数据写入时的设定电压与同一电源电压 V_{cc} 一致, 故可使数据读出开始时的预充电工作的效率高, 从而达到数据读出工作的高速化。

参照图 20, 实施例 6 的 MTJ 存储单元中, 存取晶体管 ATR 在半导体主衬底 SUB 上的 P 型区 PAR 形成。写入位线 WBL 在第 1 金属布线层 M1 形成, 与存取晶体管 ATR 的源/漏区之一 110 电连接。另一源/漏区 120, 经由在第 1 金属布线层 M1 上设置的金属布线、阻挡层金属 140 以及在接触孔形成的金属膜 150, 与磁隧道结部 MTJ 电连接。

读出位线 RBL 设置在第 2 金属布线层 M2 中, 以便与磁隧道结部 MTJ 电连接。写入字线 WWL 配置在第 3 金属布线层 M3 中。写入字线 WWL, 由于可不与 MTJ 存储单元的其他部位连接而独立配置, 故将其自由配置, 以提高与磁隧道结部 MTJ 之间的磁耦合。

采用这种构成, 对于 MTJ 存储单元, 在相互正交方向上配置读出字线 RWL 和写入字线 WWL, 故可独立配置分别与读出字线 RWL 和写入字线 WWL 对应的读出字线驱动器 30r 和写入字线驱动器 30w, 提高布局的自由度。并且, 可防止数据读出时的字线驱动电流过大, 防止产生不需要的磁噪声。

实施例 6 的变形例 1

参照图 21, 存储器阵列 10 具有 n 行 $\times$ m 列配置的 MTJ 存储单元 MC。分别与存储单元行对应地配置读出字线 RWL 和写入位线 WBL, 分别与存储单元列对应地配置共同布线 CML。共同布线 CML 是共有读出位线 RBL 和写入字线 WWL 的功能的布线。因此, 在整个存储器阵列 10 中, 配置了读出字线 $RWL1 \sim RWLn$ 、写入位线 $WBL1 \sim WBLn$ 以及共同布线 $CML1 \sim CMLm$ 。

字线电流控制电路 40 具有在共同布线 $CML1 \sim CMLm$ 和接地电位 V_{ss} 之间分别连接的电流控制晶体管 $41-1 \sim 41-m$ 。各个电流控制晶体管 $41-1 \sim 41-m$, 在数据写入时, 为了使共同布线 CML 作为写入字线 WWL 工作, 把各个共同布线 $CML1 \sim CMLm$ 与接地电位 V_{ss} 连接。在数据写入时以外, 电流控制晶体管 $41-1 \sim 41-m$ 关断, 共同布线 CML 与接地电位 V_{ss} 断开。

这样, 在实施例 6 的变形例 1 中, 由于设置了电流控制晶体管 41

- 1 ~ 41 - m, 故在数据读出时可将共同布线 CML 作为读出位线 RBL 使用, 在数据写入时作为写入字线 WWL 使用。由于共同布线 CML 共有读出位线 RBL 和写入字线 WWL 的功能, 故可削减布线数。

参照图 22, 存取晶体管 ATR 被电连接在磁隧道结部 MTJ 和写入位线 WBL 之间, 磁隧道结部 MTJ 被连接在存取晶体管 ATR 和共同布线 CML 之间。存取晶体管 ATR 的栅与读出字线 RWL 连接。在图 2 的构成中, 读出字线 RWL 和写入字线 WWL 在相互正交方向上配置。

用图 23, 对实施例 6 的变形例 1 的 MTJ 存储单元的数据写入和数据读出予以说明。

参照图 23, 在数据写入时, 在写入位线 WBL 中流过数据写入电流 $\pm I_w$ 。并且, 通过电流控制晶体管 41-1 ~ 41-m 的导通, 根据列选择结果, 在与选择列对应的共同布线 CML 中流过数据写入电流 I_p 。这样, 数据写入时的共同布线 CML 的电位和电流可与图 19 所示的写入字线 WWL 同样设定。因此, 即可将按照写入数据 DIN 的数据电平的数据写入磁隧道结部 MTJ。如图 19 所示, 读出位线 RBL 在数据写入时因无特别必要, 可将两者合并为共同布线 CML 中。

在数据写入时以外, 电流控制晶体管 41-1 ~ 41-m 关断。在数据读出前, 共同布线 CML 预充电为接地电位 V_{ss} 。

在数据读出时, 将写入位线 WBL 的电位电平设定在接地电位电平 V_{ss} , 通过激活为选择状态 (H 电平) 读出字线 RWL, 存取晶体管 ATR 导通, 故可在共同布线 CML ~ 磁隧道结部 MTJ ~ 存取晶体管 ATR ~ 写入位线 WBL 的路径上流过读出电流 I_s 。

当读出电流 I_s 的电流路径在 MTJ 存储单元内形成时, 存储数据的电位变化 (上升) 在共同布线 CML 中产生。

图 23 中, 作为一例在被存储的数据电平是“1”的情况下, 当固定磁性层 FL 和自由磁性层 VL 的磁场方向同一时, 存储数据是“1”时共同布线 CML 的电位变化 ΔV_1 较小, 存储数据是“0”时共同布线 CML 的电位变化 ΔV_2 比 ΔV_1 大。通过检测在共同布线 CML 中产生的电位变化 ΔV_1 和 ΔV_2 之差, 即可读出 MTJ 存储单元的存储数据。

并且, 在起到读出位线 RBL 的功能的共同布线 CML 中, 由于使具有数据读出的预充电电压和数据写入时的设定电压与同一的接地 V_{ss} 一致, 故可使数据读出开始时的预充电工作的效率高, 从而达到数据

读出工作的高速化。

如图 19 所示, 写入字线 WWL 在数据读出时因无特别必要, 故可将写入字线 WWL 和读出位线 RBL 合并为共同布线 CML 中。

参照图 24, 在实施例 6 的变形例 1 的 MTJ 存储单元中, 写入位线 WBL 被配置在第 1 金属布线层 M1 中, 读出字线 RWL 与存取晶体管 ATR 的栅 130 被配置在同一层。

写入位线 WBL 与存取晶体管 ATR 的源/漏区 110 电连接。另一源/漏区 120 通过设置在第 1 金属布线层 M1 的金属布线、阻挡层金属 140 以及在接触孔设置的金属膜 150, 与磁隧道结部 MTJ 连接。

共同布线 CML 被设置在与磁隧道结部 MTJ 电连接的第 2 金属布线层 M2 中。这样, 由于共同布线 CML 同时具备读出位线 RBL 和写入字线 WWL 的功能, 增加了实施例 6 的 MTJ 存储单元所起的作用, 故可削减布线数和金属布线层数, 减少了制造成本。

实施例 6 的变形例 2

参照图 25, 在实施例 6 的变形例 2 中, 存储器阵列 10 具有 n 行 $\times m$ 列配置的 MTJ 存储单元 MC。分别与存储单元行对应, 设置读出字线 RWL 和写入位线 WBL。并且, 分别与存储单元列对应, 设置读出位线 RBL 和写入字线 WWL。因此, 对于整个存储器阵列 10, 设置了读出字线 RWL1 ~ RWLn、写入位线 WBL1 ~ WBLn、读出位线 RBL1 ~ RBLm 以及写入字线 WWL1 ~ WWLm。字线电流控制电路 40 将各写入字线 WWL 与接地电位 V_{ss} 连接。

参照图 26, 在实施例 6 的变形例 2 的 MTJ 存储单元中, 读出位线 RBL 通过存取晶体管 ATR 与磁隧道结部 MTJ 连接。磁隧道结部 MTJ 被连接在写入字线 WWL 和存取晶体管 ATR 之间。读出字线 RWL 与存取晶体管 ATR 的栅连接。在图 26 的构成中, 读出字线 RWL 和写入字线 WWL 在相互正交方向上配置。

参照图 27, 在实施例 6 的变形例 2 的 MTJ 存储单元中, 读出位线 RBL 被配置在第 1 金属布线层 M1 中。读出字线 RWL 与存取晶体管 ATR 的栅 130 在同一层形成。读出位线 RBL 与存取晶体管 ATR 的源/漏区 110 连接。源/漏区 120 通过在第 1 和第 2 金属布线层 M1 和 M2 设置的金属布线、阻挡层金属 140 以及在接触孔设置的金属膜 150, 与磁隧道结部 MTJ 连接。

写入位线 WBL 与磁隧道结部 MTJ 邻近并被设置在第 2 金属布线层 M2 中。写入字线 WWL 与磁隧道结部 MTJ 电连接, 被配置在第 3 金属布线层 M3 中。

采用这种构成, 读出位线 RBL 通过存取晶体管 ATR 与磁隧道结部 MTJ 连接。这样, 读出位线 RBL 仅与属于作为数据读出对象即对应的读出字线 RWL 激活为选择状态 (H 电平) 的存储单元行的 MTJ 存储单元 MC 电连接。其结果, 抑制了读出位线 RBL 的电容量, 可使数据读出工作高速化。

实施例 6 的变形例 3

参照图 28, 实施例 6 的变形例 3 的存储器阵列 10 同样具有 n 行 $\times m$ 列配置的多个 MTJ 存储单元 MC。实施例 6 的变形例 3 与图 25~27 所示的实施例 6 的变形例 2 比较, 调换了写入字线 WWL 和读出位线 RBL 的配置。其他构成与实施例 6 的变形例 2 的情况一样, 不再重复说明。

参照图 29, 实施例 6 的变形例 3 的 MTJ 存储单元与图 26 所示实施例 6 的变形例 2 的 MTJ 存储单元比较, 调换了读出位线 RBL 和写入字线 WWL 的配置。其他布线的配置与图 26 一样, 不再重复说明。对于这种构成, 读出字线 RWL 和写入字线 WWL 可以在互相在正交方向上配置。

参照图 30, 实施例 6 的变形例 3 的 MTJ 存储单元与图 27 所示实施例 6 的变形例 2 的 MTJ 存储单元的结构比较, 写入字线 WWL 和读出位线 RBL 的配置位置调换了。即, 写入字线 WWL 被设置在第 1 金属布线层 M1 中, 与存取晶体管 ATR 的源/漏区 110 连接。读出位线 RBL 被设置在与磁隧道结部 MTJ 电连接的第 3 金属布线层 M3 中。

这样, 实施例 6 的变形例 3 中, 由于读出位线 RBL 与磁隧道结部 MTJ 直接连接, 故不可能实现实施例 6 的变形例 2 的数据读出工作的高速化。但是, 在实施例 6 的变形例 3 的构成中, 独立配置读出字线驱动器 30r 和写入字线驱动器 30w, 故可得到与实施例 6 同样的效果。

实施例 6 的变形例 4

参照图 31, 实施例 6 的变形例 4 的存储器阵列 10 同样具有 n 行 $\times m$ 列配置的多个 MTJ 存储单元 MC。分别与存储单元行对应地配置读

出字线 RWL 和写入位线 WBL, 分别与存储单元列对应地配置共同布线 CML。因此, 对于整个存储器阵列 10, 配置了读出字线 RWL1~RWLn、写入位线 WBL1~WBLn 以及共同布线 CML1~CMLm。

字线电流控制电路 40 具有在共同布线 CML1~CMLm 和接地电位 Vss 之间分别电连接的电流控制晶体管 41-1~41-m。各个电流控制晶体管 41-1~41-m 在数据写入时, 将共同布线 CML 与接地电位 Vss 连接。在数据写入时以外, 共同布线 CML1~CMLm 与接地电位 Vss 断开。在数据读出前, 共同布线 CML 预充电为接地电位 Vss。

参照图 32, 实施例 6 的变形例 4 的 MTJ 存储单元中, 存取晶体管 ATR 被连接在共同布线 CML 和磁隧道结部 MTJ 之间。读出字线 RWL 与存取晶体管 ATR 的栅连接。写入位线 WBL 与读出字线 RWL 在同一方向配置, 与磁隧道结部 MTJ 电连接。

共同布线 CML 在数据写入时与写入字线 WWL 一样, 由写入字线驱动器 30w 有选择地激活。另外, 在数据读出时, 共同布线 CML 由读出控制电路 50r 供给读出电流 Is。

在数据写入时, 由于电流控制晶体管 41-1~41-m 的导通, 在激活为选择状态 (H 电平) 的共同布线 CML 中与写入字线 WWL 同样流过数据写入电流 Ip。另外, 在数据读出时, 电流控制晶体管 41-1~41-m 关断, 由于在共同布线 CML~磁隧道结部 MTJ~存取晶体管 ATR~写入位线 WBL (接地电位 Vss) 的路径中流过读出电流 Is, 故如图 23 的说明, 在共同布线 CML 中产生与磁隧道结部 MTJ 的存储数据对应的电位变化。

因此, 共同布线 CML 兼有在数据写入时的写入字线 WWL 功能和数据读出时的读出位线 RBL 功能, 可以削减布线数。

并且, 由于读出字线 RWL 与在数据写入时作为写入字线功能的共同布线 CML 在相互正交方向上配置, 故可独立配置读出字线驱动器 30r 和写入字线驱动器 30w, 得到与实施例 6 同样的效果。

参照图 33, 实施例 6 的变形例 4 的 MTJ 存储单元中, 共同布线 CML 被配置在第 1 金属布线层 M1 中, 与存取晶体管 ATR 的源/漏区 110 电连接。读出字线 RWL 与存取晶体管 ATR 的栅 130 在同一层形成。

源/漏区 120 通过在第 1 金属布线层 M1 中形成的金属布线、阻挡层金属 140 以及在接触孔形成的金属膜 150, 与磁隧道结部 MTJ 连

接。写入位线 WBL 配置在与磁隧道结部 MTJ 电连接的第 2 金属布线层 M2 中。

这样,采用通过存取晶体管 ATR 连接共同布线 CML 和磁隧道结部 MTJ 的构成,共同布线 CML 仅在存取晶体管 ATR 导通时与磁隧道结部 MTJ 连接。其结果,在数据读出时,削减了作为读出位线 RBL 功能的共同布线 CML 的电容,可进一步使数据读出工作高速化。

实施例 6 的变形例 5

参照图 34,实施例 6 的变形例 5 的存储器阵列 10 同样具有 n 行 $\times m$ 列配置的多个 MTJ 存储单元 MC。分别与存储单元行对应地配置读出字线 RWL 和共同布线 CML,分别与存储单元列对应地配置写入位线 WBL。因此,对于整个存储器阵列 10,设置了读出字线 RWL1 ~ RWLn、共同布线 CML1 ~ CMLn 以及写入位线 WBL1 ~ WBLm。

字线电流控制电路 40 具有在共同布线 CML1 ~ CMLn 和接地电位 Vss 之间分别电连接的电流控制晶体管 41-1 ~ 41-n。各个电流控制晶体管 41-1 ~ 41-n,在数据写入时连接共同布线 CML 和接地电位 Vss。在数据写入时以外,共同布线 CML1 ~ CMLn 与接地电位 Vss 断开。特别是在数据读出前,共同布线 CML 预充电于接地电位 Vss。

参照图 35,实施例 6 的变形例 5 的 MTJ 存储单元中,存取晶体管 ATR 被连接在写入位线 WBL 和磁隧道结部 MTJ 之间。读出字线 RWL 与存取晶体管 ATR 的栅连接。共同布线 CML 与读出字线 RWL 在同一方向上配置,与磁隧道结部 MTJ 电连接。

共同布线 CML 的工作与实施例 6 的变形例 4 一样,兼有在数据写入时的写入字线 WWL 的功能以及在数据读出时的读出位线 RBL 的功能。

因此,采用实施例 6 的变形例 5 的构成,由于共同布线 CML 和磁隧道结部 MTJ 直接电连接,故不能减少数据读出时的共同布线 CML 的电容,然而由于可将写入字线 WWL 和读出位线 RBL 汇集在共同布线 CML 上,故可削减制造时的金属布线层数,达到削减制成成本。

参照图 36,实施例 6 的变形例 5 的 MTJ 存储单元中,写入位线 WBL 被配置在第 1 金属布线层 M1 中,与存取晶体管 ATR 的源/漏区 110 电连接。读出字线 RWL 与存取晶体管 AR 的栅 130 在同一层形成。源/漏区 120 通过在第 1 金属布线层 M1 形成的金属布线、阻挡层金属 140

以及在接触孔形成的金属膜 150, 与磁隧道结部 MTJ 连接。

共同布线 CML 被配置在与磁隧道结部 MTJ 电连接的第 2 金属布线层 M2 中。

实施例 6 的变形例 6

参照图 37, 实施例 6 的变形例 6 的存储器阵列 10 具有 n 行 $\times$ m 列配置的多个 MTJ 存储单元 MC。分别与存储单元行对应地配置读出字线 RWL 和写入位线 WBL, 分别与存储单元列对应地配置写入字线 WWL 和读出位线 RBL。因此, 在整个存储器阵列 10, 配置了读出字线 RWL1 ~ RWLn、写入位线 WBL1 ~ WBLn、写入位线 RBL1 ~ RBLm 以及写入字线 WWL1 ~ WWLm。

参照图 38, 实施例 6 的变形例 6 的 MTJ 存储单元中, 存取晶体管 ATR 的栅与读出字线 RWL 连接。存取晶体管 ATR 被电连接在读出位线 RBL 和磁隧道结部 MTJ 之间。磁隧道结部 MTJ 与和读出字线 RWL 同一方向配置的写入位线 WBL 连接。

将写入字线 WWL 在与写入位线 WBL 正交的方向上与磁隧道结部 MTJ 邻近设置。因此, 可独立配置读出字线驱动器 30r 和写入字线驱动器 30w, 得到与实施例 6 同样的效果。

并且, 由于写入字线 WWL 可不与 MTJ 存储单元的其他部位连接而独立配置, 因此可按优先提高与磁隧道结部 MTJ 之间的磁耦合来配置。这样, 可以抑制流过写入字线 WWL 的数据写入电流 I_p , 实现 MRAM 装置的低功耗。

同时, 由于读出位线 RBL 通过存取晶体管 ATR 与磁隧道结部 MTJ 连接, 故可削减在读出位线 RBL 上连接的磁隧道结部 MTJ 的数量, 减低读出位线 RBL 的电容, 使数据读出高速化。

参照图 39, 实施例 6 的变形例 6 的 MTJ 存储单元中, 读出位线 RBL 被设置在第 1 金属布线层 M1 中, 与存取晶体管 ATR 的源/漏区 110 电连接。读出字线 RWL 与存取晶体管 ATR 的栅 130 在同一层配置。存取晶体管 ATR 的源/漏区 120 通过设置在第 1 和第 2 金属布线层 M1 和 M2 的金属布线、阻挡层金属 140 以及在接触孔设置的金属膜 150, 与磁隧道结部 MTJ 连接。

磁隧道结部 MTJ 被配置在第 2 金属布线层 M2 和第 3 金属布线层 M3 之间。写入位线 WBL 与磁隧道结部 MTJ 电连接, 并被配置在第 3

金属布线层 M3 中。写入字线 WWL 被设置在第 2 金属布线层中。这时，写入字线 WWL 的配置可以提高与磁隧道结部 MTJ 之间的磁耦合。

在图 40 所示的另一个构成中，按同一方向配置的读出位线 RBL 和写入字线 WWL 被配置在同一金属布线层中。磁隧道结部 MTJ 被设置在金属布线层 M1 和 M2 之间，写入字线 WWL 接近磁隧道结部 MTJ，被配置在与读出位线 RBL 同一金属布线层 M1。写入位线 WBL 与磁隧道结部 MTJ 电连接，被配置在第 2 金属布线层 M2 中。

因此，与图 39 所示的 MTJ 存储单元的结构比较，由于可减少金属布线层数，故除了由实施例 6 的变形例 6 产生的效果，还可以进一步削减制造成本。

如以上所述，在实施例 6 和其变形例 1~4、6 的 MTJ 存储单元的构成中，由于可将读出字线 RWL 和写入字线 WWL 在相互正交方向上配置，故可分开配置用于驱动各个字线的写入字线驱动器 30w 和读出字线驱动器 30r，提高布局的自由度。

另外，在实施例 6 的变形例 1、4 和 5 的 MTJ 存储单元的构成中，由于将读出位线 RBL 和写入字线 WWL 汇集到共同布线 CML 中，故可削减布线数降低制造成本。

而且，在实施例 6 的变形例 2、4 和 6 的 MTJ 存储单元的构成中，由于通过存取晶体管 ATR 将读出位线 RBL 与磁隧道结部 MTJ 连接，故可抑制读出位线 RBL 的电容，使数据读出高速化。

以上，参照附图详细地说明了本发明，但这些说明始终是例示性的，而不是在任何意义上限定本发明，本发明的要旨和范围只由后附的权利要求书来限定，包含与权利要求的范围均等的意义和范围内的全部的变更。

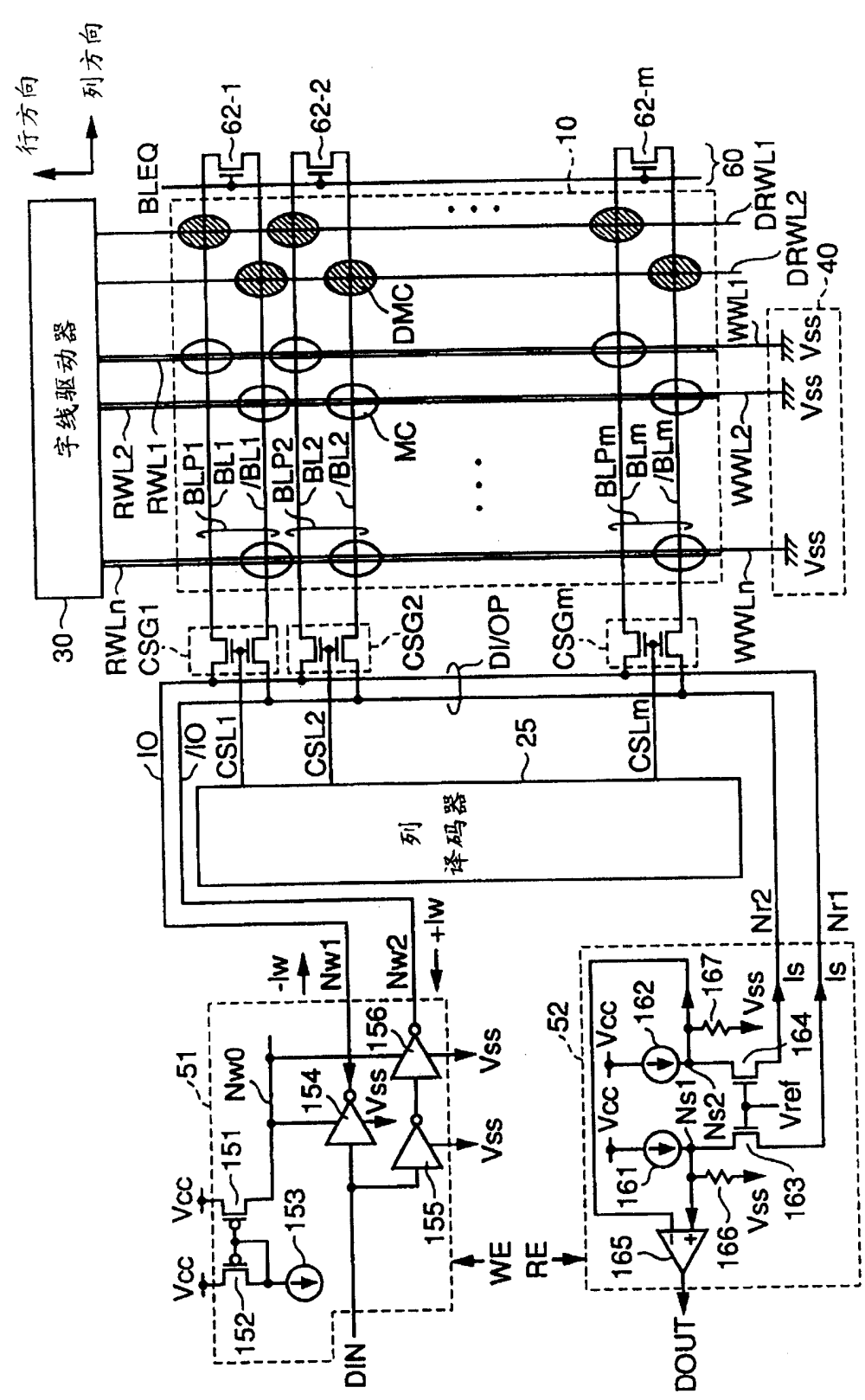


图 2

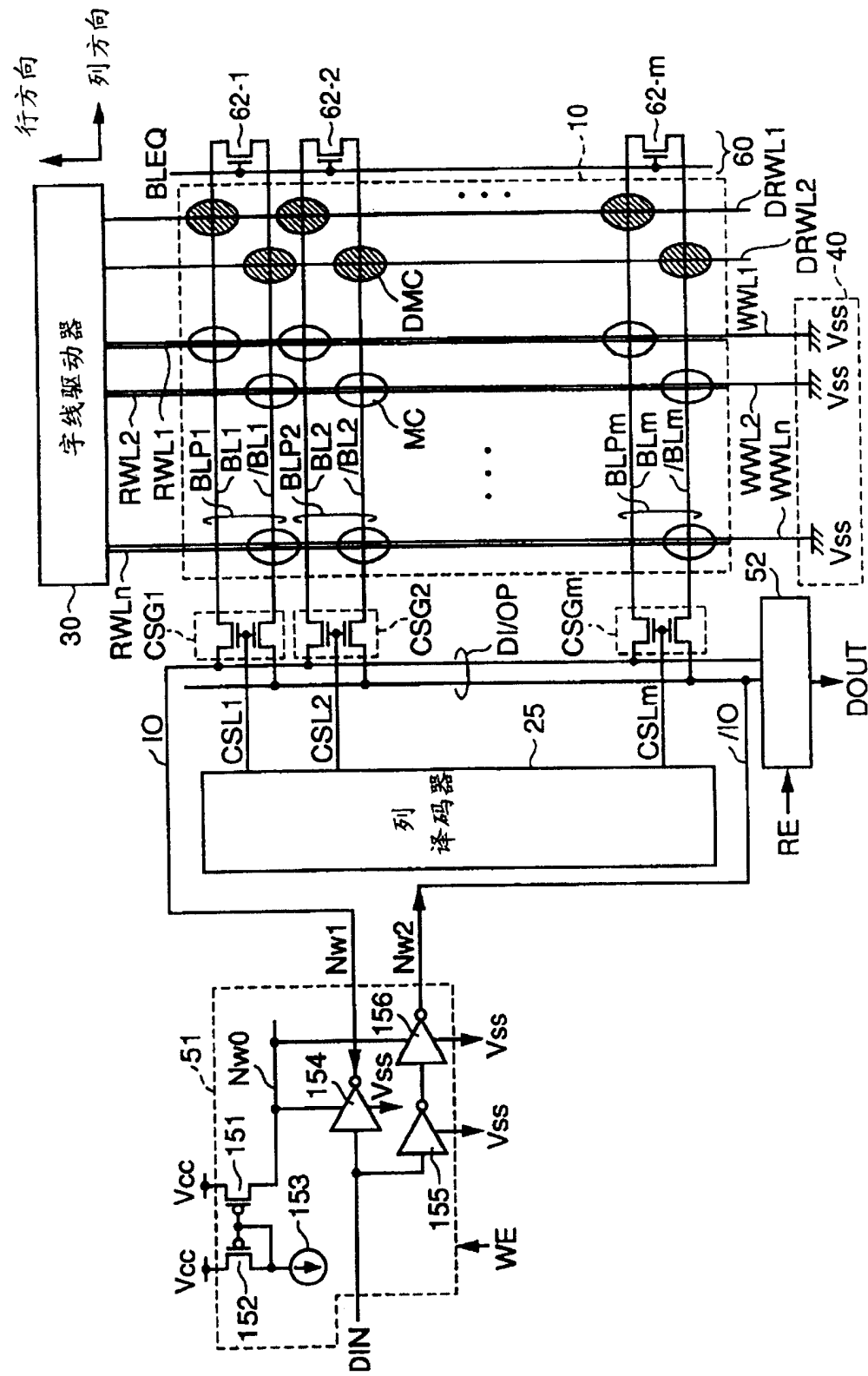


图 4

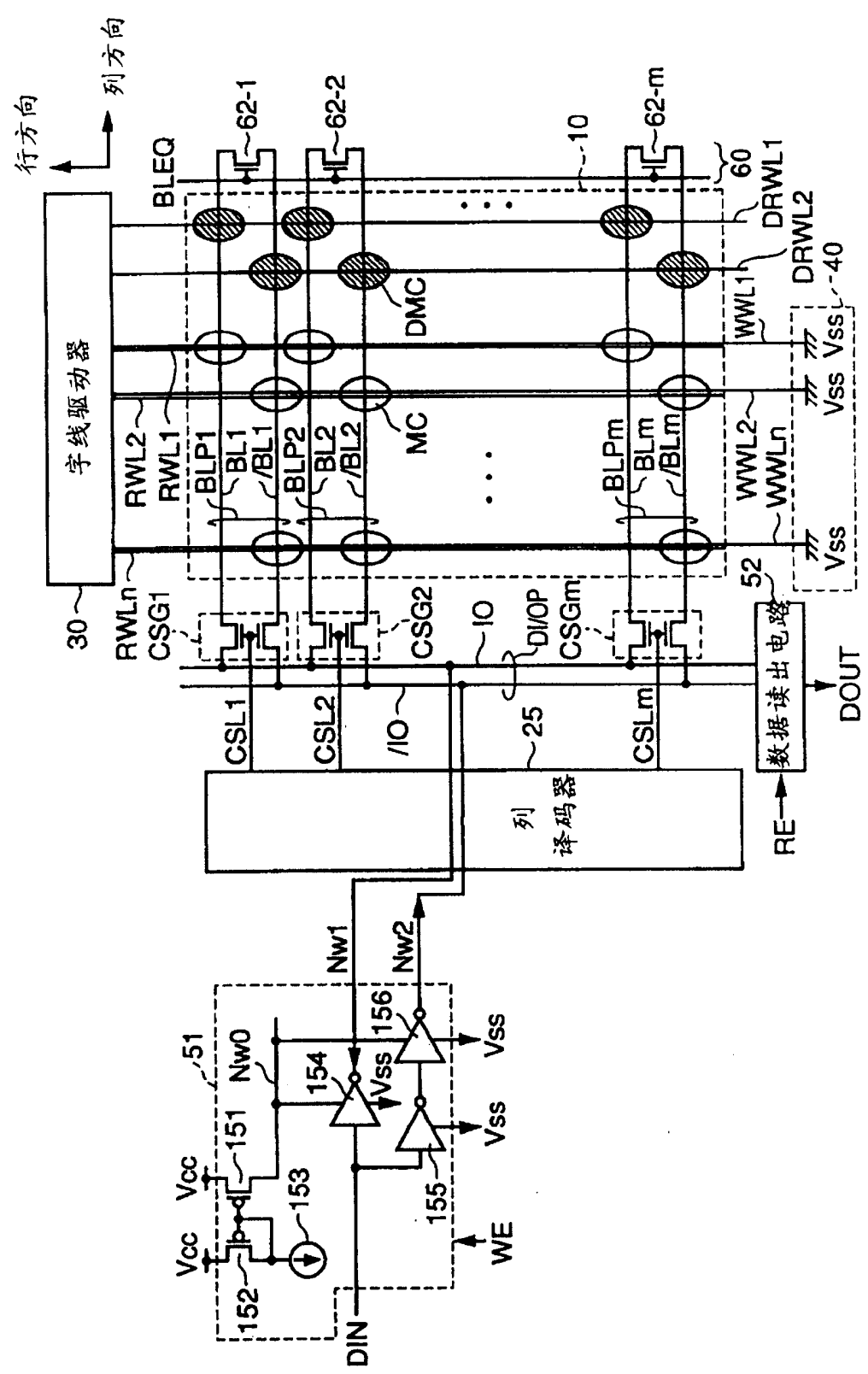


图 6

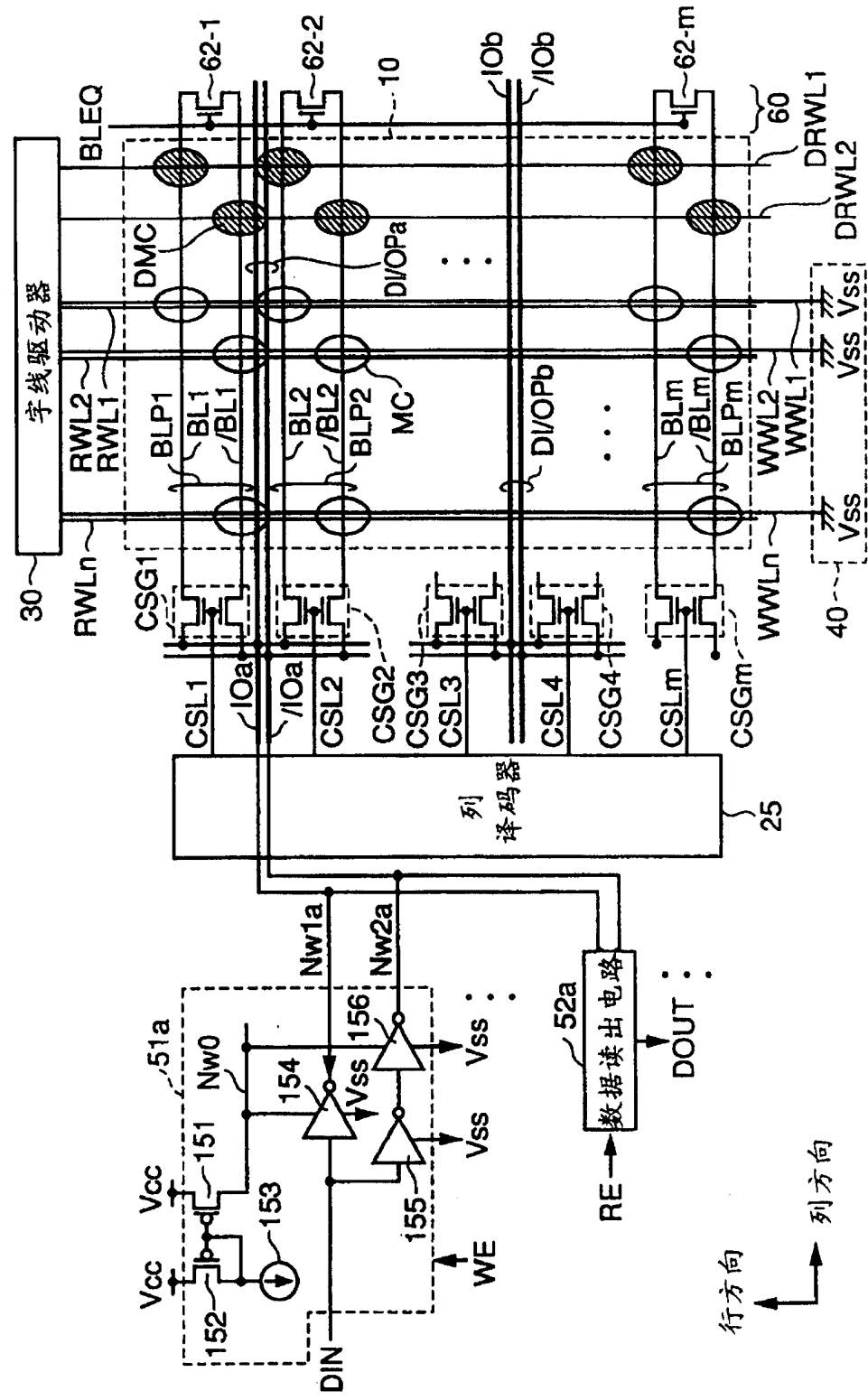


图 7

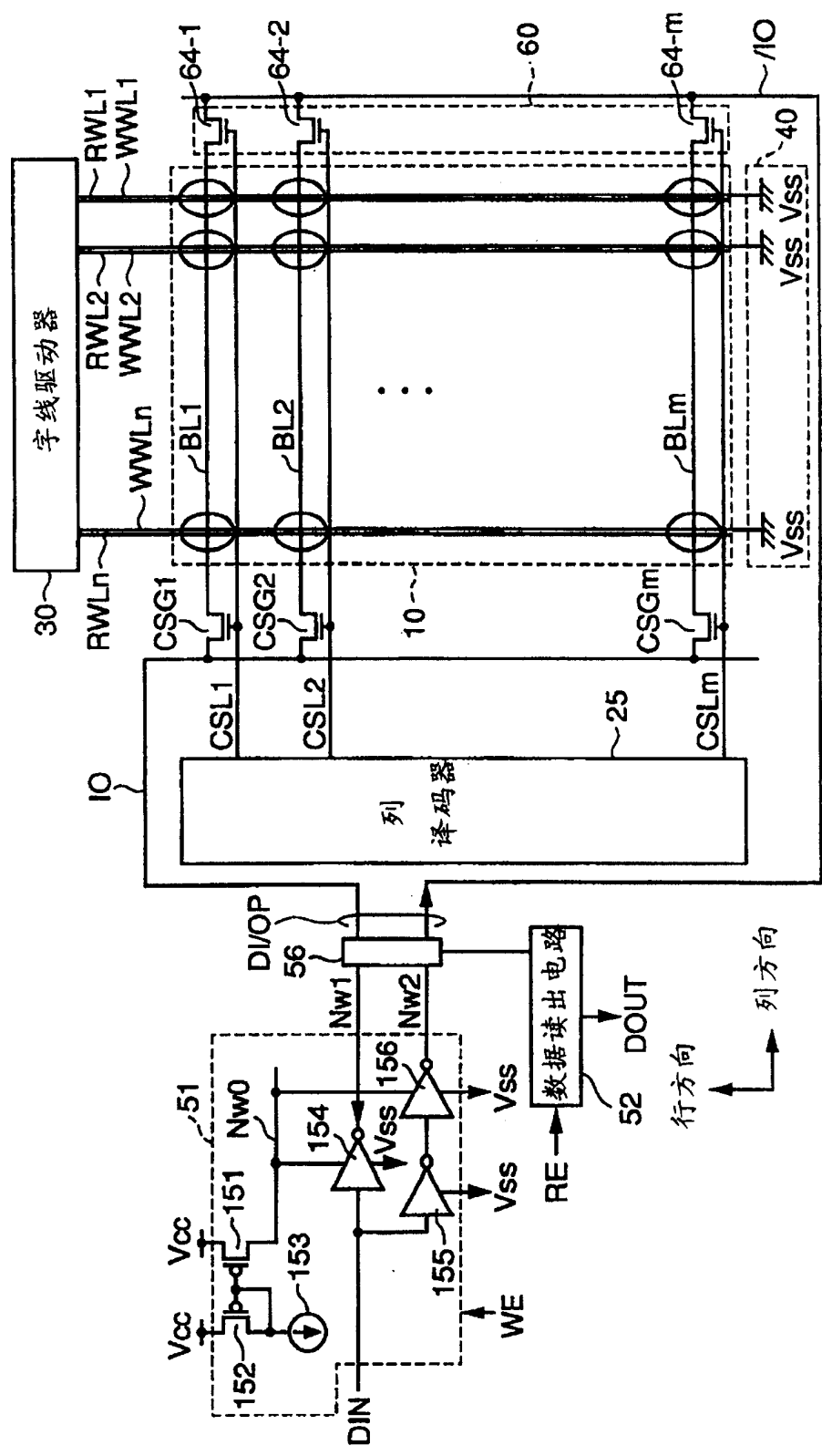


图 12

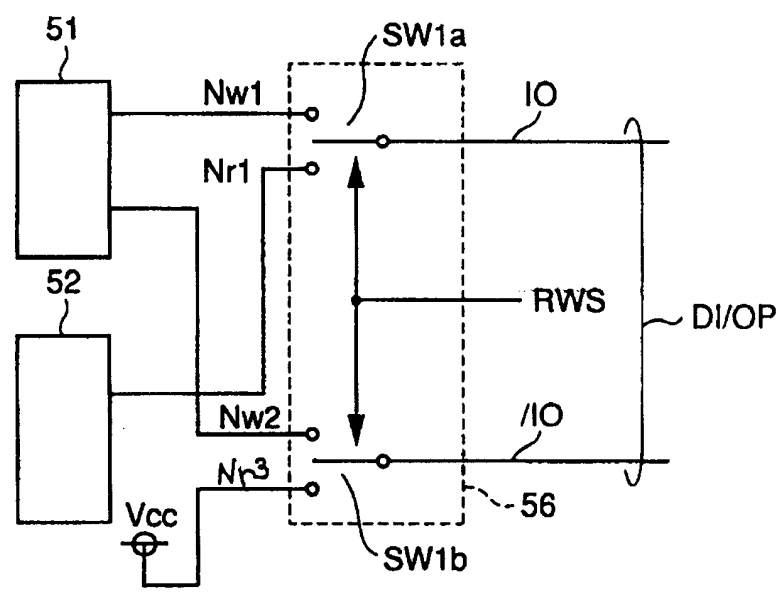


图 13

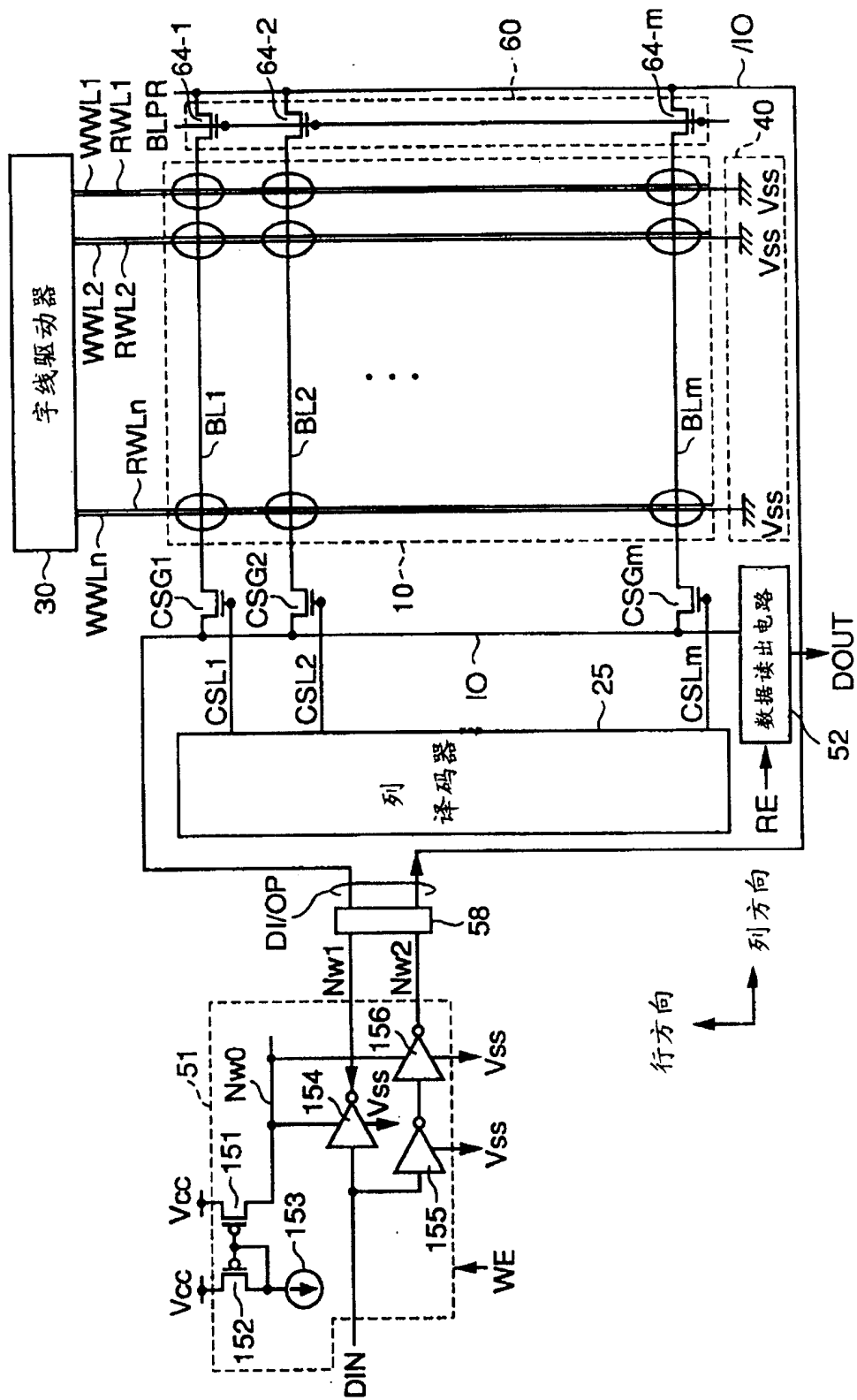


图 14

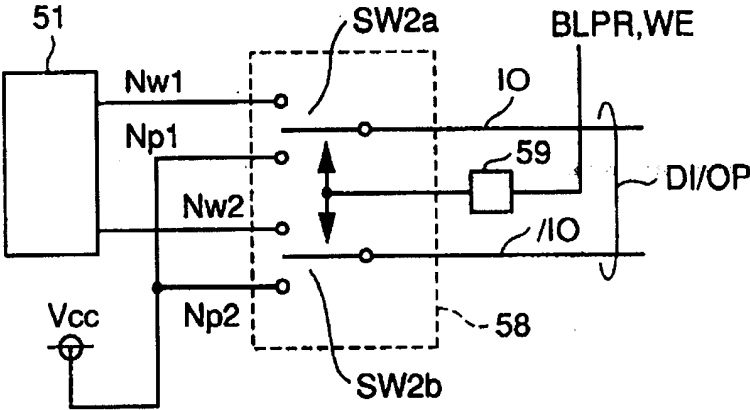


图 15

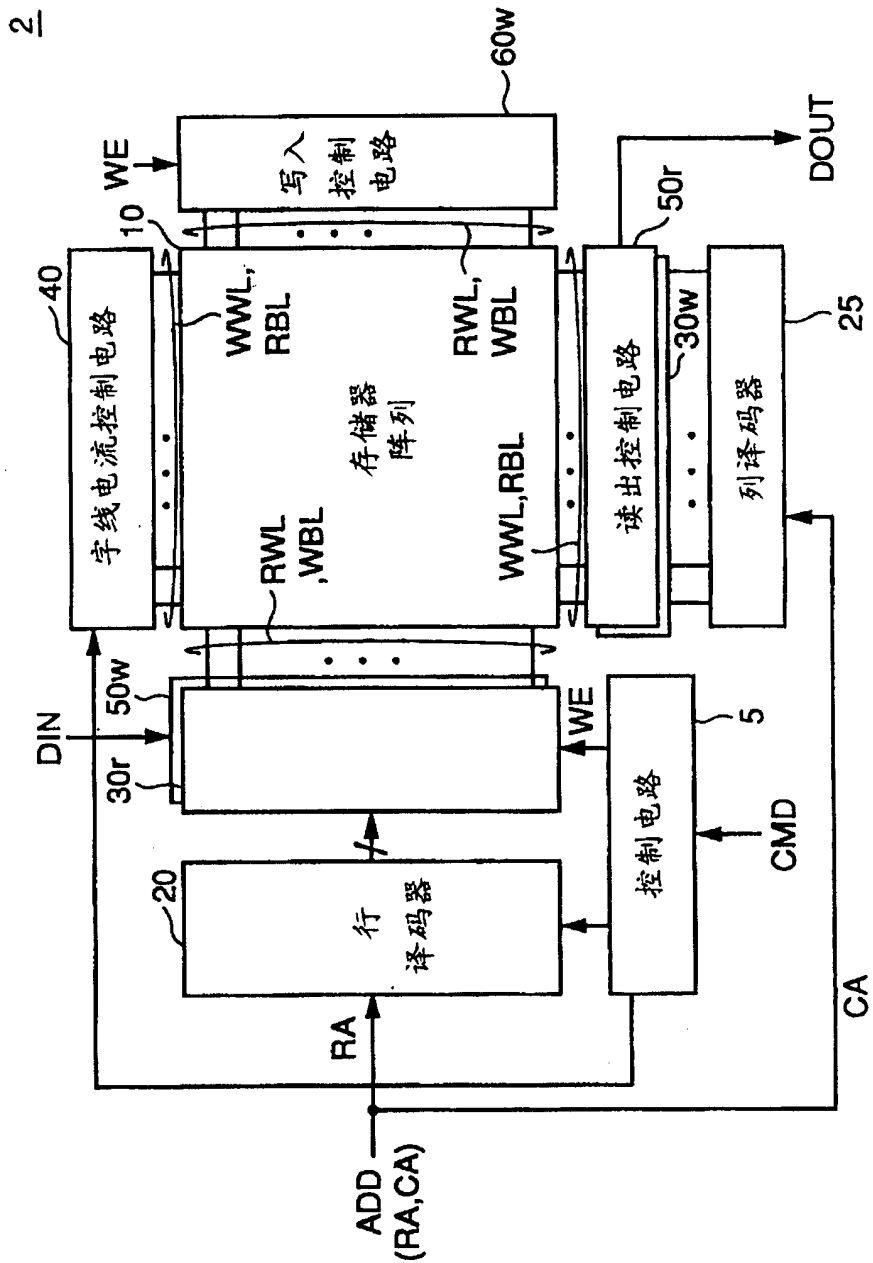


图 16

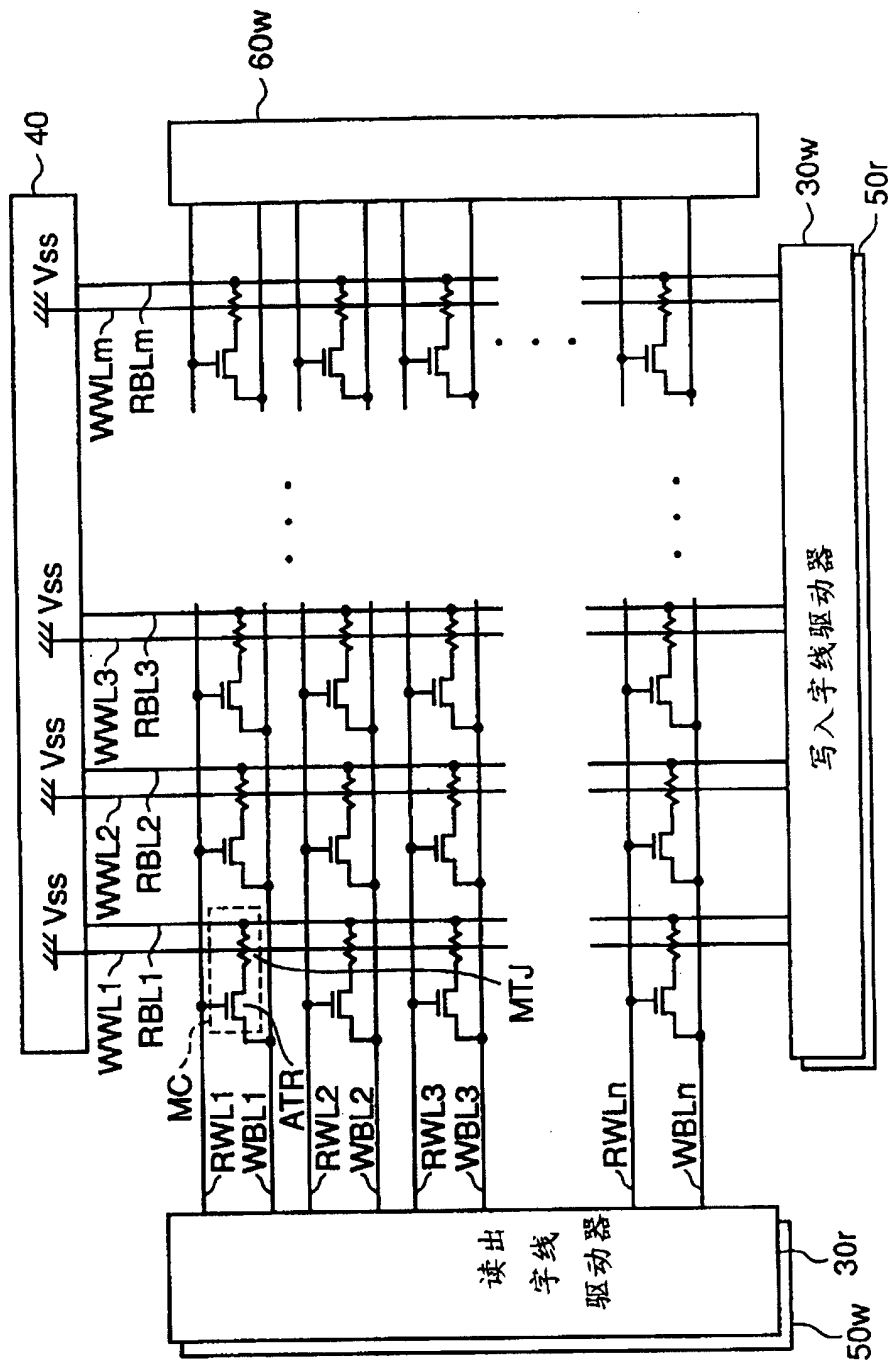


图 17

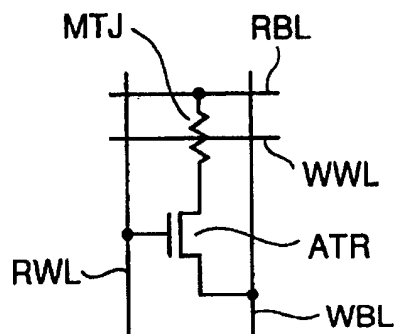


图 18

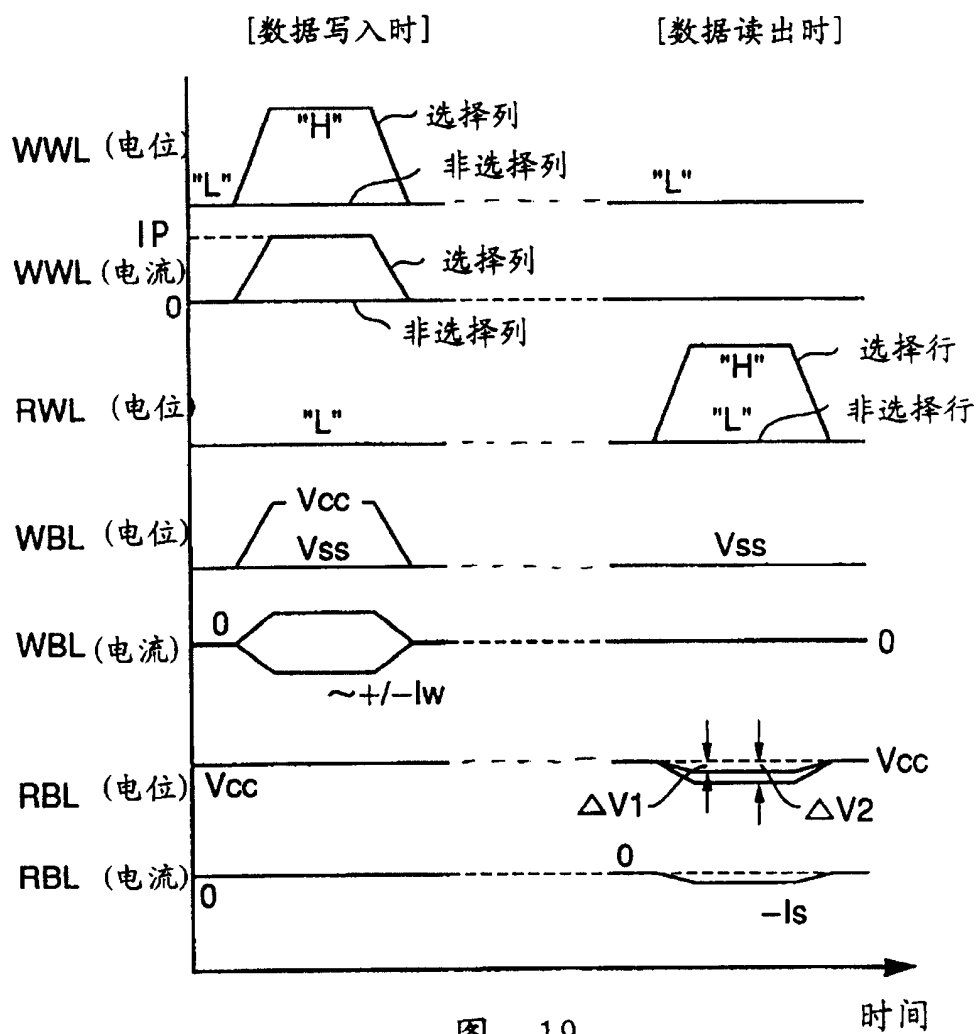


图 19

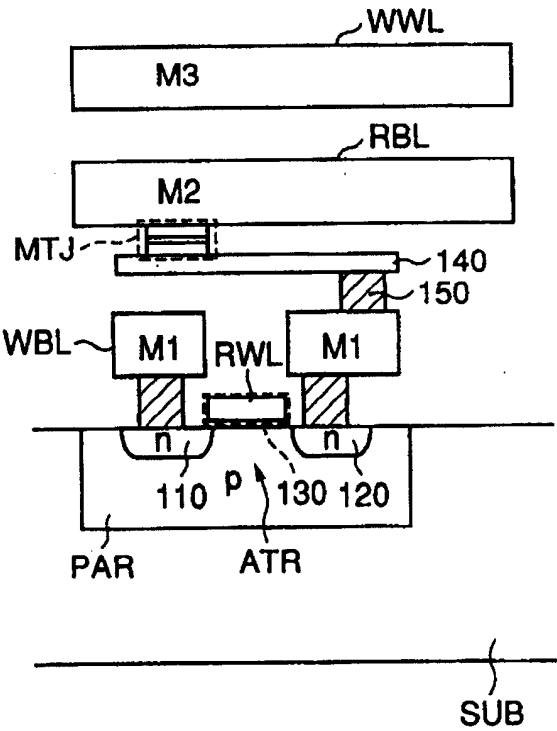


图 20

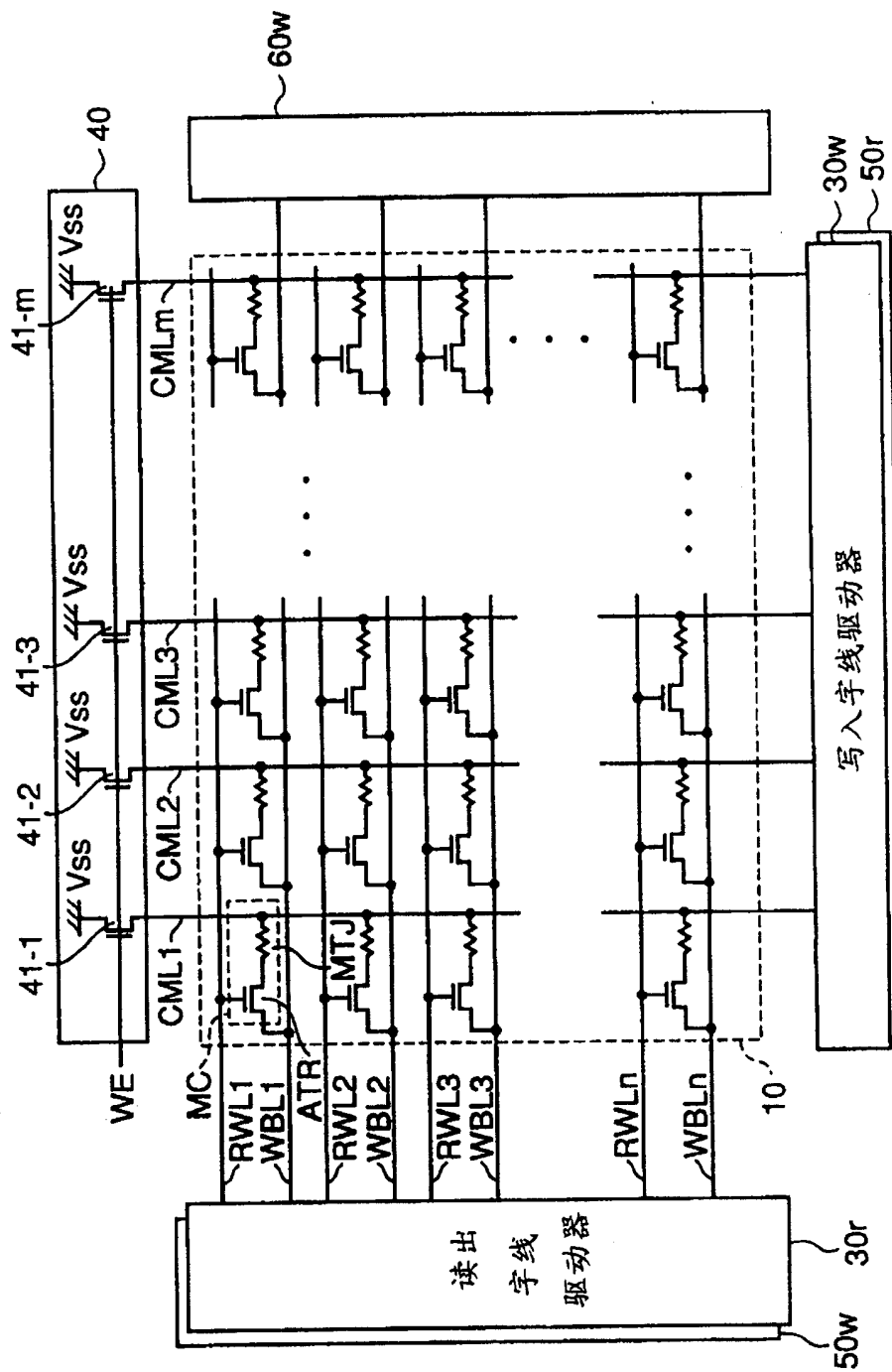


图 21

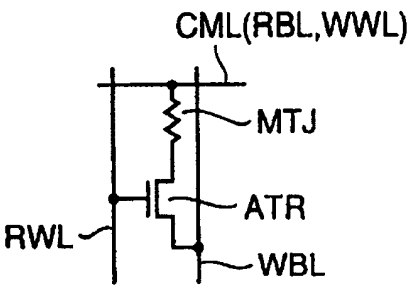


图 22

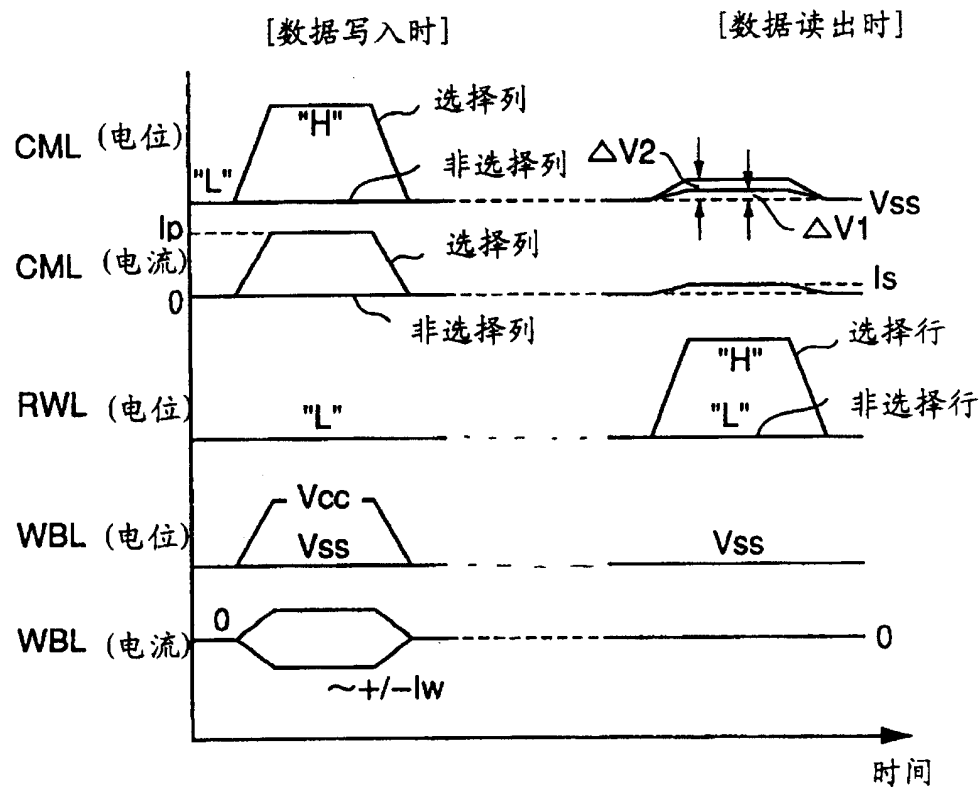


图 23

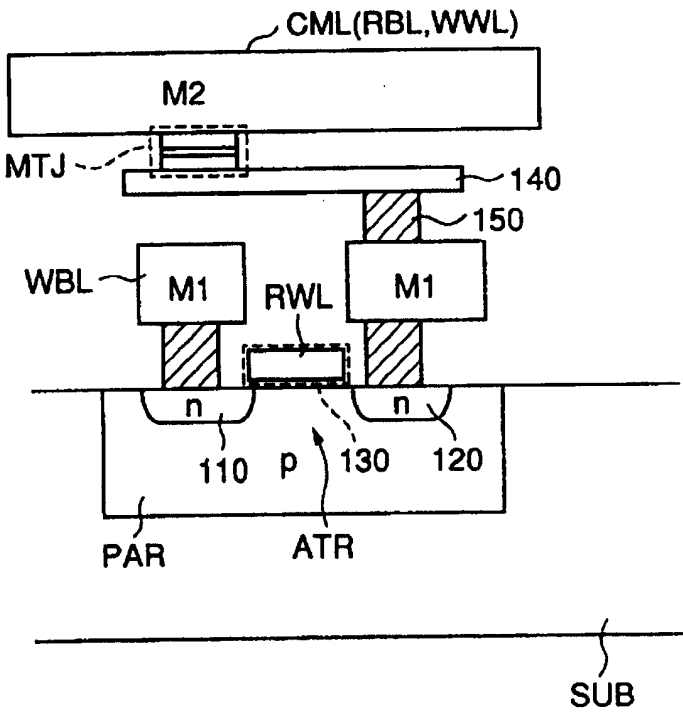


图 24

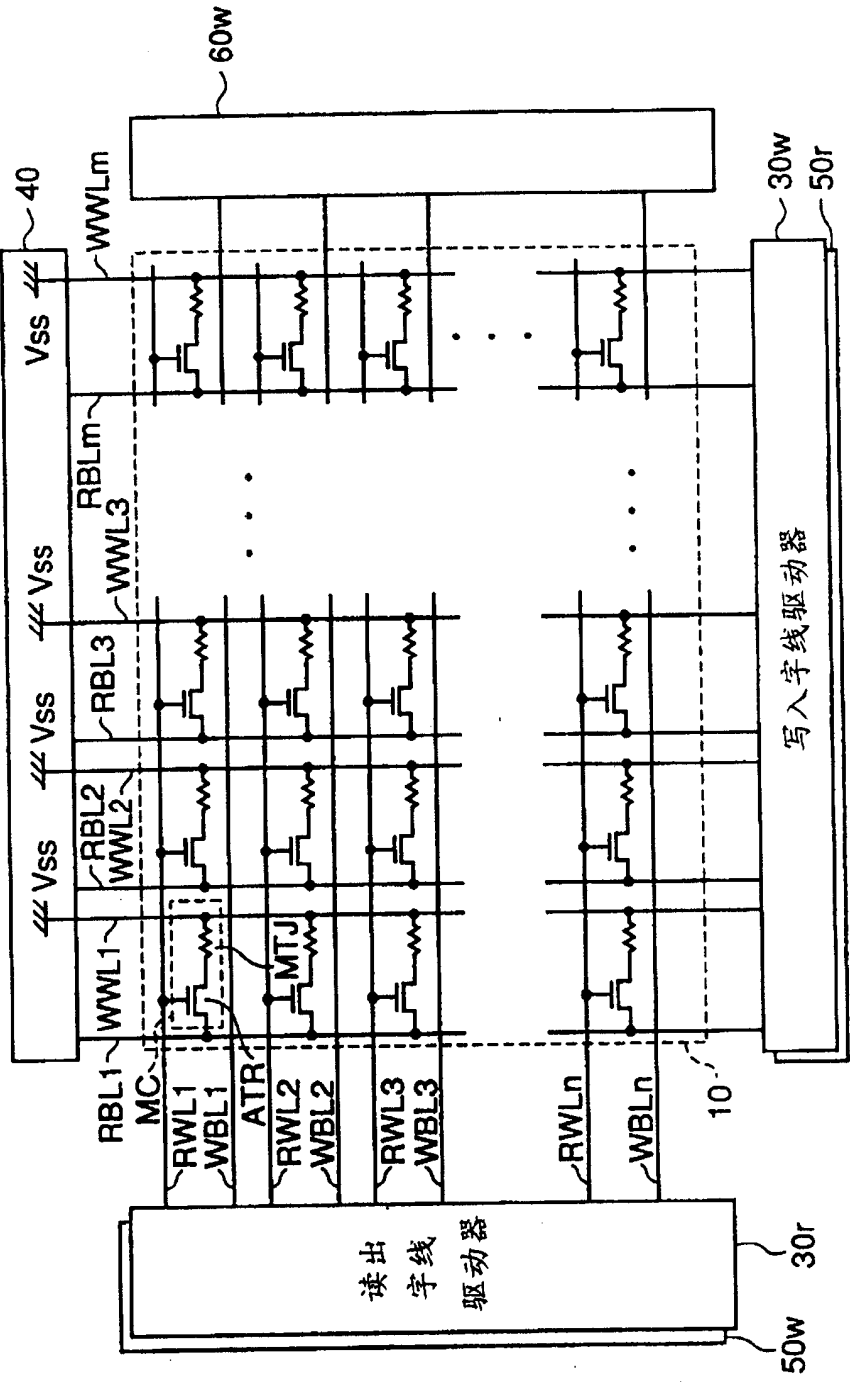


图 25

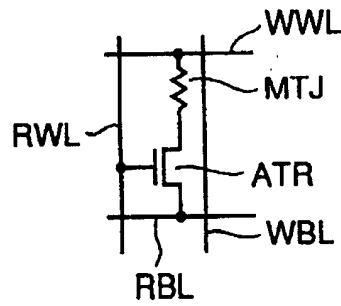


图 26

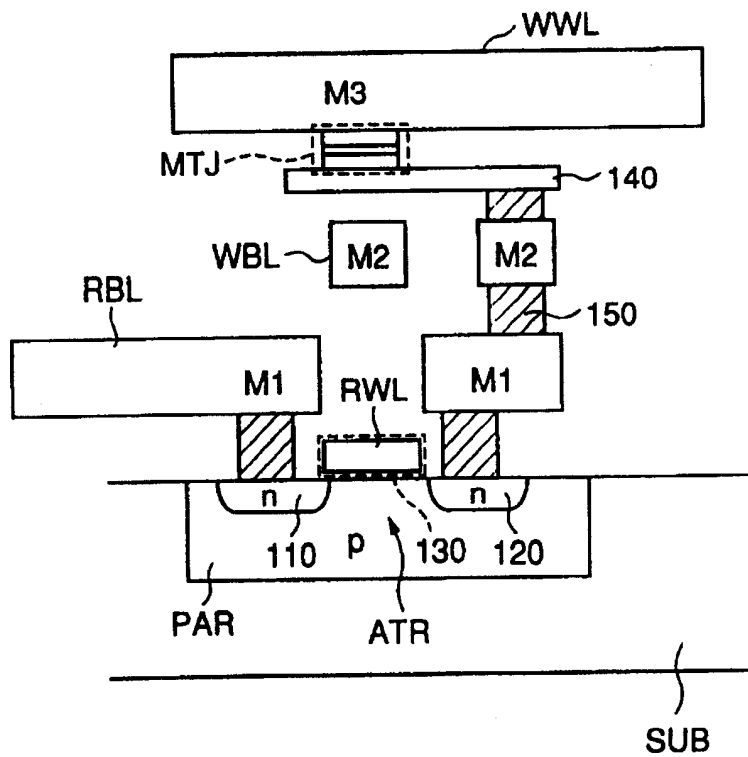


图 27

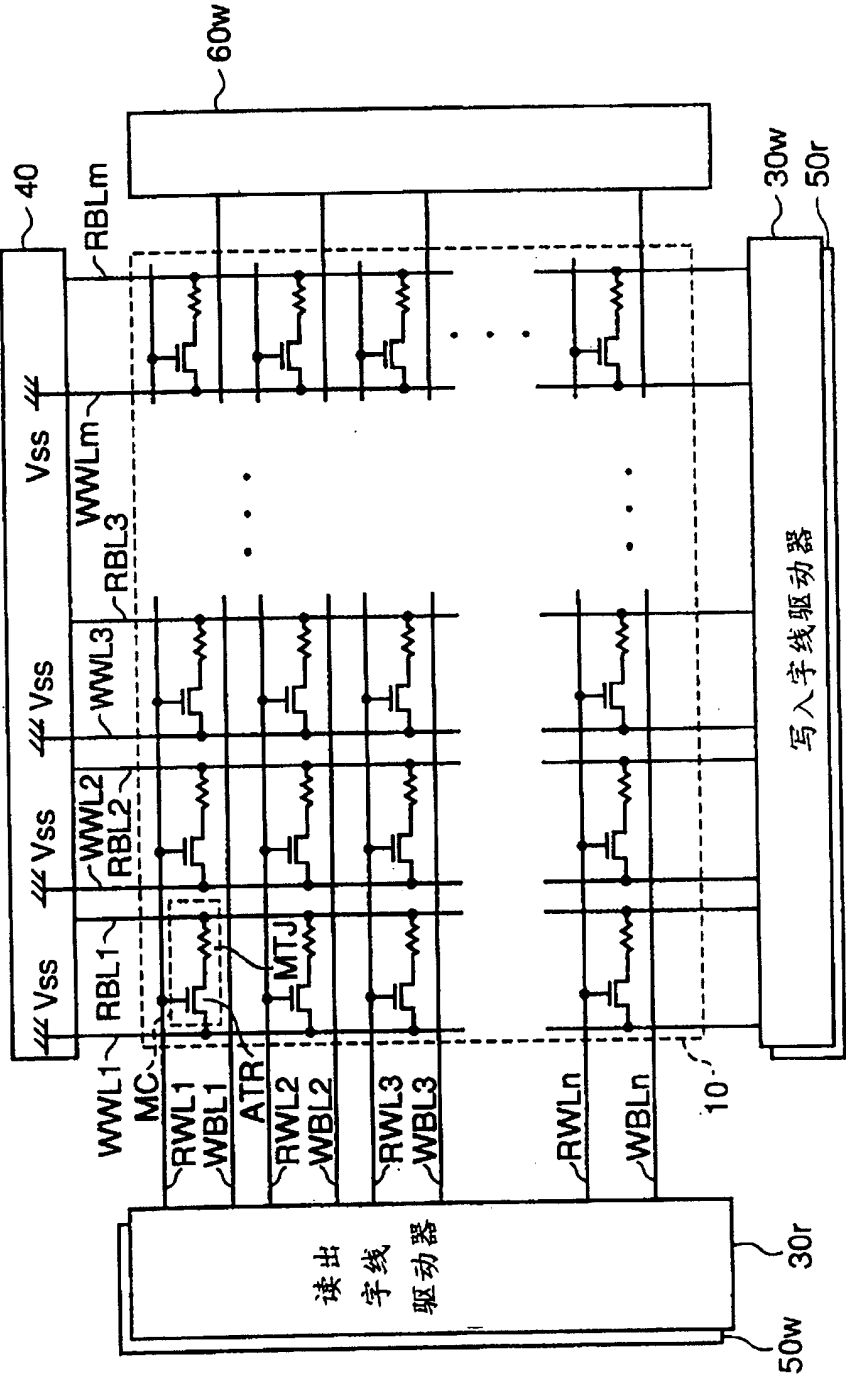


图 28

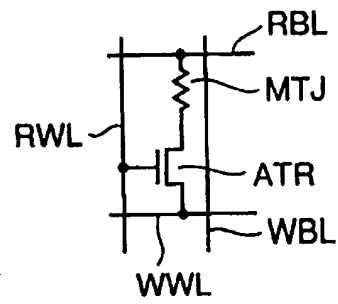


图 29

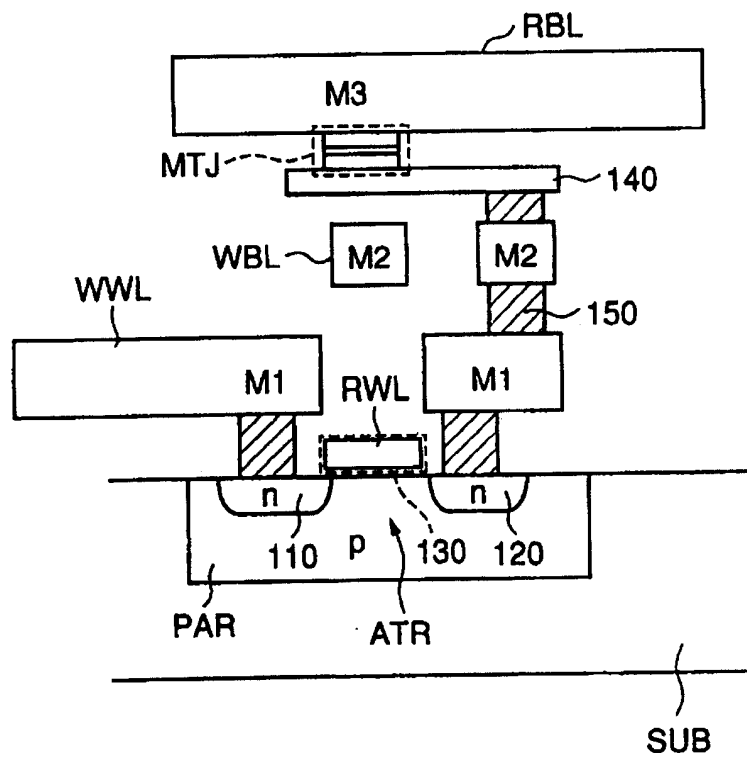


图 30

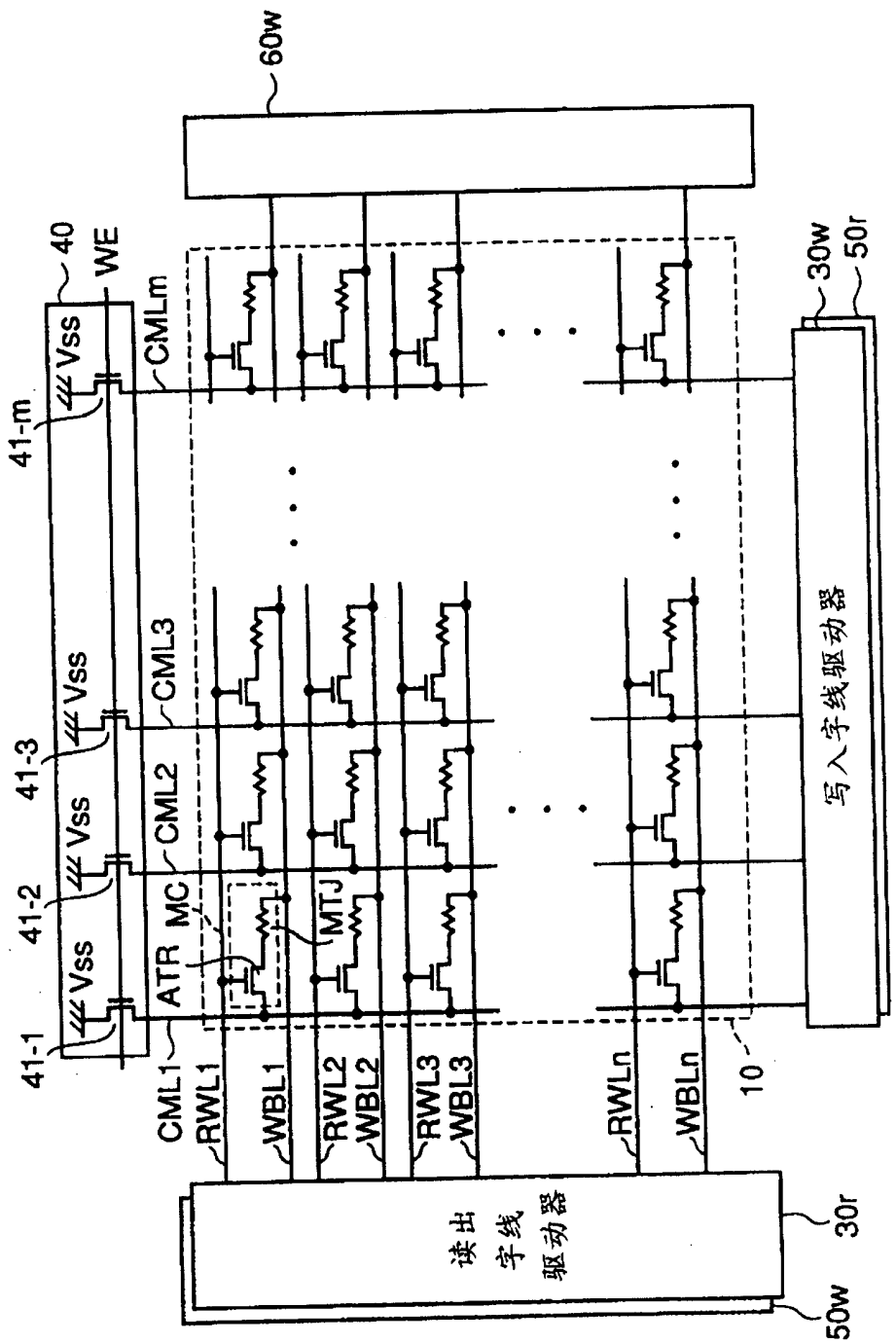


图 31

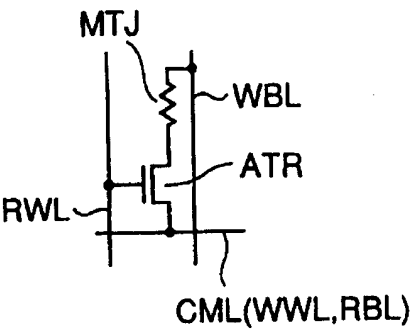


图 32

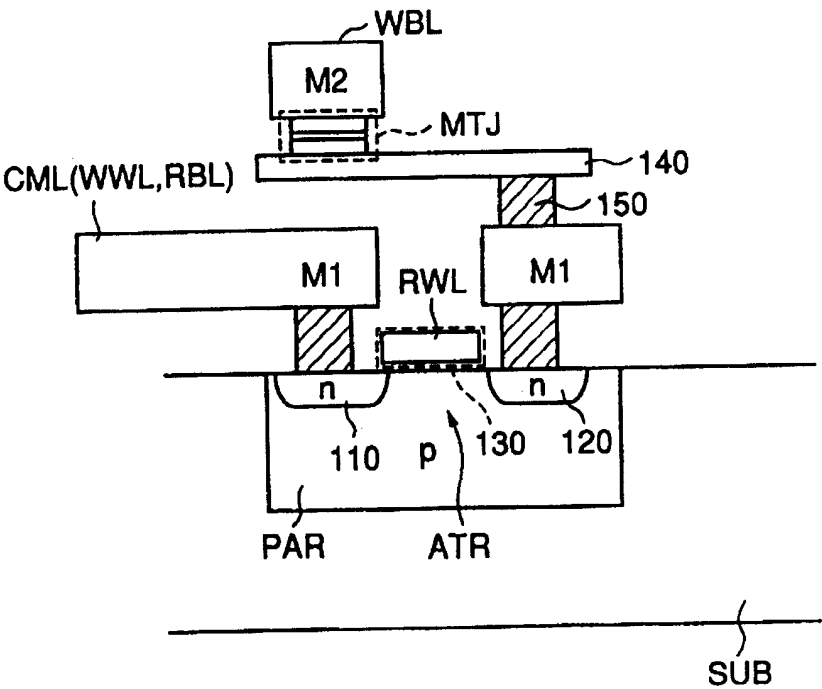


图 33

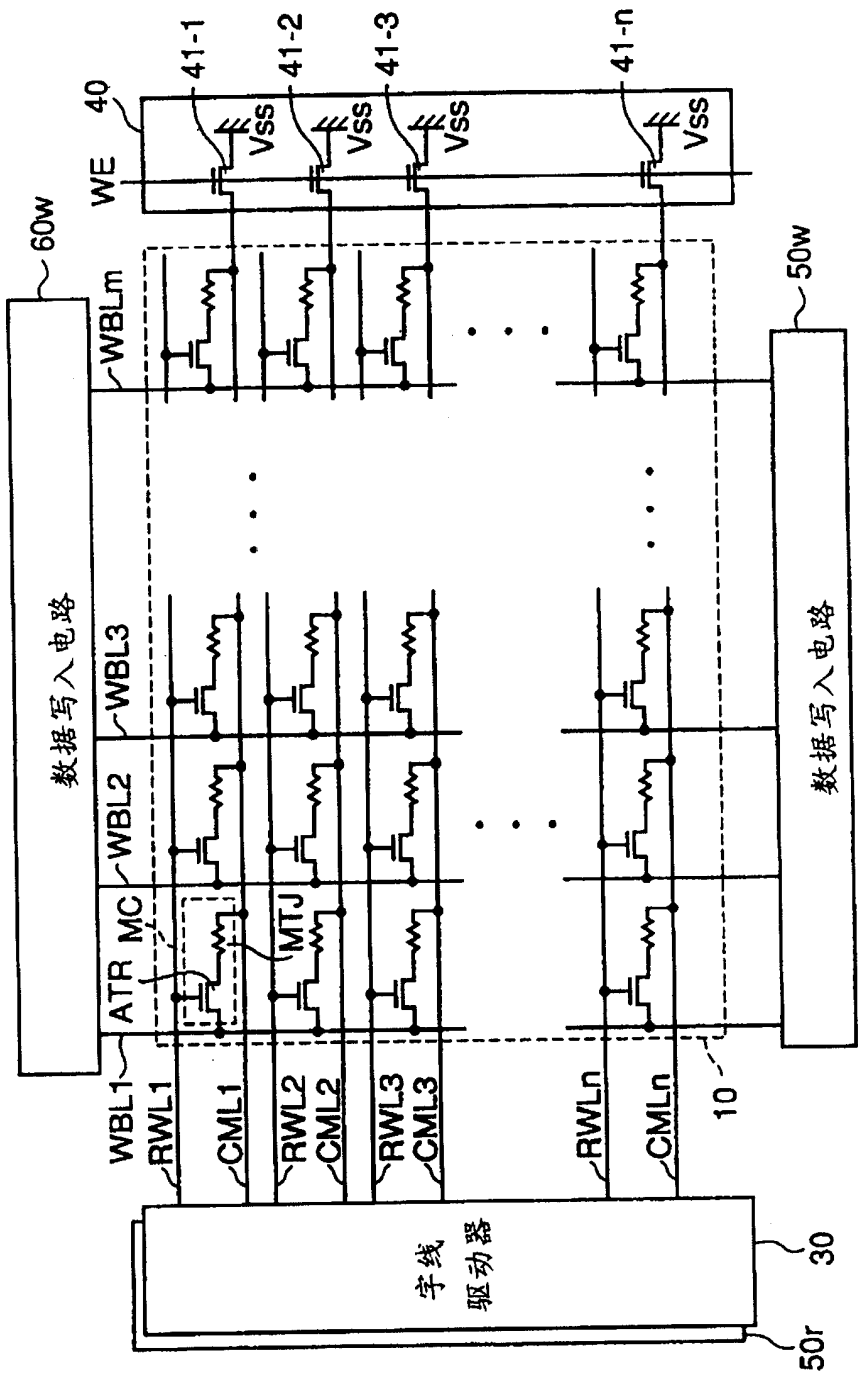


图 34

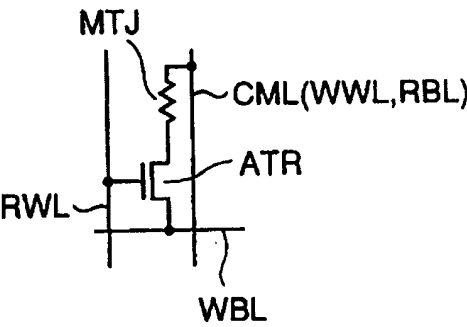


图 35

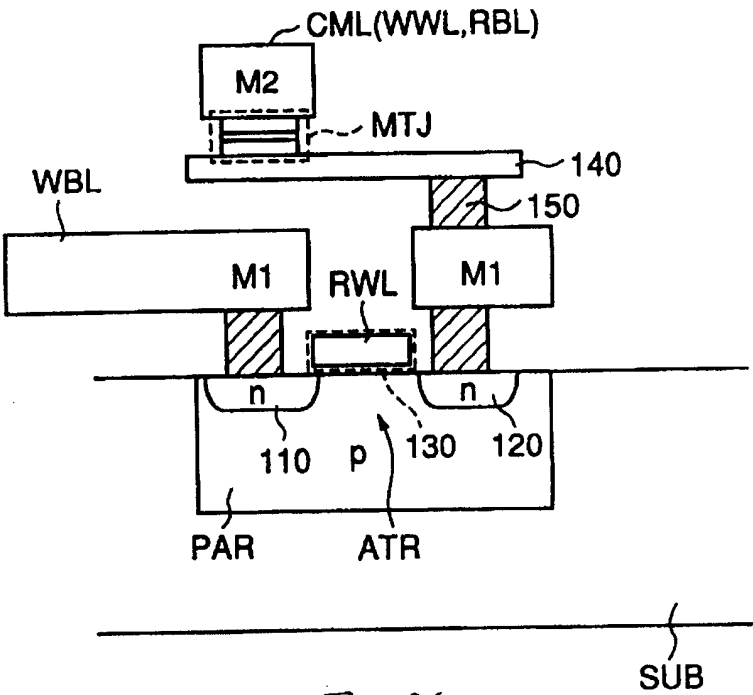


图 36

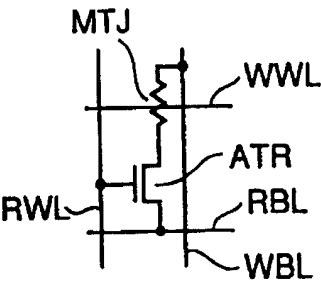


图 38

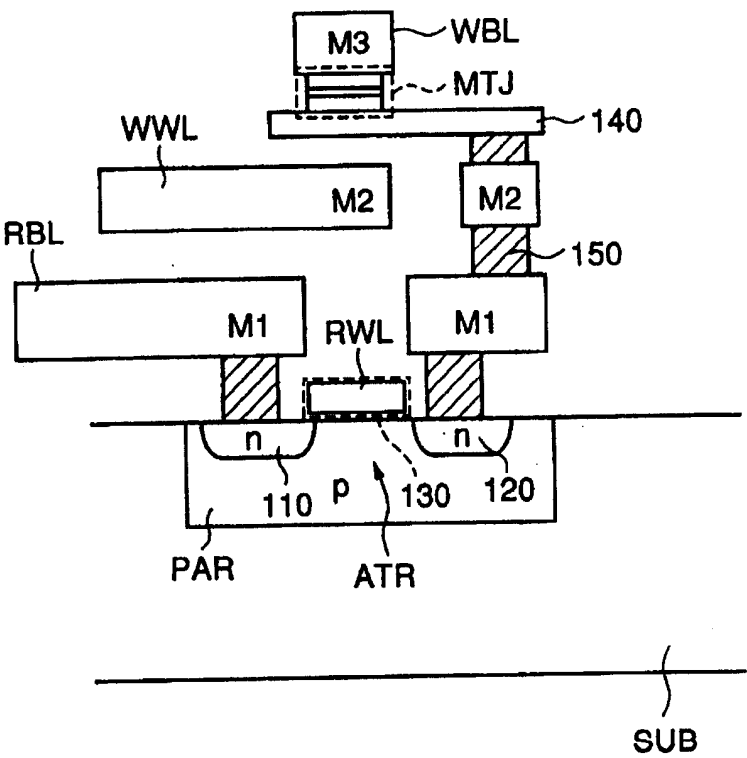


图 39

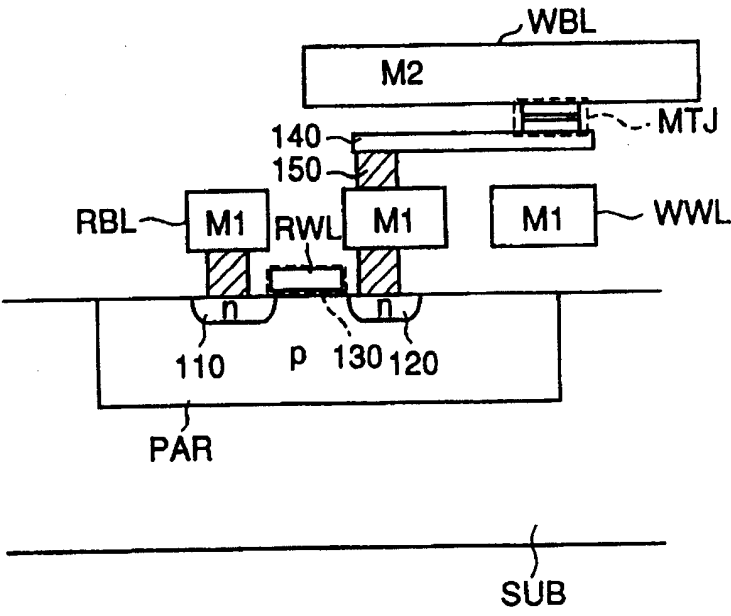


图 40

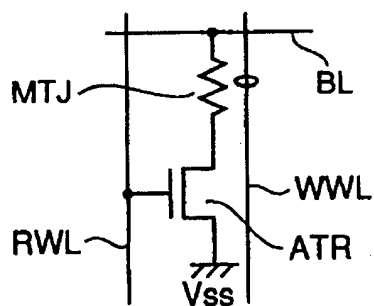


图 41
(现有技术)

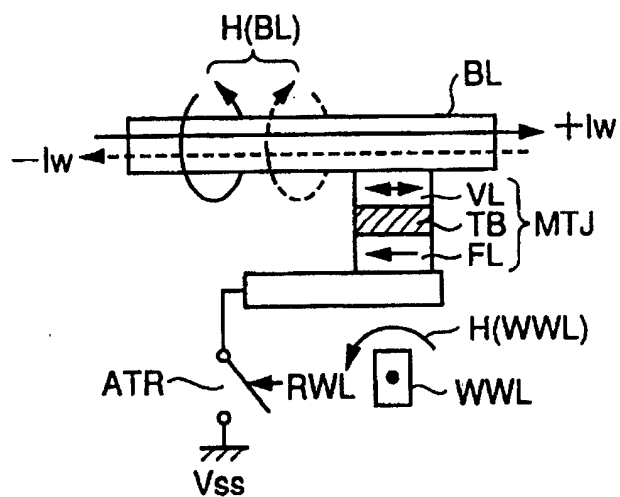


图 42
(现有技术)

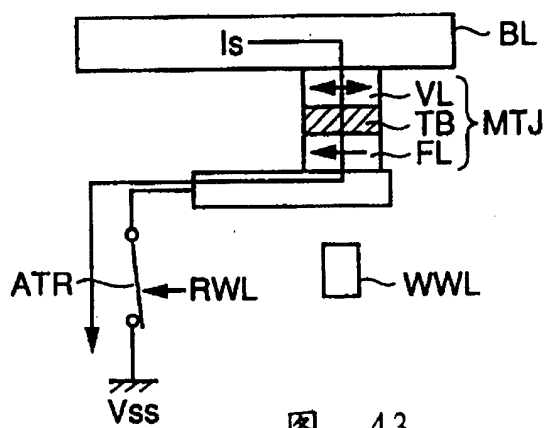


图 43
(现有技术)

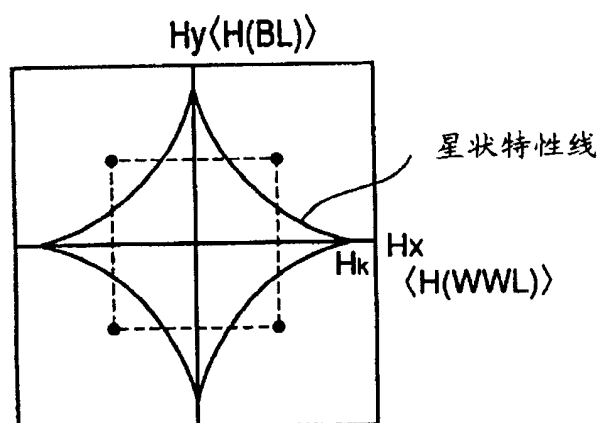


图 44
(现有技术)

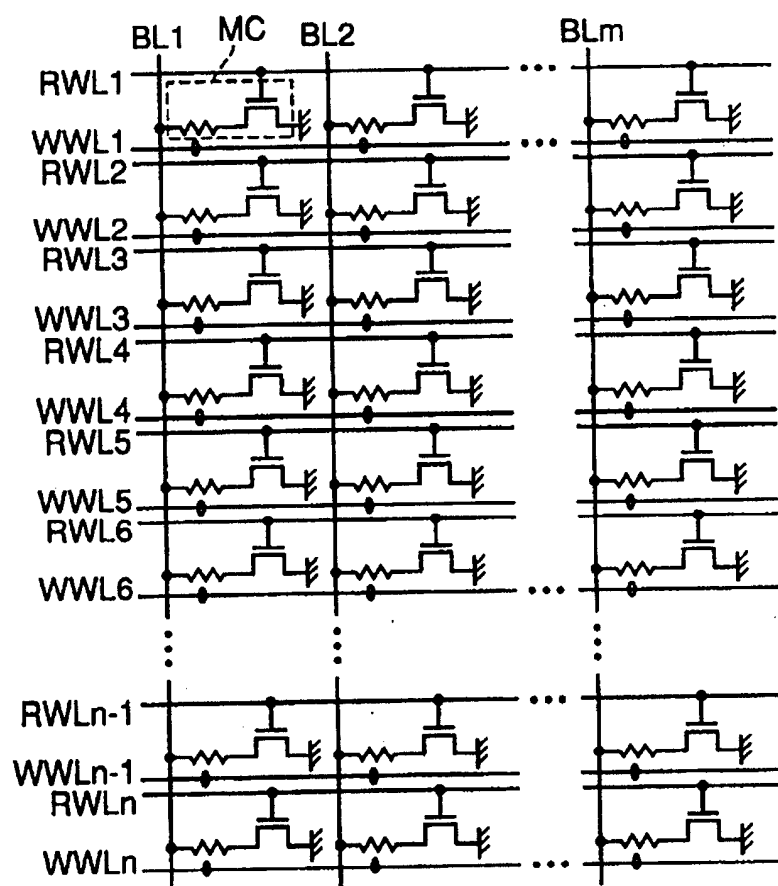


图 45
(现有技术)

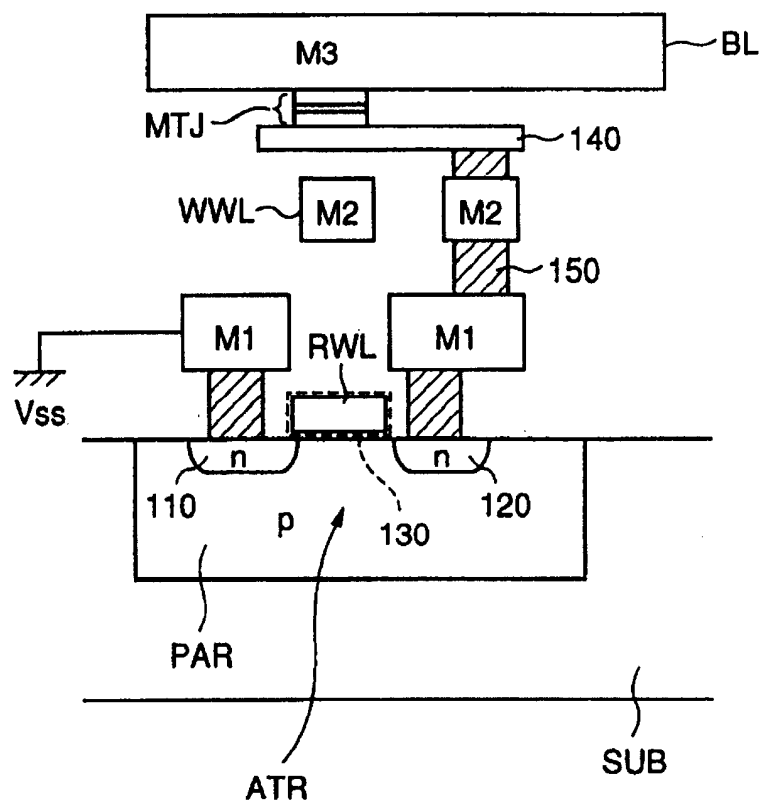


图 46
(现有技术)