

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月23日(23.08.2012)



(10) 国際公開番号

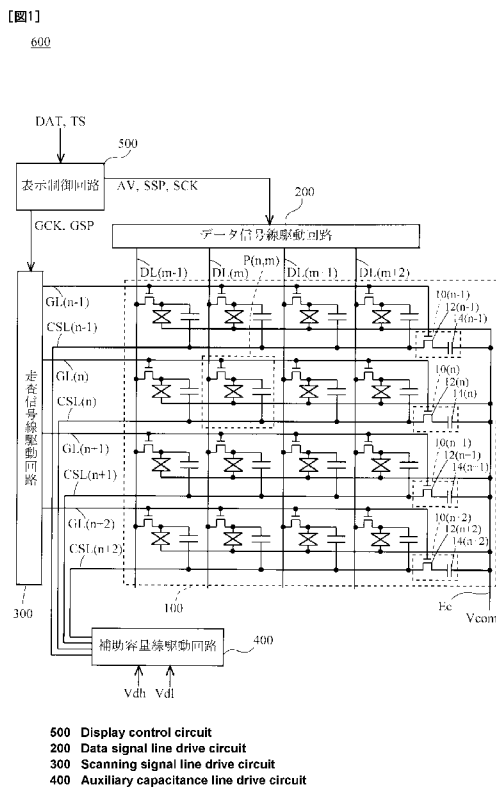
WO 2012/111551 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2012/053089
- (22) 国際出願日: 2012年2月10日(10.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-032563 2011年2月17日(17.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): ▲くわ▼原
信弘(KUWABARA, Nobuhiro).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The purpose of the present invention is to provide a display device, wherein horizontal crosstalk can be suppressed, while reducing power consumption. A display panel (100) of a liquid crystal display device (600) includes a smoothing unit (10) that is provided on the output end side of an auxiliary capacitance line (CSL). The auxiliary capacitance line (CSL) disposed along a scanning signal line (GL), and a common electrode (Ec) are connected to each other via the smoothing unit (10). The smoothing unit (10) has a TFT for correction (12) and a capacitor (14). A source electrode of the TFT for correction (12) and the auxiliary capacitance line (CSL) are connected to each other, and a drain electrode and the common electrode (Ec) are connected to each other via the capacitor (14). The TFT for correction (12) is controlled such that the TFT for correction is in an electrically connected state when the scanning signal line (GL) is being selected, and that the TFT for correction is in an electrically disconnected state when the scanning signal line is not being selected.

(57) 要約: 消費電力を低減しつつ、横クロストークを抑制できる表示装置を提供することを目的とする。液晶表示装置(600)の表示パネル(100)は、補助容量線(CSL)の出力端側に設けられた平滑部(10)を含んでいる。平滑部(10)を介して、走査信号線(GL)に沿って配置された補助容量線(CSL)と共通電極(Ec)とが互いに接続されている。平滑部(10)は、補正用TFT(12)およびコンデンサ(14)を有している。補正用TFT(12)のソース電極と補助容量線(CSL)とが互いに接続され、ドレイン電極と共通電極(Ec)とがコンデンサ(14)を介して互いに接続されている。補正用TFT(12)は、走査信号線(GL)が選択状態のときに導通状態となり、非選択状態のときに遮断状態となるように制御される。

WO 2012/111551 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関し、特に、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス型の表示装置に関する。

背景技術

[0002] 近年、液晶表示装置および有機ＥＬ表示装置等のアクティブマトリクス型表示装置が広く普及している。特に、薄膜トランジスタ（Thin Film Transistor：ＴＦＴ）等のスイッチング素子が画素回路毎に設けられた液晶表示装置は、画素数が増大してもクロストークの少ない表示画像を得ることができるので、注目を集めている。

[0003] このようなアクティブマトリクス型の液晶表示装置に関して、従来から低消費電力化が求められている。この低消費電力化を図る方法の１つとして、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が知られている。このような駆動方法によれば、小さなデータ信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。このような駆動方法は、例えば、特許文献１～３に開示されている。

[0004] ところで、各画素回路内では、画素電極と補助容量線とによって補助容量が形成される。この補助容量等を介して、データ信号を画素電極に書き込む際に生じる画素電位の変動が補助容量線に伝達されることにより、補助容量線の電位が変動する。その結果、画素電位が本来保持されるべき電位と異なる値となる。特に、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法を用いた従来の液晶表示装置では、補助容量線の電位を切り替えるためのスイッチ等によりインピーダンスが上昇するので、変動した補助容量線の電位が本来の電位に復帰しにくくなる。そのため、各走査信号線の選択期間終了後に対応する補助容量

線の電位を変化させることにより極性反転駆動を行う方法を用いた従来の液晶表示装置では特に、横方向のクロストーク（以下、「横クロストーク」という）が生じ、表示品位が低下するという問題があった。

[0005] 本願発明に関連して、特許文献4には、各画素回路において補助容量線と対向電極との間にバイパス容量が形成され、かつ、補助容量線群（バス配線）と対向電極群（バス配線）との間に抵抗素子が設けられた液晶表示装置が開示されている。このような構成によれば、補助容量電位を画素容量とバイパス容量とで分圧した電位が対向電位として与えられ、さらに、抵抗素子の値が十分大きいので当該対向電位は補助容量電位の影響を受けない。したがって、時定数の小さい補助容量線および補助容量電位を利用して、安定した対向電位が得られる。

[0006] また、本願発明に関連して、特許文献5には、複数の補助容量線を互いに連結する低抵抗の補助容量連結線が設けられた液晶表示装置が開示されている。このような構成によれば、電位が変動した補助容量線に対して、補助容量連結線を介して他の補助容量線から電荷を補うことにより、電位変動を抑えることができる。その他、本願発明に関連した表示品位の低下を抑制する手段などは、例えば特許文献6～8に開示されている。

先行技術文献

特許文献

- [0007] 特許文献1：日本の特開2006-220947号公報
特許文献2：日本の特開2002-196358号公報
特許文献3：日本の特開2007-47220号公報
特許文献4：日本の特開平2-291520号公報
特許文献5：日本の特開2003-43948号公報
特許文献6：日本の特開平7-218930号公報
特許文献7：日本の特開2004-85891号公報
特許文献8：日本の特許4633121号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、上記特許文献４に記載の液晶表示装置の構成では、補助容量線群（バス配線）によって複数の補助容量線が互いに常時接続されているので、各補助容量線を独立に駆動できない。そのため、このような構成は、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が用いられる液晶表示装置に採用することができない。

[0009] また、上記特許文献５に記載の液晶表示装置の構成でも、補助容量連結線を介して複数の補助容量線が互いに常時接続されているので、上記特許文献４に記載の液晶表示装置の構成と同様に、各補助容量線を独立に駆動できない。そのため、このような構成も同様に、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が用いられる液晶表示装置に採用することができない。

[0010] そこで、本発明は、消費電力を低減しつつ、横クロストークを抑制できる表示装置を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の第１の局面は、表示装置であって、
表示すべき画像を表す複数のデータ信号がそれぞれ印加される複数のデータ信号線と、
前記複数のデータ信号線と交差し、複数の走査信号がそれぞれ印加されることにより選択的に駆動される走査信号線と、
前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素回路と、
前記複数の走査信号線にそれぞれ沿って配置された複数の補助容量線と、
前記複数の補助容量線を互いに独立して駆動するための複数の補助容量信号を前記複数の補助容量線にそれぞれ印加する補助容量線駆動回路と、
各走査信号線に対応して設けられた平滑部とを備え、
各画素回路は、

対応する交差点を通過する走査信号線が選択状態のときに導通状態、非選択状態のときに遮断状態となる第1スイッチング素子と、

対応する交差点を通過するデータ信号線に前記第1スイッチング素子を介して接続された画素電極と、

前記複数の画素回路に共通的に設けられた共通電極と、

前記画素電極と前記対応する交差点を通過する走査信号線に沿って配置された補助容量線との間に形成される補助容量とを含み、

前記補助容量線駆動回路は、前記走査信号線が選択状態から非選択状態に切り替えられた後に、当該走査信号線に沿って配置された補助容量線に印加する補助容量信号の電位を変化させ、

各平滑部は、当該平滑部に対応する走査信号線が選択状態のときに導通状態、非選択状態のときに遮断状態となるように制御される第2スイッチング素子と、当該第2スイッチング素子の導通端子のいずれかに接続された容量素子とからなり、

各平滑部を介して、当該平滑部に対応する走査信号線に沿って配置された補助容量線と、当該平滑部に対応する走査信号線が選択状態のときに固定電位が与えられている配線とが互いに接続されていることを特徴とする。

[0012] 本発明の第2の局面は、本発明の第1の局面において、

各平滑部の第2スイッチング素子の導通端子の一方と当該平滑部に対応する走査信号線に沿って配置された補助容量線とが互いに接続され、

各平滑部の第2スイッチング素子の導通端子の他方と前記配線とが、当該平滑部の容量素子を介して互いに接続されていることを特徴とする。

[0013] 本発明の第3の局面は、本発明の第1の局面において、

各平滑部の第2スイッチング素子の導通端子の一方と当該平滑部に対応する走査信号線に沿って配置された補助容量線とが、当該平滑部の容量素子を介して互いに接続され、

各平滑部の第2スイッチング素子の導通端子の他方と前記配線とが互いに接続されていることを特徴とする。

- [0014] 本発明の第４の局面は、本発明の第２の局面または第３の局面において、前記配線は、前記共通電極であることを特徴とする。
- [0015] 本発明の第５の局面は、本発明の第２の局面または第３の局面において、前記配線は、前記複数の補助容量信号を生成するための電源を供給する電源線であることを特徴とする。
- [0016] 本発明の第６の局面は、本発明の第２の局面または第３の局面において、前記配線は、非選択状態の走査信号線に沿って配置された補助容量線であることを特徴とする。
- [0017] 本発明の第７の局面は、本発明の第２の局面または第３の局面において、前記配線は、選択状態の走査信号線であることを特徴とする。

発明の効果

- [0018] 本発明の第１の局面から第３の局面までのいずれによっても、走査信号線が選択状態のときに、固定電位が与えられている配線と補助容量線とが平滑部の容量素子を介して電氣的に接続される。そのため、データ信号の書き込み時に生じる補助容量線の電位変動量が従来よりも小さくなるので、補助容量線の電位が本来の電位に復帰するまでの時間が従来よりも短くなる。これにより、補助容量線の電位変動に起因する画素電位の変動が生じない。また、走査信号線が選択状態から非選択状態に切り替わった後に補助容量線の電位が変化することにより、画素電位にバイアス電圧が加わるので、小さなデータ信号振幅で液晶層に大きな電圧を加えることができる。したがって、消費電力を低減しつつ、横クロストークを抑制できる。
- [0019] 本発明の第４の局面によれば、共通電極と、選択状態の走査信号線に沿って配置された補助容量線とを平滑部を介して互いに接続することにより、補助容量線の電位変動を抑制することができる。
- [0020] 本発明の第５の局面によれば、複数の補助容量信号を生成するため電源を供給する電源線と選択状態の走査信号線に沿って配置された補助容量線とを平滑部を介して互いに接続することにより、補助容量線の電位変動を抑制することができる。

[0021] 本発明の第6の局面によれば、非選択状態の走査信号線に沿って配置された補助容量線と選択状態の走査信号線に沿って配置された補助容量線とを平滑部を互いに接続することにより、補助容量線の電位変動を抑制することができる。

[0022] 本発明の第7の局面によれば、選択状態の走査信号線と、選択状態の走査信号線に沿って配置された補助容量線とを平滑部を介して互いに接続することにより、補助容量線の電位変動を抑制することができる。

図面の簡単な説明

[0023] [図1]本発明の第1の実施形態に係る液晶表示装置の電氣的構成を示す回路図である。

[図2]上記第1の実施形態における補助容量線駆動回路の電氣的構成を示す回路図である。

[図3] (A) ~ (G) は、上記第1の実施形態に係る液晶表示装置の動作を説明するための電圧波形図である。

[図4] (A) は、図3 (G) において破線で囲んだ部分RBを拡大した画素電位の電圧波形図である。(B) は、図3 (E) の破線で囲んだ部分RAを拡大した補助容量線の電位の電圧波形図である。

[図5]上記第1の実施形態において所定の表示パターンを表示した例を示す図である。

[図6] (A) ~ (D) は、図5に示す表示画像のうち、走査信号線GL (n) および補助容量線CSL (n) に対応する部分の電圧波形図である。

[図7] (A) ~ (D) は、図5に示す表示画像のうち、走査信号線GL (p) および補助容量線CSL (p) に対応する部分の電圧波形図である。

[図8]上記第1の実施形態において、補正用TFTとコンデンサとの接続順序を入れ替えた例を示す回路図である。

[図9]本発明の第2の実施形態に係る液晶表示装置の電氣的構成を示す回路図である。

[図10]上記第2の実施形態における、補助容量線とL側電源線との接続の様

子を説明するための回路図である。

[図11]本発明の第3の実施形態に係る液晶表示装置の電氣的構成を示す回路図である。

[図12]本発明の第4の実施形態に係る液晶表示装置の電氣的構成を示す回路図である。

[図13]本発明の基礎検討に係る液晶表示装置の電氣的構成を示す回路図である。

[図14]上記基礎検討および上記第1の実施形態における画素回路の電氣的構成を示す回路図である。

[図15](A)～(E)は、上記基礎検討に係る液晶表示装置の動作を説明するための電圧波形図である。

[図16]補助容量線の等価回路図である。

[図17]書き込み期間よりも復帰時間が短い場合の電圧波形図である。(A)は、図15(C)において破線で囲んだ部分RAを拡大した補助容量線の電位の電圧波形図である。(B)は、図15(E)において破線で囲んだ部分RBを拡大した画素電位の電圧波形図である。

[図18]書き込み期間よりも復帰時間が短い場合の電圧波形図である。(A)は、図15(C)において破線で囲んだ部分RAを拡大した補助容量線の電位の電圧波形図である。(B)は、図15(E)において破線で囲んだ部分RBを拡大した画素電位の電圧波形図である。

[図19]電位変動量 ΔV の大きさに応じた、上記基礎検討に係る液晶表示装置の動作を説明するための電圧波形図である。

[図20]上記基礎検討に係る液晶表示装置において所定の表示パターンを表示した例を示す図である。

[図21](A)～(D)は、図20に示す表示画像のうち、走査信号線GL(n)および補助容量線CSL(n)に対応する部分の電圧波形図である。

[図22](A)～(D)は、図20に示す表示画像のうち、走査信号線GL(p)および補助容量線CSL(p)に対応する部分の電圧波形図である。

発明を実施するための形態

[0024] <0. 基礎検討>

本発明の実施形態について説明する前に、上記課題を解決すべく本願発明者によりなされた基礎検討について説明する。

[0025] <0. 1 従来の液晶表示装置の構成>

図13は、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動が行われる従来の液晶表示装置の電氣的構成を示す回路図である。図13に示すように、従来の液晶表示装置690は、表示パネル190、データ信号線駆動回路200、走査信号線駆動回路300、補助容量線駆動回路400、および表示制御回路500を備えている。

[0026] 表示パネル190は、液晶層を挟持する1対の電極基板からなり、各電極基板の外表面には偏光板が貼り付けられている。上記1対の電極基板の一方はTFT (Thin Film Transistor) 基板と呼ばれるアクティブマトリクス型の基板である。このTFT基板では、ガラス基板等の絶縁性基板上に、複数のデータ信号線DL(1)~DL(M) (以下、これらを区別しない場合に「データ信号線DL」という)と複数の走査信号線GL(1)~GL(N)とが互いに交差するように格子状に形成され、さらに、複数の走査信号線GL(1)~GL(N) (以下、これらを区別しない場合に「走査信号線GL」という)に沿ってそれぞれ配置されると共に、互いに独立に駆動可能な複数の補助容量線CSL(1)~CSL(N) (以下、これらを区別しない場合に「補助容量線CSL」という)が形成されている。また、複数のデータ信号線DL(1)~DL(M)と複数の走査信号線GL(1)~GL(N)との交差点にそれぞれ対応して複数の画素回路P(n, m)がマトリクス状に形成されている(n=1~N、m=1~M)。なお、図示の便宜上、図13には16個の画素回路のみを示しているが、実際には、N×M個の画素回路が表示パネル190に形成されている。上記1対の電極基板の他方は対向基板と呼ばれ、ガラス等の絶縁性基板上に、全面にわ

たって共通電極、配向膜が順次積層されている。複数のデータ信号線DL (1) ~ DL (M)、複数の走査信号線GL (1) ~ GL (N)、および複数の補助容量線CSL (1) ~ CSL (N)はそれぞれデータ信号線駆動回路200、走査信号線駆動回路300、および補助容量線駆動回路400によって駆動される。

[0027] 図14は、画素回路P (n, m)の電氣的構成を示す回路図である。各画素回路P (n, m)は、複数のデータ信号線DL (1) ~ DL (M)と複数の走査信号線GL (1) ~ GL (N)との交差点のいずれか1つに対応して設けられている。また、各画素回路P (n, m)は、対応交差点を通過するデータ信号線DL (m)にソース電極が接続されると共に対応交差点を通過する走査信号線GL (n)にゲート電極が接続された第1スイッチング素子としての画素TFT101と、画素TFT101のドレイン電極に接続された画素電極とを含んでいる。画素電極と共通電極とによって液晶容量C_{lc}が形成され、画素電極と補助容量線CSL (n)とによって補助容量C_{cs}が形成されている。

[0028] 表示制御回路500は、外部から表示データDATおよびタイミング制御信号TSを受け取り、表示パネル190に表示データDATの表す画像を表示させるための信号として、アナログ画像信号AV、データスタートパルス信号SSP、データクロック信号CLK、ゲートスタートパルス信号GSP、およびゲートクロック信号CLKを出力する。

[0029] データ信号線駆動回路200は、表示制御回路500から出力されたアナログ画像信号AV、データスタートパルス信号SSPおよびデータクロック信号CLKを受け取り、データスタートパルス信号SSPおよびデータクロック信号CLKに基づいて、アナログ画像信号AVを各データ信号線DLに順次に印加する。このように、いわゆる点順次駆動方式で駆動が行われる。なお、点順次駆動方式に限らず、複数のデータ信号線DLを所定数のデータ信号線DLからなる組にグループ化し、当該所定数のデータ信号線DLに共通の出力バッファによって、各組に対応する所定数のデータ信号を時分割す

ることにより当該各組を駆動する方式である、いわゆるSSD (Source Shared Driving) 方式で駆動が行われていてもよい。この場合、データ信号線駆動回路200は、アナログ画像信号AVに代えてデジタル画像信号DVを受け取り、このデジタル画像信号DVをシリアルーパラレル変換した後、デジタルーアナログ変換することによりデータ信号を生成する。

[0030] 走査信号線駆動回路300は、表示パネル190に画像を表示するための各フレーム期間（各垂直走査期間）において、複数の走査信号線GL(1)～GL(N)を1水平走査期間ずつ順次選択し、選択した走査信号線にアクティブな走査信号（画素回路に含まれる画素TFT101を導通状態にさせる電圧）を印加する。

[0031] 補助容量線駆動回路400は、表示パネル190の液晶層に印加すべき電圧のバイアスとなる補助容量信号（所定の低電位VLまたは所定の高電位VH）を複数の補助容量線CSL(1)～CSL(N)に独立に印加する。なお、補助容量線に印加する電位は低電位VLおよび高電位VHの2種類に限らない。すなわち、3種類以上の電位を用いてもよい。

[0032] 各画素回路に対して共通的に形成された共通電極には、図示しない共通電極駆動回路により、表示パネル190の液晶層に印加すべき電圧の基準となる共通電位Vcomが与えられる。

[0033] 上述のように、複数のデータ信号線DL(1)～DL(M)には複数のデータ信号がそれぞれ印加され、複数の走査信号線GL(1)～GL(N)には複数の走査信号がそれぞれ印加されることにより、表示パネル190における各画素回路における画素電極には、共通電位Vcomを基準として、表示すべき画素の画素値に応じた電圧が画素TFT101を介して与えられ、各画素回路内の液晶容量C_{lc}および補助容量C_{cs}からなる画素容量に保持される。これにより、液晶層には、各画素電極と共通電極との電位差に相当する電圧が印加される。表示パネル190は、この印加電圧によって液晶層の光透過率を制御することにより、表示データDATの表す画像を表示す

る。

[0034] <0. 2 従来の液晶表示装置の動作>

図15(A)～図15(E)はそれぞれ、連続する2つのフレーム期間である第1フレーム期間 T_F1 および第2フレーム期間 T_F2 における、走査信号線 $GL(n)$ の電位、走査信号線 $GL(n+1)$ の電位、補助容量線 $CSL(n)$ の電位、補助容量線 $CSL(n+1)$ の電位、および画素電極の電位（以下、「画素電位」という） $V_d(n, m)$ の電圧波形を示す図である。ここでは、データ信号線 $DL(1) \sim DL(m)$ に印加すべきデータ信号の共通電位 V_{com} を基準とする極性を1水平期間毎に反転させて駆動する1H反転駆動方式が採用され、かつ、ノーマリーブラックモードにより表示を行う場合を例に挙げて説明する。なお、 $V_{com}=0$ とするが、これに限られない。

[0035] 第1フレーム期間 T_F1 において、走査信号線 $GL(n)$ が選択状態になると（図15(A)）、走査信号線 $GL(n)$ に接続された画素回路 $P(n, 1) \sim P(n, M)$ 内の画素 $TFT101$ が導通状態になる。画素回路 $P(n, m)$ に対する書き込み期間において、データ信号線 $DL(m)$ からデータ信号としての正電位 V_{dA} が画素電極に与えられ、画素容量が充電される。その結果、画素電位 $V_d(n, m)$ が V_{dA} に保持される（図15(E)）。次に、走査信号線 $GL(n)$ が非選択状態になり、走査信号線 $GL(n)$ に接続された画素 $TFT101$ が遮断状態になると、画素容量に蓄積された電荷はそのまま保持される。この間、補助容量線 $CSL(n)$ の電位は所定の低電位 V_L となっている。その後、補助容量線 $CSL(n)$ の電位が所定の高電位 V_H に変化する。その後、次フレームまでの期間、補助容量線 $CSL(n)$ には上記高電位 V_H が与えられ、画素電位 $V_d(n, m)$ にバイアス電圧 ΔV_{icP} が加わることとなる。その結果、液晶層のうち画素電極と共通電極とに挟持された部分には、図15(E)に示す電圧 V_{icP} が印加され、画素 $TFT101$ が再び導通状態になるまでの期間、電荷が保持される。次フレームである第2フレーム期間 T_F2 では、第1フレーム期間

T F 1 と同様の動作が行われる（ただし、極性が反転している）。このような動作により、小さなデータ信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。

[0036] <0. 3 考察>

しかし、上述のように画素電極と補助容量線 C S L (n) とによって補助容量 C c s が形成されているので、データ信号を画素電極に書き込む際に生じる画素電位 V d (n , m) の電位変動が、補助容量 C c s を介して補助容量線 C S L (n) に伝達されてしまう。このときに生じる補助容量線 C S L (n) の電位変動量 ΔV （以下、「電位変動 ΔV 」ともいう）は、近似的に下記の式（1）で表される。

$$\Delta V = V_{dpre}(n, m) - V_{dat} \cdots (1)$$

ここで、 $V_{dpre}(n, m)$ は前フレームにおいて走査信号線 G L (n) の選択期間終了後に補助容量線 C S L (n) の電位を変化させて確定された画素電位を表し、 V_{dat} は次フレームで書き込むデータ信号の電圧を表す。

[0037] 図 1 5 (C) に示すように、補助容量線 C S L (n) では、画素電位 V d (n , m) の極性が負から正に変化したときおよび正から負に変化したときに、電位変動 ΔV が生じている（図中では、直線で示している）。同様に、図 1 5 (D) に示すように、補助容量線 C S L (n + 1) でも、画素電位 V d (n + 1 , m) の極性が変化したとき（図示しない）に、電位変動 ΔV が生じている（図中では、直線で示している）。なお、例えば補助容量線 C S L (n) では、実際には画素電位 V d (n , 1) ~ V d (n , m - 1) および V d (n , m + 1) ~ V d (n , M) の電位変動の影響も受けるが、便宜上その図示および説明を省略する。また、走査信号線 G L (n) が選択状態となることにより画素 T F T 1 0 1 が導通状態となるときに、データ信号線 D L (1) ~ (M) の寄生容量の影響によっても画素電位 V d (n , m) が変動するが、便宜上その図示および説明を省略する。

[0038] 図 1 6 に示すように、補助容量線 C S L (n) は配線抵抗 R c s および寄

生容量 C_p からなる等価回路で表すことができる。電位変動 ΔV を生じた補助容量線 $C_{SL}(n)$ は、寄生容量 C_p に保持された電荷を充放電することにより初期の電位に復帰しようとする。本明細書では、補助容量線 $C_{SL}(n)$ で電位変動 ΔV が生じた時点から、電位変動 ΔV が生じた補助容量線 $C_{SL}(n)$ の電位と上記初期の電位との電位差が所定の微小電位差 $\Delta \varepsilon$ ($\approx 0V$)になる時点までの時間を、「復帰時間 T_{ret} 」という。復帰時間 T_{ret} は、配線抵抗 R_{cs} の抵抗値、寄生容量 C_p の容量値、および電位変動量 ΔV に依存する。すなわち、電位変動量 ΔV を一定と考える場合、配線抵抗 R_{cs} の抵抗値と寄生容量 C_p の容量値とによって定まる時定数が大きいほど、復帰時間 T_{ret} は長くなる。上述のように、補助容量線 $C_{SL}(n)$ の電位を低電位 V_L と高電位 V_H とで切り替えるためには、補助容量線駆動回路400に選択スイッチが必要であるので、補助容量線駆動回路400から見た補助容量線 $C_{SL}(n)$ のインピーダンスがさらに上昇する。そのため、各走査信号線を選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法では特に時定数が大きくなり、復帰時間 T_{ret} が長くなる。

[0039] 図17(A)および図17(B)はそれぞれ、 $T_{wrt} > T_{ret}$ である場合の、図15(C)において破線で囲んだ部分RAを拡大した補助容量線 $C_{SL}(n)$ の電位および図15(E)において破線で囲んだ部分RBを拡大した画素電位 $V_d(n, m)$ の電圧波形図である。ここで、 T_{wrt} は画素電位 $V_d(n, m)$ の書き込み期間を表す。図17(A)および図17(B)に示す波形は、画素電位 $V_d(n, m)$ の書き込み期間 T_{wrt} 内に補助容量線 $C_{SL}(n)$ の電位が復帰する。この場合、画素電位 $V_d(n, m)$ は補助容量線 $C_{SL}(n)$ の電位変動の影響を受けない。

[0040] 図18(A)および図18(B)はそれぞれ、 $T_{wrt} < T_{ret}$ である場合の、図15(C)において破線で囲んだ部分RAを拡大した補助容量線 $C_{SL}(n)$ の電位および図15(E)において破線で囲んだ部分RBを拡大した画素電位 $V_d(n, m)$ の電圧波形図である。画素電位図18(A)

および図 18 (B) に示す波形は、画素電位 $V_d(n, m)$ の書き込み期間 T_{wrt} 内に補助容量線 $CSL(n)$ の電位が復帰しない。この場合、書き込み期間 T_{wrt} 終了時点の補助容量線 $CSL(n)$ の電位と本来の補助容量線 $CSL(n)$ の電位との差である残存電圧 ΔV_{cs} に比例した変動量 ΔV_d ($\Delta V_d < \Delta V_{cs}$) だけ、画素電位 $V_d(n, m)$ が変動する。すなわち、画素電位 $V_d(n, m)$ は $V_{dA} - \Delta V_d$ となり、本来保持されるべき電位 V_{dA} とは異なる値となる。これが、横クロストークの原因となる。

[0041] また、配線抵抗 R_{cs} の抵抗値および寄生容量 C_p の容量値を一定と考える場合、画素電位 $V_d(n, m)$ が影響を受けるか否かは補助容量線 $CSL(n)$ の電位変動量 ΔV の大きさによって決まる。図 19 (A) および図 19 (C) はそれぞれ、図 15 において破線で囲んだ部分 RA および RB を拡大した電圧波形図（電位変動量 ΔV が大きい場合）である。一方、図 19 (B) および図 19 (D) はそれぞれ、図 12 において破線で囲んだ部分 RA および RB を拡大した電圧波形図（電圧変動量 ΔV が小さい場合）である。電位変動量 ΔV が小さい場合には $T_{wrt} > T_{ret}$ となるので、画素電位 $V_d(n, m)$ が電位変動量 ΔV の影響をほとんど受けない（図 19 (B)、図 19 (D)）。一方、電位変動量 ΔV が大きい場合には $T_{wrt} < T_{ret}$ となるので、残存電圧 ΔV_{cs} が生じることにより画素電位 $V_d(n, m)$ が本来保持されるべき電位 V_{dA} とは異なる値となる。これは、上述のように横クロストークの原因となる。

[0042] 以上に示した、画素電位 $V_d(n, m)$ が受ける残存電圧 ΔV_{cs} による影響は、特に、図 20 に示すような、灰色の背景部分および白色の中央部分からなる表示パターンにおいて顕著となる。なお、図 20 では、灰色の背景部分を細線のハッチングで表し、後述の黒っぽくなる部分を太線のハッチングで表している。また、図 20 では、説明の便宜上各画素の大きさを不均一としている。さらに、図 20 中の下向きの矢印および右向きの矢印は、それぞれ画像表示における垂直走査方向および水平走査方向を表している。走査信号線 $GL(n)$ および補助容量線 $CSL(n)$ に対応する画素は、全て灰

色であり、表示ムラを生じていない。一方、走査信号線 $GL(p)$ および補助容量線 $CSL(p)$ に対応する画素は灰色または白色であり、データ信号線 $DL(m+2)$ に対応する画素が灰色となるべきところ、横クロストークが発生することにより黒っぽくなっている。ここで、図20、図21(A)～図21(D)、および図22(A)～図22(D)を参照しつつ、横クロストークについてさらに説明する。

[0043] 図21(A)～図21(D)はそれぞれ、図20における画素電位 $V_d(n, m) \sim V_d(n, m+2)$ 、および補助容量線 $CSL(n)$ の電位の電圧波形図である。なお、図21(A)～図21(C)にそれぞれ示す画素電位 $V_d(n, m) \sim V_d(n, m+2)$ では、それぞれの書き込み期間 $T_{wr t}$ 以前の補助容量線 $CSL(n)$ の電位変動 ΔV による影響を、便宜上省略している(後述の図6(A)～図6(C)でも同様)。また、図21(D)に示す補助容量線 $CSL(n)$ の電位では、画素電位 $V_d(n, 1) \sim V_d(n, m-1)$ および $V_d(n, m+3) \sim V_d(n, m)$ による影響を、便宜上省略している(後述の図6(D)でも同様)。画素電位 $V_d(n, m) \sim V_d(n, m+2)$ に対応する画素はすべて灰色であるので、画素電位 $V_d(n, m) \sim V_d(n, m+2)$ の書き込み電位は同一の V_{dA} となる。そのため、各画素電位の書き込み時に生じる補助容量線 $CSL(n)$ における電位変動量 ΔV は均一である。そのため、走査信号線 $GL(n)$ および補助容量線 $CSL(n)$ に対応する画素では、横クロストークが生じない。

[0044] 図22(A)～図22(D)はそれぞれ、図20における画素電位 $V_d(p, m) \sim V_d(p, m+2)$ 、および補助容量線 $CSL(p)$ の電位の電圧波形図である。なお、図22(A)～図22(C)にそれぞれ示す画素電位 $V_d(p, m) \sim V_d(p, m+2)$ では、それぞれの書き込み期間 $T_{wr t}$ 以前の補助容量線 $CSL(n)$ の電位変動 ΔV による影響を、便宜上省略している(後述の図7(A)～図7(C)でも同様)。また、図22(D)に示す補助容量線 $CSL(p)$ の電位では、画素電位 $V_d(p, 1) \sim V$

$d(p, m-1)$ および $V_d(p, m+3) \sim V_d(p, m)$ による影響を、便宜上省略している（後述の図7（D）でも同様）。画素電位 $V_d(p, m)$ および $V_d(p, m+2)$ に対応する画素は灰色であり、画素電位 $V_d(p, m+1)$ に対応する画素は白色である。 $V_d(p, m)$ および $V_d(p, m+2)$ の書き込み電位は $V_d A$ であり、画素電位 $V_d(p, m+1)$ の書き込み電位は $V_d B (> V_d A)$ である。そのため、画素電位 $V_d(p, m)$ および $V_d(p, m+2)$ の書き込み時に生じる補助容量線 $CSL(p)$ における電位変動量 ΔV は小さく、画素電位 $V_d(p, m+1)$ の書き込み時に生じる補助容量線 $CSL(p)$ における電位変動量 ΔV は大きい。画素電位 $V_d(p, m+1)$ の書き込み時に生じた大きく変動した補助容量電位 $CSL(p)$ の電位が画素電位 $V_d(p, m+2)$ の書き込み完了前に本来の電位に復帰しない場合、画素電位 $V_d(p, m+2)$ の書き込み開始時における補助容量線 $CSL(p)$ の電位にずれが生じる（図中の実線がずれを生じた電位、破線が理想の電位を示す）。このような補助容量線 $CSL(p)$ の電位のずれの影響により、画素電位 $V_d(p, m+2)$ の書き込み期間内に補助容量 $CSL(p)$ の電位が本来の電位に復帰せずに残存電圧 ΔV_{cs} が生じる。その結果、画素電位 $V_d(p, m+2)$ は $V_d A - \Delta V_d$ となり、本来保持されるべき電位 $V_d A$ とは異なる値となり、対応する画素が本来表示すべき灰色より黒っぽくなってしまう。なお、白表示に対応する画素電位 $V_d(p, m+1)$ についても、本来保持されるべき電位 $V_d B$ と異なる値となり、本来より黒っぽくなる。

[0045] 以上説明した横クロストークを解消するために上記特許文献4に記載の液晶表示装置の構成を採用した場合、上述のように、各補助容量線を独立に駆動できないこととなる。そのため、このような構成は、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が用いられる液晶表示装置に採用することができない。

[0046] また、上記特許文献5に記載の液晶表示装置の構成を採用した場合も同様に、上述のように、各補助容量線を独立に駆動できないこととなる。そのた

め、このような構成も同様に、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が用いられる液晶表示装置に採用することができない。

[0047] 以上の基礎検討に基づき本願発明者によりなされた本発明の実施形態について、以下、添付図面を参照しながら説明する。

<1. 第1の実施形態>

<1. 1 液晶表示装置の構成>

図1は、本発明の第1の実施形態に係る液晶表示装置600の電氣的構成を示す回路図である。なお、本実施形態の構成要素のうち上記従来の液晶表示装置690と同一の要素については、同一の参照符号を付して説明を省略する。図1に示すように、本実施形態に係る液晶表示装置600は、表示パネル100、データ信号線駆動回路200、走査信号線駆動回路300、補助容量線駆動回路400、および表示制御回路500を備えている。データ信号線駆動回路200、走査信号線駆動回路300、補助容量線駆動回路400、および表示制御回路500のいずれかまたは全部は、例えば、表示パネル100のTFT基板上にIC(Integrated Circuit)として実装されている。また、データ信号線駆動回路200、走査信号線駆動回路300、および補助容量線駆動回路400のいずれかまたは全部が表示パネル100と一体的に形成されていてもよい。

[0048] 走査信号線駆動回路300は、表示制御回路500からゲートスタートパルスGSPおよびゲートクロック信号GCKを受け取り、表示パネル100に表示画像を表示するための各フレーム期間(各垂直走査期間)において、複数の走査信号線GL(1)~GL(N)を1水平走査期間ずつ順次選択し、選択した走査信号線にアクティブな走査信号(画素回路に含まれる画素TFT101を導通状態にさせる電圧)を印加する。本実施形態および後述の各実施形態では、走査信号線GLの番号の昇順に走査が行われる。すなわち、走査信号線がGL(1)→GL(2)→…→GL(N)の順に選択される。以下では、このような走査方向を「第1方向」という。また、以下では、

走査信号線が $GL(N) \rightarrow GL(N-1) \rightarrow \dots \rightarrow GL(1)$ の順に選択される走査方向を「第2方向」という。なお、本実施形態および後述の各実施形態では、走査方向として、第1方向または第2方向のいずれを採用してもよい。

[0049] 各画素回路に対して共通的に形成された共通電極 E_c には、図示しない共通電極駆動回路により、表示パネル100の液晶層に印加すべき電圧の基準となる共通電位 V_{com} （固定電位）が与えられる。

[0050] 補助容量線駆動回路400は、表示パネル100の液晶層に印加すべき電圧のバイアスとなる補助容量信号（所定の低電位 V_L または所定の高電位 V_H ）を複数の補助容量線 $CSL(1) \sim CSL(N)$ に独立に印加する。詳細には、補助容量線駆動回路400は、図2に示すように、L側電源線 Lvd_l から供給されるL側電源電位 V_{dl} およびH側電源線 Lvd_h から供給されるH側電源電位 V_{dh} をそれぞれ受け取る低電位供給部402Lおよび高電位供給部402Hと、補助容量線 $CSL(1) \sim CSL(N)$ にそれぞれ印加すべき電位を低電位 V_L と高電位 V_H とで切り替える電位切替スイッチ404(1)～404(N)とを含んでいる。

[0051] 低電位供給部402Lは、受け取ったL側電源電位 V_{dl} に基づき低電位 V_L を生成する。高電位供給部402Hは、受け取ったH側電源電位 V_{dh} に基づき高電位 V_H を生成する。低電位供給部402Lおよび高電位供給部402Hによりそれぞれ生成された低電位 V_L および高電位 V_H は、電位切替スイッチ404(1)～404(N)に与えられる。電位切替スイッチ404(1)～404(N)は、上述のように補助容量線 $CSL(1) \sim CSL(N)$ にそれぞれ印加すべき電位を低電位 V_L と高電位 V_H とで切り替える。

[0052] <1. 2 表示パネルの構成>

表示パネル100は、上記従来の液晶表示装置690が備える表示パネル190に、走査信号線 $GL(1) \sim GL(N)$ にそれぞれ対応して設けられた平滑部10(1)～10(N)（以下、これらを区別しない場合に「平滑

部 10」という)を追加したものである。平滑部 10 は、補助容量線 CSL の出力端側 (図 1 において、表示パネル 100 中の右側) に設けられている。この平滑部 10 を介して、対応する走査信号線 GL に沿って配置された補助容量線 CSL と共通電極 Ec とが互いに接続されている。例えば、平滑部 10 (n) を介して、走査信号線 GL (n) に沿って配置された補助容量線 CSL (n) と共通電極 Ec とが互いに接続されている。

[0053] 平滑部 10 (1) ~ 10 (N) は、第 2 スイッチング素子としての補正用 TFT 12 (1) ~ (N) (以下、これらを区別しない場合に「補正用 TFT 12」という) をそれぞれ有すると共に、容量素子としてのコンデンサ 14 (1) ~ 14 (N) (以下、これらを区別しない場合に「コンデンサ 14」という) をそれぞれ有している。平滑部 10 の補正用 TFT 12 の導通端子の一方としてのソース電極と当該平滑部 10 に対応する走査信号線 GL に沿って配置された補助容量線 CSL とが互いに接続され、当該平滑部 10 の補正用 TFT 12 の導通端子の他方としてのドレイン電極と共通電極 Ec とが、当該平滑部 10 のコンデンサ 14 を介して互いに接続されている。例えば、補正用 TFT 12 (n) のソース電極と走査信号線 GL (n) に沿って配置された補助容量線 CSL (n) とが互いに接続され、補正用 TFT 12 (n) のドレイン電極と共通電極 Ec とがコンデンサ 14 (n) を介して互いに接続されている。なお、各補助容量線 CSL の電位によって対応する補正用 TFT 12 のソース電極とドレイン電極とが入れ替わるが、以下の説明では、補正用 TFT 12 のゲート電極が接続された走査信号線 GL に沿って配置された補助容量線 CSL に接続されている (または、後述のようにコンデンサ 14 を介して接続されている) 側の端子をソース電極、その反対側の端子をドレイン電極とする。

[0054] 各平滑部 10 の補正用 TFT 12 の制御端子としてのゲート電極は、当該平滑部 10 に対応する走査信号線 GL に接続されている。例えば、平滑部 10 (n) の補正用 TFT 12 (n) のゲート電極は走査信号線 GL (n) に接続されている。補正用 TFT 12 (n) は、走査信号線 GL (n) が選択

状態のときに導通状態となり、非選択状態のときに遮断状態となるように制御される。

[0055] <1. 3 動作>

図3 (A) ~ 図3 (G)、図4 (A)、図4 (B)を参照しつつ、本実施形態に係る液晶表示装置600の動作を説明する。

[0056] 図3 (A) ~ 図3 (G)はそれぞれ、連続する2つのフレーム期間である第1フレーム期間TF1および第2フレーム期間TF2における、走査信号線GL (n-1)の電位、走査信号線GL (n)の電位、走査信号線GL (n+1)の電位、補助容量線CSL (n-1)の電位、補助容量線CSL (n)の電位、補助容量線CSL (n+1)の電位、および画素電位Vd (n, m)の電圧波形図である。ここで、本実施形態については、上記従来の液晶表示装置と同様に、データ信号線DL (1) ~ DL (m)に印加すべきデータ信号の対向電極電位Vcomを基準とする極性を1水平期間毎に反転させて駆動する1H反転駆動方式が採用され、かつ、ノーマリーブラックモードにより表示を行う場合を例に挙げて説明する。なお、Vcom=0とするが、これに限られない。

[0057] 図4 (A)および図4 (B)はそれぞれ、図3 (G)において破線で囲んだ部分RBを拡大した画素電位Vd (n, m)および、図3 (E)の破線で囲んだ部分RAを拡大した本実施形態における補助容量線CSL (n)の電位の電圧波形図である。なお、図4 (B)において破線で示した波形は、従来の液晶表示装置における補助容量線CSL (n)の電位を示す。

[0058] 第1フレーム期間TF1において、走査信号線GL (n)が選択状態となると(図3 (B))、走査信号線GL (n)に接続された画素回路P (n, 1) ~ P (n, M)内の画素TF T1 O1が導通状態になる。このとき、補正用TF T1 2 (n)が導通状態となる。補正用TF T1 2 (n)が導通状態となることにより、選択状態の走査信号線GL (n)に沿って配置された補助容量線CSL (n)とコンデンサ14 (n)とが電氣的に互いに接続される。すなわち、補助容量線CSL (n)と、固定電位である共通電位Vc

omが与えられている共通電極Vcomとが、コンデンサ14(n)を介して電氣的に互いに接続される。

[0059] 画素回路P(n, m)に対する書き込み期間において、データ信号線DL(m)からデータ信号としての正電位VdAが画素電極に与えられ、画素容量が充電される。上記基礎検討でも述べたとおり、データ信号を画素電極に書き込む際に生じる画素電位Vd(n, m)の電位変動が寄生容量Cdcを介して補助容量線CSL(n)に伝達されてしまうので、補助容量線CSL(n)に電位変動ΔVが生じる(図3(E)において破線で囲んだ部分RA)。なお、図3(D)～図3(F)にそれぞれ示すように、補助容量線CSL(n-1)～CSL(n+1)では、画素電位Vd(n, m)の極性変化時に電位変動ΔVが生じている(図中では、直線で示している)。なお、例えば補助容量線CSL(n)では、実際には画素電位Vd(n, 1)～Vd(n, m-1)およびVd(n, m+1)～Vd(n, M)の電位変動の影響も受けるが、便宜上その図示および説明を省略する。また、走査信号線GL(n)が選択状態となることにより画素TFT101が導通状態となるときに、データ信号線DL(1)～(M)の寄生容量の影響によっても画素電位Vd(n, m)が変動するが、便宜上その図示および説明を省略する。

[0060] 本実施形態では、走査信号線GL(n)が選択状態であるときに、補助容量線CSL(n)に印加されている補助容量信号の高周波成分(電位変動分)がコンデンサ14(n)を介して共通電極Ecに与えられることにより、電位変動ΔVの大きさが従来よりも低減される。したがって、データ信号の書き込み時に電位変動ΔVが生じた場合、従来の液晶表示装置ではデータ信号の書き込み期間Twrt以内に補助容量線CSL(n)の電位が復帰しないのに対し(図4(B))、本実施形態では電位変動ΔVの大きさが従来よりも低減されるので、書き込み期間Twrt以内に補助容量線CSL(n)の電位が復帰する(図4(B))。すなわち、復帰時間Tretが従来よりも短くなる。その結果、書き込み期間Twrt終了時点の補助容量線CSL(n)の電位と本来の補助容量線CSL(n)の電位との差である残存電圧

ΔV_{cs} が生じないので、画素電位 $V_d(n, m)$ には本来保持されるべき電位 V_{dA} が保持される(図3(G)、図4(A))。なお、共通電極 E_c に印加される共通電位 V_{com} は、各走査信号線 GL が選択状態のときに固定電位となっていればよい。例えば、走査信号線 $GL(n)$ が選択状態である期間と走査信号線 $GL(n)$ が選択状態である期間との間に、共通電位 V_{com} が変動してもよい。

[0061] 次に、走査信号線 $GL(n)$ が非選択状態になり、走査信号線 $GL(n)$ に接続された画素 $TFT101$ が遮断状態になると、画素容量に蓄積された電荷はそのまま保持される。この間、補助容量線 $CSL(n)$ の電位は低電位 V_L となっている。その後、補助容量線 $CSL(n)$ の電位が高電位 V_H に変化する。また、走査信号線 $GL(n)$ が非選択状態のときには、補正用 $TFT12(n)$ は遮断状態となっている。すなわち、走査信号線 $GL(n)$ が非選択状態のときには、補助容量線 $CSL(n)$ とコンデンサ $14(n)$ とが電氣的に非接続状態となっている。したがって、補助容量線 $CSL(n)$ における低電位 V_L から高電位 V_H への変化がコンデンサ $14(n)$ を介して共通電極 E_c に影響を与えることはなく、また、この低電位 V_L から高電位 V_H への変化がコンデンサ $14(n)$ の影響により遅れることはない。

[0062] その後、次フレームまでの期間、補助容量線 $CSL(n)$ には高電位 V_H が与えられ、画素電位 $V_d(n, m)$ にバイアス電圧 ΔV_{icP} が加わるようになる。その結果、液晶層のうち画素電極と対向電極とに挟持された部分には、図3(G)に示す電圧 V_{icP} が印加され、画素 $TFT101$ が再び導通状態になるまでの期間、電荷が保持される。このような動作により、小さなデータ信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。次フレームである第2フレーム期間 $TF2$ では、第1フレーム期間 $TF1$ と同様の動作が行われる(ただし、極性が反転している)。このような動作により、小さなデータ信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。

[0063] ここで、図5～図7を参照しつつ、本実施形態において横クロストークが抑制される様子を説明する。図5は、本実施形態において、図20に示す灰色の背景部分および白色の中央部分からなる表示パターンと同様の表示パターンを表示した様子を示す図である。なお、図5では、灰色の背景部分をハッチングで表している。また、図5では、説明の便宜上各画素の大きさを不均一としている。さらに、図5中の下向きの矢印および右向きの矢印は、それぞれ画像表示における垂直走査方向および水平走査方向を表している。

[0064] 図6(A)～図6(D)はそれぞれ、図5における画素電位 $V_d(n, m) \sim V_d(n, m+2)$ 、および補助容量線 $CSL(n)$ の電位の電圧波形図である。画素電位 $V_d(n, m) \sim V_d(n, m+2)$ に対応する画素はすべて灰色であるので、画素電位 $V_d(n, m) \sim V_d(n, m+2)$ の書き込み電位は同一の V_dA となる。そのため、各画素電位の書き込み時に生じる補助容量線 $CSL(n)$ における電位変動量は均一である。そのため、走査信号線 $GL(n)$ および補助容量線 $CSL(n)$ に対応する画素では、横クロストークが生じない。このように、同一色（灰色）の画素が連続する場合は、従来の液晶表示装置と同様の表示となる。なお、走査信号線 $GL(n)$ が選択状態であるときに補助容量線 $CSL(n)$ に印加されている補助容量信号の高周波成分（電位変動分）がコンデンサ $14(n)$ を介して共通電極 E_c に与えられるので、同一色（灰色）の画素が連続する場合でも、補助容量線 $CSL(n)$ における電位変動量 ΔV が従来よりも小さくなっている。

[0065] 図7(A)～図7(D)はそれぞれ、図5における画素電位 $V_d(p, m) \sim V_d(p, m+2)$ 、および補助容量線 $CSL(p)$ の電位の電圧波形図である。画素電位 $V_d(p, m)$ および $V_d(p, m+2)$ に対応する画素は灰色であり、画素電位 $V_d(p, m+1)$ に対応する画素は白色である。 $V_d(p, m)$ および $V_d(p, m+2)$ の書き込み電位は V_dA であり、画素電位 $V_d(p, m+1)$ の書き込み電位は $V_dB (> V_dA)$ である。そのため、画素電位 $V_d(p, m)$ および $V_d(p, m+2)$ の書き込み

時に生じる補助容量線CSL (p) における電位変動量 ΔV は小さく、画素電位 $V_d(p, m+1)$ の書き込み時に生じる補助容量線CSL (p) における電位変動量 ΔV は大きい。しかし、本実施形態では、走査信号線GL (p) が選択状態であるときに補助容量線CSL (p) に印加されている補助容量信号の高周波成分（電位変動分）がコンデンサ14 (p) を介して共通電極Ecに与えられるので、画素電位 $V_d(p, m) \sim V_d(p, m+2)$ のいずれの書き込み時においても、補助容量線CSL (p) に生じる電位変動量 ΔV が従来よりも小さくなる。したがって、従来の液晶表示装置690とは異なり、画素電位 $V_d(p, m+1)$ の書き込み時に補助容量CSL (p) の電位が変動しても、その変動量は従来よりも小さいので、画素電位 $V_d(p, m+2)$ の書き込み前にその変動した電位が本来の電位に復帰し、画素電位 $V_d(p, m+2)$ の書き込み開始時における補助容量線CSL (p) の電位にずれが生じない。これにより、画素電位 $V_d(p, m+2)$ の書き込み時に生じる補助容量線CSL (p) の電位変動 ΔV も書き込み期間に解消されるので、残存電圧 ΔV_{cs} が生じない。その結果、画素電位 $V_d(p, m+2)$ は本来の書き込み電位である V_{dA} に保持されるので、画素電位 $V_d(p, m+2)$ に対応する画素は、本来表示すべき色と同じ灰色となり、黒っぽくならない。このように、本実施形態に係る液晶表示装置600で表示した表示パターンでは、従来の液晶表示装置で表示した表示パターンと異なり横クロストークが生じない。

[0066] <1. 4 効果>

本実施形態によれば、走査信号線GL (n) が選択状態のときに、固定電位である共通電位 V_{com} が与えられている共通電極Ecと補助容量線CSL (n) とがコンデンサ14 (n) を介して電氣的に接続される。そのため、データ信号の書き込み時に生じる補助容量線CSL (n) の電位変動量 ΔV が従来よりも小さくなるので、補助容量線CSL (n) の電位が本来の電位に復帰するまでの時間 T_{ret} が従来よりも短くなる。これにより、補助容量線CSL (n) の電位変動に起因する画素電位 $V_d(n, m)$ の変動が

生じない。また、走査信号線GL (n) が選択状態から非選択状態に切り替わった後に補助容量線CSL (n) の電位が変化することにより、画素電位にバイアス電圧が加わるので、小さなデータ信号振幅で液晶層に大きな電圧を加えることができる。したがって、消費電力を低減しつつ、横クロストークを抑制できる。

[0067] また、本実施形態によれば、走査信号線GL (n) が選択状態のときには補助容量線CSL (n) とコンデンサ14 (n) とが電氣的に接続状態となり、非選択状態のときには補助容量線CSL (n) とコンデンサ14 (n) とが電氣的に非接続状態となる。そのため、補助容量線CSL (n) における低電位VL から高電位VH への変化がコンデンサ14 (n) を介して共通電極Ec に影響を与えることはなく、また、この変化がコンデンサ14 (n) の影響により遅れることはない。これにより、横クロストーク以外に起因する表示品位の低下を抑制しつつ、横クロストークを抑制することができる。

[0068] また、本実施形態を実現するためには、各走査信号線GL に対応して補正用TF T 1 2 およびコンデンサ14 を設けるだけでよい。そのため、簡易な構成で本実施形態を実現することができる。

[0069] なお、補正用TF T 1 2 とコンデンサ14 との接続順を逆にしてもよい。すなわち、図8 に示すように、平滑部10 の補正用TF T 1 2 のソース電極と当該平滑部10 に対応する走査信号線GL に沿って配置された補助容量線CSL とが、当該平滑部10 のコンデンサ14 を介して互いに接続され、当該平滑部10 の補正用TF T 1 2 のドレイン電極と共通電極Ec とが互いに接続されていてもよい。

[0070] <2. 第2の実施形態>

<2. 1 液晶表示装置の構成>

図9 は、本発明の第2の実施形態に係る液晶表示装置610 の電氣的構成を示す回路図である。本実施形態に係る液晶表示装置610 は、第1の実施形態に係る液晶表示装置600 が備える表示パネル100 に代えて、表示パ

ネル 110 を備えている。なお、本実施形態の構成要素のうち第 1 の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0071] <2. 2 表示パネルの構成>

本実施形態における表示パネル 110 では、第 1 の実施形態における表示パネル 100 と異なり、補助容量線 CSL の入力端側（図 9 において、表示パネル 110 中の左側）に平滑部 10 が設けられている。なお、平滑部 10 の位置は補助容量線 CSL の入力端側に限られるものではなく、補助容量線 CSL の出力端側（図 9 において、表示パネル 110 中の右側）でもよい。この平滑部 10 を介して、対応する走査信号線 GL に沿って配置された補助容量線 CSL と、当該走査信号線 GL が選択状態のときに固定電位が与えられている配線としての L 側電源線 Lvdl とが互いに接続されている。すなわち、図 10 に示すように、L 側電源線 Lvdl と各平滑部 10 とが互いに接続されている。

[0072] 平滑部 10 の補正用 TFT 12 の導通端子の一方としてのソース電極と当該平滑部 10 に対応する走査信号線 GL に沿って配置された補助容量線 CSL とが互いに接続され、当該平滑部 10 の補正用 TFT 12 の導通端子の他方としてのドレイン電極と L 側電源線 Lvdl とが当該平滑部 10 のコンデンサ 14 を介して互いに接続されている。例えば、平滑部 10 (n) の補正用 TFT 12 (n) のソース電極と補助容量線 CSL (n) とが互いに接続され、補正用 TFT 12 (n) のドレイン電極と L 側電源線 Lvdl とがコンデンサ 14 (n) を介して互いに接続されている。

[0073] 各平滑部 10 の補正用 TFT 12 の制御端子としてのゲート電極は、当該平滑部 10 に対応する走査信号線 GL に接続されている。例えば、平滑部 10 (n) の補正用 TFT 12 (n) のゲート電極は走査信号線 GL (n) に接続されている。補正用 TFT 12 (n) は、走査信号線 GL (n) が選択状態のときに導通状態となり、非選択状態のときに遮断状態となるように制御される。

[0074] <2. 3 動作>

本実施形態では、走査信号線 $GL(n)$ が選択状態のときに、補助容量線 $CSL(n)$ に印加されている補助容量信号の高周波成分（電位変動分）がコンデンサ $14(n)$ を介して、固定電位である L 側電源電位 V_{dl} が供給されている L 側電源線 Lvd に与えられることにより、電位変動 ΔV の大きさが従来よりも低減される。本実施形態におけるその他の動作は、第1の実施形態におけるものと同様であるので、その説明を省略する。

[0075] <2. 4 効果>

本実施形態によれば、走査信号線 $GL(n)$ が選択状態のときに、固定電位である L 側電源電位 V_{dl} が与えられている L 側電源線 Lvd と補助容量線 $CSL(n)$ とがコンデンサ $14(n)$ を介して電氣的に接続される。これにより、第1の実施形態と同様の効果を奏することができる。

[0076] なお、 L 側電源線 Lvd に代えて、 H 側電源線 $Lvdh$ と各平滑部 10 とが互いに接続されていてもよい。また、 L 側電源線 Lvd および H 側電源線 $Lvdh$ と各平滑部 10 とが互いに接続されていてもよい。さらに、 L 側電源線 Lvd に代えて、低電位 V_L が与えられている配線、高電位 V_H が与えられている配線のいずれかまたは両方と各平滑部 10 とが互いに接続されていてもよい。

[0077] また、第1の実施形態と同様に、補正用 $TFT12$ とコンデンサ 14 との接続順は逆でもよい。

[0078] <3. 第3の実施形態>

<3. 1 液晶表示装置の構成>

図11は、本発明の第3の実施形態に係る液晶表示装置620の電氣的構成を示す回路図である。本実施形態に係る液晶表示装置620は、第1の実施形態に係る液晶表示装置600が備える表示パネル100に代えて、表示パネル120を備えている。なお、本実施形態の構成要素のうち第1の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0079] <3. 2 表示パネルの構成>

本実施形態における表示パネル120では、第1の実施形態における表示

パネル１００と異なり、平滑部１０を介して、対応する走査信号線ＧＬに沿って配置された補助容量線ＣＳＬと、当該走査信号線ＧＬの走査方向（第１方向）における先行の走査信号線ＧＬに沿って配置された補助容量線ＣＳＬとが互いに接続されている。例えば、平滑部１０（ n ）を介して、対応する走査信号線ＧＬ（ n ）に沿って配置された補助容量線ＣＳＬ（ n ）と、走査信号線ＧＬ（ n ）の第１方向における先行の走査信号線ＧＬ（ $n-1$ ）に沿って配置された補助容量線ＣＳＬ（ $n-1$ ）とが互いに接続されている。

[0080] 平滑部１０の補正用ＴＦＴ１２の導通端子の一方としてのソース電極と当該平滑部１０に対応する走査信号線ＧＬに沿って配置された補助容量線ＣＳＬとが、当該平滑部１０のコンデンサ１４を介して互いに接続され、当該平滑部１０の補正用ＴＦＴ１２の導通端子の他方としてのドレイン電極と、当該平滑部１０に対応する走査信号線ＧＬの第１方向における先行の走査信号線ＧＬに沿って配置された補助容量線ＣＳＬとが互いに接続されている。例えば、平滑部１０（ n ）の補正用ＴＦＴ１２（ n ）のソース電極と補助容量線ＣＳＬ（ n ）とがコンデンサ１４（ n ）を介して互いに接続され、補正用ＴＦＴ１２（ n ）のドレイン電極と補助容量線ＣＳＬ（ $n-1$ ）とが互いに接続されている。

[0081] 各平滑部１０の補正用ＴＦＴ１２の制御端子としてのゲート電極は、当該平滑部１０に対応する走査信号線ＧＬに接続されている。例えば、平滑部１０（ n ）の補正用ＴＦＴ１２（ n ）のゲート電極は走査信号線ＧＬ（ n ）に接続されている。補正用ＴＦＴ１２（ n ）は、走査信号線ＧＬ（ n ）が選択状態のときに導通状態となり、非選択状態のときに遮断状態となるように制御される。

[0082] <３．３ 動作>

第１フレーム期間ＴＦ１において、走査信号線ＧＬ（ n ）が選択状態のときに、補助容量線ＣＳＬ（ n ）に印加されている補助容量信号（低電位ＶＬ）の高周波成分（電位変動分）がコンデンサ１４（ n ）を介して、当該選択状態時に固定電位である低電位ＶＬが供給されている補助容量線ＣＳＬ（ n

ー 1) に与えられることにより (図 3 (D))、電位変動 ΔV の大きさが従来よりも低減される。なお、第 2 フレーム期間 $T F 2$ では、補助容量線 $C S L (n)$ および補助容量線 $C S L (n - 1)$ の電位が高電位 $V H$ となる。

[0083] < 3. 4 効果 >

本実施形態によれば、走査信号線 $G L (n)$ が選択状態のときに、固定電位である高電位 $V H$ (または低電位 $V L$) が与えられている補助容量線 $C S L (n - 1)$ と補助容量線 $C S L (n)$ とがコンデンサ $14 (n)$ を介して電氣的に接続される。これにより、第 1 の実施形態と同様の効果を奏することができる。

[0084] なお、走査信号線 $G L (n)$ が選択状態のときに、補助容量線 $C S L (n)$ と非選択状態の他の走査信号線 $G L$ に沿って配置された補助容量線 $C S L$ とが互いに接続されていればよい。したがって、例えば、走査信号線 $G L (n)$ が選択状態のときに、補助容量線 $C S L (n)$ と補助容量線 $C S L (n + 2)$ とが互いに接続されるようにしてもよい。また、走査信号線 $G L (n)$ が選択状態のときに、補助容量線 $C S L (n)$ と補助容量線 $C S L (n - 1)$ と補助容量線 $C S L (n + 1)$ とが互いに接続されるようにしてもよい。

[0085] また、第 1 の実施形態と同様に、補正用 $T F T 12$ とコンデンサ 14 との接続順は逆でもよい。

[0086] < 4. 第 4 の実施形態 >

< 4. 1 液晶表示装置の構成 >

図 12 は、本発明の第 4 の実施形態に係る液晶表示装置 630 の電氣的構成を示す回路図である。本実施形態に係る液晶表示装置 630 は、第 1 の実施形態に係る液晶表示装置 600 が備える表示パネル 100 に代えて、表示パネル 130 を備えている。なお、本実施形態の構成要素のうち第 1 の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0087] < 4. 2 表示パネルの構成 >

本実施形態における表示パネル 130 では、第 1 の実施形態における表示

パネル１００と異なり、平滑部１０を介して、対応する走査信号線ＧＬに沿って配置された補助容量線ＣＳＬと当該走査信号線ＧＬとが互いに接続されている。例えば、平滑部１０（ｎ）を介して、対応する走査信号線ＧＬ（ｎ）に沿って配置された補助容量線ＣＳＬ（ｎ）と走査信号線ＧＬ（ｎ）とが互いに接続されている。

[0088] 平滑部１０の補正用ＴＦＴ１２の導通端子の一方としてのソース電極と当該平滑部１０に対応する走査信号線ＧＬに沿って配置された補助容量線ＣＳＬとが、当該平滑部１０のコンデンサ１４を介して互いに接続され、当該平滑部１０の補正用ＴＦＴ１２の導通端子の他方としてのドレイン電極と当該平滑部１０に対応する走査信号線ＧＬとが互いに接続されている。例えば、平滑部１０（ｎ）の補正用ＴＦＴ１２（ｎ）のソース電極と補助容量線ＣＳＬ（ｎ）とがコンデンサ１４（ｎ）を介して互いに接続され、補正用ＴＦＴ１２（ｎ）のドレイン電極と走査信号線ＧＬ（ｎ）とが互いに接続されている。

[0089] 各平滑部１０の補正用ＴＦＴ１２の制御端子としてのゲート電極は、当該平滑部１０に対応する走査信号線ＧＬに接続されている。例えば、平滑部１０（ｎ）の補正用ＴＦＴ１２（ｎ）のゲート電極は走査信号線ＧＬ（ｎ）に接続されている。補正用ＴＦＴ１２（ｎ）は、走査信号線ＧＬ（ｎ）が選択状態のときに導通状態となり、非選択状態のときに遮断状態となるように制御される。

[0090] <４．３ 動作>

走査信号線ＧＬ（ｎ）が選択状態のときに、補助容量線ＣＳＬ（ｎ）に印加されている補助容量信号の高周波成分（電位変動分）が、コンデンサ１４（ｎ）を介して、当該選択状態時に固定電位である走査信号（このとき、画素ＴＦＴ１０１を導通状態にさせる電位）が供給されている走査信号線ＧＬ（ｎ）に与えられる。そのため、電位変動 ΔV の大きさが従来よりも低減される。なお、選択状態時の走査信号線ＧＬ（ｎ）の電位は、補助容量線ＣＳＬ（ｎ）の電位より高い。

[0091] 本実施形態におけるその他の動作は、第1の実施形態におけるものと同様であるので、その説明を省略する。

[0092] <4. 4 効果>

本実施形態によれば、走査信号線GL (n) が選択状態のときに、固定電位である走査信号が与えられている走査信号線GL (n) と補助容量線CSL (n) とがコンデンサ14 (n) を介して電氣的に接続される。これにより、第1の実施形態と同様の効果を奏することができる。

[0093] また、第1の実施形態と同様に、補正用TF T 1 2とコンデンサ14との接続順は逆でもよい。

[0094] <5. その他>

補助容量信号の高周波成分を除去する観点から、上記各実施形態および変形例における補正用TF T 1 2のオン抵抗はできるだけ小さい方が望ましい。

[0095] 上記各実施形態では、各走査信号線GLに対して1つの平滑部10を設けられているが、複数の平滑部が設けられていてもよい。また、上記各実施形態および変形例を組み合わせ用いてもよい。さらに、各平滑部10が複数のコンデンサ14を有していてもよい。

[0096] 上記各実施形態では、平滑部10が、表示パネル100の構成要素として設けられているが、これに限られない。例えば第2の実施形態では、平滑部10が、補助容量線駆動回路400内に設けられていてもよい。

[0097] 上述の説明では、ノーマリーブラックモードにより表示を行う例に挙げているが、ノーマリーホワイトモードにより表示を行う場合でも上記各実施形態と同様の効果が得られる。

[0098] その他、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

[0099] 以上より、本発明によれば、消費電力を低減しつつ、横クロストークを抑制できる表示装置を提供することができる。

産業上の利用可能性

[0100] 本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス型の表示装置に適用することができる。

符号の説明

[0101] 10(1)～10(N)…平滑部
12(1)～12(N)…補正用TFT(第2スイッチング素子)
14(1)～14(N)…コンデンサ(容量素子)
100、110、120、130、190…表示パネル
101…画素TFT(第1スイッチング素子)
200…データ信号線駆動回路
300…走査信号線駆動回路
400…補助容量線駆動回路
500…表示制御回路
600、610、620、630、690…液晶表示装置
CSL(1)～CSL(N)…補助容量線
DL(1)～DL(M)…データ信号線
Ec…共通電極
GL(1)～GL(N)…走査信号線
Lvdl…L側電源線
Lvdh…H側電源線

請求の範囲

[請求項1]

表示すべき画像を表す複数のデータ信号がそれぞれ印加される複数のデータ信号線と、

前記複数のデータ信号線と交差し、複数の走査信号がそれぞれ印加されることにより選択的に駆動される走査信号線と、

前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素回路と、

前記複数の走査信号線にそれぞれ沿って配置された複数の補助容量線と、

前記複数の補助容量線を互いに独立して駆動するための複数の補助容量信号を前記複数の補助容量線にそれぞれ印加する補助容量線駆動回路と、

各走査信号線に対応して設けられた平滑部とを備え、

各画素回路は、

対応する交差点を通過する走査信号線が選択状態のときに導通状態、非選択状態のときに遮断状態となる第1スイッチング素子と、

対応する交差点を通過するデータ信号線に前記第1スイッチング素子を介して接続された画素電極と、

前記複数の画素回路に共通的に設けられた共通電極と、

前記画素電極と前記対応する交差点を通過する走査信号線に沿って配置された補助容量線との間に形成される補助容量とを含み、

前記補助容量線駆動回路は、前記走査信号線が選択状態から非選択状態に切り替えられた後に、当該走査信号線に沿って配置された補助容量線に印加する補助容量信号の電位を変化させ、

各平滑部は、当該平滑部に対応する走査信号線が選択状態のときに導通状態、非選択状態のときに遮断状態となるように制御される第2スイッチング素子と、当該第2スイッチング素子の導通端子のいずれかに接続された容量素子とからなり、

各平滑部を介して、当該平滑部に対応する走査信号線に沿って配置された補助容量線と、当該平滑部に対応する走査信号線が選択状態のときに固定電位が与えられている配線とが互いに接続されていることを特徴とする、表示装置。

[請求項2] 各平滑部の第2スイッチング素子の導通端子の一方と当該平滑部に対応する走査信号線に沿って配置された補助容量線とが互いに接続され、

各平滑部の第2スイッチング素子の導通端子の他方と前記配線とが、当該平滑部の容量素子を介して互いに接続されていることを特徴とする、請求項1に記載の表示装置。

[請求項3] 各平滑部の第2スイッチング素子の導通端子の一方と当該平滑部に対応する走査信号線に沿って配置された補助容量線とが、当該平滑部の容量素子を介して互いに接続され、

各平滑部の第2スイッチング素子の導通端子の他方と前記配線とが互いに接続されていることを特徴とする、請求項1に記載の表示装置。

[請求項4] 前記配線は、前記共通電極であることを特徴とする、請求項2または3に記載の表示装置。

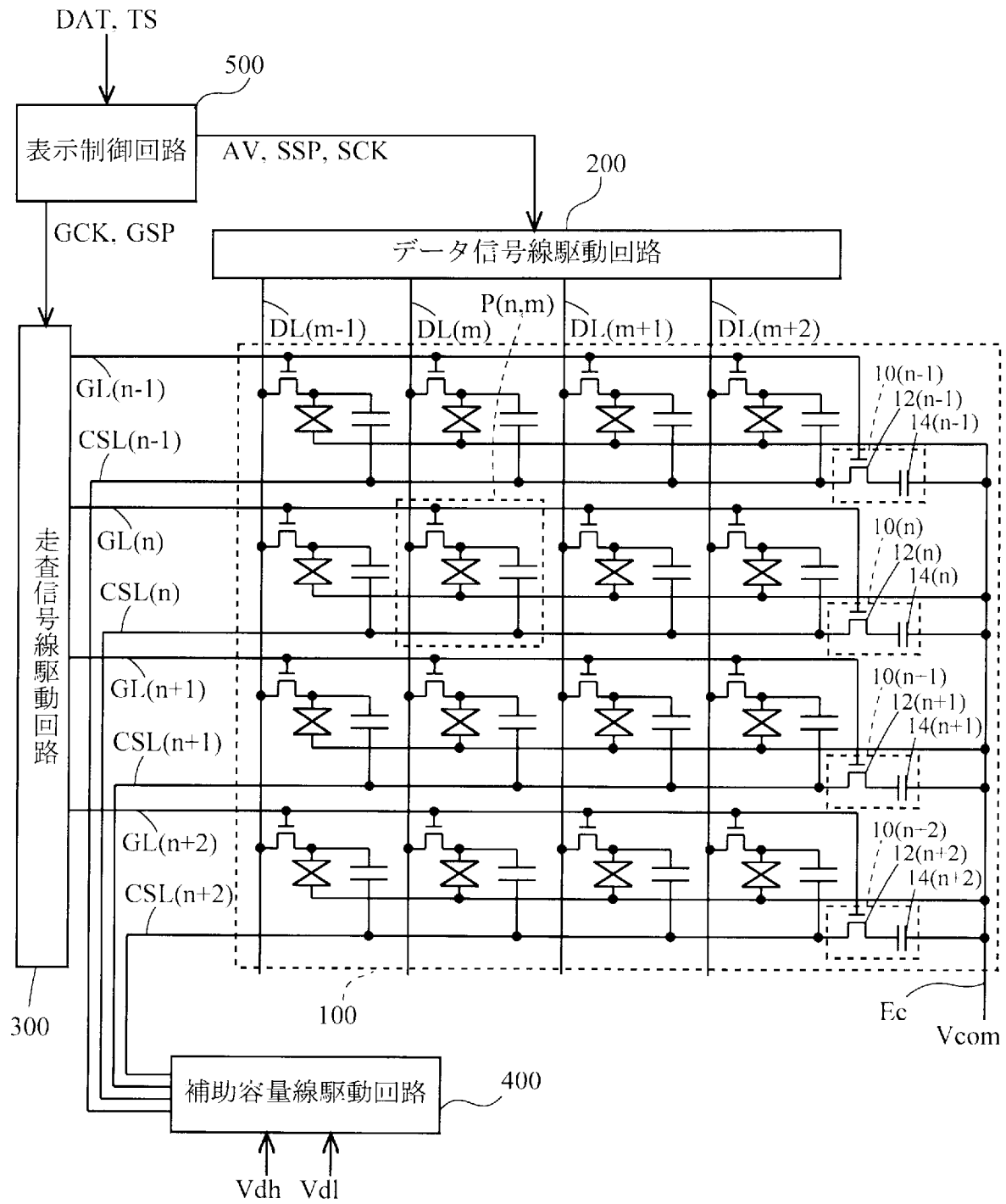
[請求項5] 前記配線は、前記複数の補助容量信号を生成するための電源を供給する電源線であることを特徴とする、請求項2または3に記載の表示装置。

[請求項6] 前記配線は、非選択状態の走査信号線に沿って配置された補助容量線であることを特徴とする、請求項2または3に記載の表示装置。

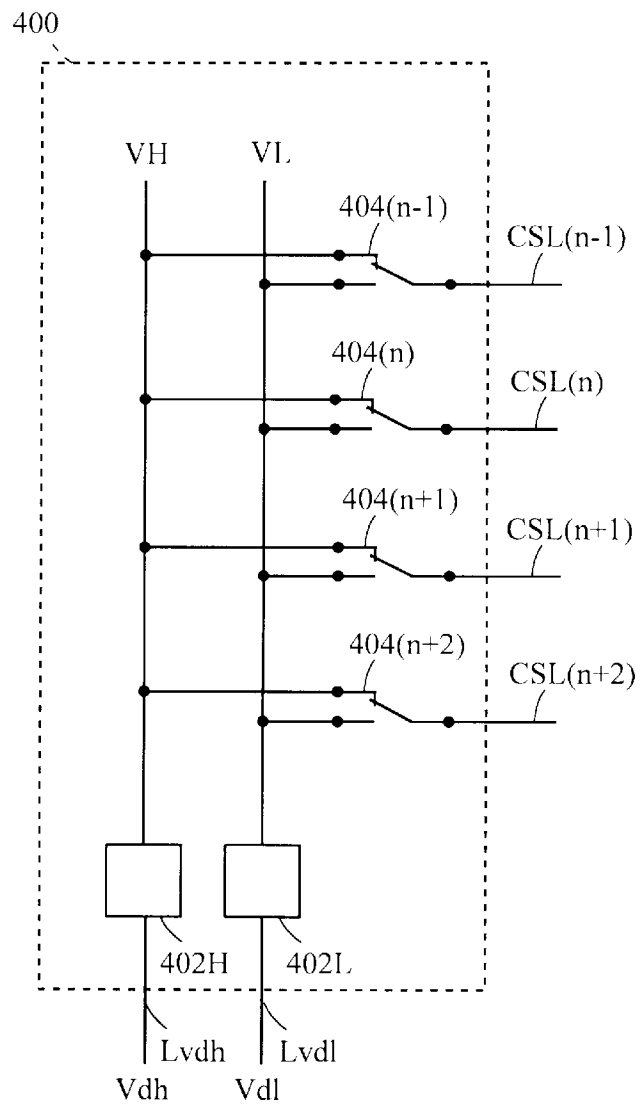
[請求項7] 前記配線は、選択状態の走査信号線であることを特徴とする、請求項2または3に記載の表示装置。

[図1]

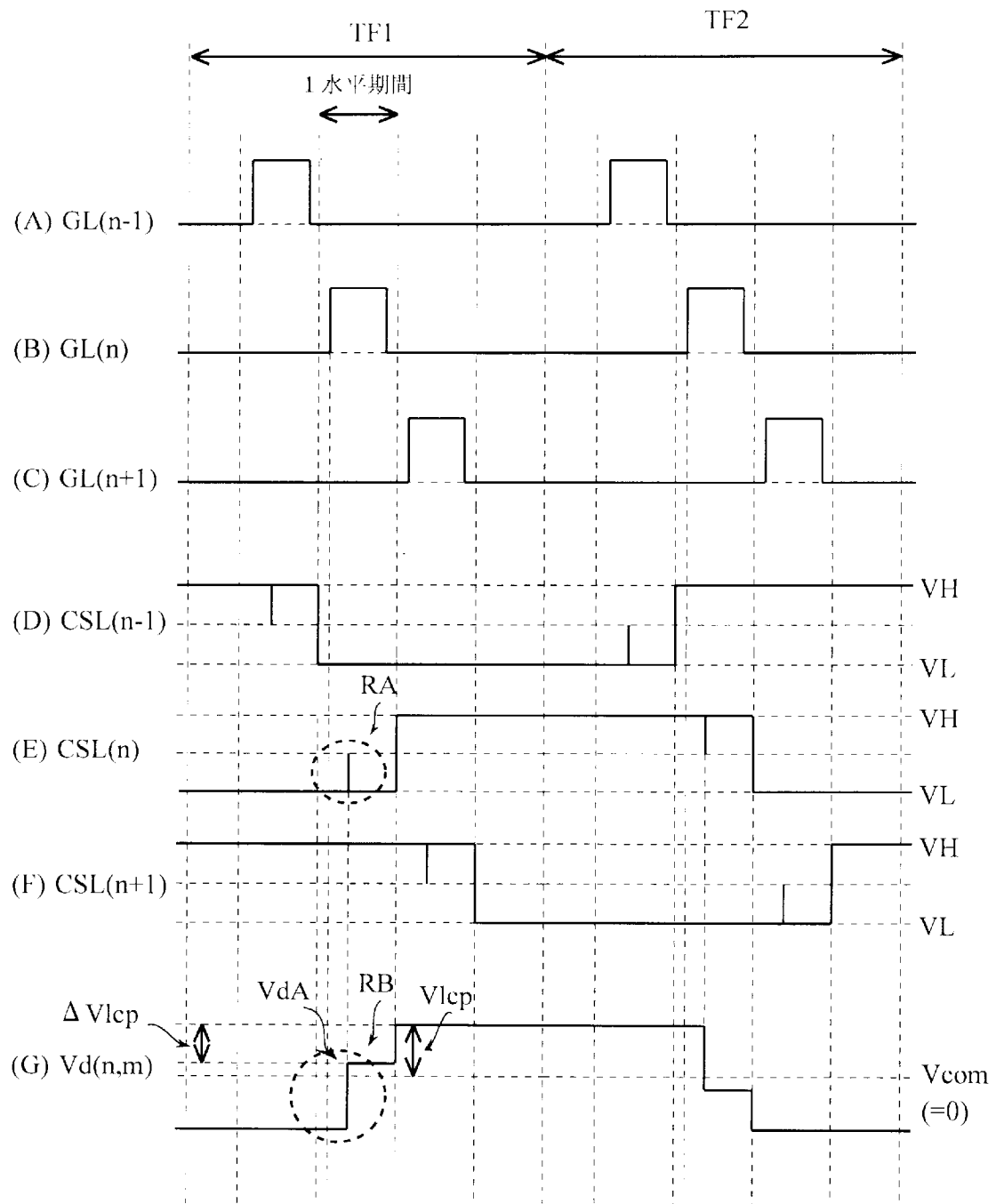
600



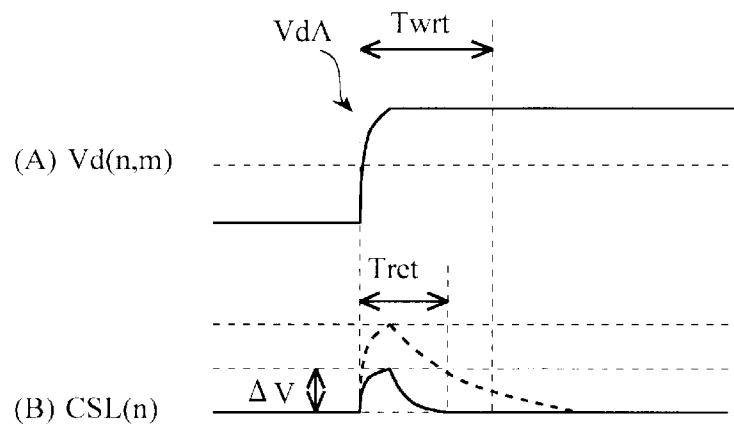
[図2]



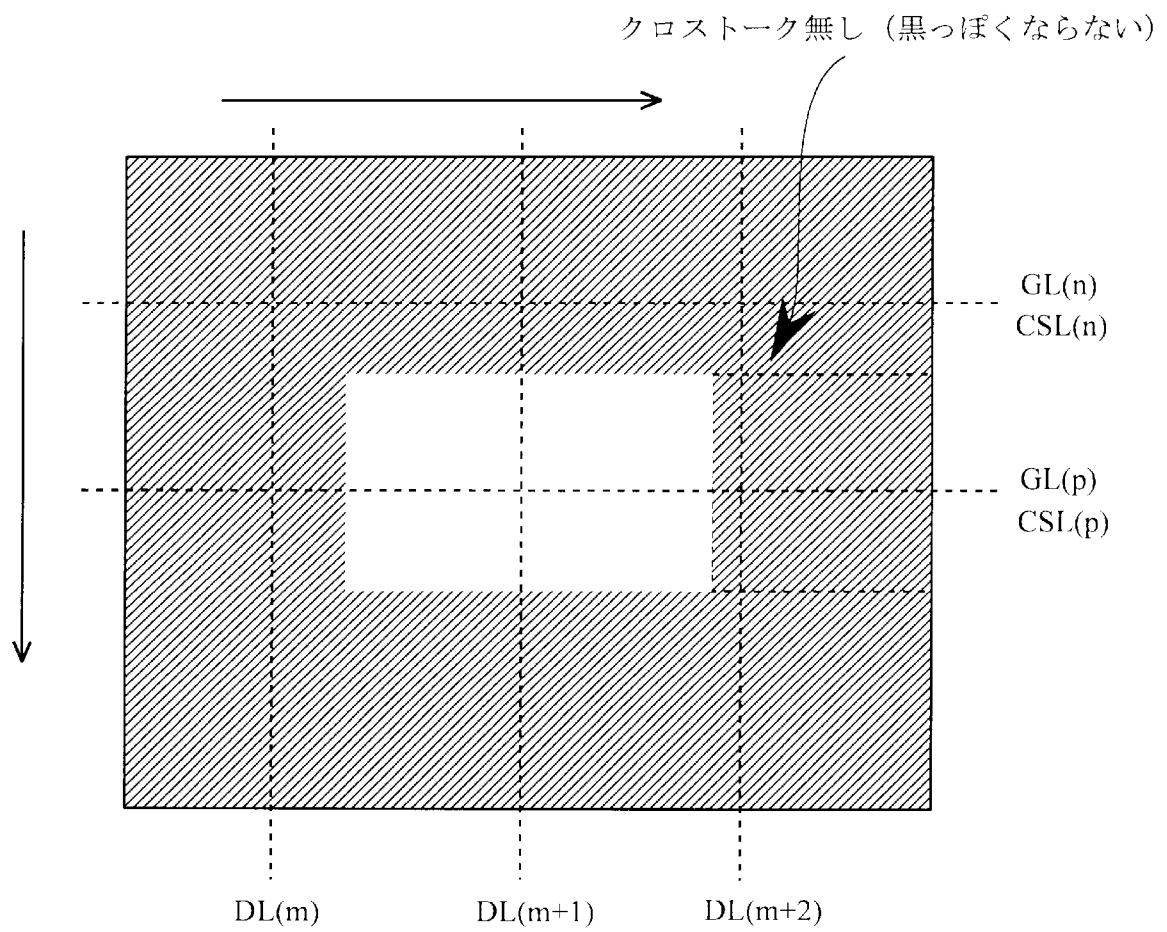
[図3]



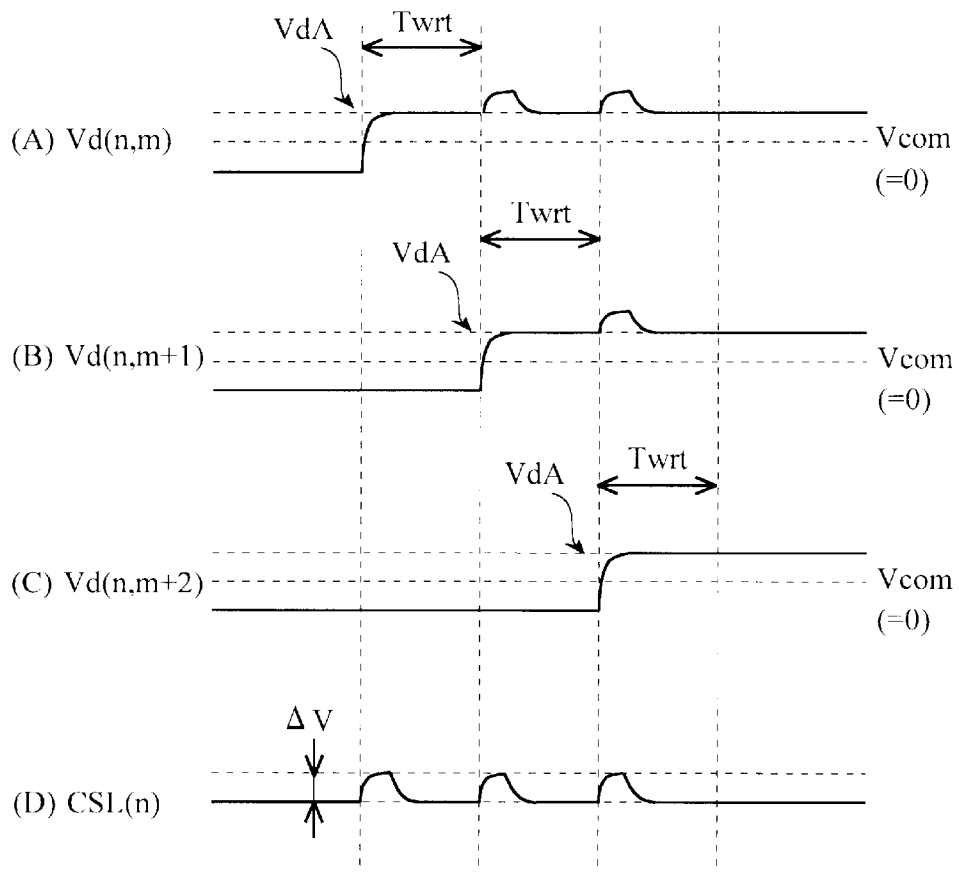
[図4]



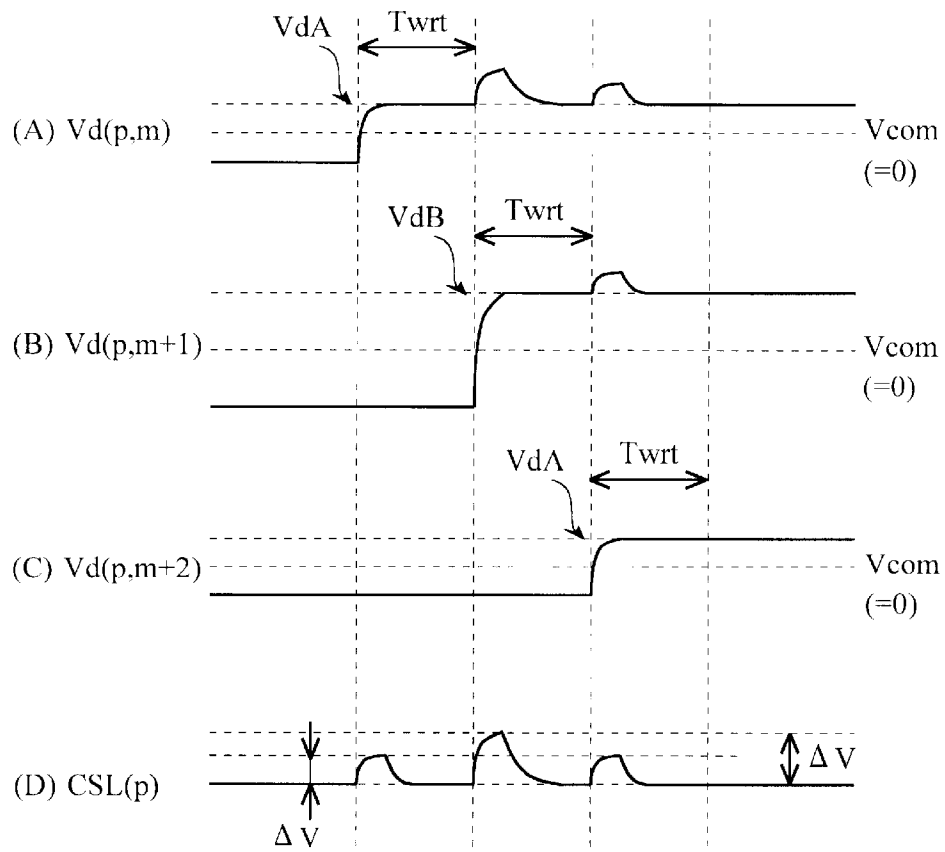
[図5]



[図6]

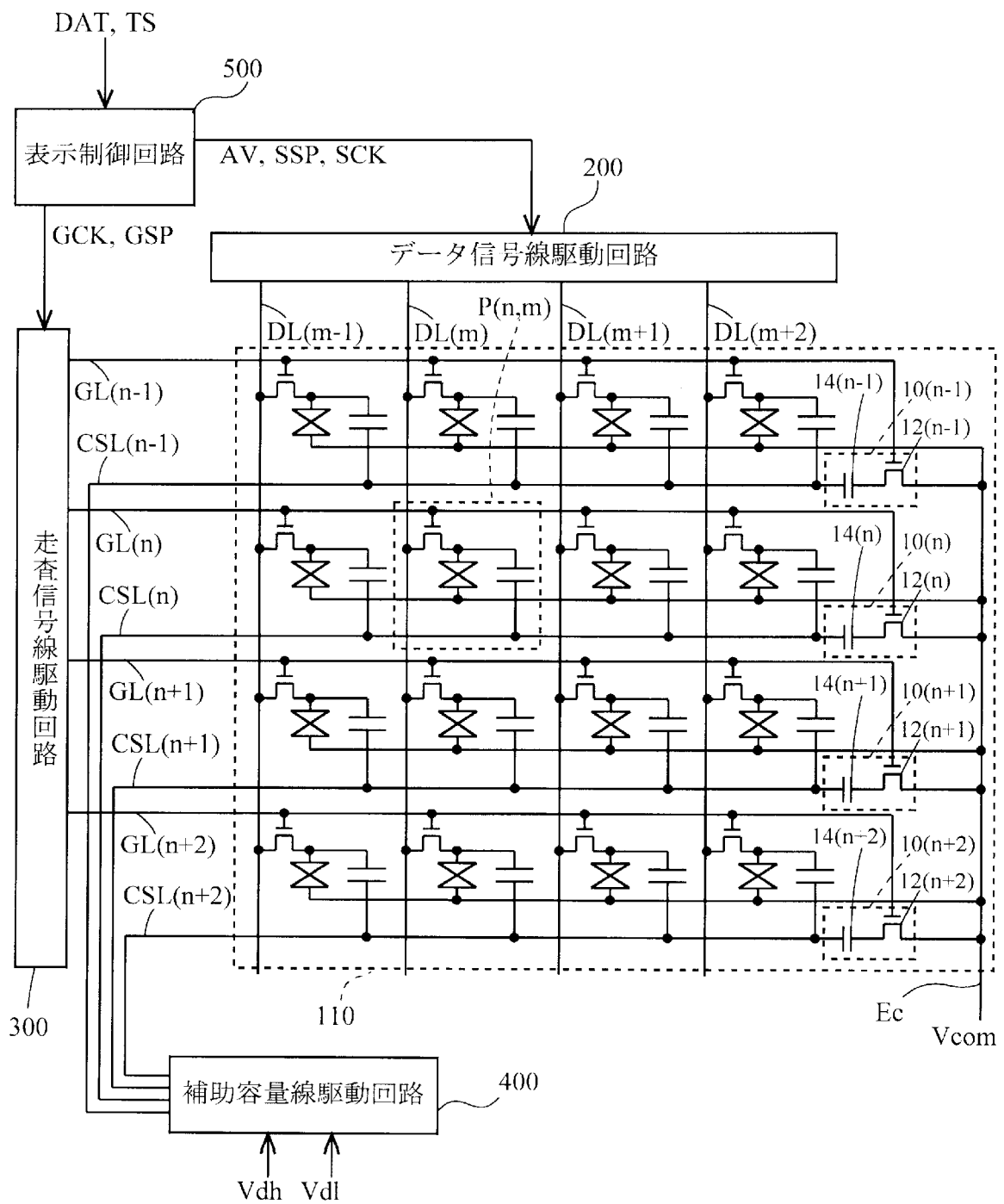


[図7]



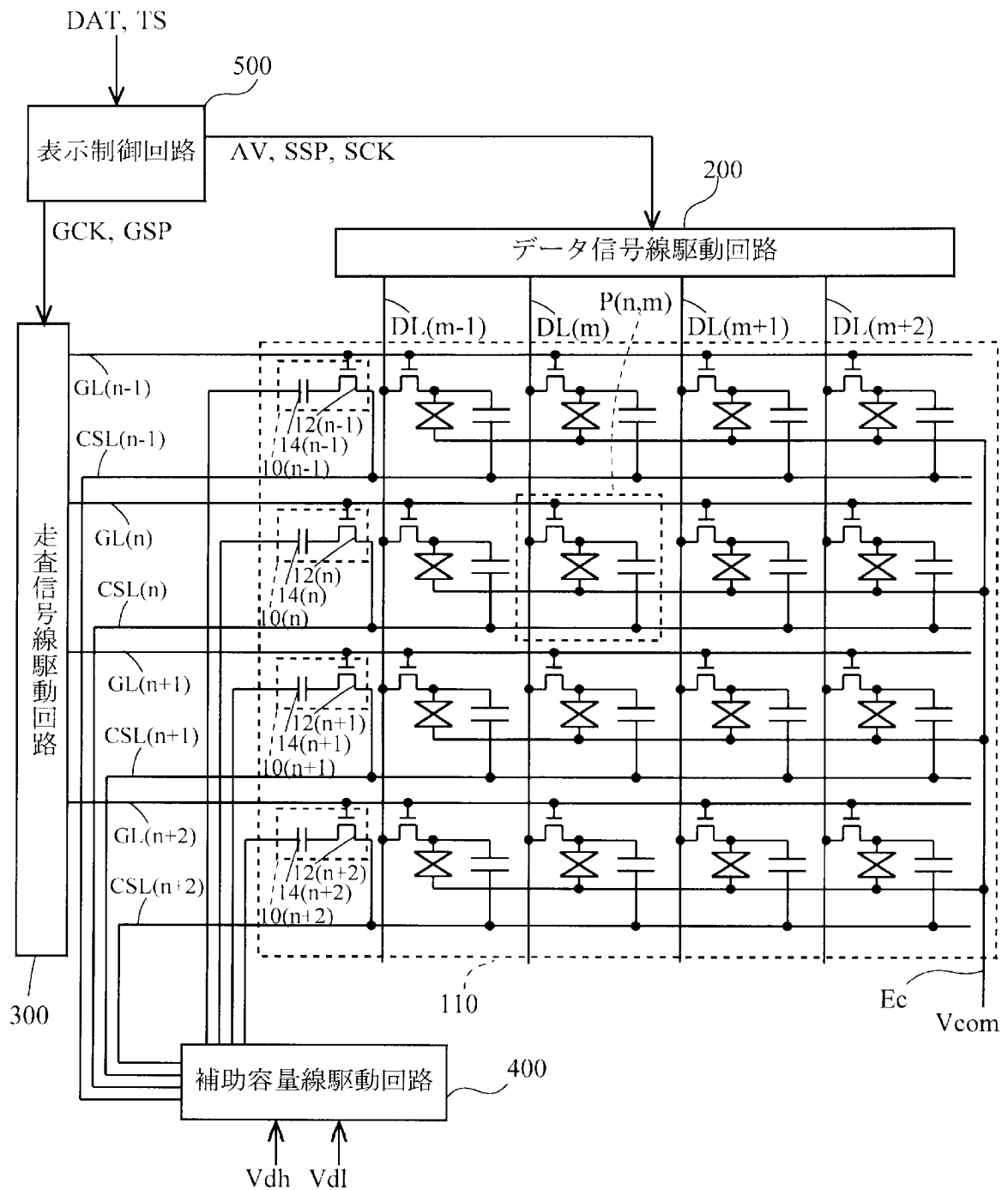
[図8]

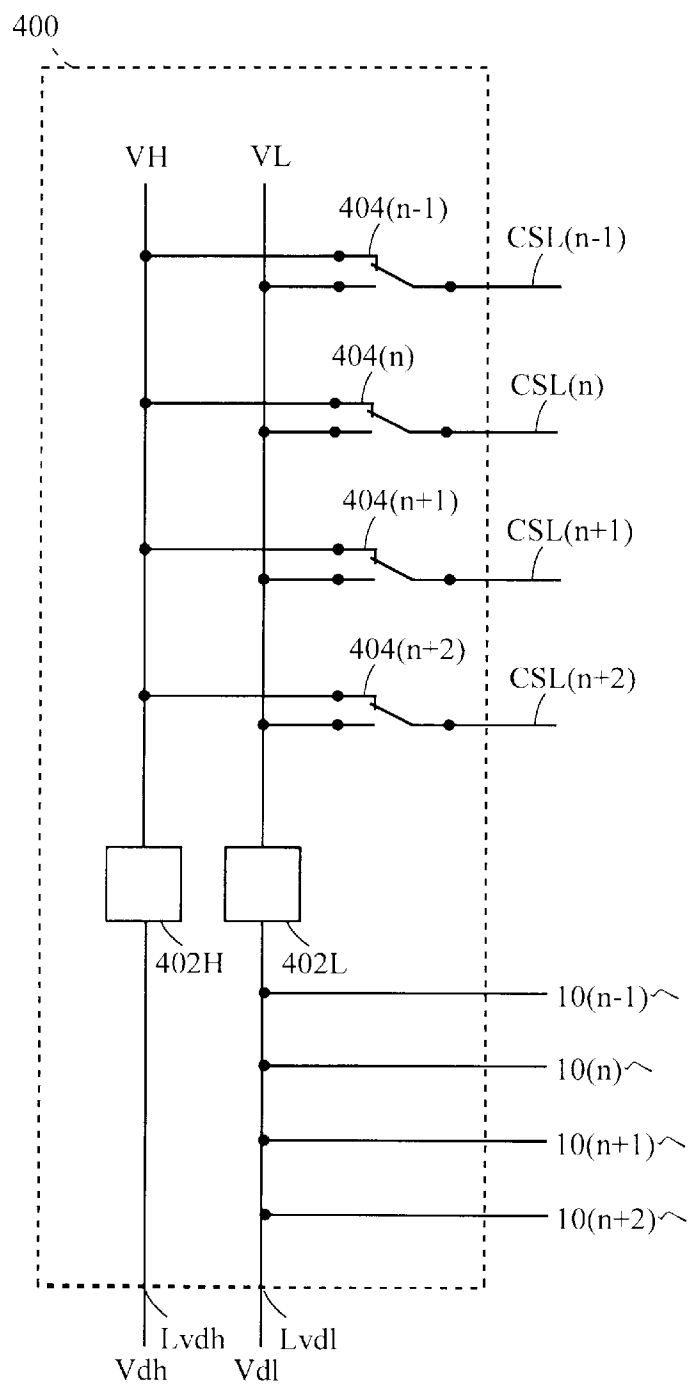
600



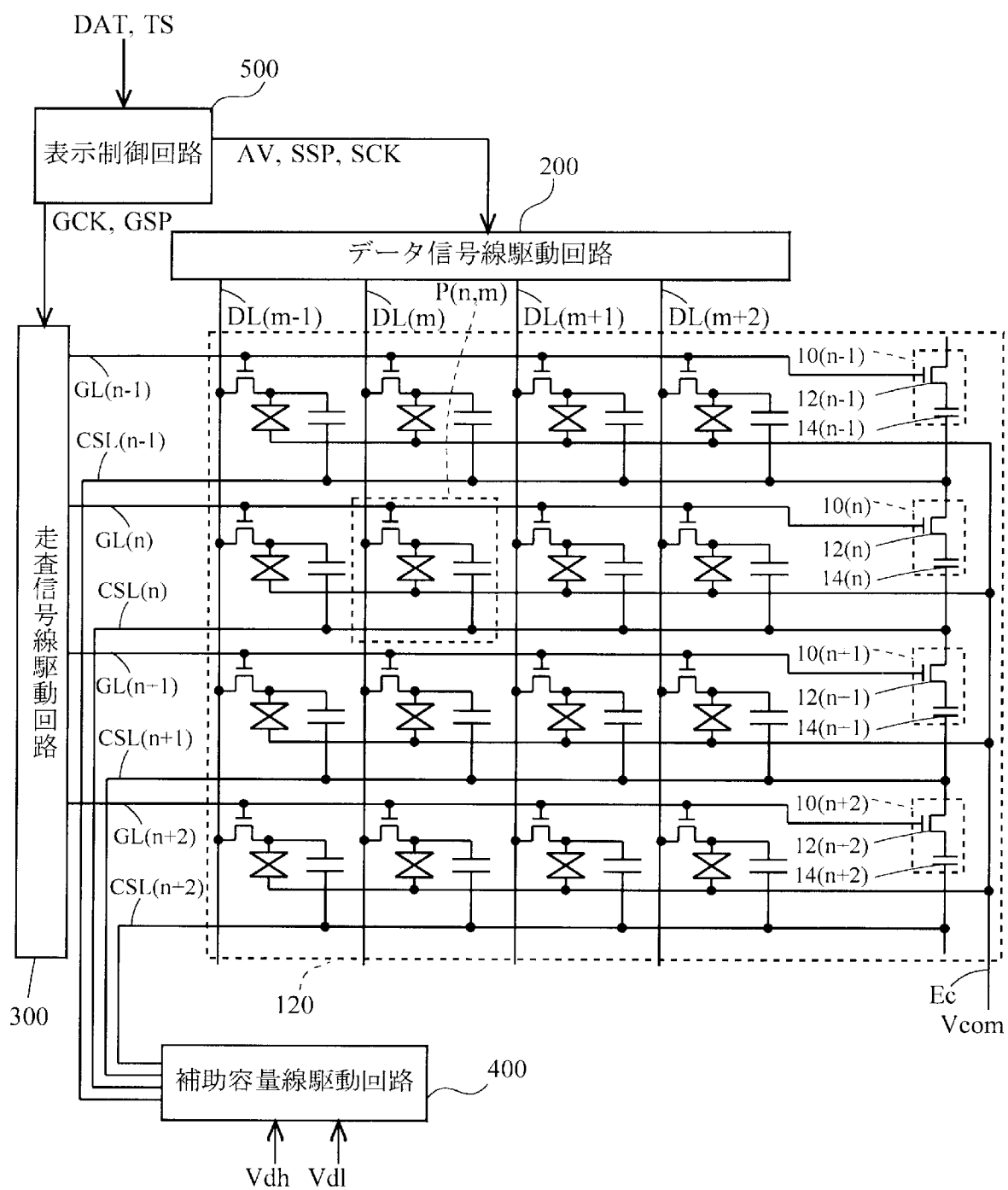
[図9]

610



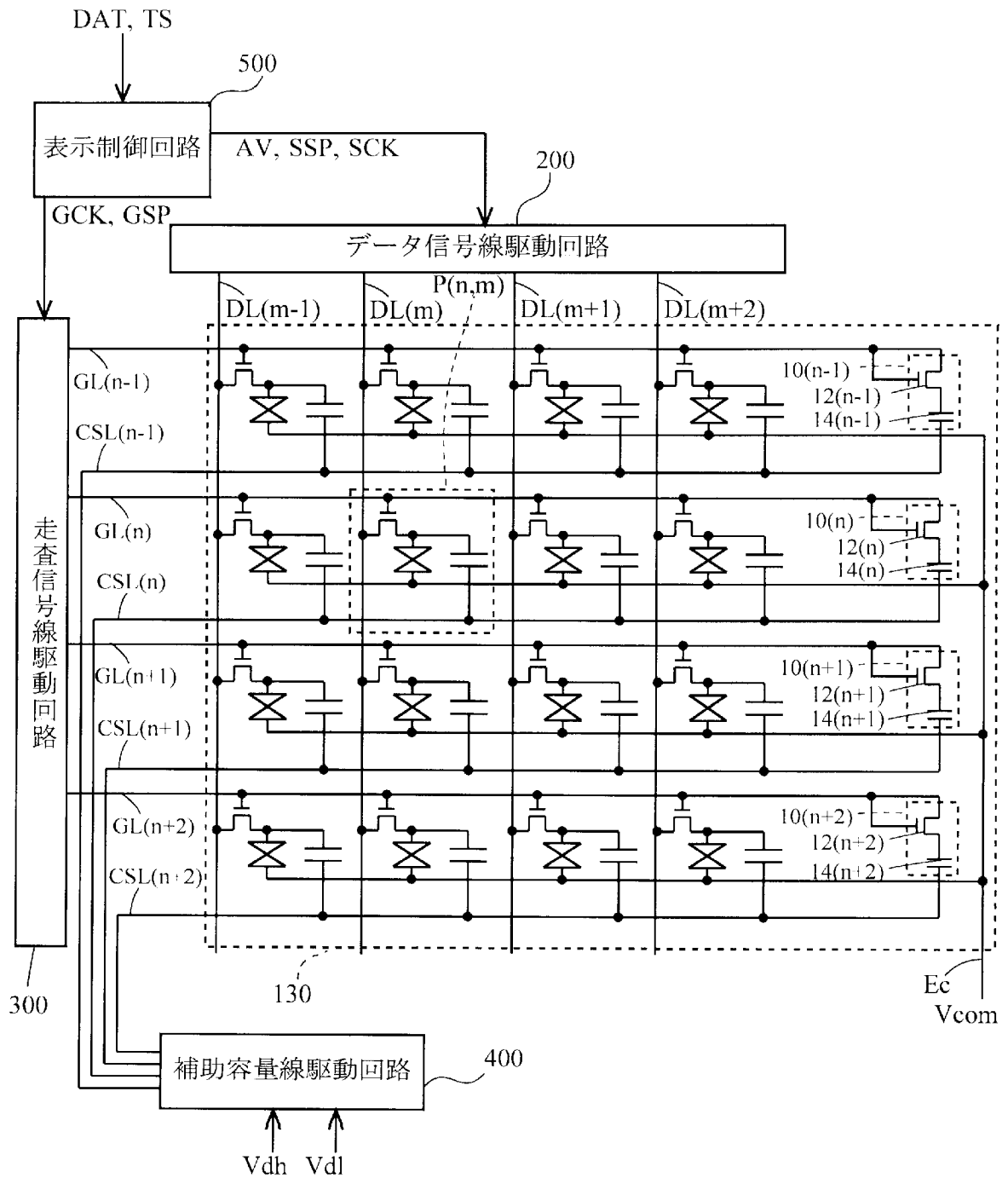


620

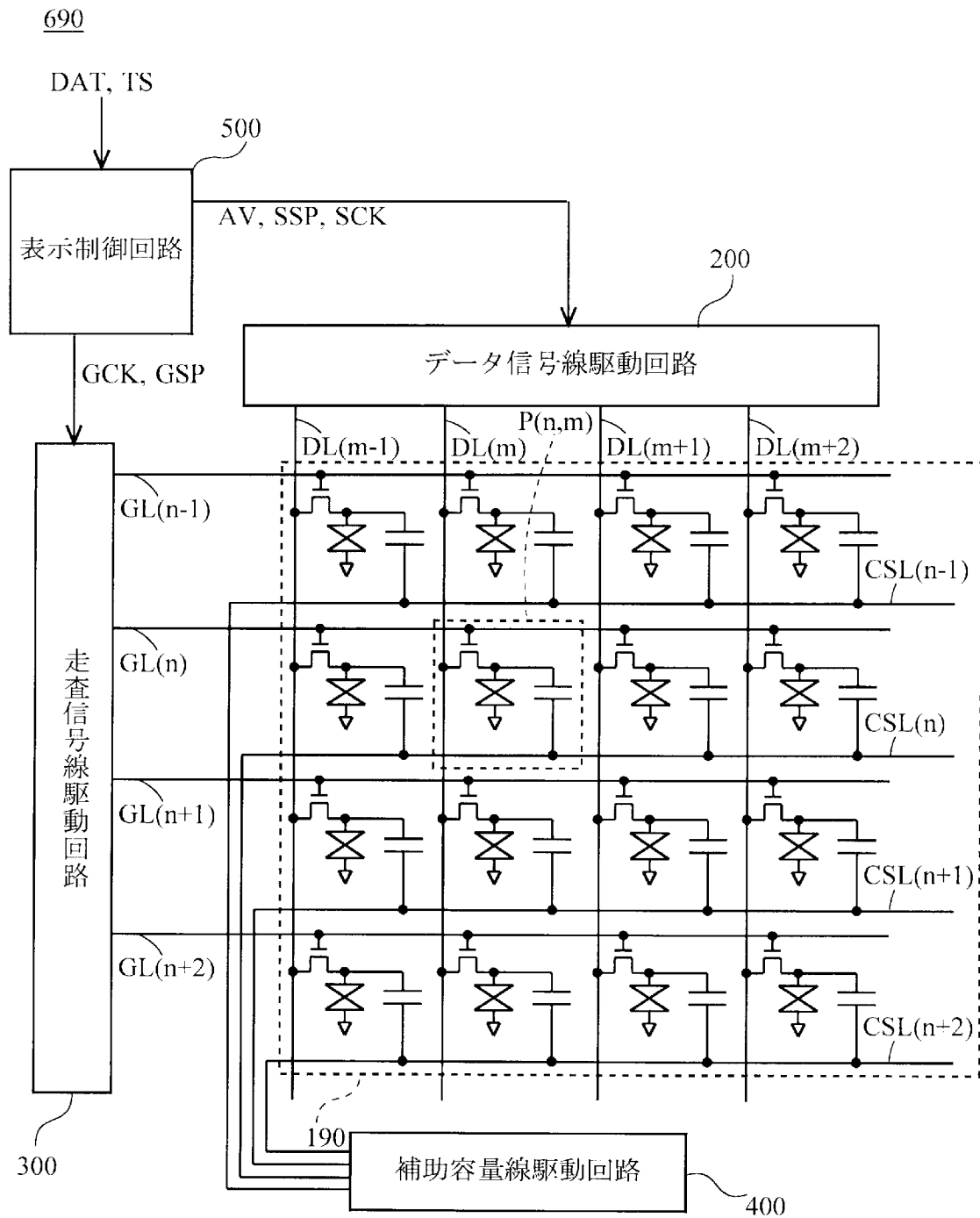


[図12]

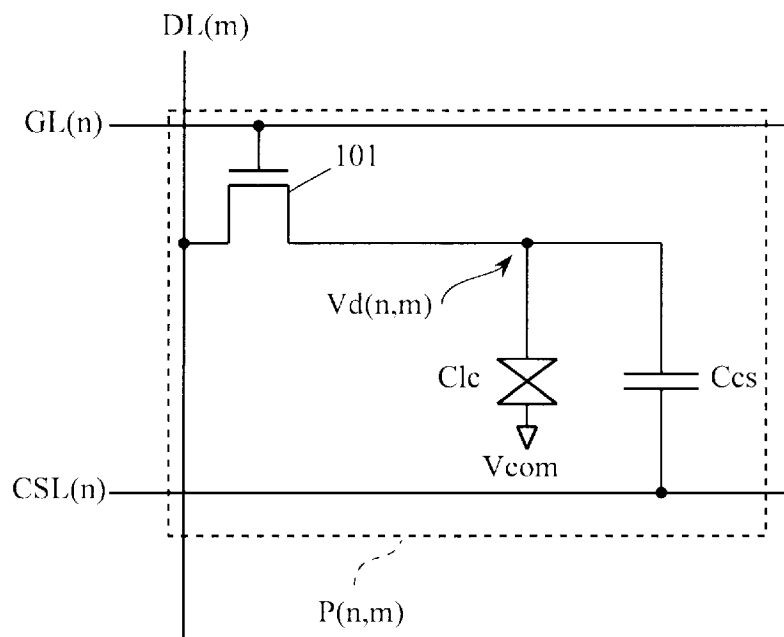
630



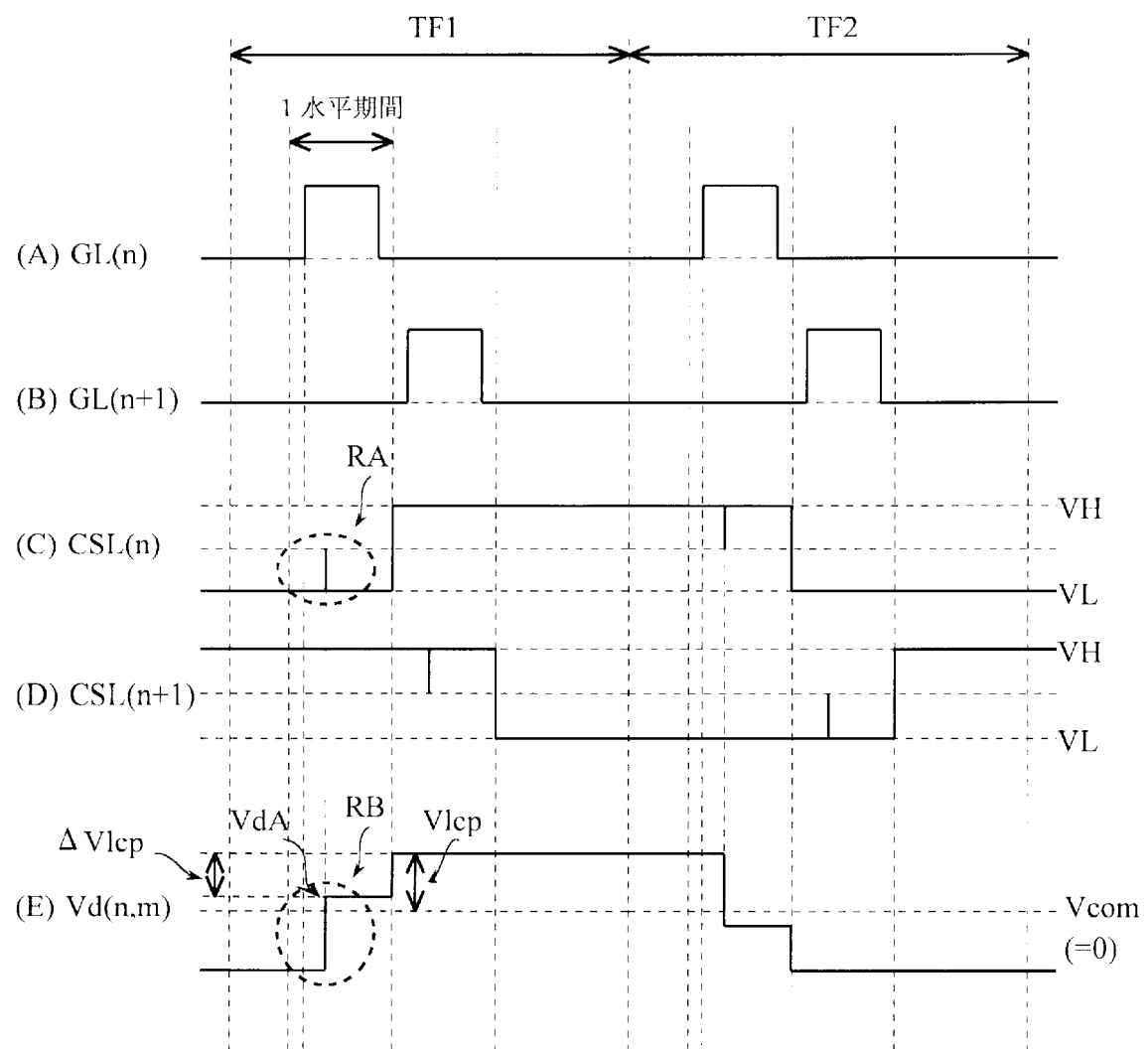
[図13]



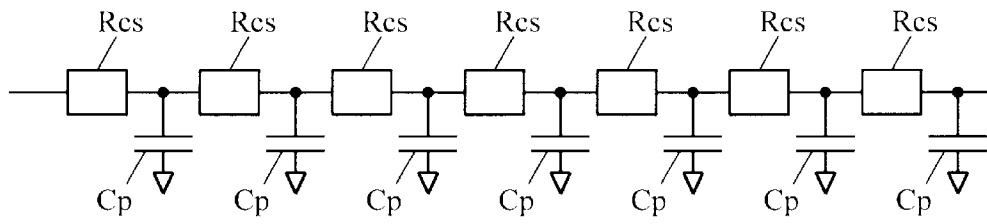
[図14]



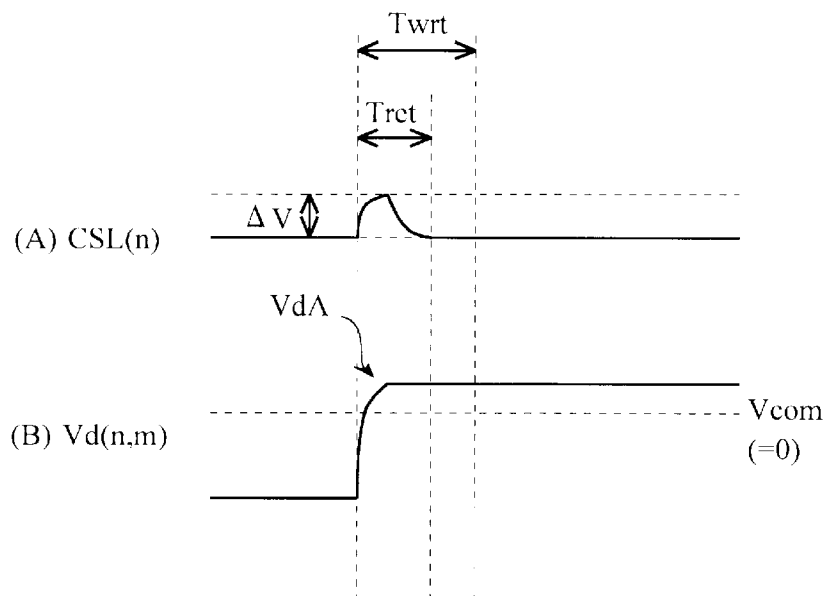
[図15]



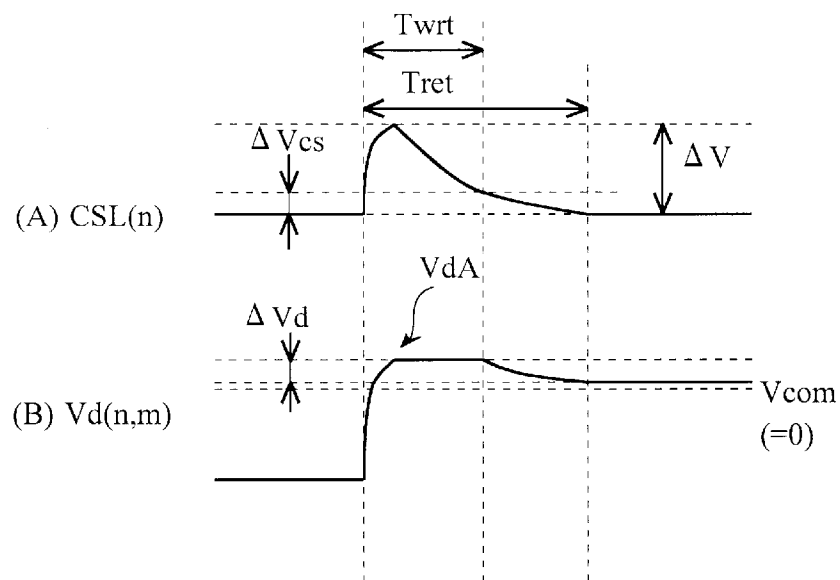
[図16]



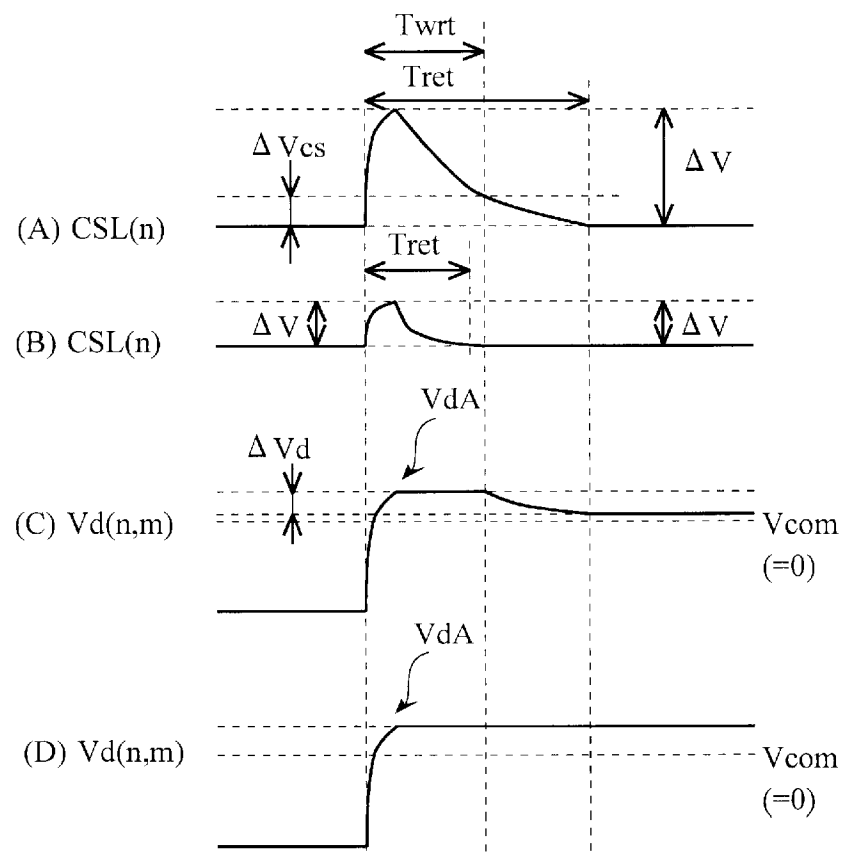
[図17]



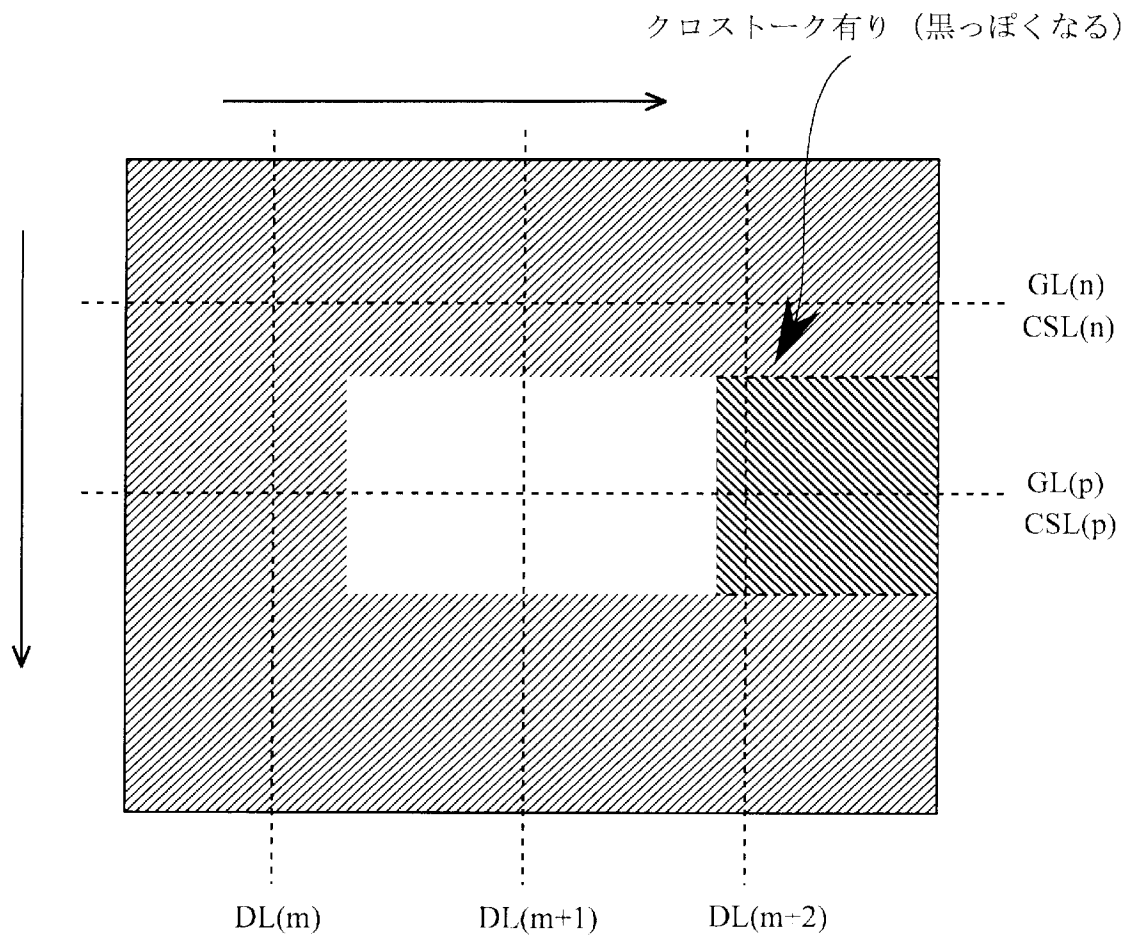
[図18]



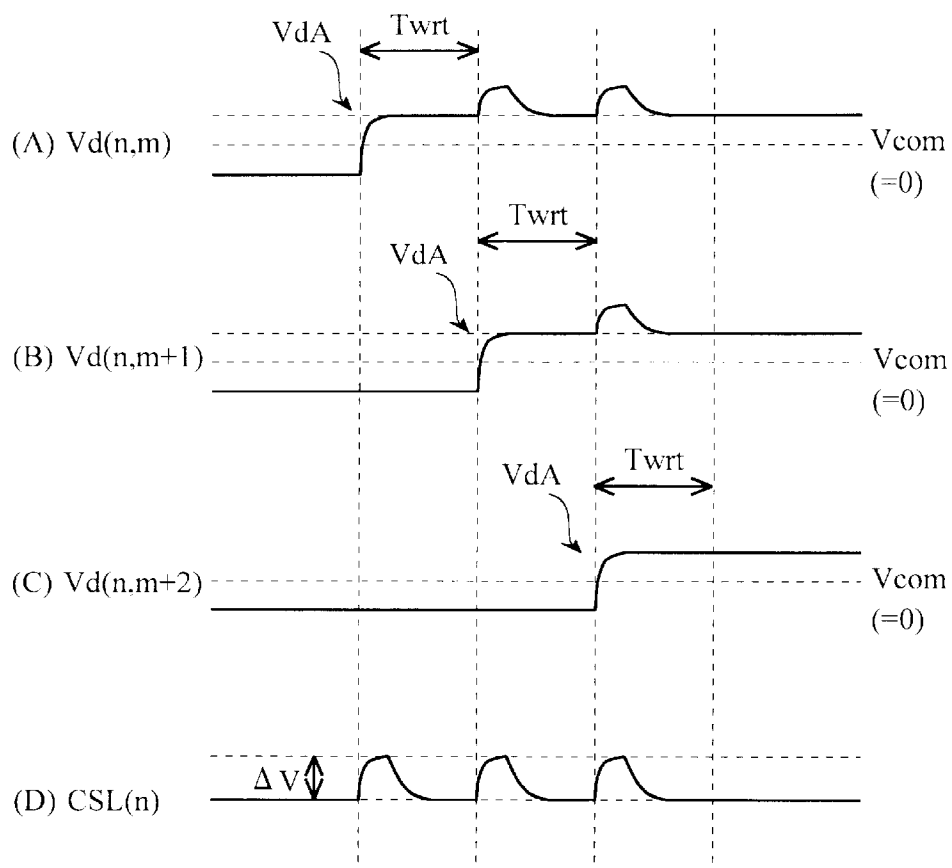
[図19]



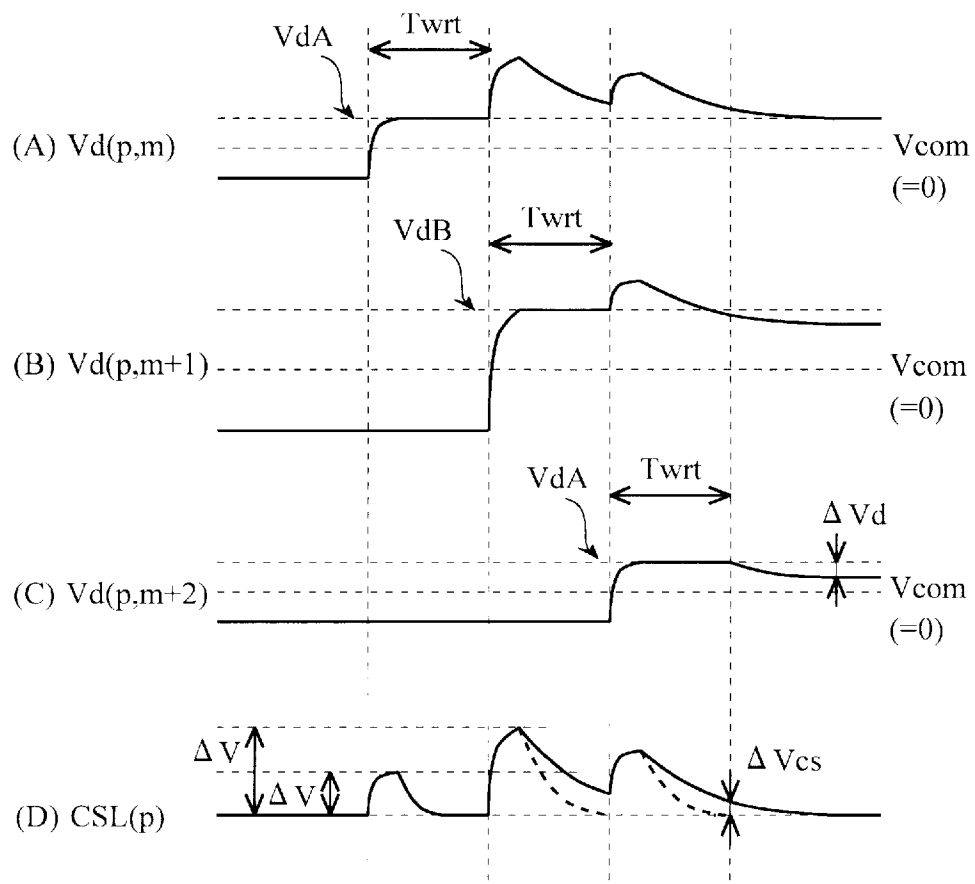
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053089

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-78588 A (Casio Computer Co., Ltd.), 23 March 2006 (23.03.2006), paragraphs [0075] to [0077]; fig. 5 to 6 (Family: none)	1-7
A	JP 2003-228345 A (Matsushita Electric Industrial Co., Ltd.), 15 August 2003 (15.08.2003), paragraphs [0023], [0024]; fig. 1 (Family: none)	1-7
A	JP 2009-134272 A (Casio Computer Co., Ltd.), 18 June 2009 (18.06.2009), paragraphs [0076] to [0079]; fig. 8 & US 2009/0109361 A1 & KR 10-2009-0045088 A & CN 101425280 A	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

29 February, 2012 (29.02.12)

Date of mailing of the international search report

13 March, 2012 (13.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053089

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-282206 A (Sharp Corp.), 12 October 2001 (12.10.2001), paragraphs [0047] to [0050]; fig. 6 (Family: none)	1-7
A	JP 2006-313319 A (Sanyo Epson Imaging Devices Corp.), 16 November 2006 (16.11.2006), fig. 3 to 5 & US 2006/0227096 A1 & KR 10-2007-0078096 A & CN 1845234 A	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-78588 A (カシオ計算機株式会社) 2006.03.23, 段落【0075】 - 【0077】, 図5-6 (ファミリーなし)	1-7
A	JP 2003-228345 A (松下電器産業株式会社) 2003.08.15, 段落 【0023】, 【0024】, 図1 (ファミリーなし)	1-7
A	JP 2009-134272 A (カシオ計算機株式会社) 2009.06.18, 段落【0076】 - 【0079】, 図8 & US 2009/0109361 A1 & KR 10-2009-0045088 A & CN 101425280 A	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29.02.2012

国際調査報告の発送日

13.03.2012

国際調査機関の名称及びあて先

日本国特許庁 (I S A/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

5061

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-282206 A (シャープ株式会社) 2001. 10. 12, 段落【0047】 - 【0050】, 図 6 (ファミリーなし)	1 - 7
A	JP 2006-313319 A (三洋エプソンイメージングデバイス株式会社) 2006. 11. 16, 図 3-5 & US 2006/0227096 A1 & KR 10-2007-0078096 A & CN 1845234 A	1 - 7