

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年8月22日(2023.8.22)

【国際公開番号】WO2023/042359

【出願番号】特願2022-522573(P2022-522573)

【国際特許分類】

H 0 1 L 2 9 / 7 8 (2 0 0 6 . 0 1)

【 F I 】

H 0 1 L 2 9 / 7 8 6 5 2 D

10

H 0 1 L 2 9 / 7 8 6 5 6 A

H 0 1 L 2 9 / 7 8 6 5 3 C

H 0 1 L 2 9 / 7 8 6 5 2 G

H 0 1 L 2 9 / 7 8 6 5 2 Q

H 0 1 L 2 9 / 7 8 6 5 2 L

H 0 1 L 2 9 / 7 8 6 5 2 M

H 0 1 L 2 9 / 7 8 6 5 2 F

【手続補正書】

【提出日】令和4年4月13日(2022.4.13)

20

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、シリコンからなり第1導電型の不純物を含む半導体基板と、前記半導体基板上に接して形成され、前記半導体基板の前記第1導電型の不純物の濃度より低い濃度の前記第1導電型の不純物を含む低濃度不純物層と、前記低濃度不純物層の表面に形成された前記第1導電型と異なる第2導電型のボディ領域と、前記ボディ領域の表面に形成された前記第1導電型のソース領域と、前記ソース領域と電氣的に接続されたソース電極と、前記半導体基板上面と平行な第1の方向に延在し、かつ前記第1の方向と直交する第2の方向において等間隔に、前記低濃度不純物層上面から前記ボディ領域を貫通して前記低濃度不純物層の一部までの深さに形成された複数のトレンチと、前記複数のトレンチの表面の少なくとも一部を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート導体と、前記ボディ領域と前記ソース電極とを電氣的に接続する接続部と、を有する縦型電界効果トランジスタを備え、前記縦型電界効果トランジスタには、前記第1の方向において、前記ソース領域と前記接続部とが交互かつ周期的に設置されており、前記第2の方向において隣り合う前記トレンチとトレンチとの間の距離を $L \times m$ [μm]、1の前記トレンチの内部幅を $L \times r$ [μm] としたとき、 $L \times m \quad L \times r \quad 0.20 \mu\text{m}$ が成り立ち、前記縦型電界効果トランジスタの仕様最大電圧を V_{ss} [V] とするとき、前記第1の方向における1の前記ソース領域の長さ L_S [μm] と、前記第1の方向における1の前記接続部の長さ L_B [μm] が

40

50

$L B < 0 . 3 5 \mu m$
かつ $L S = 0 . 1 2 \times V s s \times L x m - 0 . 7 6 \times L x m - 0 . 0 5 \times V s s + 1 . 2$
 $6 [\mu m]$ の関係にある

半導体装置。

【請求項 2】

$L B < 0 . 3 0 \mu m$ である

請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 の方向において隣り合う前記トレンチとトレンチとの間の距離 $L x m [\mu m]$ は、前記第 1 の方向における前記接続部の長さ $L B [\mu m]$ 以下であり、

10

前記第 1 の方向における任意の位置において、前記トレンチから隣接する別の前記トレンチまでの間の領域を、前記第 1 の方向と前記第 2 の方向とに直交する第 3 の方向の任意の位置にて前記第 2 の方向に沿って見たとき、導電型の異なる複数の層が交互に備わることがない

請求項 1 に記載の半導体装置。

【請求項 4】

前記縦型電界効果トランジスタの前記接続部の前記第 1 の方向における長さは、前記ゲート導体へ仕様の値の電圧を印加して前記縦型電界効果トランジスタに仕様の値の電流を流すときの前記縦型電界効果トランジスタのオン抵抗が前記接続部の長さをさらに短くしても著しく低減することのない収束域にある

20

請求項 3 に記載の半導体装置。

【請求項 5】

$L x m = L x r / 2$ が成り立つ

請求項 3 に記載の半導体装置。

【請求項 6】

前記第 1 の方向と前記第 2 の方向とに直交する第 3 の方向において、

前記ソース領域は、前記低濃度不純物層の上面側に位置し、前記第 1 の方向における長さが一定である上部側部分と、前記ポディ領域との境界側に位置し、前記第 1 の方向における長さが変化する底部側部分とを有し、

前記第 1 の方向における前記上部側部分の長さを上部ソース長さとし、前記第 1 の方向における前記底部側部分の長さが最大となる長さを底部ソース長さとしたとき、

30

前記底部ソース長さは、前記ソース領域の前記第 3 の方向における中央よりも底部側における前記底部側部分の長さであり、

前記底部ソース長さは、前記上部ソース長さよりも長く、前記ソース領域の長さは、前記底部ソース長さとも一致する

請求項 1 に記載の半導体装置。

【請求項 7】

1 の前記ソース領域の前記上部側部分と前記底部側部分は、前記第 1 の方向において、中央の位置が同じである

請求項 6 に記載の半導体装置。

40

【請求項 8】

前記第 1 の方向における 1 の前記ソース領域の長さの 1 の前記接続部の長さに対する比は、前記上部側において 1 未満であり、前記底部側において 1 以上である

請求項 6 に記載の半導体装置。

【請求項 9】

前記上部側において、

前記第 1 の方向における 1 の前記ソース領域の長さの 1 の前記接続部の長さの差は、 $0 . 2 0 \mu m$ 以下である

請求項 8 に記載の半導体装置。

【請求項 10】

50

前記ソース領域の前記上部側部分の不純物濃度は、当該ソース領域の前記底部側部分の不純物濃度よりも高い

請求項 6 に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

上記の課題を解決するために、本開示に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、シリコンからなり第 1 導電型の不純物を含む半導体基板と、前記半導体基板上に接して形成され、前記半導体基板の前記第 1 導電型の不純物の濃度より低い濃度の前記第 1 導電型の不純物を含む低濃度不純物層と、前記低濃度不純物層の表面に形成された前記第 1 導電型と異なる第 2 導電型のボディ領域と、前記ボディ領域の表面に形成された前記第 1 導電型のソース領域と、前記ソース領域と電氣的に接続されたソース電極と、前記半導体基板上面と平行な第 1 の方向に延在し、かつ前記第 1 の方向と直交する第 2 の方向において等間隔に、前記低濃度不純物層上面から前記ボディ領域を貫通して前記低濃度不純物層の一部までの深さに形成された複数のトレンチと、前記複数のトレンチの表面の少なくとも一部を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート導体と、前記ボディ領域と前記ソース電極とを電氣的に接続する接続部と、を有する縦型電界効果トランジスタを備え、前記縦型電界効果トランジスタには、前記第 1 の方向において、前記ソース領域と前記接続部とが交互かつ周期的に設置されており、前記第 2 の方向において隣り合う前記トレンチとトレンチとの間の距離を $L \times m$ [μm]、1 の前記トレンチの内部幅を $L \times r$ [μm] としたとき、 $L \times m - L \times r = 0.20 \mu\text{m}$ が成り立ち、前記縦型電界効果トランジスタの仕様最大電圧を V_{SS} [V] とするとき、前記第 1 の方向における 1 の前記ソース領域の長さ L_S [μm] と、前記第 1 の方向における 1 の前記接続部の長さ L_B [μm] が $L_B < 0.35 \mu\text{m}$ かつ $L_S = 0.12 \times V_{SS} \times L \times m - 0.76 \times L \times m - 0.05 \times V_{SS} + 1.26$ [μm] の関係にある半導体装置であることを特徴とする。

【手続補正 3】

【補正対象書類名】図面

【補正対象項目名】図 10

【補正方法】変更

【補正の内容】

10

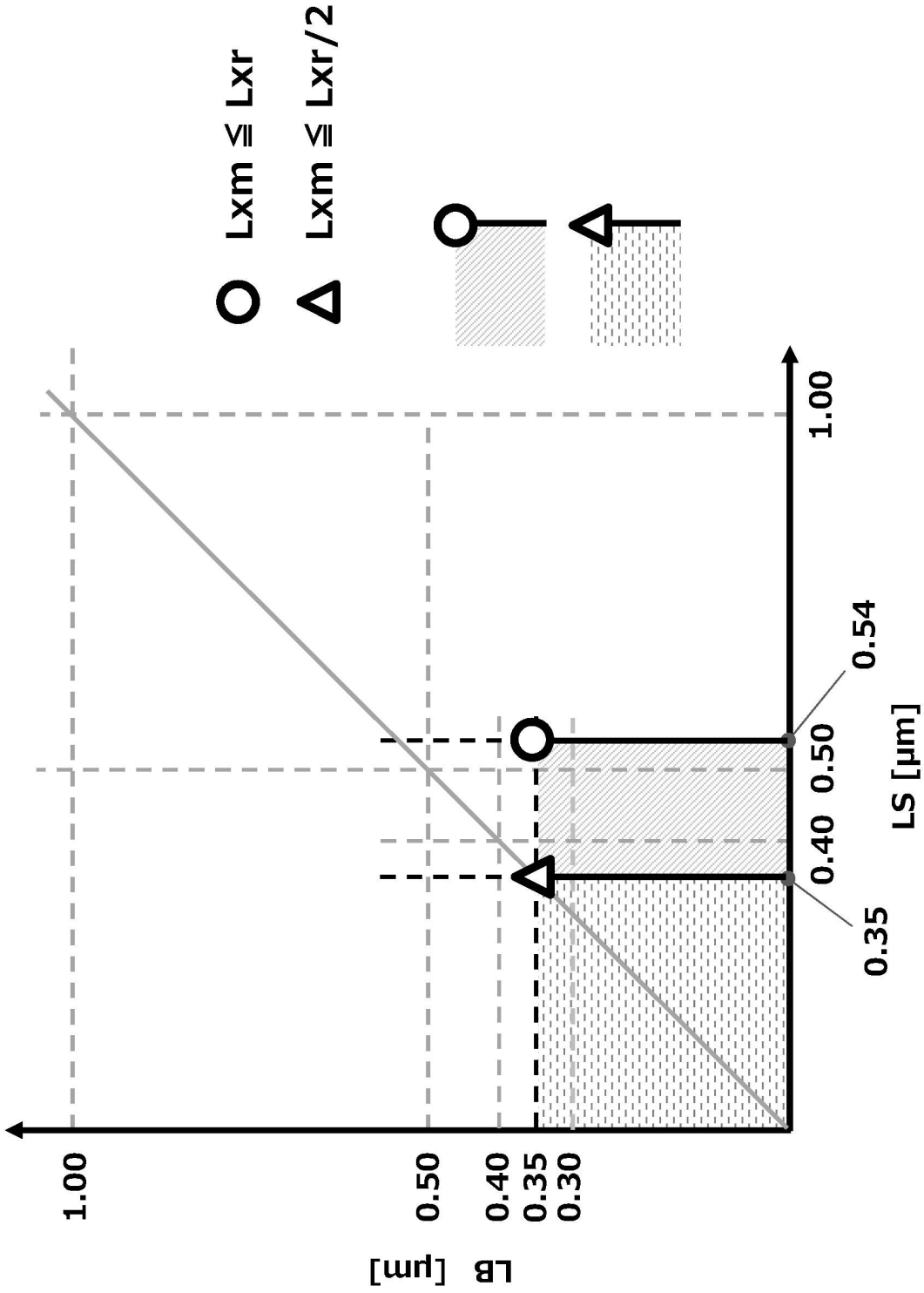
20

30

40

50

【 1 0 】



10

20

30

40

50