



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I762501 B

(45) 公告日：中華民國 111 (2022) 年 05 月 01 日

(21) 申請案號：106126310 (22) 申請日：中華民國 106 (2017) 年 08 月 04 日

(51) Int. Cl. : **C30B25/20 (2006.01)** **C30B29/40 (2006.01)**
H01L21/02 (2006.01)

(30) 優先權：2016/08/05 美國 62/371,416

(71) 申請人：美商克若密斯股份有限公司 (美國) QROMIS, INC. (US)
 美國

(72) 發明人：巴斯賽利 山姆 BASCERI, CEM (US)；歐迪諾布魯朵夫 弗拉基米爾
 ODNOLYUDOV, VLADIMIR (US)

(74) 代理人：李世章；彭國洋

(56) 參考文獻：
 US 6328796B1 US 2015/0311084A1

審查人員：李明達

申請專利範圍項數：20 項 圖式數：5 共 32 頁

(54) 名稱

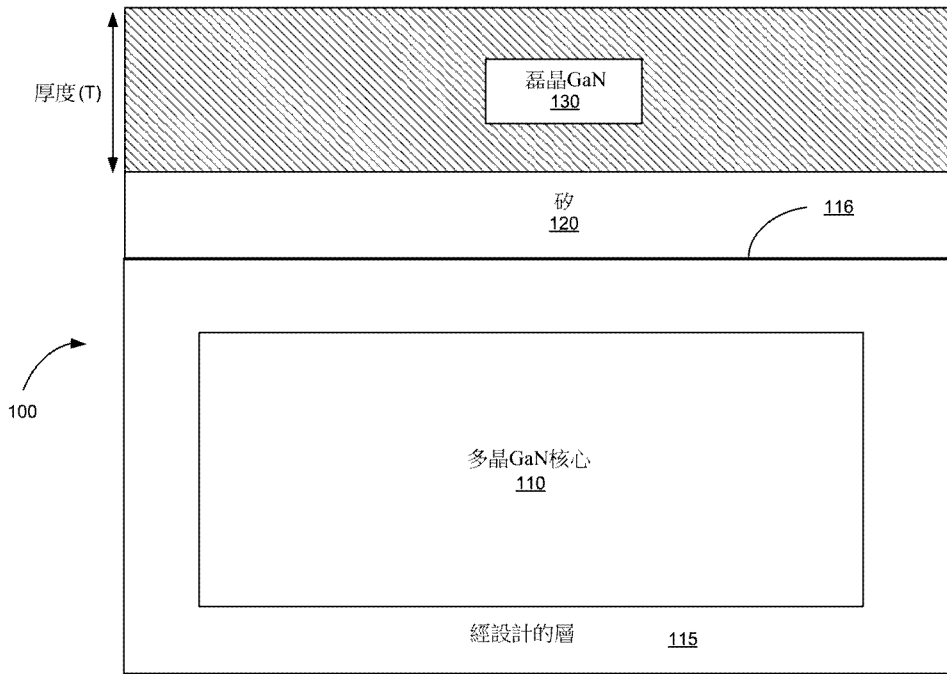
使用熱匹配基板的磊晶氮化鎵材料的生長

(57) 摘要

一種經設計的基板，包括支撐結構，該支撐結構包括多晶陶瓷核心、黏著層、及阻障層，該黏著層耦接該多晶陶瓷核心，該阻障層耦接該黏著層。該經設計的基板亦包括：耦接該支撐結構的黏結層、耦接該黏結層的實質單晶層、及耦接該實質單晶層的磊晶氮化鎵層。

An engineered substrate includes a support structure comprising a polycrystalline ceramic core, an adhesion layer coupled to the polycrystalline ceramic core, and a barrier layer coupled to the adhesion layer. The engineered substrate also includes a bonding layer coupled to the support structure, a substantially single crystal layer coupled to the bonding layer, and an epitaxial gallium nitride layer coupled to the substantially single crystal layer.

指定代表圖：



符號簡單說明：

100 . . . 經設計的基板結構

110 . . . 多晶陶瓷核心

115 . . . 經設計的層

116 . . . 頂表面

120 . . . 實質單晶矽層

130 . . . 磊晶 GaN 層

T . . . 厚度

第1A圖



申請日：106年8月4日

I762501

【發明摘要】

IPC分類：C30B 25/20 (2006.01)
C30B 29/40 (2006.01)
H01L 21/02 (2006.01)

【中文發明名稱】使用熱匹配基板的磊晶氮化鎵材料的生長

【英文發明名稱】GROWTH OF EPITAXIAL GALLIUM NITRIDE MATERIAL

USING A THERMALLY MATCHED SUBSTRATE

【中文】

一種經設計的基板，包括支撐結構，該支撐結構包括多晶陶瓷核心、黏著層、及阻障層，該黏著層耦接該多晶陶瓷核心，該阻障層耦接該黏著層。該經設計的基板亦包括：耦接該支撐結構的黏結層、耦接該黏結層的實質單晶層、及耦接該實質單晶層的磊晶氮化鎵層。

【英文】

An engineered substrate includes a support structure comprising a polycrystalline ceramic core, an adhesion layer coupled to the polycrystalline ceramic core, and a barrier layer coupled to the adhesion layer. The engineered substrate also includes an bonding layer coupled to the support structure, a substantially single crystal layer coupled to the bonding layer, and an epitaxial gallium nitride layer coupled to the substantially single crystal layer.

【指定代表圖】第（ 1A ）圖。

【代表圖之符號簡單說明】

1 0 0 經設計的基板結構

1 1 0 多晶陶瓷核心

1 1 5 經設計的層

1 1 6 頂表面

1 2 0 實質單晶矽層

PI-26527

第 1 頁(發明摘要)

I762501
申請案號：

130 磊晶 GaN 層

T 厚度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】使用熱匹配基板的磊晶氮化鎵材料的生長

【英文發明名稱】GROWTH OF EPITAXIAL GALLIUM NITRIDE MATERIAL USING A THERMALLY MATCHED SUBSTRATE

【技術領域】

【0001】本申請案主張美國臨時專利申請案第62/371,416號之優先權，該美國臨時專利申請案是於2016年8月5日提出申請，發明名稱為「使用熱匹配基板的磊晶氮化鎵材料的生長（Growth of Epitaxial Gallium Nitride Material Using a Thermally Matched Substrate）」，該美國臨時專利申請案之揭露內容以其全體透過參考形式併入本文，以用於所有目的。

【0002】本案揭露內容關於使用熱匹配基板的磊晶氮化鎵材料的生長。

【先前技術】

【0003】用於磊晶生長氮化鎵（GaN）層的一些習知方法利用藍寶石基板。利用該等磊晶GaN層之示範性裝置為LED元件，該等LED元件用在照明、電腦螢幕、及其他顯示裝置中。

【0004】藍寶石基板上氮化鎵層的生長是異質磊晶（heteroepitaxial）生長製程，因為基板與磊晶層是由不同材料所構成。由於異質磊晶生長製程，所以磊晶生長的材料可能顯現各種不利的效應，包括均勻度減少及與

磊晶層之電子/光學性質相關的度量 (metrics) 減少。因此，此技術中需要與磊晶生長製程及基板結構相關的方法與系統。

【發明內容】

【0005】 本發明大體上關於經設計 (engineered) 的基板結構。更詳言之，本發明關於適合用於磊晶生長厚氮化鎵 (GaN) 層 (例如厚度大於 $10\ \mu\text{m}$) 的方法與系統。僅為例示，本發明已應用至利用經設計之支撐結構的方法與系統，該經設計之支撐結構特徵在於實質上匹配生長於該結構上的厚 GaN 磊晶層的熱膨脹係數 (CTE) (例如，線性熱膨脹係數)。該等方法與技術可應用至各種半導體處理操作。

【0006】 根據本發明的一實施例，提供一種經設計的基板。該經設計的基板結構包括支撐結構，該支撐結構包括多晶陶瓷核心、黏著 (adhesion) 層、及阻障層，該黏著層耦接該多晶陶瓷核心，該阻障層耦接該黏著層。該經設計的基板結構亦包括：耦接該支撐結構的黏結 (bonding) 層、耦接該黏結層的實質單晶層、及耦接該實質單晶層的磊晶氮化鎵層。

【0007】 根據本發明的另一實施例，提供經設計的基板。該經設計的基板包括支撐結構，該支撐結構包括多晶陶瓷核心、黏著層、及阻障層，該黏著層耦接該陶瓷核心，該阻障層耦接該黏著層。該經設計的基板亦包括耦接該支撐結構的氧化物層及耦接該氧化物層的單晶層。

【0008】 該多晶陶瓷核心可包括多晶氮化鎵、多晶氮化鋁鎵、多晶氮化鋁、及一或多種摻質，或上述物質之組合。該一或多種摻質可包括鈦或氮化鈦之至少一者。

【0009】 根據本發明之特定實施例，磊晶結構包括多晶陶瓷核心及複數個經設計的層，該多晶陶瓷核心是以相對溫度分佈曲線（temperature profile）的第一CTE為特徵，該複數個經設計的層耦接該多晶陶瓷核心。該磊晶結構亦包括耦接該複數個經設計的層的其中一或多者的黏結層及耦接該黏結層的實質單晶層。該磊晶結構進一步包括耦接該實質單晶層的GaN磊晶層。該GaN磊晶層是以相對溫度分佈曲線的第二CTE為特徵，該相對溫度分佈曲線的第二CTE與該相對溫度分佈曲線的第一CTE之差異為在300 K至1400 K的溫度範圍上小於0.5 ppm/K。

【0010】 一實施例中，該多晶陶瓷核心包括多晶氮化鎵、多晶氮化鋁鎵、或多晶氮化鋁之至少一者及一或多種摻質。該複數個經設計的層可包括黏著層與阻障層。該實質單晶層可包括單晶矽層或單晶氮化鎵層之至少一者。特定實施例中，GaN磊晶層是以介於10 μm至100 μm之間的厚度為特徵。

【0011】 根據本發明的另一特定實施例，提供一種磊晶結構。該磊晶結構包括以相對溫度分佈曲線的第一CTE為特徵的多晶陶瓷核心及耦接該多晶陶瓷核心的複數個經設計的層。該磊晶結構亦包括耦接該複數個經設計的層的其中一或多者的黏結層以及耦接該黏結層的實質單晶

層。該磊晶結構進一步包括耦接該實質單晶層的 GaN 磊晶層。該 GaN 磊晶層是以相對溫度分佈曲線的第二 CTE 為特徵，該相對溫度分佈曲線的第二 CTE 與該相對溫度分佈曲線的第一 CTE 之差異在 300 K 至 1400 K 的溫度範圍上小於 10%。

【0012】 該 GaN 磊晶層可以相對溫度分佈曲線的第二 CTE 為特徵，該相對溫度分佈曲線的第二 CTE 與該相對溫度分佈曲線的第一 CTE 之差異在 300 K 至 1400 K 的溫度範圍上小於 5%。此外，該 GaN 磊晶層可以相對溫度分佈曲線的第二 CTE 為特徵，該相對溫度分佈曲線的第二 CTE 與該相對溫度分佈曲線的第一 CTE 之差異在 700 K 至 1400 K 的溫度範圍上小於 5%，且在 300 K 至 700 K 的溫度範圍上小於 4%。

【0013】 諸多勝於習知技術的優點是透過本發明達成。例如，本發明的實施例提供實質上無破裂及剝離的厚 GaN 層（例如厚度為 10 μm 至 100 μm ）的磊晶生長。此種厚、低差排的層可以是廣泛應用的基礎，以下述者為開端：垂直電力元件構造物、用於雷射應用的低差排層、寬帶隙積體電路、或大直徑（6 吋、8 吋、12 吋、及超過上述尺寸）的獨立 GaN 晶圓。連同下文及附圖更詳細地描述本發明的該等及其他實施例伴隨其優點與特徵。

【圖式簡單說明】

【0014】 第 1A 圖是簡化示意圖，說明根據本發明之一實施例的包括多晶 GaN 核心的經設計的基板結構。

【0015】 第1B圖是簡化示意圖，說明根據本發明之另一實施例的包括多晶Ga₂N核心的經設計的基板結構。

【0016】 第2A圖是簡化示意圖，說明根據本發明之一實施例的包括多晶AlGa₂N核心的經設計的基板結構。

【0017】 第2B圖是簡化示意圖，說明根據本發明之另一實施例的包括多晶AlGa₂N核心的經設計的基板結構。

【0018】 第3A圖是簡化示意圖，說明根據本發明之一實施例的包括具摻質的多晶AlN核心的經設計的基板結構。

【0019】 第3B圖是簡化示意圖，說明根據本發明之另一實施例的包括具摻質的多晶AlN核心的經設計的基板結構。

【0020】 第4圖是簡化示意圖，說明根據本發明之另一實施例的經設計的基板結構的經設計的層。

【0021】 第5圖是圖表，說明各種材料的隨溫度變化之熱膨脹係數。

【實施方式】

【0022】 本發明的實施例關於經設計的基板結構。更詳言之，本發明關於適合用於磊晶生長厚氮化鎵（Ga₂N）層（例如厚度大於10 μm）的方法與系統。僅為例示，本發明已應用至利用經設計之支撐結構的方法與系統，該經設計之支撐結構特徵在於實質上匹配生長於該結構上的厚Ga₂N磊晶層的熱膨脹係數（CTE）。該等方法與技術可應用至各種半導體處理操作。

【0023】 第5圖是圖表，說明針對各種材料的隨溫度變化之熱膨脹係數。在利用由經設計的層環繞的氮化鋁（AlN）陶瓷核心的經設計的基材中，陶瓷核心與磊晶生長的Ga₂N材料之間的熱不匹配可造成磊晶生長的Ga₂N材料在生長製程完成之後破裂及剝離。

【0024】 參考第5圖，在大約等於生長溫度（例如，範圍為1,000°C的溫度）的溫度下，多晶AlN的CTE實質上匹配磊晶生長的Ga₂N的CTE。然而，發明人已確定，在厚Ga₂N層生長（例如，厚度大於10μm）之後，後生長結構的冷卻期間（尤其是從約300°C（即573K）至室溫（即300K）的溫度範圍中，如第5圖中所說明）的CTE不匹配可能造成磊晶生長的Ga₂N層破裂及/或剝離。

【0025】 因此，如本文所述，本發明的實施例利用在實質溫度範圍上（包括生長溫度及後生長冷卻溫度）實質上CTE匹配磊晶生長Ga₂N層的多晶陶瓷核心。基板結構與磊晶層之間的CTE匹配減少室溫至攝氏數百度之範圍內的溫度下後生長冷卻應力的水準（例如減少大於2的倍數），而使得Ga₂N層生長得比使用習知技術可得的厚。作為範例，本發明之實施例能使Ga₂N層在厚度上生長至多達及超過100μm。

【0026】 第1A圖是簡化示意圖，說明根據本發明之一實施例的包括多晶Ga₂N核心的經設計的基板結構。經設計之基板結構100具有包括多晶Ga₂N的多晶陶瓷核心110。該包括多晶Ga₂N的多晶陶瓷核心具有與Ga₂N磊晶

層 130 實質上相同的 CTE 性質。核心的厚度可為在 100 至 1,500 μm 的量級，例如 725 μm 。參考第 5 圖，多晶 GaN 所具有的相對於溫度分佈曲線的 CTE 緊密匹配結晶 GaN 的相對於溫度分佈曲線的 CTE。

【0027】 如第 5 圖中所說明，a 軸上生長的 GaN 的 CTE 範圍是 300 K 時約 4.4 ppm/K 至 1400 K 時約 6.1 ppm/K。多晶 GaN 的 CTE 範圍是 300 K 時約 4.2 ppm/K 至 1400 K 時約 5.8 ppm/K。GaN a 軸的 CTE 值與多晶 GaN 之 CTE 值之間的差異實質上恆定且等於：在從 700 K 至 1400 K 的溫度上約 0.3 ppm/K。當溫度從 700 K 降至 300 K，CTE 差異減少到約 0.2 ppm/K。因此，GaN a 軸與多晶 GaN 的特徵在於這樣的 CTE 差異：在 300 K 至 700 K 的溫度範圍上小於 4%，且在 700 K 至 1400 K 的溫度範圍上小於 5%。

【0028】 與多晶 GaN 的 CTE 值對比，儘管多晶 AlN 之 CTE 與 GaN a 軸之 CTE 實質上在 1400 K 相等（即，GaN a 軸的 CTE 在 1400 K 為約 6.1 ppm/K，多晶 AlN 的 CTE 在 1400 K 為約 6.2 ppm/K），但該等 CTE 值在 300 K 有明顯差異（即，GaN a 軸的 CTE 在 300 K 為約 4.4 ppm/K，多晶 AlN 的 CTE 在 3400 K 為約 2.8 ppm/K）。GaN a 軸的 CTE 值與多晶 AlN 的 CTE 值之間的差異在從 1000 K 至 1400 K 的溫度上實質上小於 0.1 ppm/K。當溫度從 1000 K 降至 300 K，CTE 差異增加至約 1.6 ppm/K。因此，儘管 GaN a 軸與多晶 AlN 特

徵在於對 1000 K 至 1400 K 之溫度範圍而言為可忽略的 CTE 差異（約 0.1 ppm/K / 約 6 ppm/K = 約 2%），但當溫度減少到室溫時 CTE 差異明顯（即，從 900 K 下約 0.2 ppm/K / 約 6 ppm/K = 約 3% 至在 300 K 下約 1.6 ppm/K / 約 4 ppm/K = 約 40%）。

【0029】 因此，利用多晶 GaN 核心的本發明的實施例可特徵在於多晶陶瓷核心與磊晶 GaN 材料之間的 CTE 差異在從生長溫度至室溫的溫度範圍上小於 40%。一實施例中，多晶陶瓷核心與磊晶 GaN 材料之間的 CTE 差異在從 300 K 至 1400 K 的溫度範圍上小於 10%。另一實施例中，多晶陶瓷核心與磊晶 GaN 材料生長之間的 CTE 差異在從 300 K 至 1400 K 的溫度範圍上小於 5%。溫度至室溫。在又一實施例中。多晶陶瓷核心與磊晶 GaN 材料生長之間的 CTE 差異在包括磊晶生長溫度（即 700 K 至 1400 K）之給定溫度範圍上小於約 5%，且在包括室溫及後生長冷卻製程之給定溫度範圍（即 300 K 至 700 K）上小於約 4%。

【0030】 一些實施例中，不利用百分比對多晶陶瓷核心之 CTE 分佈曲線及磊晶生長 GaN 之 CTE 分佈曲線進行比較，而是該多晶陶瓷核心之 CTE 可在預定溫度範圍（例如從 300 K 至 1400 K 或 300 K 至 1200 K）上在磊晶生長（例如單晶）GaN 的預定值內（例如 0.5 ppm/K 或甚至 0.25 ppm/K ）。

【0031】 一或多個經設計的層115沉積至包括Ga₂N的多晶陶瓷核心上。與經設計的層115相關的額外敘述在下文中與第4圖相關提供。

【0032】 實質單晶矽層120加至經設計的層115的頂表面116。在形成磊晶Ga₂N層130的磊晶生長製程期間，實質單晶矽層120適合用作為生長層。一些實施例中，磊晶Ga₂N層130具有範圍從約10 μ m至100 μ m的厚度(T)，該磊晶Ga₂N層可用作為光電或電力元件中所用的複數層中的一層。一實施例中，實質單晶矽層120包括單晶矽層，該單晶矽層使用層轉移製程附接經設計的層115的頂表面116。如上文所論述，包括Ga₂N的多晶陶瓷核心110與磊晶Ga₂N層130之間的緊密CTE匹配使磊晶Ga₂N層在生長完成及冷卻製程之後維持適當的材料性質。

【0033】 第1B圖是簡化的示意圖，說明根據本發明之另一實施例的包括多晶Ga₂N核心的經設計的基板結構。第1B圖中所說明的經設計的基板結構與第1A圖中所說明的經設計的基板結構有一些類似之處，與第1A圖相關提供的敘述只要合適皆可應用至第1B圖。

【0034】 第1B圖中，實質單晶Ga₂N層140加至經設計的層115的頂表面116。在形成磊晶Ga₂N層130的磊晶生長製程期間，實質單晶Ga₂N層140適合用作為生長層。一實施例中，該實質單晶Ga₂N層140包括單晶Ga₂N層，該單晶Ga₂N層使用層轉移製程附接經設計的層115的頂表面116。如第1B圖中所說明，磊晶Ga₂N層130在實質單

晶 GaN 層 140 上的同質磊晶生長是透過本發明之實施例所提供。

【0035】 第 2A 圖是簡化的示意圖，說明根據本發明之一實施例的包括多晶 AlGa_xN 核心的經設計的基板結構。為了製作包括 AlGa_xN 的多晶陶瓷核心 210，多晶 AlN 與多晶 GaN 的晶粒以預定比例混合在一起，且經過燒製而產生多晶 AlGa_xN 核心。一些實施例中，Al_xGa_yN 的莫耳分率範圍是從 0 < x < 100% 且 0 < y < 100%，包括多晶 AlN 與 GaN 之邊界情況。一組特定實施例中，莫耳分率是 Al_{0.8}Ga_{0.2}N 或 Al_{0.5}Ga_{0.5}N，然而本發明不限於這些特定莫耳分率。作為範例，其他實施例中，使用燒結劑（例，氧化釷，或 Y₂O₃）以支援陶瓷形成。氧化釷濃度可在 0 < z < 10% 的範圍內，從而實現 Al_xGa_yN(Y₂O₃)_z 形成，使得 Al_xGa_yN 含量介於化合物的 90% 至 100% 之間。本發明所屬技術領域中具有通常知識者會理解有諸多變化例、修飾例、及替代例。

【0036】 一或多個經設計的層 215 沉積在包括 AlGa_xN 的多晶陶瓷核心 210 上。與經設計的層 215 相關的額外敘述在下文中與第 4 圖相關提供。

【0037】 實質單晶矽層 220 加至經設計的層 215 的頂表面 216。在形成磊晶 GaN 層 230 的磊晶生長製程期間，實質單晶矽層 220 適合用作為生長層。一些實施例中，磊晶 GaN 層 230 具有範圍從約 10 μm 至 100 μm 的厚度（T），該磊晶 GaN 層可用作為光電或電力元件中所用的

複數層中的一層。一實施例中，實質單晶矽層 220 包括單晶矽層，該單晶矽層使用層轉移製程附接經設計的層 215 的頂表面 216。如上文所論述，包括 AlGaIn 的多晶陶瓷核心 210 與磊晶 GaN 層 230 之間的緊密 CTE 匹配使磊晶 GaN 層在生長完成及冷卻製程之後維持適當的材料性質。

【0038】 第 2B 圖是簡化的示意圖，說明根據本發明之另一實施例的包括多晶 AlGaIn 核心的經設計的基板結構。第 2B 圖中所說明的經設計的基板結構與第 2A 圖中所說明的經設計的基板結構有一些類似之處，與第 2A 圖相關提供的敘述只要合適皆可應用至第 2B 圖。

【0039】 第 2B 圖中，實質單晶 GaN 層 240 加至經設計的層 215 的頂表面 216。在形成磊晶 GaN 層 230 的磊晶生長製程期間，實質單晶 GaN 層 240 適合用作為生長層。一實施例中，該實質單晶 GaN 層 240 包括單晶 GaN 層，該單晶 GaN 層使用層轉移製程附接經設計的層 215 的頂表面 216。如第 2B 圖中所說明，磊晶 GaN 層 230 在實質單晶 GaN 層 240 上的同質磊晶生長是透過本發明之實施例所提供。

【0040】 第 3A 圖是簡化示意圖，說明根據本發明之一實施例的包括具摻質的多晶 AlN 核心的經設計的基板結構。用於多晶核心中的摻質包括鈦 (Ti)、氮化鈦 (TiN)、及類似物。該等摻質修飾多晶核心的相對溫度分佈曲線的

CTE，使得該分佈曲線緊密匹配磊晶 GaN 層 330 的分佈曲線。

【0041】 一或多個經設計的層 315 沉積在包括 AlN 與摻質的多晶陶瓷核心 310 上。關於經設計的層 315 的額外敘述於下文中與第 4 圖相關提供。

【0042】 實質單晶矽層 320 加至經設計的層 315 的頂表面 316。在形成磊晶 GaN 層 330 的磊晶生長製程期間，實質單晶矽層 320 適合用作為生長層。一些實施例中，磊晶 GaN 層 330 具有範圍從約 $10\ \mu\text{m}$ 至 $100\ \mu\text{m}$ 的厚度 (T)，該磊晶 GaN 層可用作為光電或電力元件中所用的複數層中的一層。一實施例中，實質單晶矽層 320 包括單晶矽層，該單晶矽層使用層轉移製程附接經設計的層 315 的頂表面 316。如上文所論述，包括 AlN 及摻質的多晶陶瓷核心 310 與磊晶 GaN 層 330 之間的緊密 CTE 匹配使磊晶 GaN 層在生長完成及冷卻製程之後維持適當的材料性質。

【0043】 第 3B 圖是簡化的示意圖，說明根據本發明之另一實施例的包括具摻質的多晶 AlN 核心的經設計的基板結構。第 3B 圖中所說明的經設計的基板結構與第 3A 圖中所說明的經設計的基板結構有一些類似之處，與第 3A 圖相關提供的敘述只要合適皆可應用至第 3B 圖。

【0044】 第 3B 圖中，實質單晶 GaN 層 340 加至經設計的層 315 的頂表面 316。在形成磊晶 GaN 層 330 的磊晶生長製程期間，實質單晶 GaN 層 340 適合用作為生長層。一

實施例中，該實質單晶 GaN 層 340 包括單晶 GaN 層，該單晶 GaN 層使用層轉移製程附接經設計的層 315 的頂表面 316。如第 3B 圖中所說明，磊晶 GaN 層 330 在實質單晶 GaN 層 340 上的同質磊晶生長是透過本發明之實施例所提供。

【0045】 第4圖是簡化示意圖，說明根據本發明之另一實施例的經設計的基板結構的經設計的層。第4圖中所說明的經設計的基板結構可用作為第1A圖至第3B圖中所說明的厚 GaN 磊晶層的生長基板。本發明所屬技術領域中具有通常知識者會理解有諸多變化例、修飾例、及替代例。

【0046】 參考第4圖，提供多晶陶瓷核心 410。多晶陶瓷核心 410 可包括上文論述的 CTE 匹配材料，包括多晶 GaN、多晶 AlGaN、具摻質之多晶 AlN、或類似物。多晶陶瓷核心 410 包覆在黏著層 412 中，該黏著層 412 可稱作為殼體或包覆殼體。一實施例中，黏著層 412 包括正矽酸四乙酯 (TEOS) 氧化物層，其厚度在 1,000 Å 量級。其他實施例中，黏著層的厚度例如從 100 Å 至 2,000 Å 變化。儘管一些實施例中 TEOS 氧化物用於黏著層，但根據本發明之實施例，可利用提供稍後沉積的層與下方層或材料（例如，陶瓷，尤其是多晶陶瓷）之間的黏著的其他材料。例如，SiO₂ 或其他矽的氧化物 (Si_xO_y) 良好地附著於陶瓷材料且提供適合的表面以供例如導電材料的後續沉積。一些實施例中，黏著層 412 完全環繞多晶陶瓷核

心 410，以形成完整包覆的核心，且該黏著層 412 可透過使用 LPCVD 形成。黏著層提供上面有後續層黏著的表面，以形成經設計的基板結構的元件。

【0047】除了使用 LPCVD 製程、基於熱爐之製程、及類似製程形成包覆黏著層之外，根據本發明之多個實施例，可利用其他半導體製程，包括 CVD 製程或類似的沉積製程。作為範例，可利用塗佈一部分核心的沉積製程，該核心可翻轉，且能夠重複該沉積製程而塗佈核心的其他部分。從而，儘管一些實施例中利用 LPCVD 提供完整包覆的結構，但取決於特定應用，可利用其他膜形成技術。

【0048】導電層 414 形成於鄰近黏著層 412。所說明的實施例中，導電材料形成於黏著層的一部分上，例如，該基板結構的下半部。一些實施例中，導電材料可形成為完整包覆層，且之後於該基板結構的一側上移除。導電層 414 可為多晶矽（即多結晶的矽），且厚度是在 500 至 5,000 Å（例如 2,500 Å）之數量級。

【0049】一實施例中，導電層 414 可為經摻雜之多晶矽以提供高導電材料，例如以硼摻雜而提供 p 型多晶矽層。一些實施例中，以硼進行的摻雜是在 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的水準，以提供高導電性。不同摻質濃度的其他摻質（例如，摻質濃度範圍從 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $5 \times 10^{18} \text{ cm}^{-3}$ 的磷、砷、銻、或類似物）可用於提供適合用在導電層中的 n 型或 p 型半導體材料。本發明所屬技術

領域中具有通常知識者會理解有諸多變化例、修飾例、及替代例。

【0050】 於將經設計的基板靜電吸附（*chuck*）至半導體處理工具（例如，有靜電放電（*ESD*）吸盤的工具）期間，導電層414的存在是實用的。導電層實現半導體處理工具中處理之後快速的去吸附（*dechuck*）。從而，本發明之實施例提供的基板結構可以與習知矽晶圓一併利用的方式進行處理。發明所屬技術領域中具有通常知識者會理解有諸多變化例、修飾例、及替代例。

【0051】 第二黏著層416（例如，厚度數量級為 $1,000 \text{ \AA}$ 的TEOS氧化物層）環繞導電層414而形成。一些實施例中，第二黏著層416完全環繞導電層414，而形成完整包覆的結構，且該第二黏著層416可透過使用LPCVD製程、CVD製程、或任何適合的沉積製程（包括旋轉塗佈介電質之沉積）形成。

【0052】 第4圖所說明的實施例中，導電層414僅存在於基板結構的下半部上。發明人已確定，一些實例中，磊晶GaN層的剝離可由於與導電層界面處的不良黏著所造成。所以，透過將黏著層僅放置在結構的下部上，改善了結構之上部上的層的黏著，特別是磊晶GaN層的黏著。從而，本發明之實施例利用在多晶陶瓷核心的相對側上不同數目的經設計的層（請注意，於此實例中，黏結層不被視為經設計的層），藉此提供了多個優點，該等優點是僅僅使用形成為環繞多晶陶瓷核心及上方層的殼層的經設

計的層所無法獲得的。本發明所屬技術領域中具有通常知識者會理解有諸多變化例、修飾例、及替代例。

【0053】 一些實施例中，磊晶生長的Ga₂N層的品質的改善可透過消除導電層414而達成，發明人已確定導電層414會於某些條件下造成磊晶Ga₂N層剝離。該等實施例中，除了導電層414之外還可消除第二黏著層416，造成結構包括多晶陶瓷核心410、黏著層412、及阻障層418（下文所述）。從而，該等實施例中，經設計的層包括僅只兩層，即黏著層與阻障層，因此造成結構僅有三個界面：核心 | 黏著、黏著 | 阻障、阻障 | 黏結。本發明所屬技術領域中具有通常知識者會理解有諸多變化例、修飾例、及替代例。

【0054】 阻障層418（例如氮化矽層）形成為環繞第二黏著層416。一實施例中，阻障層418是氮化矽層，該氮化矽層厚度為4,000 Å至5,000 Å之量級。一些實施例中，阻障層418完全環繞第二黏著層416，以形成完整包覆的結構，且可使用LPCVD製程形成該阻障層418。除了氮化矽層之外，包括SiCN、SiON、AlN、SiC及類似物之非晶形材料可用作為阻障層。一些實施形態中，阻障層是由一些子層組成，該等子層堆積而形成該阻障層。從而，不希望用語「阻障層」是意味單一層或單一材料，而是涵蓋複合方式疊層的一或更多個材料。發明所屬技術領域中具有通常知識者會理解有諸多變化例、修飾例、及替代例。

【0055】 一些實施例中，阻障層414（例如氮化矽層）防止例如高溫（例如 $1,000^{\circ}\text{C}$ ）磊晶生長製程期間多晶陶瓷核心410中存在的成分擴散及/或釋氣進入其中可能存在經設計的基板的半導體處理腔室之環境中，所述成分例如鈮之氧化物（即氧化鈮）、氧、金屬雜質、其他痕量元素、及類似物。利用本文所述的包覆層，包括多晶GaN、多晶AlGaN、及具摻質之多晶AlN的陶瓷材料（可能一般不適合用於無塵室環境）可用在半導體製程流程及無塵室環境中。與使用阻障層相關的額外敘述在美國專利申請案第62/350,084號中提供，該美國專利申請案於2016年6月14日提出申請，其揭露內容之整體以參考形式併入本文，以供所有目的所用。

【0056】 再次參考第4圖，黏結層420（例如氧化矽層）沉積在阻障層418的一部分上，例如阻障層的頂表面上，且後續在黏結實質單晶層430期間使用該黏結層420。一些實施例中，黏結層420在厚度上可大約為 $1.5\mu\text{m}$ 。包括將此基板構造用於電力或RF元件的一些實施例中，氧化矽厚度可實質上減少（例如，降至約 $1,000\text{\AA}$ ），以改善基板的熱性質。

【0057】 在如第1A圖至第3B圖中說明的形成厚GaN磊晶層的磊晶生長製程期間，實質單晶層430適合用作為生長層。一實施例中，實質單晶層430包括單晶矽層或單晶GaN層，該單晶矽層或單晶GaN層是使用層轉移製程附接至黏結層420。

【0058】 一些實施例中，省略黏結層，而將實質單晶層430加至阻障層。本發明所屬技術領域中具有通常知識者會理解有諸多變化例、修飾例、及替代例。

【0059】 應瞭解本文所述之範例及實施例僅為了說明，且對發明所屬技術領域中具有通常知識者而言，亦提示了根據該等範例及實施例的各種修飾或變化，而根據該等範例及實施例的各種修飾或變化亦包含在此申請案的精神與範圍以及所附之申請專利範圍的範疇內。

【符號說明】

【0060】

100 經設計的基板結構

110 多晶陶瓷核心

115 經設計的層

116 頂表面

120 實質單晶矽層

130 磊晶GaN層

140 實質單晶GaN層

210 多晶陶瓷核心

215 經設計的層

216 頂表面

220 實質單晶矽層

230 磊晶GaN層

240 實質單晶GaN層

310 多晶陶瓷核心

- 3 1 5 經設計的層
- 3 1 6 頂表面
- 3 2 0 實質單晶矽層
- 3 3 0 磊晶 GaN 層
- 3 4 0 實質單晶 GaN 層
- 4 1 0 多晶陶瓷核心
- 4 1 2 黏著層
- 4 1 4 導電層
- 4 1 6 第二黏著層
- 4 1 8 阻障層
- 4 2 0 黏結層
- 4 3 0 實質單晶層

T 厚度

【生物材料寄存】

【 0 0 6 1 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 0 6 2 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註

記)

無

【發明申請專利範圍】

- 【第1項】 一種經設計（engineered）的基板，包括：
- 一支撐結構，包括：
 - 一多晶陶瓷核心；
 - 一黏著（adhesion）層，耦接該多晶陶瓷核心；
 - 一導電層，耦接該黏著層；以及
 - 一阻障層，包覆該導電層、該黏著層、及該多晶陶瓷核心；
 - 一黏結（bonding）層，耦接該支撐結構；
 - 一實質單晶層，耦接該黏結層；及
 - 一磊晶氮化鎵層，耦接該實質單晶層。
- 【第2項】 如請求項 1 所述之經設計的基板，其中該多晶陶瓷核心包括多晶氮化鎵。
- 【第3項】 如請求項 2 所述之經設計的基板，其中該實質單晶層包括一單晶矽層。
- 【第4項】 如請求項 2 所述之經設計的基板，其中該實質單晶層包括一單晶氮化鎵層。
- 【第5項】 如請求項 1 所述之經設計的基板，其中該多晶陶瓷核心包括多晶氮化鋁鎵。
- 【第6項】 如請求項 5 所述之經設計的基板，其中該實質單晶層包括一單晶矽層。
- 【第7項】 如請求項 5 所述之經設計的基板，其中該實

質單晶層包括一單晶氮化鎵層。

【第8項】 如請求項 1 所述之經設計的基板，其中該多晶陶瓷核心包括多晶氮化鋁及一或多種摻質。

【第9項】 如請求項 8 所述之經設計的基板，其中該實質單晶層包括下述之至少一者：一單晶矽層或一單晶氮化鎵層。

【第10項】 如請求項 8 所述之經設計的基板，其中該一或多種摻質包括下述之至少一者：鈦或氮化鈦。

【第11項】 如請求項 1 所述之經設計的基板，其中該黏著層包括：一正矽酸四乙酯（TEOS）氧化物層，包覆該多晶陶瓷核心。

【第12項】 如請求項 11 所述之經設計的基板，其中該 TEOS 氧化物層在厚度上為約 $1,000 \text{ \AA}$ 。

【第13項】 如請求項 1 所述之經設計的基板，其中該阻障層包括：一氮化矽層，包覆該黏著層。

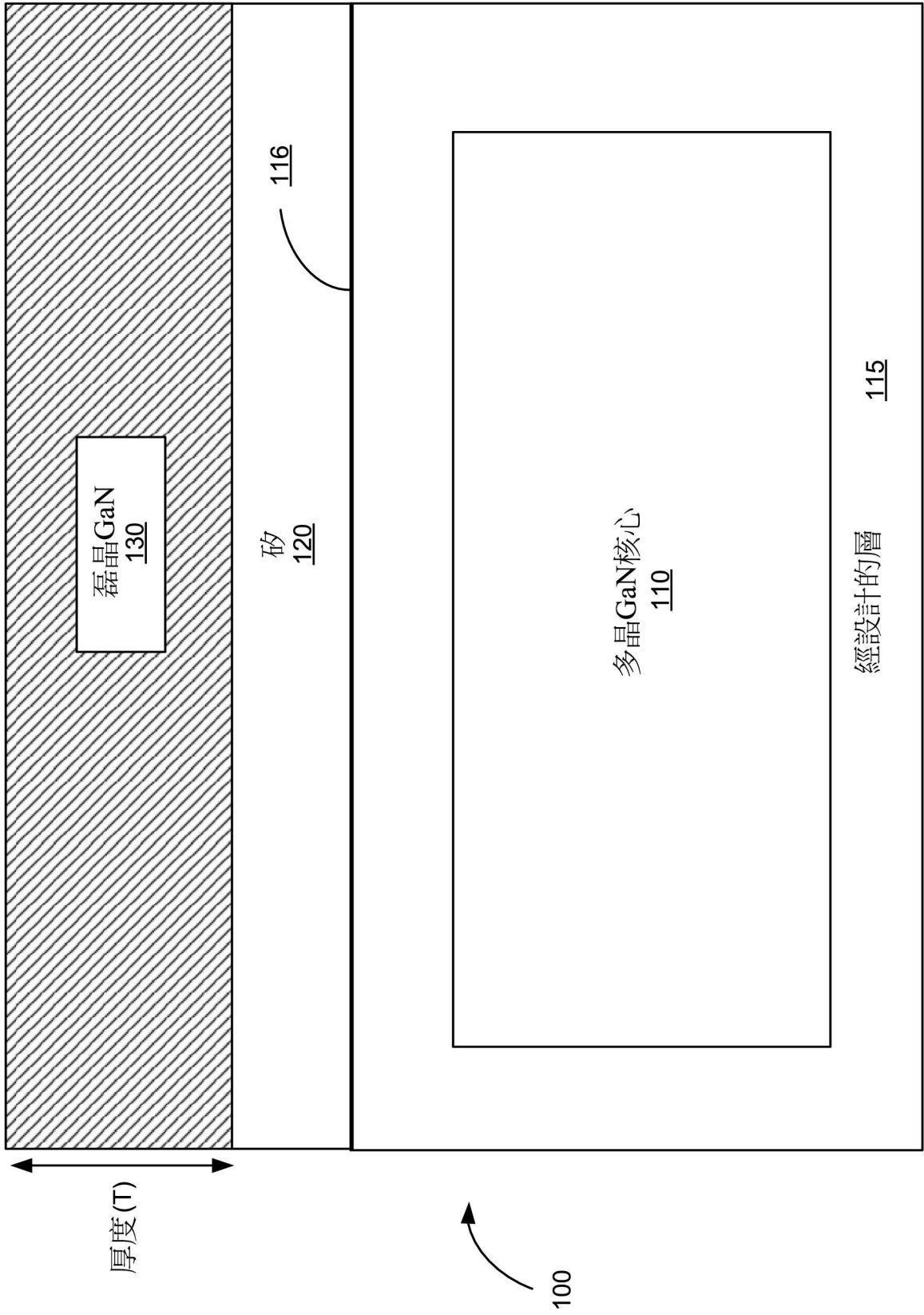
【第14項】 如請求項 13 所述之經設計的基板，其中氮化矽層在厚度上為約 $4,000 \text{ \AA}$ 。

【第15項】 如請求項 1 所述之經設計的基板，其中該黏結層包括一氧化矽層。

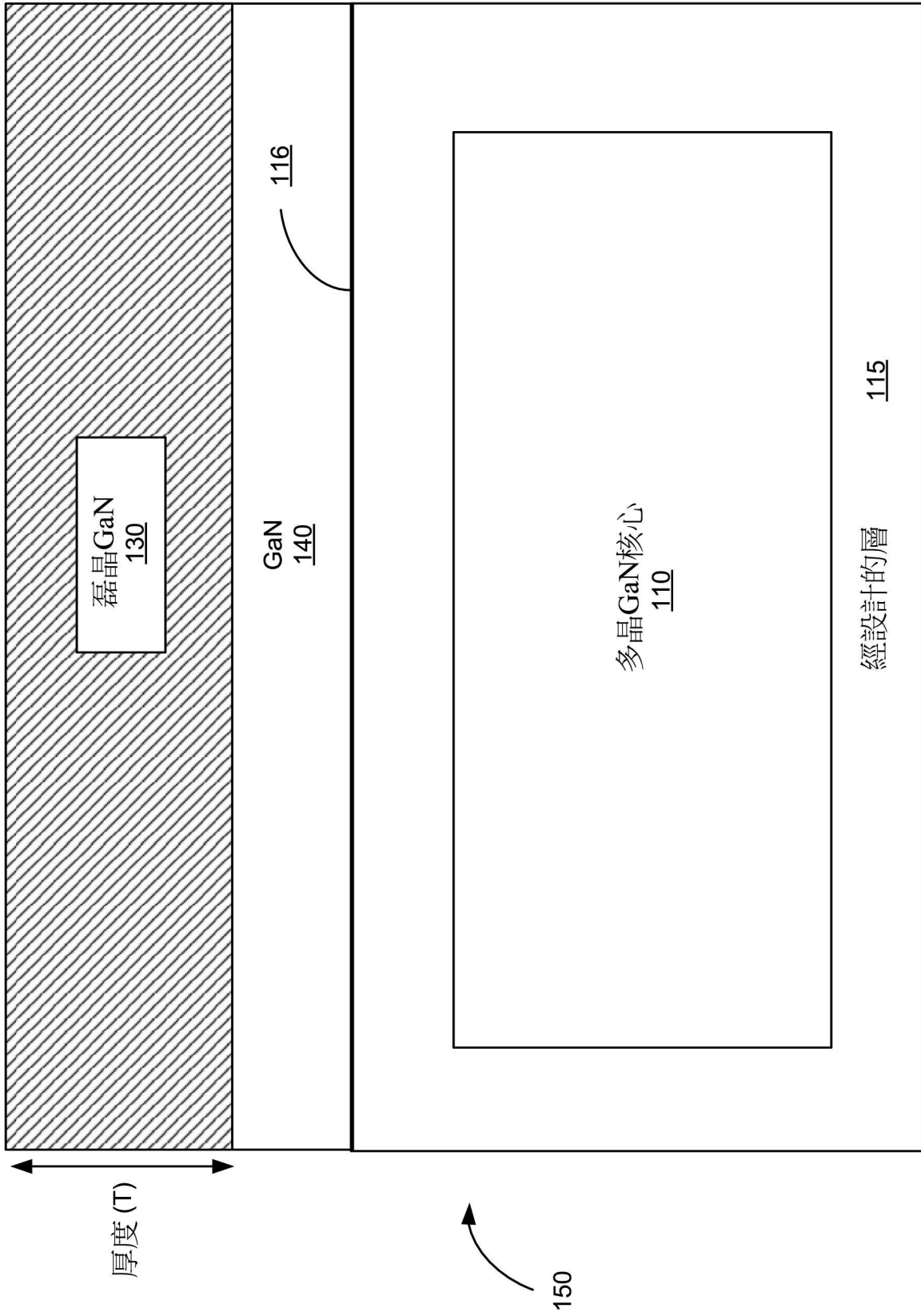
【第16項】 如請求項 1 所述之經設計的基板，其中該磊晶氮化鎵層是以一厚度為特徵，該厚度介於 $10 \mu\text{m}$ 至 $100 \mu\text{m}$ 之間。

- 【第17項】 如請求項16所述之經設計的基板，其中該厚度介於 $40\mu\text{m}$ 至 $80\mu\text{m}$ 之間。
- 【第18項】 如請求項1所述之經設計的基板，其中該多晶陶瓷核心之CTE分佈曲線與該磊晶氮化鎵層之CTE分佈曲線之間的差異在介於 300K 與 1400K 之間的溫度小於 0.5ppm/K 。
- 【第19項】 如請求項1所述之經設計的基板，其中該支撐結構包括兩個界面層。
- 【第20項】 如請求項19所述之經設計的基板，其中該兩個界面層包括：
- 一第一界面層，位於該多晶陶瓷核心與該黏著層之間；以及
 - 一第二界面層，位於該黏著層與該阻障層之間。

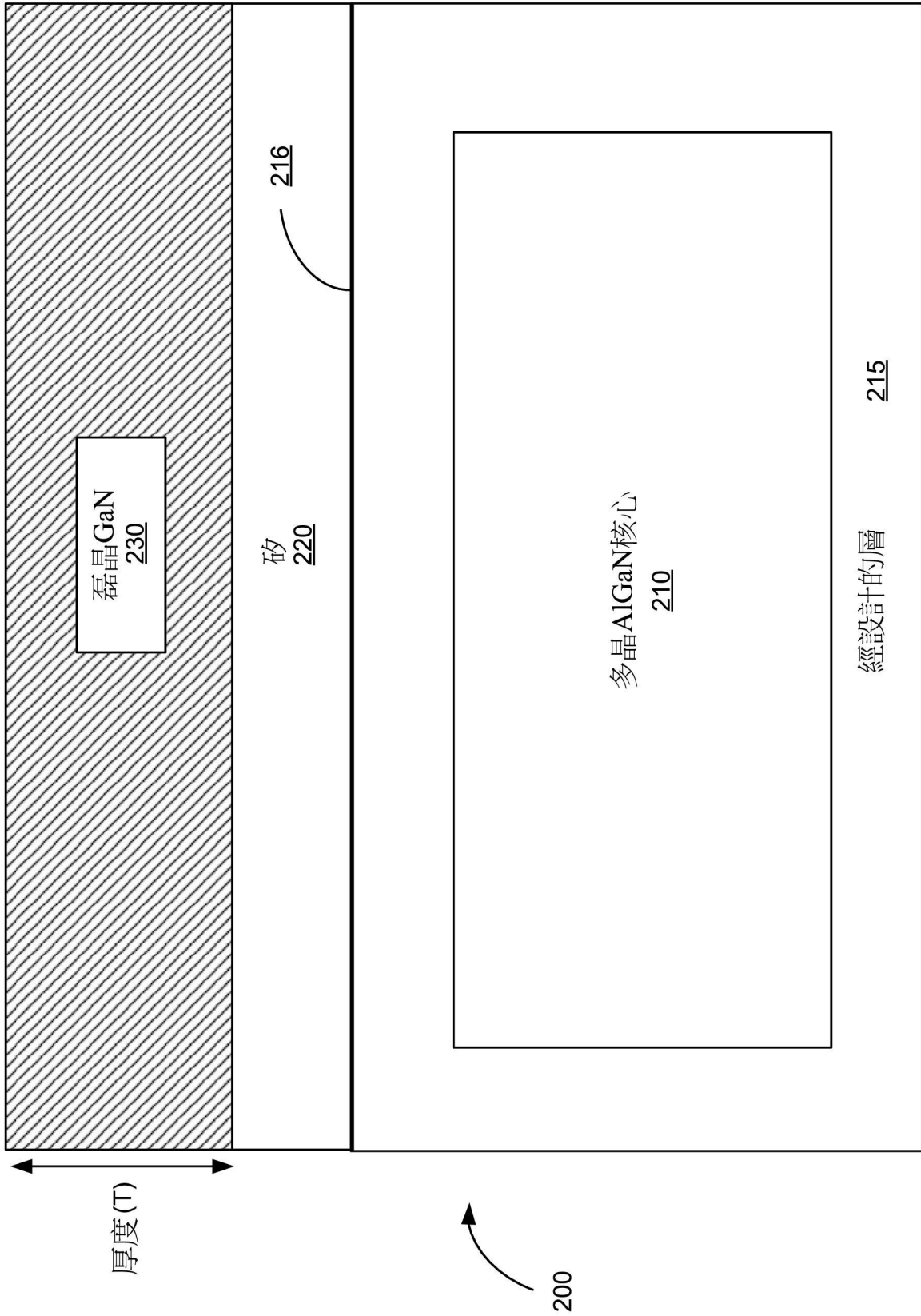
【發明圖式】



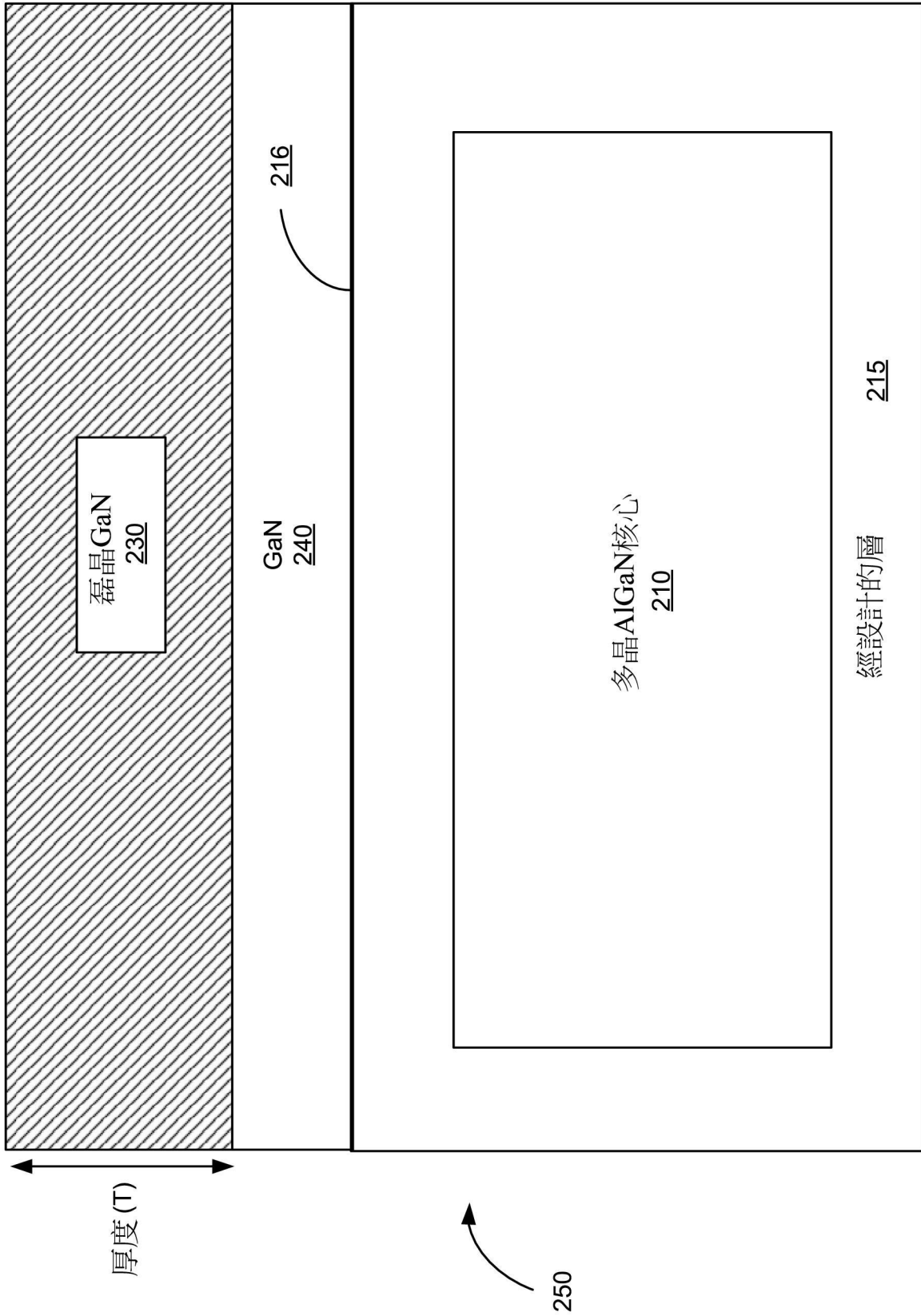
第1A圖



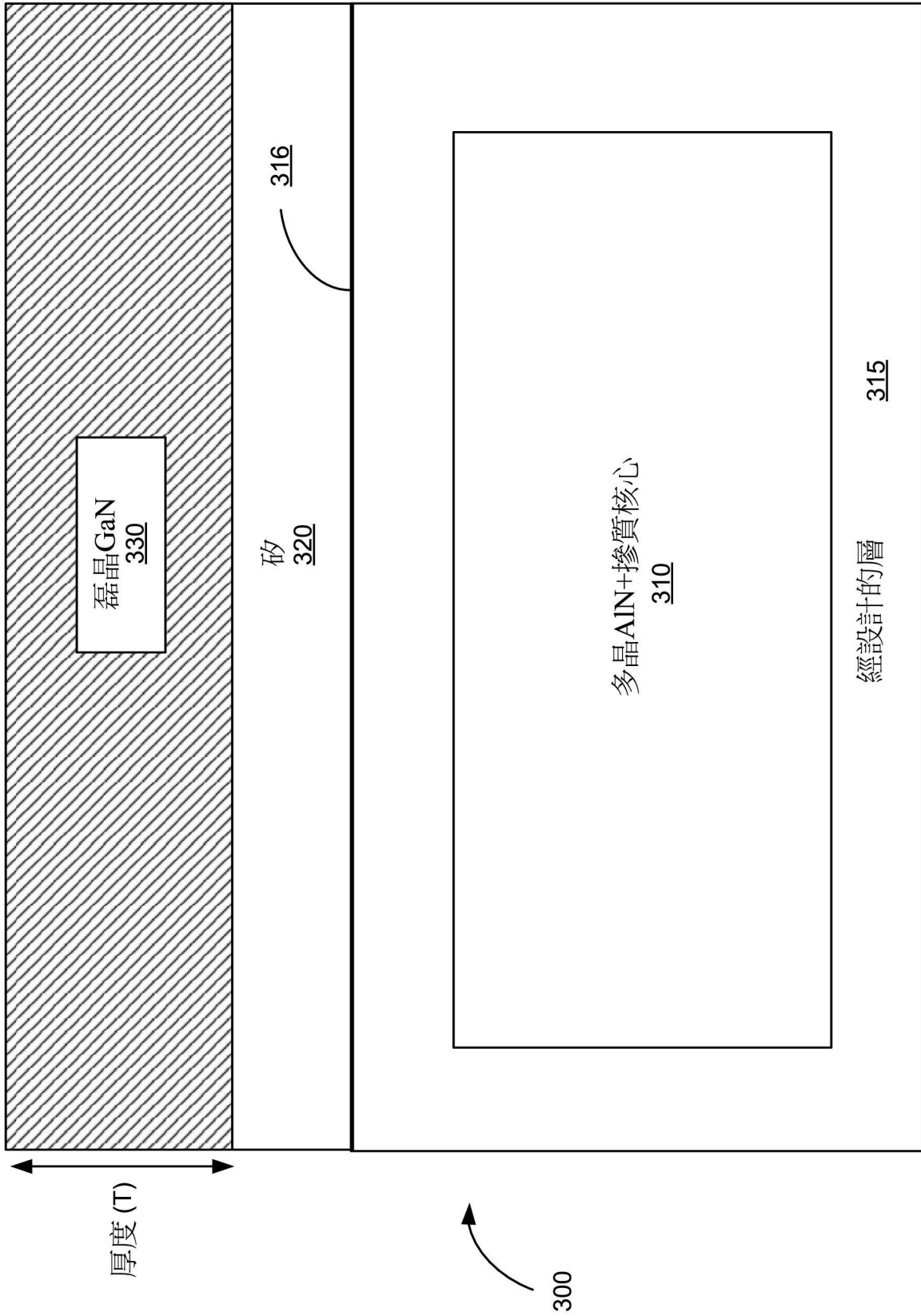
第1B圖



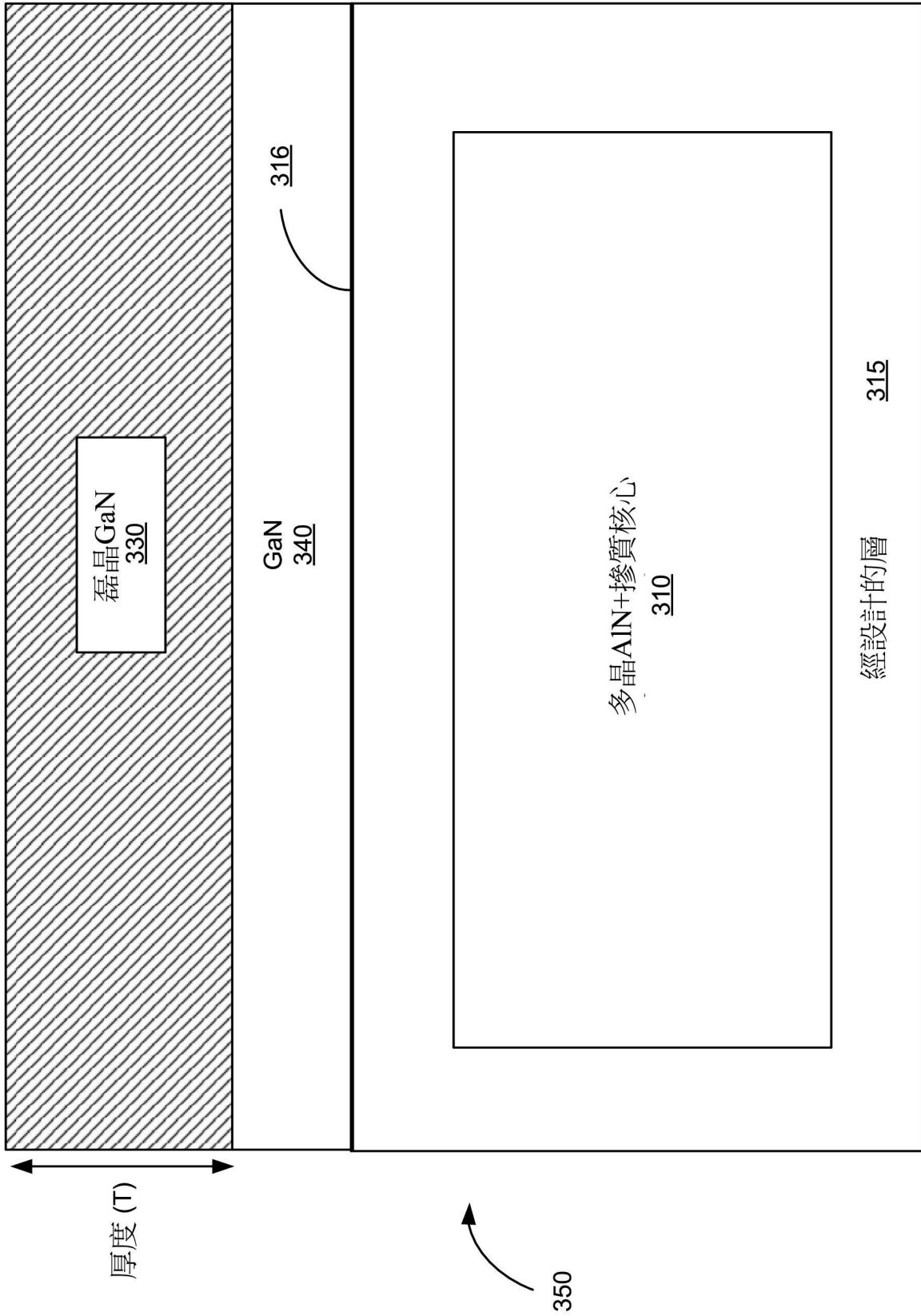
第2A圖



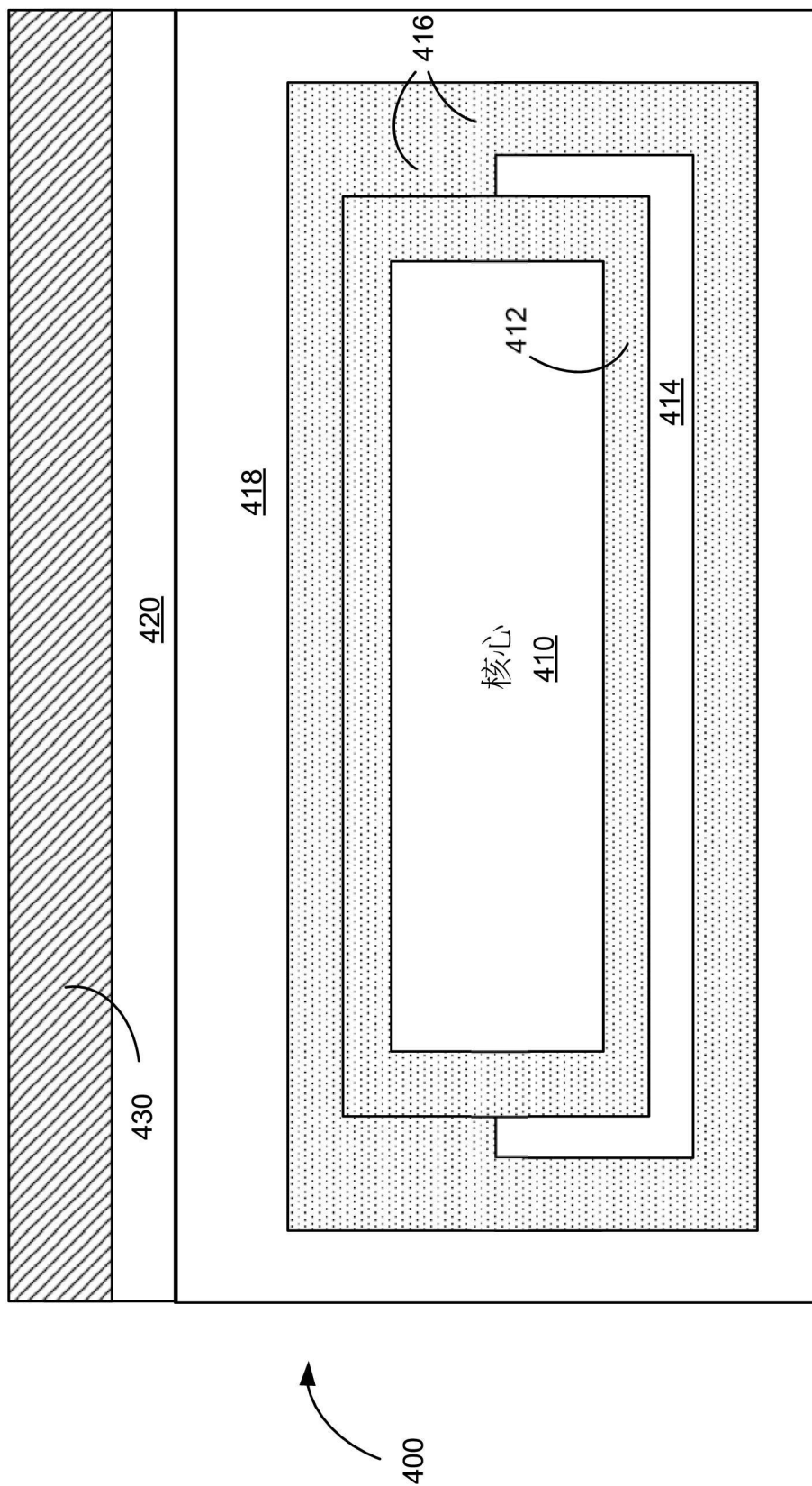
第2B圖



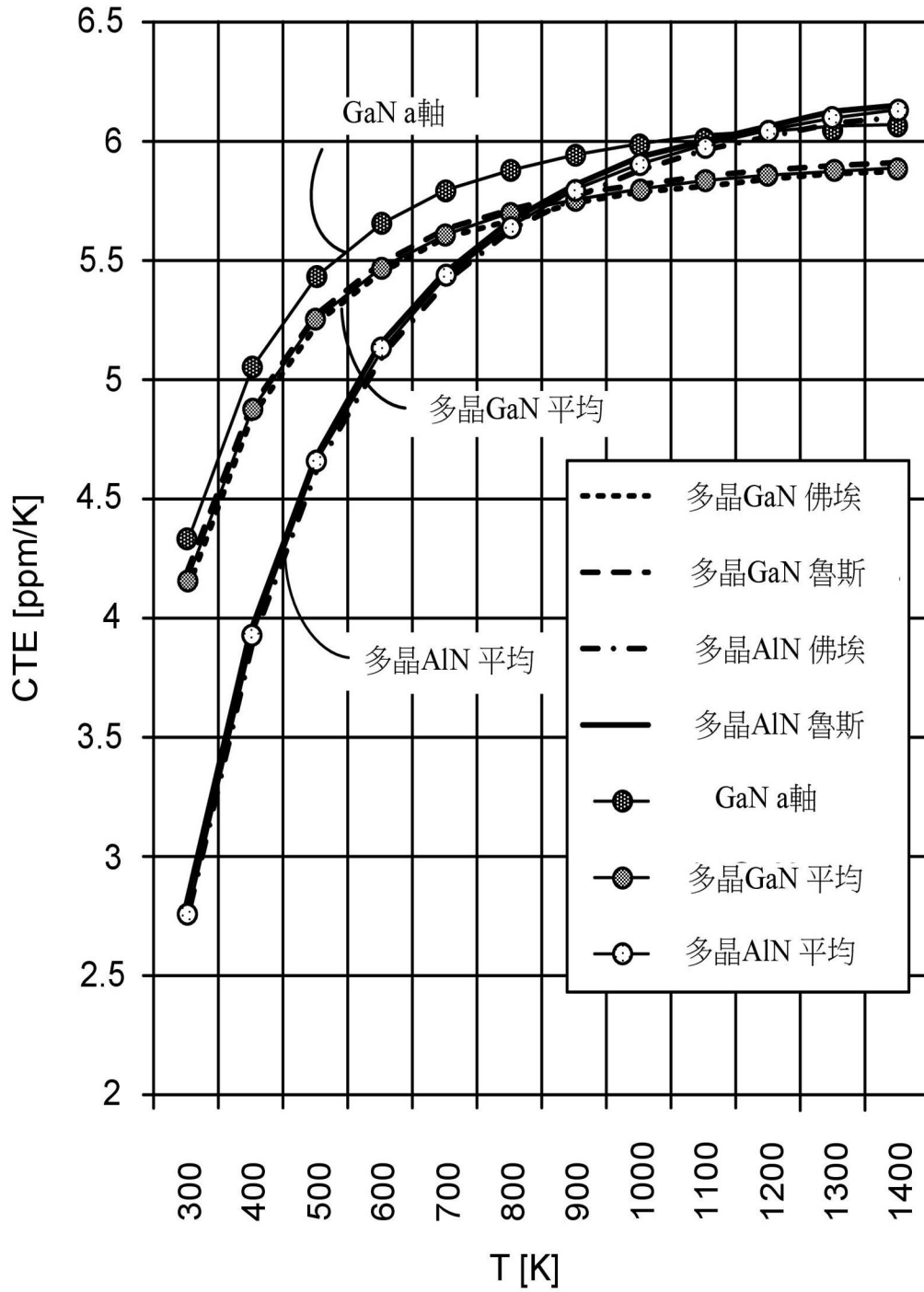
第3A圖



第3B圖



第4圖



第5圖