

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年8月29日(29.08.2024)



(10) 国際公開番号

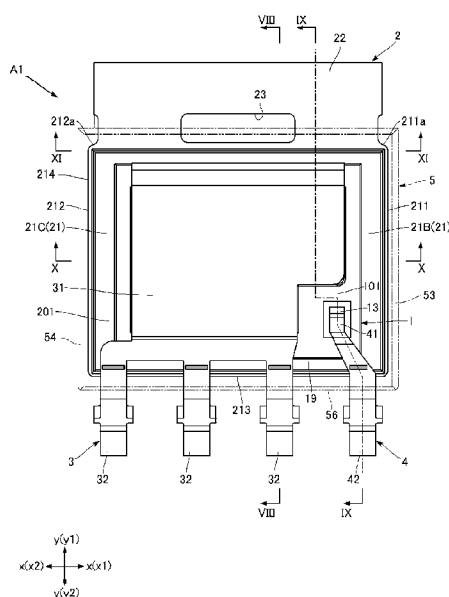
WO 2024/176851 A1

- (51) 国際特許分類:  
*H01L 23/48* (2006.01) *H01L 25/18* (2023.01)  
*H01L 25/07* (2006.01)
- (21) 国際出願番号: PCT/JP2024/004262
- (22) 国際出願日: 2024年2月8日(08.02.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-027193 2023年2月24日(24.02.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 高本 健生 (TAKAMOTO Kensei);  
〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 白井 尚, 外 (USUI Takashi et al.);  
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG. 4



(57) Abstract: A semiconductor device according to the present invention includes: a first conduction member having an island section; a semiconductor element that is disposed on one side in the thickness direction of the island section; and a sealing resin that covers the semiconductor element and at least a portion of the first conduction member. The island section includes a first edge section that is located on one side in a first direction orthogonal to the thickness direction, and that also extends in a second direction orthogonal to the thickness direction and the first direction. The first edge section is covered with the sealing resin and has a first step section formed at a position closer to one side in the second direction than the semiconductor element is. In the first step section, the one side in the second direction is recessed toward the other side in the first direction with respect to the other side in the second direction.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,  
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,  
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：半導体装置は、アイランド部を有する第1導通部材と、前記アイランド部の厚さ方向の一方側に配置された半導体素子と、前記半導体素子、および前記第1導通部材の少なくとも一部を覆う封止樹脂と、を備え、前記アイランド部は、前記厚さ方向と直交する第1方向の一方側に位置し、且つ前記厚さ方向および前記第1方向と直交する第2方向に延びる第1縁部を含み、前記第1縁部は、前記封止樹脂に覆われるとともに、前記第2方向において前記半導体素子よりも前記第2方向の一方側に形成された第1段差部を有し、前記第1段差部は、前記第2方向の他方側よりも前記第2方向の前記一方側が前記第1方向の他方側に凹む。

## 明 細 書

**発明の名称**：半導体装置

**技術分野**

[0001] 本開示は、半導体装置に関する。

**背景技術**

[0002] 半導体素子を備えた半導体装置は、様々な構成が提案されている。特許文献1には、従来の半導体装置の一例が開示されている。同文献に開示された半導体装置は、リード、半導体素子および封止樹脂を備えている。半導体素子は、リードに支持されている。封止樹脂は、リードの一部、および半導体素子を覆っている。

[0003] 特許文献1に記載の半導体装置において、半導体素子は、接合材を介してリードに接合されている。上記の半導体装置においては、半導体素子で発生した熱により、各部が熱膨張・熱収縮する。封止樹脂の線膨張係数は、半導体素子やリードの線膨張係数よりも大きい。このような線膨張係数の差により、半導体素子の周縁付近においては、封止樹脂の熱収縮により比較的大きな応力が作用する場合がある。この場合、半導体素子の接合不良や封止樹脂における亀裂の発生などの不具合が生じることが懸念される。

**先行技術文献**

**特許文献**

[0004] 特許文献1：特開2019-192751号公報

**発明の概要**

**発明が解決しようとする課題**

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情のもとで考え出されたものであって、半導体素子の周縁付近に作用する応力を低減するのに適した半導体装置を提供することをその一の課題とする。

**課題を解決するための手段**

[0006] 本開示の一の側面によって提供される半導体装置は、アイランド部を有する第1導通部材と、前記アイランド部の厚さ方向の一方側に配置された半導体素子と、前記半導体素子、および前記第1導通部材の少なくとも一部を覆う封止樹脂と、を備える。前記アイランド部は、前記厚さ方向と直交する第1方向の一方側に位置し、且つ前記厚さ方向および前記第1方向と直交する第2方向に延びる第1縁部を含む。前記第1縁部は、前記封止樹脂に覆われるとともに、前記第2方向において前記半導体素子よりも前記第2方向の一方側に形成された第1段差部を有する。前記第1段差部は、前記第2方向の他方側よりも前記第2方向の一方側が前記第1方向の他方側に凹む。

### 発明の効果

[0007] 上記構成によれば、半導体素子の周縁付近に作用する応力を低減することができる。

[0008] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

### 図面の簡単な説明

- [0009] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す斜視図である。  
[図2]図2は、本開示の第1実施形態に係る半導体装置を示す要部斜視図である。  
[図3]図3は、本開示の第1実施形態に係る半導体装置を示す平面図である。  
[図4]図4は、本開示の第1実施形態に係る半導体装置を示す要部平面図である。  
[図5]図5は、本開示の第1実施形態に係る半導体装置を示す底面図である。  
[図6]図6は、本開示の第1実施形態に係る半導体装置を示す要部底面図である。  
[図7]図7は、本開示の第1実施形態に係る半導体装置を示す側面図である。  
[図8]図8は、図4のV-V線に沿う断面図である。  
[図9]図9は、図4のI-I線に沿う断面図である。  
[図10]図10は、図4のX-X線に沿う断面図である。

[図11]図11は、図4のX1-X1線に沿う断面図である。

[図12]図12は、図4の部分拡大図である。

[図13]図13は、本開示の第2実施形態に係る半導体装置を示す要部平面図である。

[図14]図14は、本開示の第2実施形態に係る半導体装置を示す要部底面図である。

[図15]図15は、図13のXV-XV線に沿う断面図である。

[図16]図16は、本開示の第3実施形態に係る半導体装置を示す要部平面図である。

[図17]図17は、本開示の第3実施形態に係る半導体装置を示す要部底面図である。

[図18]図18は、本開示の第4実施形態に係る半導体装置を示す要部平面図である。

[図19]図19は、本開示の第4実施形態に係る半導体装置を示す要部底面図である。

[図20]図20は、本開示の第5実施形態に係る半導体装置を示す要部平面図である。

[図21]図21は、本開示の第5実施形態に係る半導体装置を示す要部底面図である。

### 発明を実施するための形態

[0010] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0011] 本開示における「第1」、「第2」、「第3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0012] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物

Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、本開示において「ある面Aが方向B（の一方側または他方側）を向く」とは、面Aの方向Bに対する角度が90°である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。

[0013] 第1実施形態：

図1～図12は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A1は、半導体素子1、第1導通部材2、第2導通部材3、第3導通部材4および封止樹脂5を備える。半導体装置A1の用途は何ら限定されず、たとえばDC-DCコンバータといった、電力変換回路を備える電子機器などに使用される。

[0014] 図1は、半導体装置A1の斜視図である。図2は、半導体装置A1の要部斜視図であり、封止樹脂5を省略している。図3は、半導体装置A1の平面図である。図4は、半導体装置A1の要部平面図であり、封止樹脂5を透過している。図5は、半導体装置A1の底面図である。図6は、半導体装置A1の要部底面図であり、封止樹脂5を透過している。図7は、半導体装置A1の側面図である。図8は、図4のV1-V1線に沿う断面図である。図9は、図4のIX-IX線に沿う断面図である。図10は、図4のX

—X線に沿う断面図である。図11は、図4のX1—X1線に沿う断面図である。図12は、図4の部分拡大図である。なお、図4および図6においては、透過した封止樹脂5を想像線（二点鎖線）で示している。

[0015] これらの図において、例えば、本開示の厚さ方向の一例を「厚さ方向z」とする。厚さ方向zに対して直交する方向（図3、図4における左右方向）は、本開示の第1方向の一例であり、「第1方向x」と呼ぶ。厚さ方向zおよび第1方向xに対して直交する方向（図3、図4における上下方向）は、本開示の第2方向の一例であり、「第2方向y」と呼ぶ。図3、図4において図中右側は本開示の「第1方向の一方側」の一例であり、「第1方向xのx1側」と呼び、図中左側は本開示の「第1方向の他方側」の一例であり、「第1方向xのx2側」と呼ぶ。図3、図4において図中上側は本開示の「第2方向の一方側」の一例であり、「第2方向yのy1側」と呼び、図中下側は本開示の「第2方向の他方側」の一例であり、「第2方向yのy2側」と呼ぶ。また、図8～図11において図中上側は本開示の「厚さ方向の一方側」の一例であり、「厚さ方向zのz1側」と呼び、図中下側は本開示の「厚さ方向の他方側」の一例であり、「厚さ方向zのz2側」と呼ぶ。

[0016] 半導体素子1は、半導体装置A1の電氣的機能を発揮する要素である。本実施形態においては、半導体素子1は、3つの電極を有する3端子素子であり、たとえばMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）である。この他、半導体素子1は、IGBT（Insulated Gate Bipolar Transistor）などのスイッチング素子や、ダイオードでもよい。半導体装置A1の説明においては、半導体素子1は、nチャネル型であり、かつ縦型構造のMOSFETを対象とする。半導体素子1は、厚さ方向zに見て矩形形状である。

[0017] 半導体素子1は、図2、図4および図8～図10に示すように、素子第1面101、素子第2面102、第1電極11、第2電極12および第3電極13を有する。素子第1面101および素子第2面102は、厚さ方向zにおいて離隔しており、互いに反対側を向く、素子第1面101は、厚さ方向

- zのz1側を向く。素子第2面102は、厚さ方向zのz2側を向く。
- [0018] 第1電極11は、素子第1面101に配置されている。第1電極11には、半導体素子1により変換された後の電力に対応する電流が流れる。すなわち、第1電極11は、半導体素子1のソース電極に相当する。
- [0019] 第2電極12は、素子第2面102に配置されている。第2電極12には、半導体素子1により変換される前の電力に対応する電流が流れる。すなわち、第2電極12は、半導体素子1のドレイン電極に相当する。
- [0020] 第3電極13は、素子第1面101に配置されている。第3電極13には、半導体素子1を駆動するためのゲート電圧が印加される。すなわち、第3電極13は、半導体素子1のゲート電極に相当する。厚さ方向zに視て、第3電極13の面積は、第1電極11の面積よりも小さい。
- [0021] 第1導通部材2は、半導体素子1に対して厚さ方向zのz2側に配置されている。第1導通部材2は、金属等の導電性材料を含み、たとえば銅(Cu)を含む。
- [0022] 第1導通部材2は、図1～図10に示すように、第1主面201および第2主面202を有する。第1主面201は、厚さ方向zのz1側を向く面である。第2主面202は、厚さ方向zのz2側を向く面である。第1主面201には、半導体素子1が搭載されている。図5および図6に示すように、第2主面202は、封止樹脂9から露出している。
- [0023] 第1導通部材2は、図1～図10に示すように、アイランド部21、第1端子部22および貫通孔23を有する。
- [0024] アイランド部21は、半導体素子1の全体または一部が搭載される部位である。アイランド部21は、第1主面201の一部および第2主面202の一部を含んでいる。アイランド部21の形状や大きさは、何ら限定されず、図示された例においては、厚さ方向zに視て略矩形形状である。
- [0025] アイランド部21は、図2、図4、図6、図8～図11に示すように、第1縁部211、第2縁部212、第3縁部213および凹溝214を有する。第1縁部211は、第1方向xのx1側に位置し、第2方向yに延びてい

る。第2縁部212は、第1方向xのx2側に位置し、第2方向yに延びている。第3縁部213は、第2方向yのy2側に位置し、第1方向xに延びている。凹溝214は、第1主面201から厚さ方向zのz2側に凹んでおり、断面略V字状である。凹溝214は、厚さ方向zに見て半導体素子1を囲んでいる。第1縁部211、第2縁部212、第3縁部213および凹溝214の各々は、封止樹脂5に覆われている。なお、図示した例と異なり、アイランド部21は、凹溝214を有さない構成であってもよい。

[0026] 第1縁部211は、図4、図6に示すように、第1段差部211aを有する。第1段差部211aは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されている。第1段差部211aは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx2側に凹む形状とされている。本実施形態において、第1段差部211aは、第2方向yにおいて第2方向yのy1側に向かうにつれて第1方向xのx2側に位置するように、第1方向xおよび第2方向yに対して傾斜している。

[0027] 第2縁部212は、第2段差部212aを有する。第2段差部212aは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されている。第2段差部212aは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx1側に凹む形状とされている。本実施形態において、第2段差部212aは、第2方向yにおいて第2方向yのy1側に向かうにつれて第1方向xのx1側に位置するように、第1方向xおよび第2方向yに対して傾斜している。

[0028] 本実施形態において、アイランド部21は、図4、図6、図10、図11に示すように、主部21A、第1薄肉部21Bおよび第2薄肉部21Cを含む。主部21Aは、第1主面201の一部および第2主面202の一部を有する。

[0029] 第1薄肉部21Bは、主部21Aに対して第1方向xのx1側につながる部位である。第1薄肉部21Bは、第1主面201の一部、および第1中間面203を有する。第1薄肉部21Bは、第2主面202を有さない部位で

ある。第1中間面203は、厚さ方向zのz2側を向く。第1中間面203は、厚さ方向zにおいて第1主面201および第2主面202の間に位置する。これにより、第1薄肉部21Bは、主部21Aに対して厚さ方向zのz2側が凹んだ形状である。図示した例では、第1薄肉部21Bは、第1縁部211の全てを含む。第1段差部211aは、第1薄肉部21Bに形成されている。

[0030] 第2薄肉部21Cは、主部21Aに対して第1方向xのx2側につながる部位である。第2薄肉部21Cは、第1主面201の一部、および第2中間面204を有する。第2薄肉部21Cは、第2主面202を有さない部位である。第2中間面204は、厚さ方向zのz2側を向く。第2中間面204は、厚さ方向zにおいて第1主面201および第2主面202の間に位置する。これにより、第2薄肉部21Cは、主部21Aに対して厚さ方向zのz2側が凹んだ形状である。図示した例では、第2薄肉部21Cは、第2縁部212の全てを含む。第2段差部212aは、第1薄肉部21Bに形成されている。

[0031] 図4、図10等を示すように、半導体素子1は、厚さ方向zに見て主部21Aおよび第1薄肉部21Bに重なる。また、半導体素子1は、厚さ方向zに見て主部21Aおよび第2薄肉部21Cに重なる。

[0032] 図8～図10を示すように、アイランド部21の第1主面201には、導電性接合材19を介して半導体素子1が接合されている。半導体素子1の素子第2面102は、第1主面201に対向している。素子第2面102上の第2電極12と、第1主面201とが、導電性接合材19を介して導通接合されている。導電性接合材19の具体的構成は特に限定されず、たとえばはんだ（錫および銀を含む金属）である。また、導電性接合材19は、たとえば銀（Ag）などの金属を含む金属ペーストにより構成してもよい。なお、アイランド部21の第1主面201のうち半導体素子1が接合される領域には、たとえば銀（Ag）からなるめっき層が形成されてもよい。

[0033] 第1端子部22は、アイランド部21に対して第2方向yのy1側につな

がる部位である。第1端子部22は、第1主面201の一部および第2主面202の一部を含んでいる。第1端子部22は、半導体装置A1を実装する際の端子として用いられてもよい。

[0034] 貫通孔23は、第1導通部材2を厚さ方向zに貫通している。本実施形態においては、貫通孔23には、封止樹脂5の一部が充填されている。また、貫通孔23の厚さ方向zと直交する断面の大きさは、厚さ方向zのz1側よりも厚さ方向zのz2側の方が大きい。これは、たとえば、第1導通部材2が封止樹脂5から脱落することを抑制する効果を奏する。

[0035] 第1導通部材2のうち封止樹脂5から露出した部分には、たとえば錫(Sn)を主成分とする合金からなるめっき層が形成されてもよい。

[0036] 第2導通部材3は、半導体素子1に対して厚さ方向zのz1側に配置されている部分を含む。第2導通部材3は、金属等の導電性材料を含み、たとえばCu(銅)を含む。第2導通部材3は、図1~図6、図8~図10に示すように、パッド部31および複数の第2端子部32を有する。

[0037] パッド部31は、半導体素子1の第1電極11に導通接合される部位である。パッド部31の形状や大きさは、何ら限定されず、図示された例においては、厚さ方向zに見て第1電極11の大部分と重なる形状であり、また、第3電極13を露出させる形状である。

[0038] 図8~図10に示すように、半導体素子1の第1電極11には、導電性接合材39を介してパッド部31が接合されている。パッド部31と第1電極11とが、導電性接合材39を介して導通接合されている。導電性接合材39の具体的構成は特に限定されず、たとえばはんだ(錫および銀を含む金属)である。また、導電性接合材39は、たとえば銀(Ag)などの金属を含む金属ペーストにより構成してもよい。なお、パッド部31のうち半導体素子1(第1電極11)に接合される領域には、たとえば銀(Ag)からなるめっき層が形成されてもよい。

[0039] 複数の第2端子部32は、パッド部31に対して第2方向yのy2側につながっている。第2端子部32は、各々が厚さ方向zに見て第2方向yに延

びており、第1方向xにおいて間隔をおいて配列されている。複数の第2端子部32の個数は何ら限定されず、図示された例のように3つでもよいし、2つでも、4つ以上であってもよい。また、1つのみの第2端子部32を備える構成であってもよい。図1、図2および図8に示すように、第2端子部32は、パッド部31につながり封止樹脂5によって覆われた部分、封止樹脂5から第2方向yのy2側に突出する部分、厚さ方向zのz2側に折り返された部分、および厚さ方向zのz2側に位置する部分を有する。複数の第2端子部32は、半導体装置A1を実装する際の端子として用いられる。

[0040] 第2導通部材3（複数の第2端子部32）のうち封止樹脂5から露出した部分には、たとえば錫（Sn）を主成分とする合金からなるめっき層が形成されてもよい。

[0041] 第3導通部材4は、半導体素子1に対して厚さ方向zのz1側に配置されている部分を含む。第3導通部材4は、金属等の導電性材料を含み、たとえばCu（銅）を含む。第2導通部材3は、図1～図7、図9、図10に示すように、パッド部41および第3端子部42を有する。

[0042] パッド部41は、半導体素子1の第3電極13に導通接合される部位である。パッド部41の形状や大きさは、何ら限定されず、図示された例においては、厚さ方向zに見て第3電極13の一部と重なる形状であり、また、第3電極13を露出させる形状である。

[0043] 図9に示すように、半導体素子1の第3電極13には、導電性接合材49を介してパッド部41が接合されている。パッド部41と第3電極13とが、導電性接合材49を介して導通接合されている。導電性接合材49の具体的構成は特に限定されず、たとえばはんだ（錫および銀を含む金属）である。また、導電性接合材49は、たとえば銀（Ag）などの金属を含む金属ペーストにより構成してもよい。なお、パッド部41のうち半導体素子1（第3電極13）に接合される領域には、たとえば銀（Ag）からなるめっき層が形成されてもよい。

[0044] 第3端子部42は、パッド部41に対して第2方向yのy2側につながっ

ている。第3端子部42は、厚さ方向zに見て第2方向yに延びている。図1、図2、図7および図9に示すように、第3端子部42は、パッド部41につながり封止樹脂5によって覆われた部分、封止樹脂5から第2方向yのy2側に突出する部分、厚さ方向zのz2側に折り返された部分、および厚さ方向zのz2側に位置する部分を有する。第1方向xに見て、第3端子部42は、第2端子部32と概ね重なる形状および大きさである。第3端子部42は、半導体装置A1を実装する際の端子として用いられる。

[0045] 第3導通部材4（第3端子部42）のうち封止樹脂5から露出した部分には、たとえば錫（Sn）を主成分とする合金からなるめっき層が形成されてもよい。

[0046] 封止樹脂5は、半導体素子1と第1導通部材2、第2導通部材3および第3導通部材4各々の一部とを覆っている。封止樹脂5は、電気絶縁性を有する。封止樹脂5は、たとえばフィラーを含有する黒色のエポキシ樹脂を含む。封止樹脂5の形状は何ら限定されない。本実施形態の封止樹脂5は、図1、図3～図11に示すように、第1樹脂面51、第2樹脂面52、第3樹脂面53、第4樹脂面54、第5樹脂面55および第6樹脂面56を有する。

[0047] 第1樹脂面51は、厚さ方向zのz1側を向く面である。第2樹脂面52は、厚さ方向zのz2側を向く面である。第2樹脂面52からは、第1導通部材2の第2主面202が露出している。図示された例においては、第1樹脂面51および第2樹脂面52は、平坦な面であるが、これに限定されずたとえば曲面や屈曲した面等であってもよい。図示された例においては、第2樹脂面52と第2主面202とは、互いに面一である。

[0048] 第3樹脂面53は、第1方向xのx1側を向く面である。第4樹脂面54は、第1方向xのx2側を向く面である。図示された例においては、第3樹脂面53および第4樹脂面54は、僅かに屈曲した面であるが、これに限定されず、たとえば曲面や平坦面等であってもよい。

[0049] 第5樹脂面55は、第2方向yのy1側を向く面である。第6樹脂面56は、第2方向yのy2側を向く面である。図示された例においては、第5樹

脂面 5 5 および第 6 樹脂面 5 6 は、僅かに屈曲した面であるが、これに限定されず、たとえば曲面や平坦面等であってもよい。本実施形態においては、第 5 樹脂面 5 5 から第 1 端子部 2 2 が突出しており、第 6 樹脂面 5 6 から複数の第 2 端子部 3 2、および第 3 端子部 4 2 が突出している。

[0050] 次に、半導体装置 A 1 の作用について説明する。

[0051] 半導体装置 A 1 において、アイランド部 2 1 の第 1 縁部 2 1 1 は、第 1 段差部 2 1 1 a を有する。第 1 縁部 2 1 1 は、アイランド部 2 1 の第 1 方向 x の x 1 側に位置し、第 2 方向 y に延びている。第 1 段差部 2 1 1 a は、第 2 方向 y において半導体素子 1 よりも第 2 方向 y の y 1 側に形成されており、封止樹脂 5 に覆われている。第 1 段差部 2 1 1 a は、第 2 方向 y の y 2 側よりも第 2 方向 y の y 1 側が第 1 方向 x の x 2 側に凹んでいる。このような構成によれば、半導体素子 1 で発生した熱により各部が熱膨張・熱収縮する場合において、封止樹脂 5 の熱収縮（図 1 2 において矢印 N 1 で表す）を第 1 段差部 2 1 1 a で受けることが可能である。このため、半導体素子 1 の周縁付近（半導体素子 1 の第 1 方向 x の x 1 側および第 2 方向 y の y 1 側の角部付近）に作用する応力を低減することができる。

[0052] アイランド部 2 1 の第 2 縁部 2 1 2 は、第 2 段差部 2 1 2 a を有する。第 2 段差部 2 1 2 a は、アイランド部 2 1 の第 1 方向 x の x 2 側に位置し、第 2 方向 y に延びている。第 2 段差部 2 1 2 a は、第 2 方向 y において半導体素子 1 よりも第 2 方向 y の y 1 側に形成されており、封止樹脂 5 に覆われている。第 2 段差部 2 1 2 a は、第 2 方向 y の y 2 側よりも第 2 方向 y の y 1 側が第 1 方向 x の x 1 側に凹んでいる。このような構成によれば、封止樹脂 5 の熱収縮（図 1 2 において矢印 N 2 で表す）を第 2 段差部 2 1 2 a で受けることが可能である。このため、半導体素子 1 の周縁付近（半導体素子 1 の第 1 方向 x の x 2 側および第 2 方向 y の y 1 側の角部付近）に作用する応力を低減することができる。

[0053] アイランド部 2 1 は、主部 2 1 A、第 1 薄肉部 2 1 B および第 1 薄肉部 2 1 B を含む。主部 2 1 A は、第 1 主面 2 0 1 の一部および第 2 主面 2 0 2 の

一部を有する。第1薄肉部21Bは、主部21Aに対して第1方向xのx1側につながり、第1主面201の一部、および第1中間面203を有する。第1中間面203は、厚さ方向zのz2側を向き、厚さ方向zにおいて第1主面201および第2主面202の間に位置する。第2薄肉部21Cは、主部21Aに対して第1方向xのx2側につながり、第1主面201の一部、および第2中間面204を有する。第2中間面204は、厚さ方向zのz2側を向き、厚さ方向zにおいて第1主面201および第2主面202の間に位置する。半導体素子1は、厚さ方向zに見て主部21A、第1薄肉部21Bおよび第2薄肉部21Cに重なる。このような構成によれば、上記のように半導体素子1の周縁付近に作用する応力を低減しつつ、アイランド部21に搭載される半導体素子1のサイズを拡大することが可能である。

[0054] 図13～図21は、本開示の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付しており、重複する説明を省略する。また、各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0055] 第2実施形態：

図13～図15は、本開示の第2実施形態に係る半導体装置を示している。図13は、本実施形態の半導体装置A2を示す要部平面図であり、封止樹脂5を透過している。図14は、半導体装置A2の要部底面図であり、封止樹脂5を透過している。図15は、図13のXV-XV線に沿う断面図である。なお、図13および図14においては、透過した封止樹脂5を想像線（二点鎖線）で示している。

[0056] 半導体装置A2は、アイランド部21における主部21A、第1薄肉部21Bおよび第2薄肉部21Cの形成領域が上記実施形態と異なる。図14に示すように、半導体装置A2においては、主部21Aの形成領域が、上記実施形態の半導体装置A1よりも大きい。

[0057] 図14に示すように、半導体装置A2において、第1段差部211aおよ

び第2段差部212aは、主部21Aに形成されている。

[0058] 半導体装置A2において、アイランド部21の第1段差部211aは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されており、封止樹脂5に覆われている。第1段差部211aは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx2側に凹んでいる。このような構成によれば、封止樹脂5の熱収縮を第1段差部211aで受けることが可能である。このため、半導体素子1の周縁付近（半導体素子1の第1方向xのx1側および第2方向yのy1側の角部付近）に作用する応力を低減することができる。

[0059] アイランド部21の第2段差部212aは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されており、封止樹脂5に覆われている。第2段差部212aは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx1側に凹んでいる。このような構成によれば、封止樹脂5の熱収縮を第2段差部212aで受けることが可能である。このため、半導体素子1の周縁付近（半導体素子1の第1方向xのx2側および第2方向yのy1側の角部付近）に作用する応力を低減することができる。

[0060] 半導体装置A2において、第1段差部211aおよび第2段差部212aは、主部21Aに形成されている。このような構成によれば、封止樹脂5の熱収縮をより大きな面積で受けることが可能である。このことは、半導体素子1の周縁付近に作用する応力を低減する上で、より好ましい。

[0061] 半導体素子1は、厚さ方向zに見て主部21A、第1薄肉部21Bおよび第2薄肉部21Cに重なる。このような構成によれば、半導体素子1の周縁付近に作用する応力を低減しつつ、アイランド部21に搭載される半導体素子1のサイズを拡大することが可能である。

[0062] 第3実施形態：

図16および図17は、本開示の第3実施形態に係る半導体装置を示している。図16は、本実施形態の半導体装置A3を示す要部平面図であり、封止樹脂5を透過している。図17は、半導体装置A3の要部底面図であり、

封止樹脂5を透過している。なお、図16および図17においては、透過した封止樹脂5を想像線（二点鎖線）で示している。

[0063] 半導体装置A3は、第1縁部211および第2縁部212の構成が上記実施形態と異なる。

[0064] 図16、図17に示すように、第1縁部211は、第1凹部211bを有する。第1凹部211bは、第2方向yにおいて半導体素子1の第2方向yのy1側に形成されている。第1凹部211bは、第1方向xのx2側に凹んでおり、第1段差部211aを含む。

[0065] 第2縁部212は、第2凹部212bを有する。第2凹部212bは、第2方向yにおいて半導体素子1の第2方向yのy1側に形成されている。第2凹部212bは、第1方向xのx1側に凹んでおり、第2段差部212aを含む。

[0066] 半導体装置A3において、アイランド部21の第1段差部211aは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されており、封止樹脂5に覆われている。第1段差部211aは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx2側に凹んでいる。このような構成によれば、封止樹脂5の熱収縮を第1段差部211aで受けることが可能である。このため、半導体素子1の周縁付近（半導体素子1の第1方向xのx1側および第2方向yのy1側の角部付近）に作用する応力を低減することができる。

[0067] アイランド部21の第2段差部212aは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されており、封止樹脂5に覆われている。第2段差部212aは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx1側に凹んでいる。このような構成によれば、封止樹脂5の熱収縮を第2段差部212aで受けることが可能である。このため、半導体素子1の周縁付近（半導体素子1の第1方向xのx2側および第2方向yのy1側の角部付近）に作用する応力を低減することができる。

[0068] 半導体素子1は、厚さ方向zに見て主部21A、第1薄肉部21Bおよび

第2薄肉部21Cに重なる。このような構成によれば、半導体素子1の周縁付近に作用する応力を低減しつつ、アイランド部21に搭載される半導体素子1のサイズを拡大することが可能である。

[0069] 第4実施形態：

図18および図19は、本開示の第4実施形態に係る半導体装置を示している。図18は、本実施形態の半導体装置A4を示す要部平面図であり、封止樹脂5を透過している。図19は、半導体装置A4の要部底面図であり、封止樹脂5を透過している。なお、図18および図19においては、透過した封止樹脂5を想像線（二点鎖線）で示している。

[0070] 半導体装置A4は、第1段差部211aおよび第2段差部212aの構成が上記実施形態と異なる。

[0071] 図18、図19に示すように、半導体装置A4においては、第1段差部211aは、厚さ方向zに見て第2方向yに対して直角または略直角をなす。第1凹部211bは、厚さ方向zに見て第2方向yに対して直角または略直角をなす。

[0072] 半導体装置A4において、アイランド部21の第1段差部211aは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されており、封止樹脂5に覆われている。第1段差部211aは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx2側に凹んでいる。このような構成によれば、封止樹脂5の熱収縮を第1段差部211aで受けることが可能である。このため、半導体素子1の周縁付近（半導体素子1の第1方向xのx1側および第2方向yのy1側の角部付近）に作用する応力を低減することができる。

[0073] アイランド部21の第2段差部212aは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されており、封止樹脂5に覆われている。第2段差部212aは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx1側に凹んでいる。このような構成によれば、封止樹脂5の熱収縮を第2段差部212aで受けることが可能である。このため、半導

体素子 1 の周縁付近（半導体素子 1 の第 1 方向  $x$  の  $x$  2 側および第 2 方向  $y$  の  $y$  1 側の角部付近）に作用する応力を低減することができる。

[0074] 半導体素子 1 は、厚さ方向  $z$  に見て主部 2 1 A、第 1 薄肉部 2 1 B および第 2 薄肉部 2 1 C に重なる。このような構成によれば、半導体素子 1 の周縁付近に作用する応力を低減しつつ、アイランド部 2 1 に搭載される半導体素子 1 のサイズを拡大することが可能である。

[0075] 第 5 実施形態：

図 2 0 および図 2 1 は、本開示の第 5 実施形態に係る半導体装置を示している。図 2 0 は、本実施形態の半導体装置 A 5 を示す要部平面図であり、封止樹脂 5 を透過している。図 2 1 は、半導体装置 A 5 の要部底面図であり、封止樹脂 5 を透過している。なお、図 2 0 および図 2 1 においては、透過した封止樹脂 5 を想像線（二点鎖線）で示している。

[0076] 半導体装置 A 5 は、第 1 縁部 2 1 1 および第 2 縁部 2 1 2 の構成が上記実施形態と異なる。半導体装置 A 5 では、第 1 縁部 2 1 1 は第 1 段差部 2 1 1 c をさらに有し、第 2 縁部 2 1 2 は第 2 段差部 2 1 2 c をさらに有する。

[0077] 半導体装置 A 5 において、第 1 縁部 2 1 1 は、2 つの第 1 段差部 2 1 1 a, 2 1 1 c を有する。第 1 段差部 2 1 1 c は、第 2 方向  $y$  において第 1 段差部 2 1 1 a に対して第 2 方向  $y$  の  $y$  1 側に隣接している。第 1 段差部 2 1 1 c は、第 2 方向  $y$  の  $y$  2 側よりも第 2 方向  $y$  の  $y$  1 側が第 1 方向  $x$  の  $x$  2 側に凹む形状とされている。このように、半導体装置 A 5 において、第 1 縁部 2 1 1 は、2 段階で凹む第 1 段差部 2 1 1 a, 2 1 1 c を有する。

[0078] 第 2 縁部 2 1 2 は、2 つの第 2 段差部 2 1 2 a, 2 1 2 c を有する。第 2 段差部 2 1 2 c は、第 2 方向  $y$  において第 2 段差部 2 1 2 a に対して第 2 方向  $y$  の  $y$  1 側に隣接している。第 2 段差部 2 1 2 c は、第 2 方向  $y$  の  $y$  2 側よりも第 2 方向  $y$  の  $y$  1 側が第 1 方向  $x$  の  $x$  2 側に凹む形状とされている。このように、第 2 縁部 2 1 2 は、2 段階で凹む第 2 段差部 2 1 2 a, 2 1 2 c を有する。

[0079] 半導体装置 A 5 において、凹溝 2 1 4 は、第 1 段差部 2 1 1 a, 2 1 1 c

付近および第2段差部212a, 212c付近には形成されていない。

[0080] 半導体装置A5において、アイランド部21の第1段差部211a, 211cは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されており、封止樹脂5に覆われている。各第1段差部211a, 211cは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx2側に凹んでいる。このような構成によれば、封止樹脂5の熱収縮を2つの第1段差部211a, 211cで受けることが可能である。このため、半導体素子1の周縁付近（半導体素子1の第1方向xのx1側および第2方向yのy1側の角部付近）に作用する応力を低減することができる。

[0081] アイランド部21の第2段差部212a, 212cは、第2方向yにおいて半導体素子1よりも第2方向yのy1側に形成されており、封止樹脂5に覆われている。各第2段差部212a, 212cは、第2方向yのy2側よりも第2方向yのy1側が第1方向xのx1側に凹んでいる。このような構成によれば、封止樹脂5の熱収縮を2つの第2段差部212a, 212cで受けることが可能である。このため、半導体素子1の周縁付近（半導体素子1の第1方向xのx2側および第2方向yのy1側の角部付近）に作用する応力を低減することができる。

[0082] 半導体素子1は、厚さ方向zに見て主部21A、第1薄肉部21Bおよび第2薄肉部21Cに重なる。このような構成によれば、半導体素子1の周縁付近に作用する応力を低減しつつ、アイランド部21に搭載される半導体素子1のサイズを拡大することが可能である。

[0083] 本開示に係る半導体装置は、上述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0084] 本開示は、以下の付記に記載した実施形態を含む。

付記1.

アイランド部を有する第1導通部材と、

前記アイランド部の厚さ方向の一方側に配置された半導体素子と、

前記半導体素子、および前記第1導通部材の少なくとも一部を覆う封止樹脂と、を備え、

前記アイランド部は、前記厚さ方向と直交する第1方向の一方側に位置し、且つ前記厚さ方向および前記第1方向と直交する第2方向に延びる第1縁部を含み、

前記第1縁部は、前記封止樹脂に覆われるとともに、前記第2方向において前記半導体素子よりも前記第2方向の一方側に形成された第1段差部を有し、

前記第1段差部は、前記第2方向の他方側よりも前記第2方向の一方側が前記第1方向の他方側に凹む、半導体装置。

付記2.

前記アイランド部は、前記厚さ方向の一方側を向く第1主面と、前記厚さ方向の他方側を向く第2主面と、を有し、

前記半導体素子は、前記厚さ方向の一方側を向く素子第1面と、前記厚さ方向の他方側を向き、且つ前記第1主面に対向する素子第2面と、を有する、付記1に記載の半導体装置。

付記3.

前記アイランド部は、主部を含み、

前記主部は、前記第1主面の少なくとも一部と、前記第2主面と、を有する、付記2に記載の半導体装置。

付記4.

前記アイランド部は、前記主部の前記第1方向の一方側につながる第1薄肉部を含み、

前記第1薄肉部は、前記第1主面の一部と、前記厚さ方向の他方側を向き、且つ前記厚さ方向において前記第1主面および前記第2主面の間に位置する第1中間面と、を有し、

前記第1薄肉部は、前記第1縁部の少なくとも一部を含む、付記3に記載の半導体装置。

付記 5.

前記第 1 段差部は、前記第 1 薄肉部に形成される、付記 4 に記載の半導体装置。

付記 6.

前記第 1 段差部は、前記主部に形成される、付記 3 または 4 に記載の半導体装置。

付記 7.

前記半導体素子は、前記厚さ方向に見て前記主部および前記第 1 薄肉部に重なる、付記 4 ないし 6 のいずれかに記載の半導体装置。

付記 8.

前記第 1 縁部は、前記第 1 段差部を含んで構成され、且つ前記第 1 方向の他方側に凹んだ第 1 凹部を有する、付記 1 ないし 7 のいずれかに記載の半導体装置。

付記 9.

前記アイランド部は、前記第 1 方向の他方側に位置し、且つ前記第 2 方向に延びる第 2 縁部を含み、

前記第 2 縁部は、前記封止樹脂に覆われるとともに、前記第 2 方向において前記半導体素子よりも前記第 2 方向の一方側に形成された第 2 段差部を有し、

前記第 2 段差部は、前記第 2 方向の他方側よりも前記第 2 方向の一方側が前記第 1 方向の一方側に凹む、付記 1 ないし 8 のいずれかに記載の半導体装置。

付記 10.

前記アイランド部は、前記第 1 方向の他方側に位置し、且つ前記第 2 方向に延びる第 2 縁部を含み、

前記第 2 縁部は、前記封止樹脂に覆われるとともに、前記第 2 方向において前記半導体素子よりも前記第 2 方向の一方側に形成された第 2 段差部を有し、

前記第 2 段差部は、前記第 2 方向の他方側よりも前記第 2 方向の一方側が前記第 1 方向の一方側に凹み、

前記アイランド部は、前記主部の前記第 1 方向の他方側につながる第 2 薄肉部を含み、

前記第 2 薄肉部は、前記第 1 主面の一部と、前記厚さ方向の他方側を向き、且つ前記厚さ方向において前記第 1 主面および前記第 2 主面の間に位置する第 2 中間面と、を有し、

前記第 2 薄肉部は、前記第 2 縁部の少なくとも一部を含む、付記 4 ないし 7 のいずれかに記載の半導体装置。

付記 1 1.

前記第 2 段差部は、前記第 2 薄肉部に形成される、付記 1 0 に記載の半導体装置。

付記 1 2.

前記第 2 段差部は、前記主部に形成される、付記 1 0 に記載の半導体装置。

付記 1 3.

前記半導体素子は、前記厚さ方向に見て、前記主部と前記第 2 薄肉部に重なる、付記 1 0 ないし 1 2 のいずれかに記載の半導体装置。

付記 1 4.

前記第 2 縁部は、前記第 2 段差部を含んで構成され、且つ前記第 1 方向の一方側に凹んだ第 2 凹部を有する、付記 9 ないし 1 3 のいずれかに記載の半導体装置。

付記 1 5.

前記半導体素子は、前記厚さ方向の一方側に配置された第 1 電極と、前記厚さ方向の他方側に配置された第 2 電極と、を有し、

前記第 2 電極は、前記アイランド部の前記厚さ方向の一方側に導通接合される、付記 1 ないし 1 4 のいずれかに記載の半導体装置。

付記 1 6.

前記第1電極に導通接合された第2導通部材と、前記第3電極に導通接合された第3導通部材と、をさらに備え、

前記半導体素子は、前記厚さ方向の一方側に配置された第3電極を有する、付記15に記載の半導体装置。

### 符号の説明

- [0085] A1, A2, A3, A4, A5 : 半導体装置                      1 : 半導体素子
- 101 : 素子第1面                      102 : 素子第2面
- 11 : 第1電極                      12 : 第2電極
- 13 : 第3電極                      19 : 導電性接合材
- 2 : 第1導通部材                      201 : 第1主面
- 202 : 第2主面                      203 : 第1中間面
- 204 : 第2中間面                      21 : アイランド部
- 21A : 主部                      21B : 第1薄肉部
- 21C : 第2薄肉部                      211 : 第1縁部
- 211a, 211c : 第1段差部                      211b : 第1凹部
- 212 : 第2縁部                      212a, 212c : 第2段差部
- 212b : 第2凹部                      213 : 第3縁部
- 214 : 凹溝                      22 : 第1端子部
- 23 : 貫通孔                      3 : 第2導通部材
- 31 : パッド部                      32 : 第2端子部
- 39 : 導電性接合材                      4 : 第3導通部材
- 41 : パッド部                      42 : 第3端子部
- 49 : 導電性接合材                      5 : 封止樹脂
- 51 : 第1樹脂面                      52 : 第2樹脂面
- 53 : 第3樹脂面                      54 : 第4樹脂面
- 55 : 第5樹脂面                      56 : 第6樹脂面

## 請求の範囲

- [請求項1] アイランド部を有する第1導通部材と、  
前記アイランド部の厚さ方向の一方側に配置された半導体素子と、  
前記半導体素子、および前記第1導通部材の少なくとも一部を覆う封止樹脂と、を備え、  
前記アイランド部は、前記厚さ方向と直交する第1方向の一方側に位置し、且つ前記厚さ方向および前記第1方向と直交する第2方向に延びる第1縁部を含み、  
前記第1縁部は、前記封止樹脂に覆われるとともに、前記第2方向において前記半導体素子よりも前記第2方向の一方側に形成された第1段差部を有し、  
前記第1段差部は、前記第2方向の他方側よりも前記第2方向の一方側が前記第1方向の他方側に凹む、半導体装置。
- [請求項2] 前記アイランド部は、前記厚さ方向の一方側を向く第1主面と、前記厚さ方向の他方側を向く第2主面と、を有し、  
前記半導体素子は、前記厚さ方向の一方側を向く素子第1面と、前記厚さ方向の他方側を向き、且つ前記第1主面に対向する素子第2面と、を有する、請求項1に記載の半導体装置。
- [請求項3] 前記アイランド部は、主部を含み、  
前記主部は、前記第1主面の少なくとも一部と、前記第2主面と、を有する、請求項2に記載の半導体装置。
- [請求項4] 前記アイランド部は、前記主部の前記第1方向の一方側につながる第1薄肉部を含み、  
前記第1薄肉部は、前記第1主面の一部と、前記厚さ方向の他方側を向き、且つ前記厚さ方向において前記第1主面および前記第2主面の間に位置する第1中間面と、を有し、  
前記第1薄肉部は、前記第1縁部の少なくとも一部を含む、請求項3に記載の半導体装置。

- [請求項5] 前記第1段差部は、前記第1薄肉部に形成される、請求項4に記載の半導体装置。
- [請求項6] 前記第1段差部は、前記主部に形成される、請求項3または4に記載の半導体装置。
- [請求項7] 前記半導体素子は、前記厚さ方向に見て前記主部および前記第1薄肉部に重なる、請求項4ないし6のいずれかに記載の半導体装置。
- [請求項8] 前記第1縁部は、前記第1段差部を含んで構成され、且つ前記第1方向の他方側に凹んだ第1凹部を有する、請求項1ないし7のいずれかに記載の半導体装置。
- [請求項9] 前記アイランド部は、前記第1方向の他方側に位置し、且つ前記第2方向に延びる第2縁部を含み、  
前記第2縁部は、前記封止樹脂に覆われるとともに、前記第2方向において前記半導体素子よりも前記第2方向の一方側に形成された第2段差部を有し、  
前記第2段差部は、前記第2方向の他方側よりも前記第2方向の一方側が前記第1方向の一方側に凹む、請求項1ないし8のいずれかに記載の半導体装置。
- [請求項10] 前記アイランド部は、前記第1方向の他方側に位置し、且つ前記第2方向に延びる第2縁部を含み、  
前記第2縁部は、前記封止樹脂に覆われるとともに、前記第2方向において前記半導体素子よりも前記第2方向の一方側に形成された第2段差部を有し、  
前記第2段差部は、前記第2方向の他方側よりも前記第2方向の一方側が前記第1方向の一方側に凹み、  
前記アイランド部は、前記主部の前記第1方向の他方側につながる第2薄肉部を含み、  
前記第2薄肉部は、前記第1主面の一部と、前記厚さ方向の他方側を向き、且つ前記厚さ方向において前記第1主面および前記第2主面

の間に位置する第2中間面と、を有し、

前記第2薄肉部は、前記第2縁部の少なくとも一部を含む、請求項4ないし7のいずれかに記載の半導体装置。

[請求項11] 前記第2段差部は、前記第2薄肉部に形成される、請求項10に記載の半導体装置。

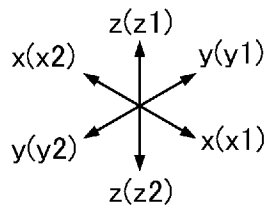
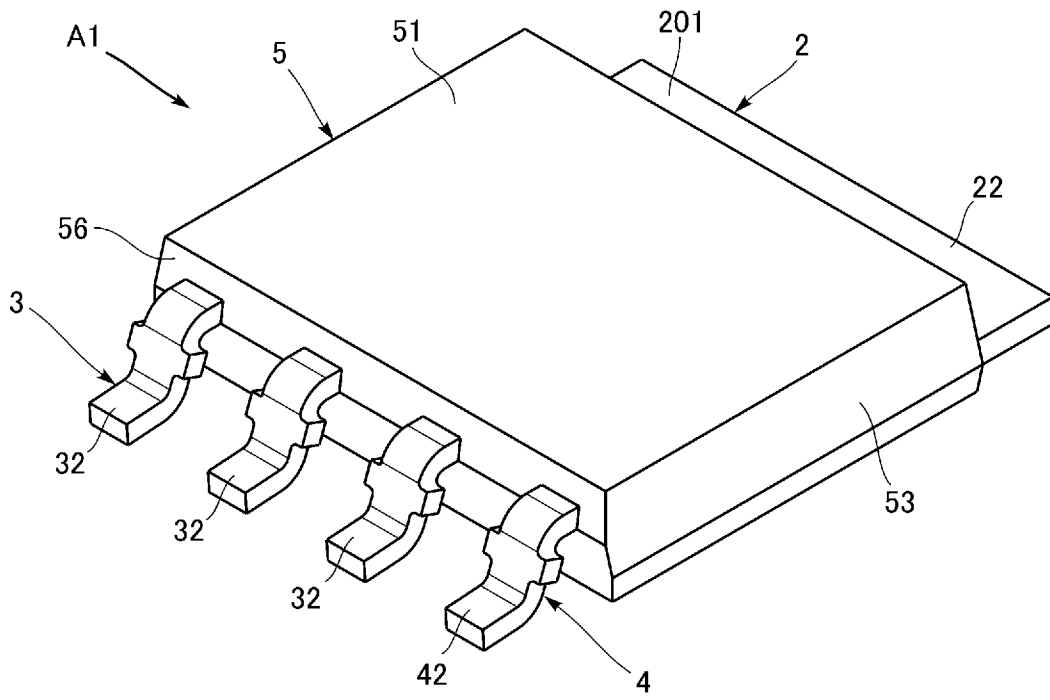
[請求項12] 前記第2段差部は、前記主部に形成される、請求項10に記載の半導体装置。

[請求項13] 前記半導体素子は、前記厚さ方向に見て、前記主部と前記第2薄肉部に重なる、請求項10ないし12のいずれかに記載の半導体装置。

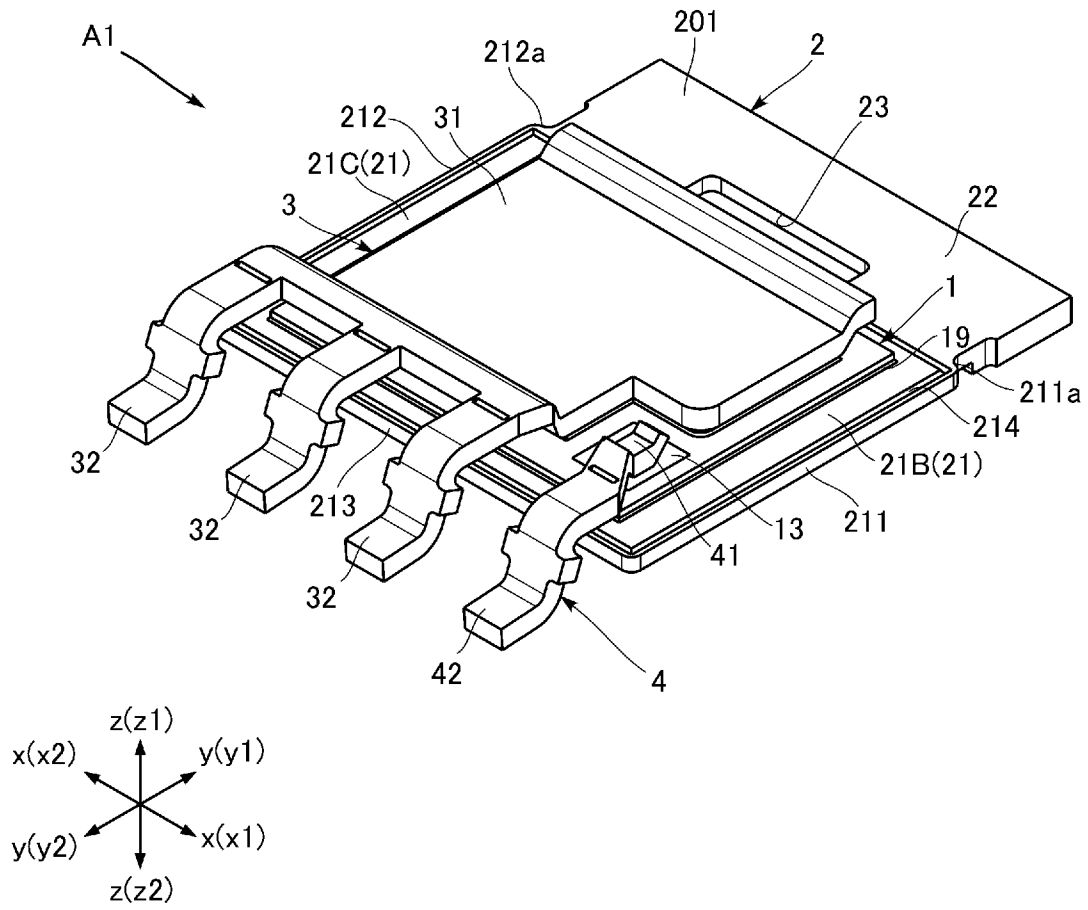
[請求項14] 前記第2縁部は、前記第2段差部を含んで構成され、且つ前記第1方向の一方側に凹んだ第2凹部を有する、請求項9ないし13のいずれかに記載の半導体装置。

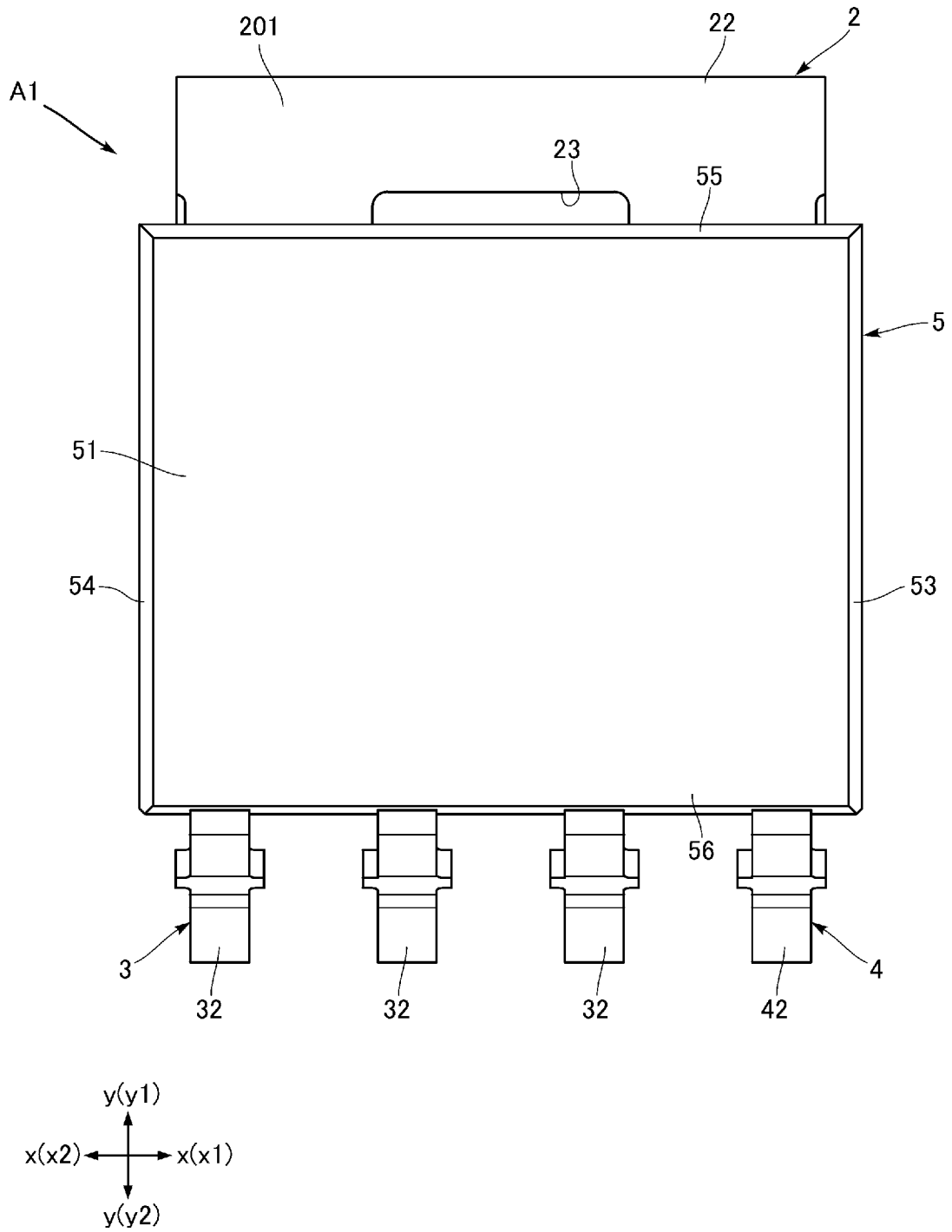
[請求項15] 前記半導体素子は、前記厚さ方向の一方側に配置された第1電極と、前記厚さ方向の他方側に配置された第2電極と、を有し、  
前記第2電極は、前記アイランド部の前記厚さ方向の一方側に導通接合される、請求項1ないし14のいずれかに記載の半導体装置。

[請求項16] 前記第1電極に導通接合された第2導通部材と、前記第3電極に導通接合された第3導通部材と、をさらに備え、  
前記半導体素子は、前記厚さ方向の一方側に配置された第3電極を有する、請求項15に記載の半導体装置。

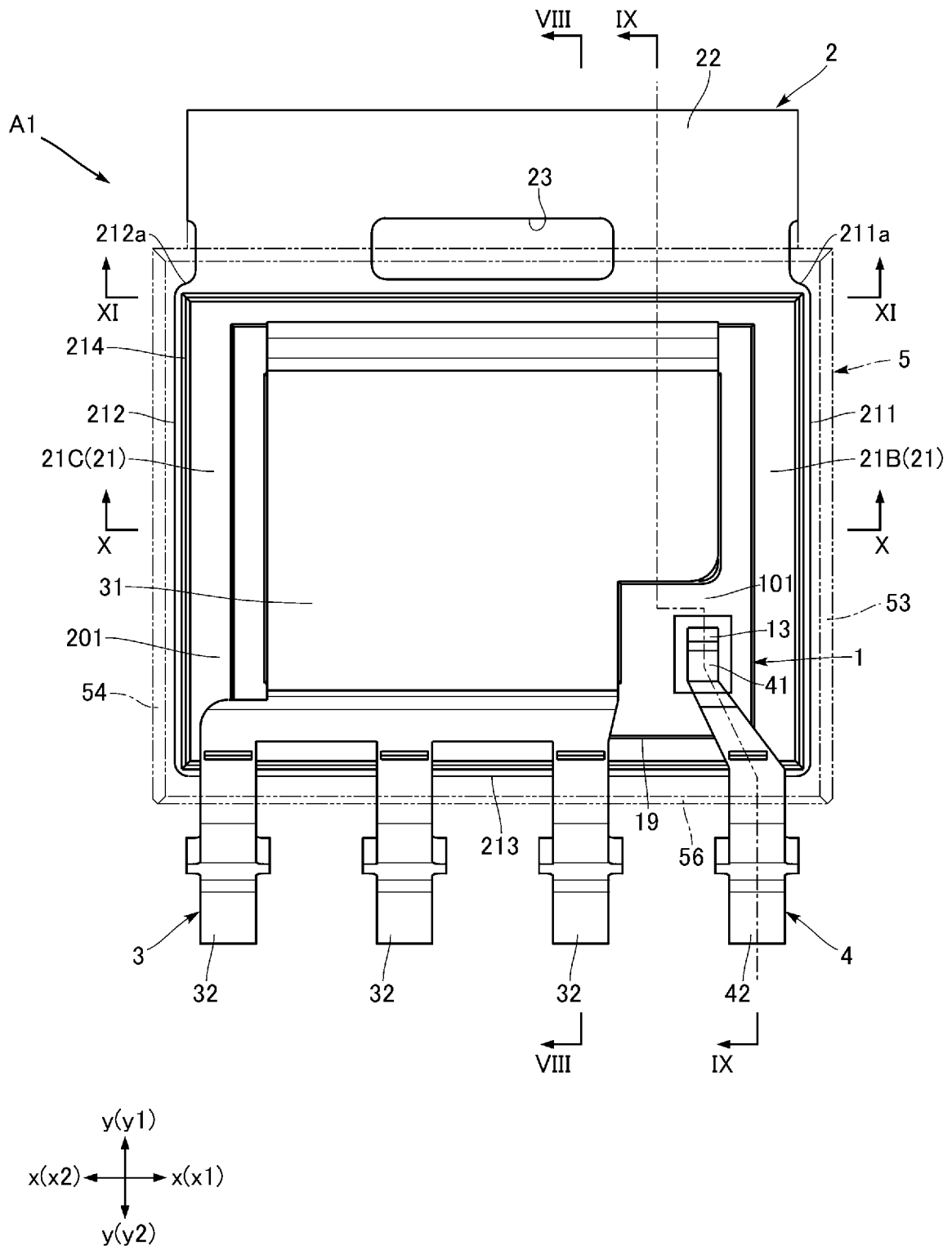
[図1]  
FIG.1

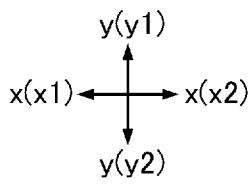
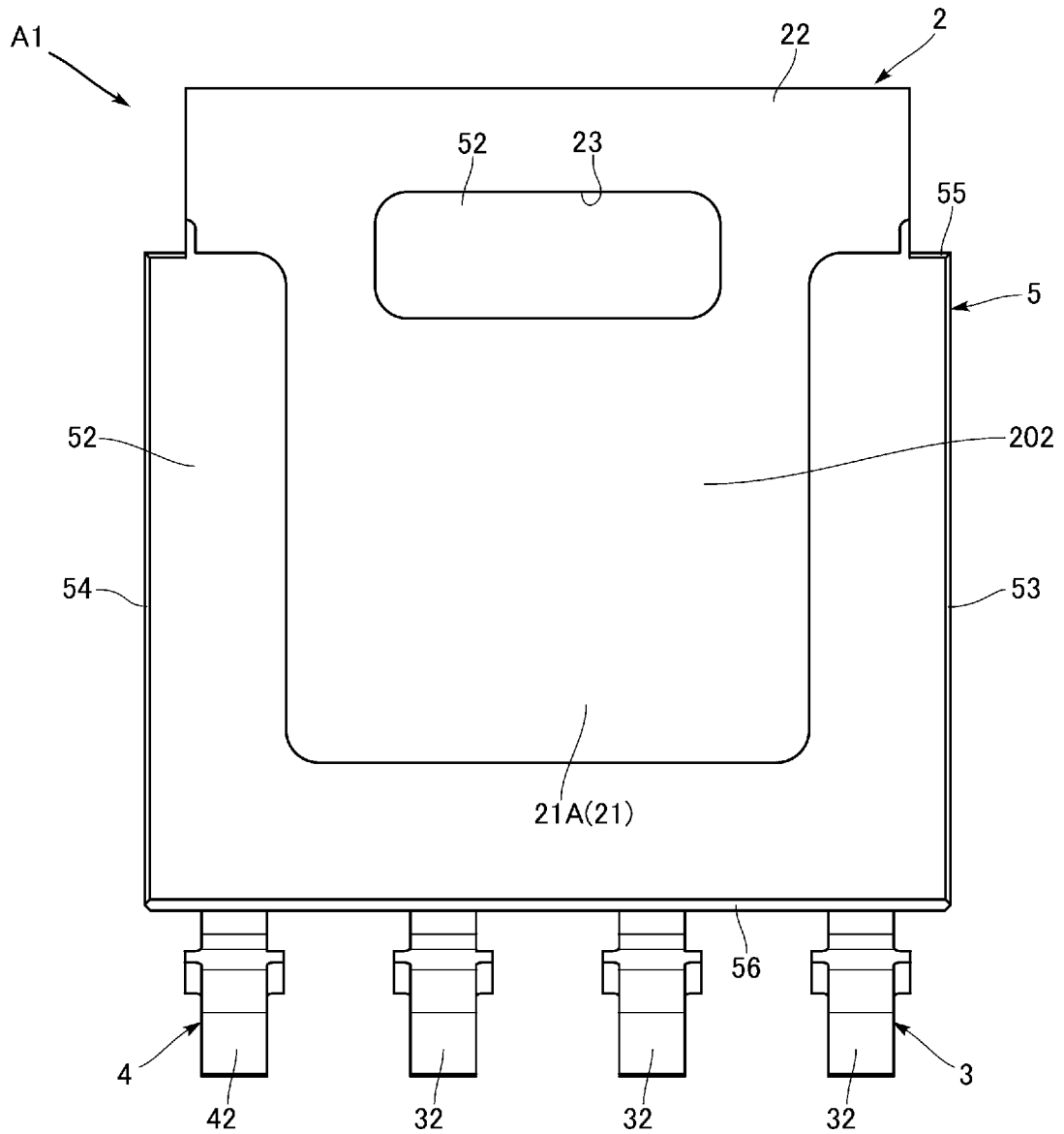
[図2]  
FIG.2



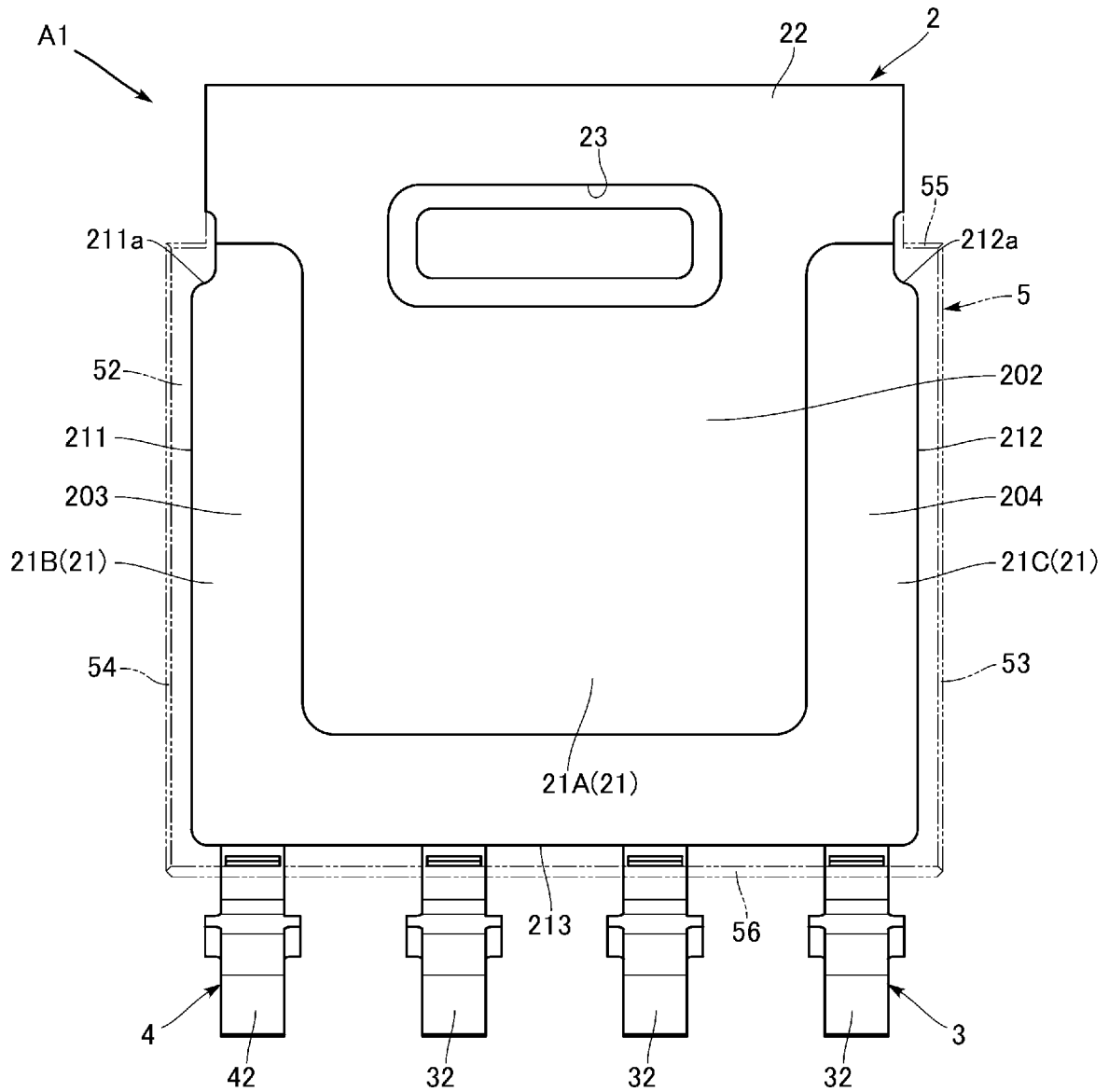
[図3]  
FIG.3

[図4]  
FIG.4

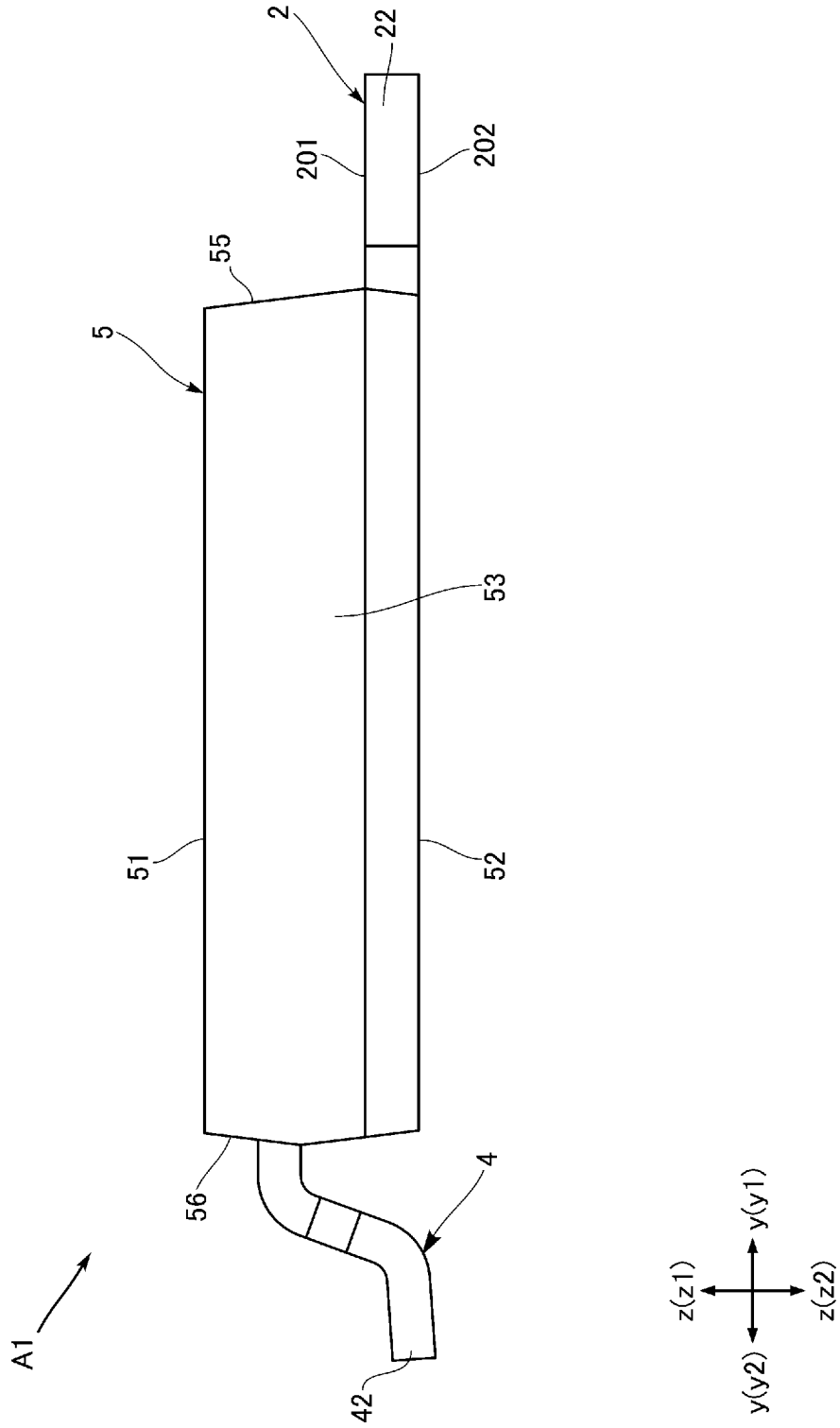


[図5]  
FIG.5

[図6]  
FIG.6

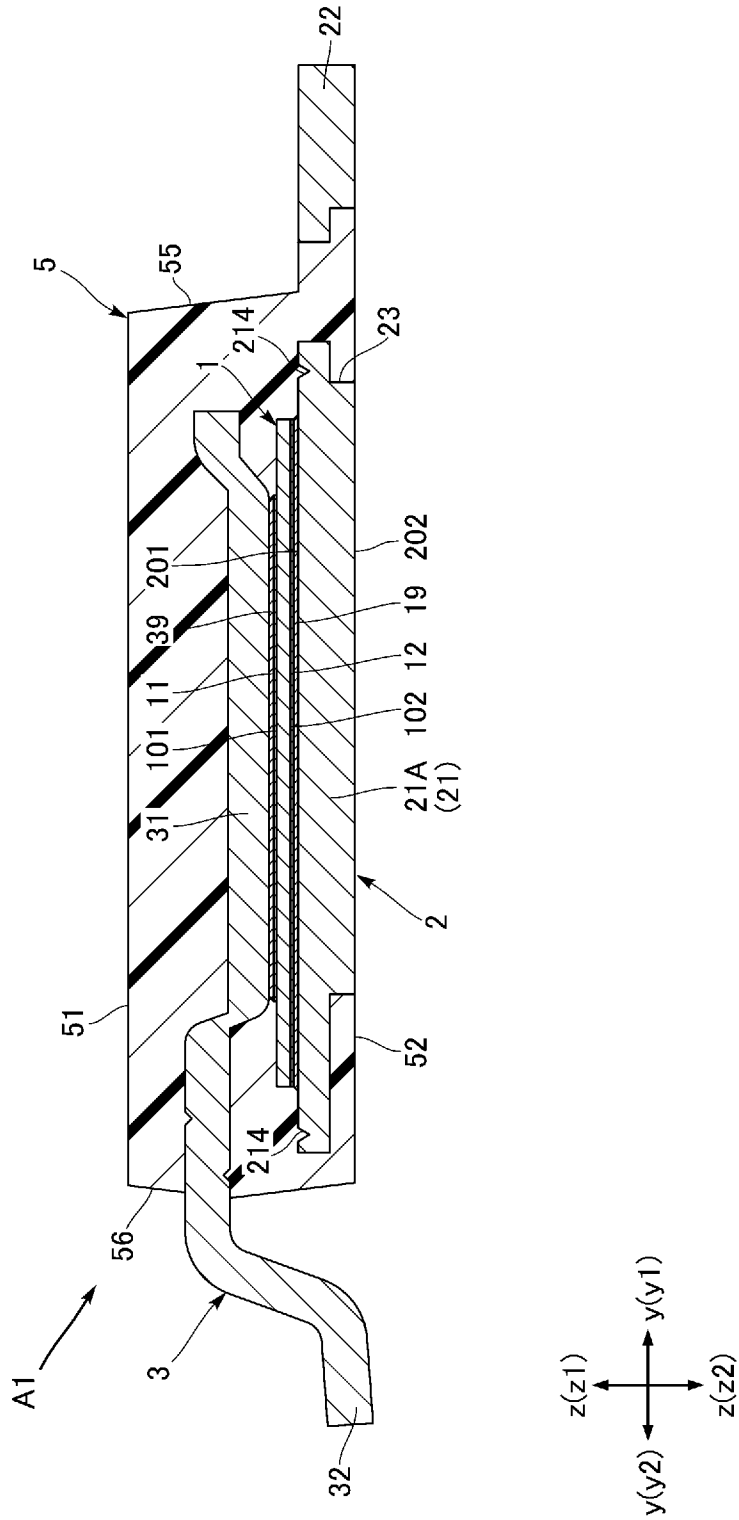


[7]



[8]

FIG. 8



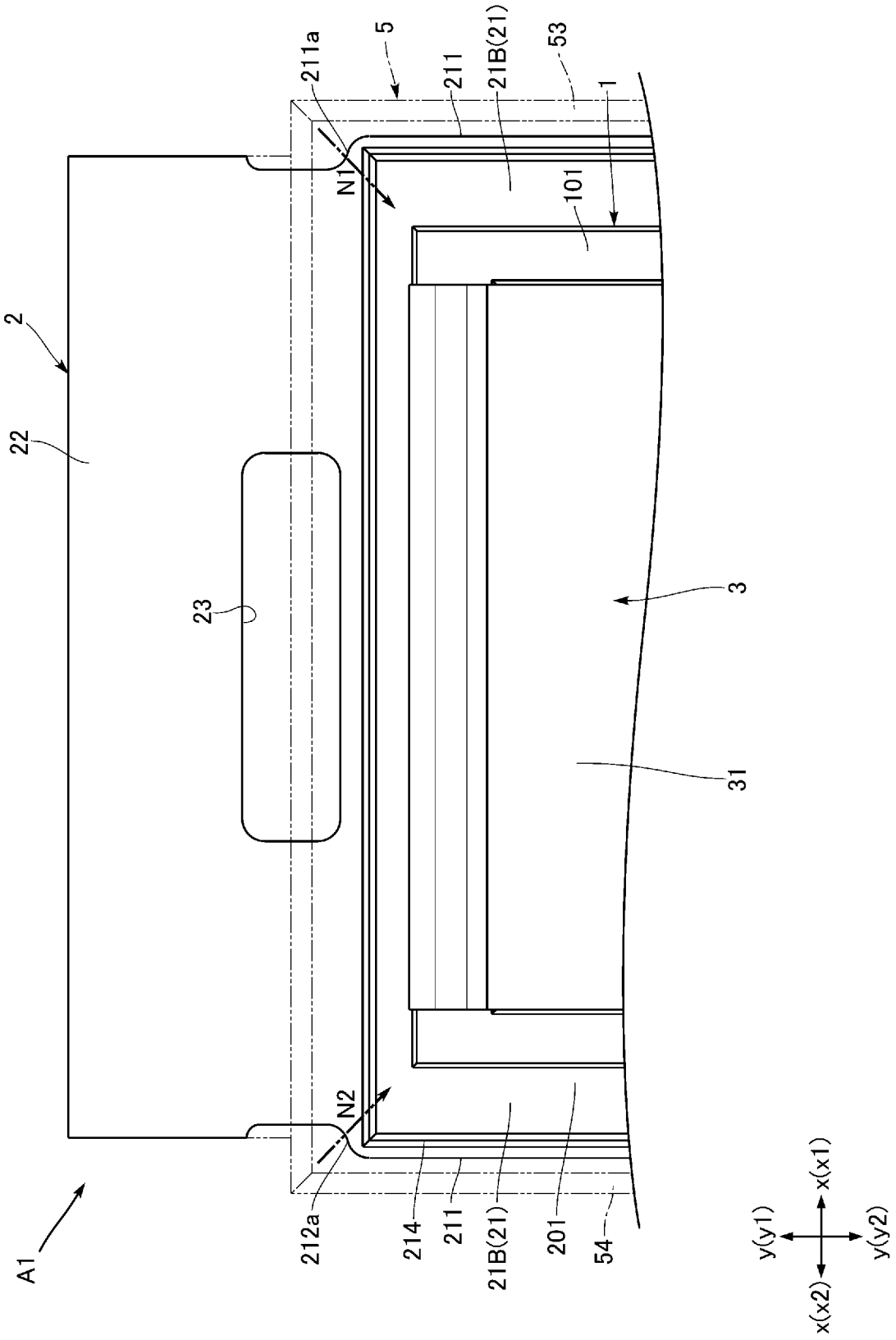




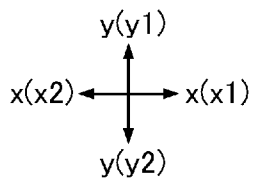
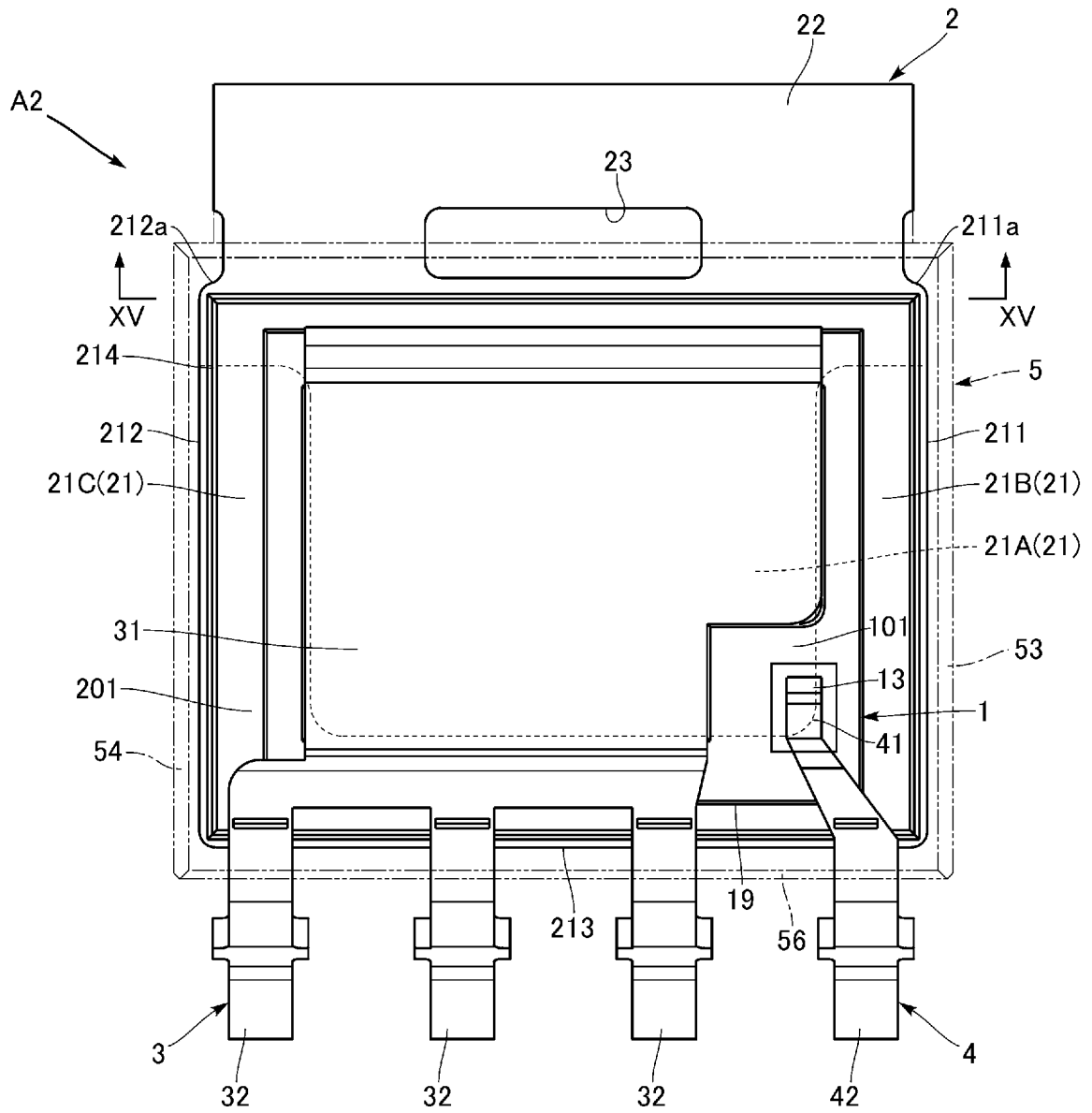


[FIG.12]

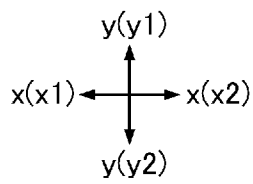
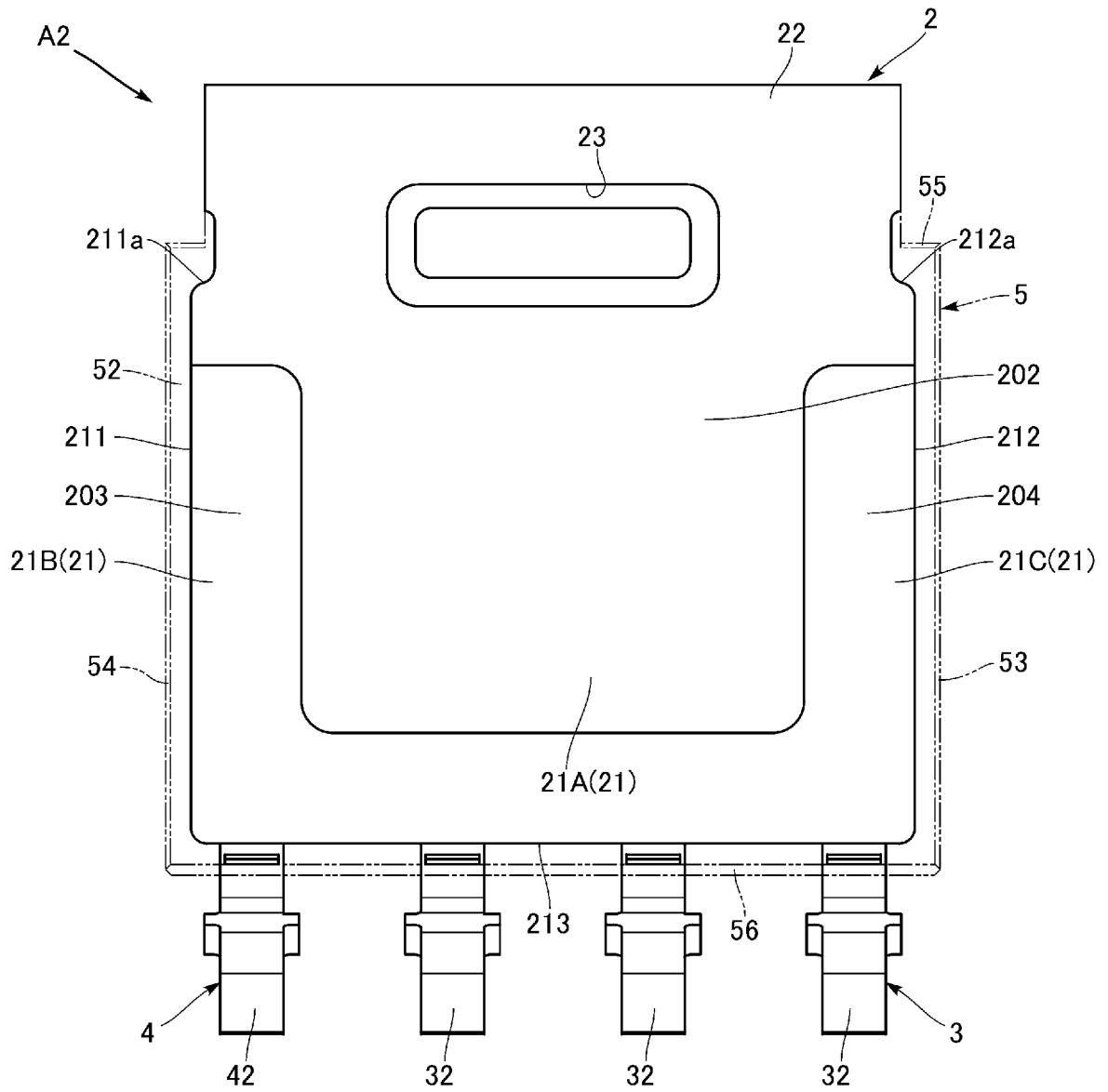
FIG.12



[13]  
FIG.13

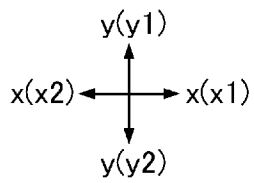
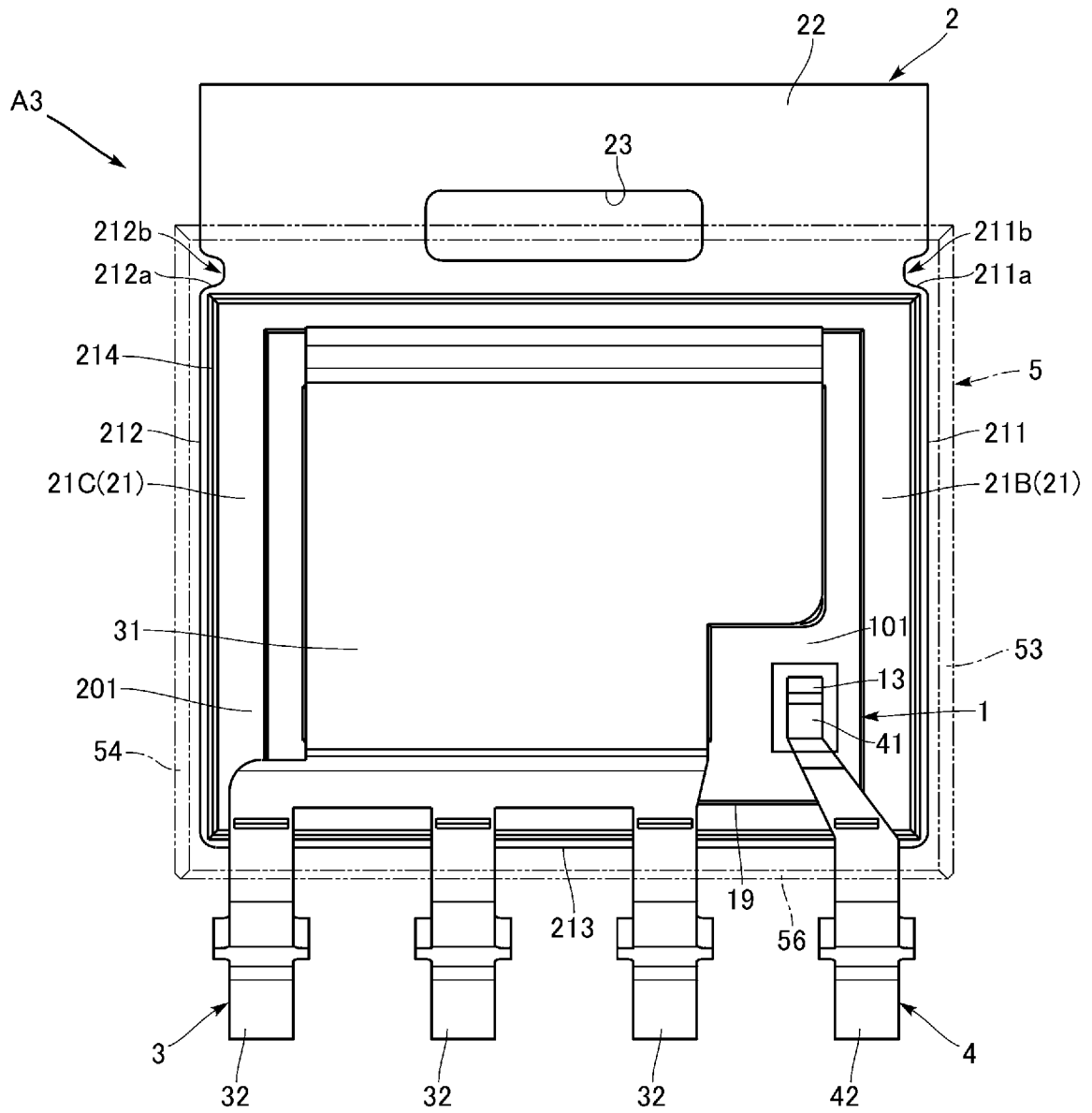


[14]  
FIG.14

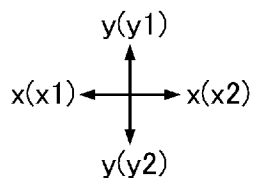
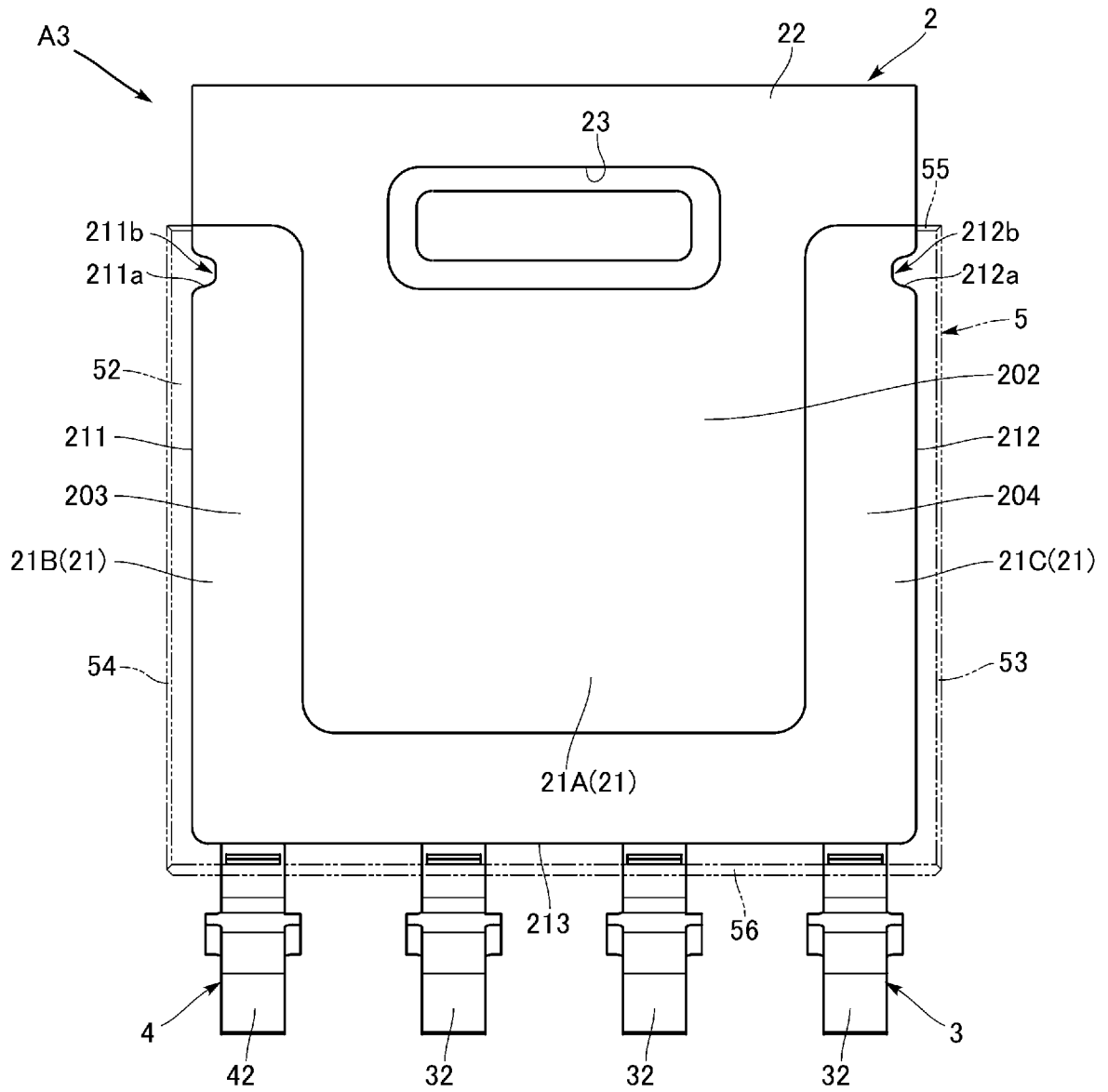




[16]  
FIG.16

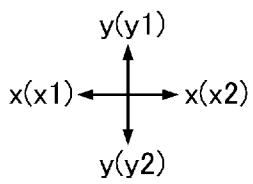
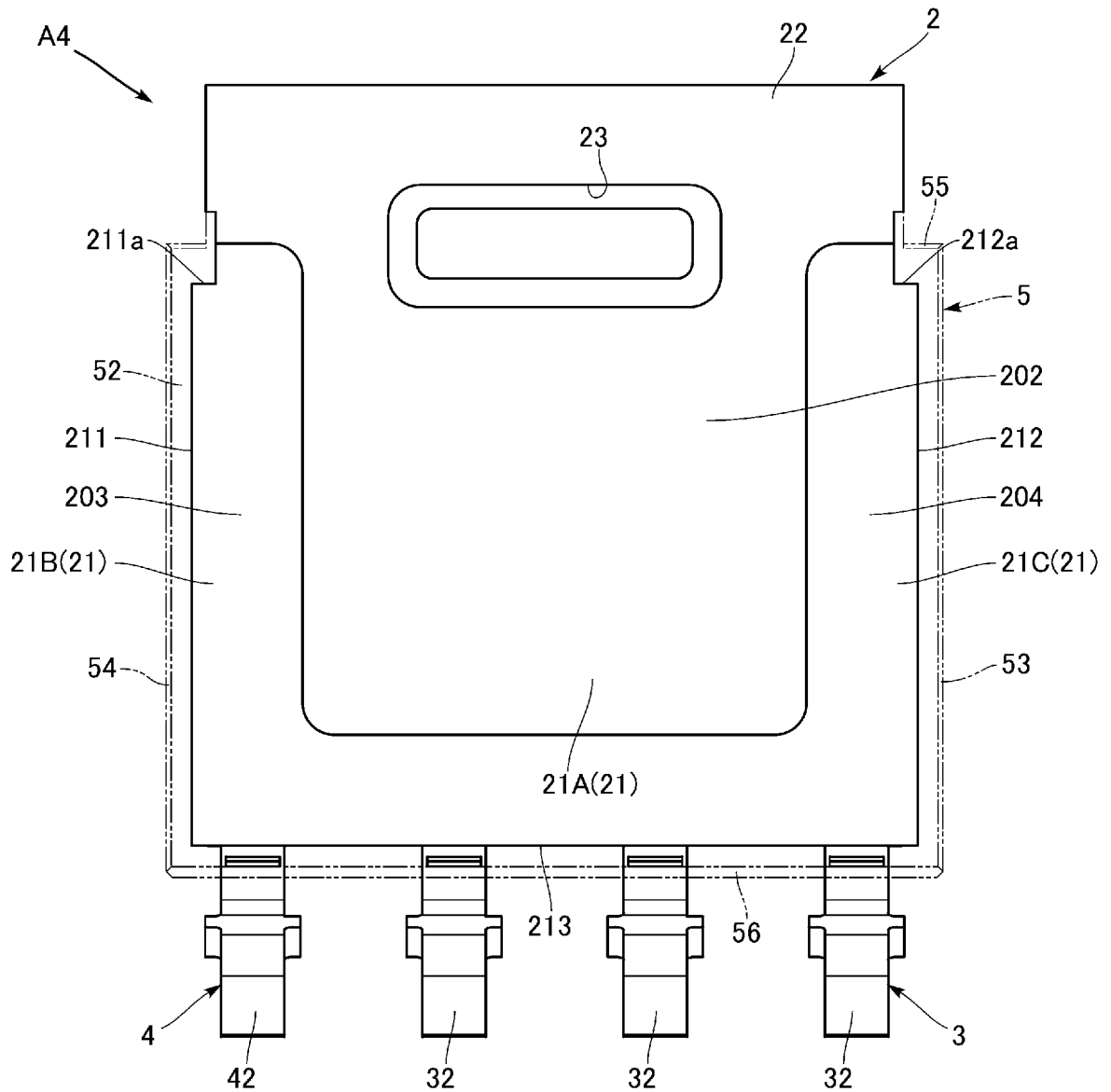


[  
FIG.17



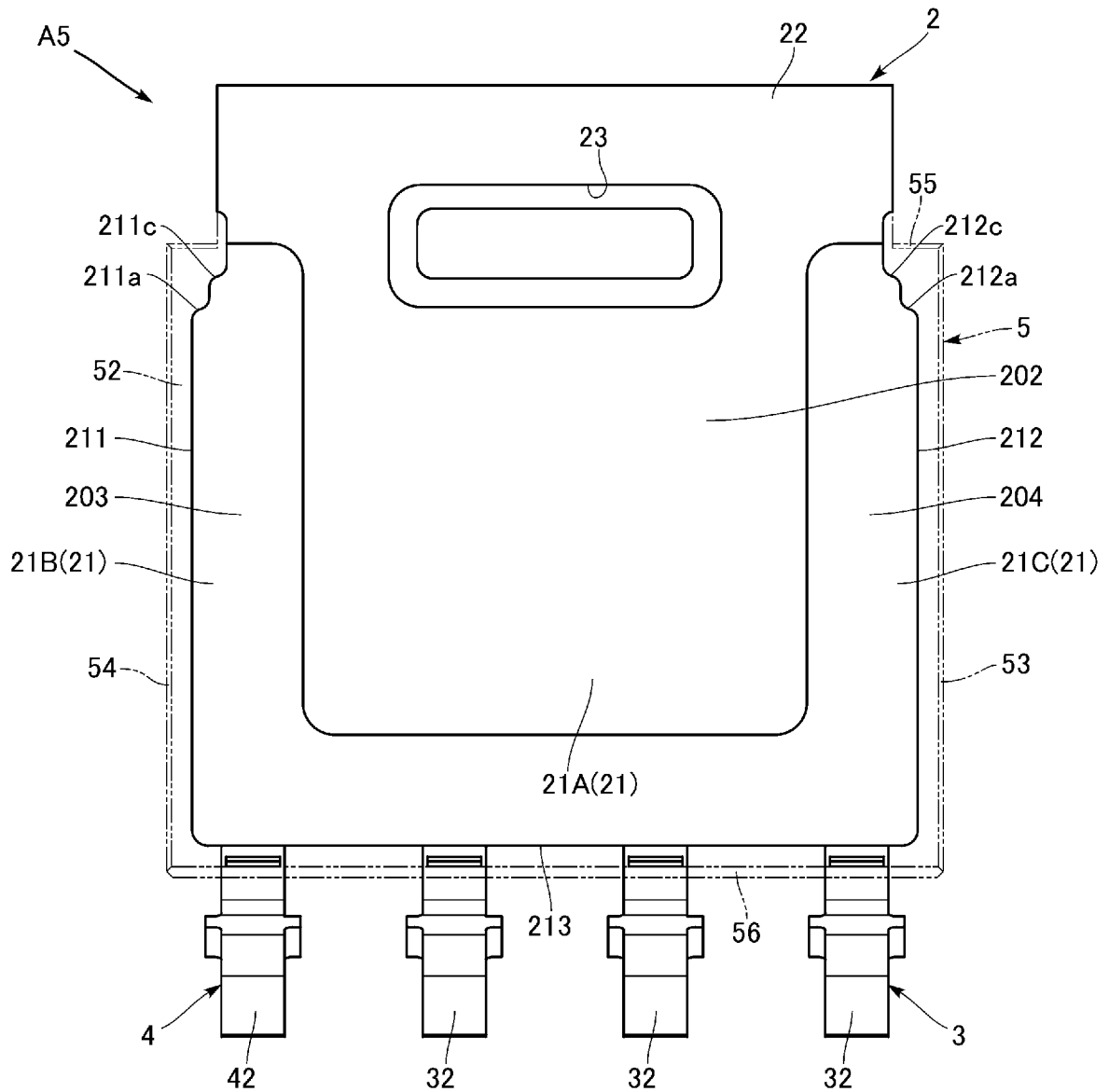


[]19]  
FIG.19





[21]  
FIG.21



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2024/004262**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 23/48</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i FI: H01L23/48 H; H01L25/04 C		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L23/48; H01L25/07; H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2019/198800 A1 (ROHM CO., LTD.) 17 October 2019 (2019-10-17) paragraphs [0017]-[0021], [0033], fig. 1-3	1-3, 6, 8-9, 14-16
A	paragraphs [0017]-[0021], [0033], fig. 1-3	4-5, 7, 10-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>17 April 2024</b>		Date of mailing of the international search report <b>07 May 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/004262**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2019/198800	A1	17 October 2019	US	2021/0098346	A1	
				paragraphs [0087]-[0091], [0103], fig. 1-3			
				DE	112019001917	T5	
				CN	111937126	A	
-----							

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 23/48(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i FI: H01L23/48 H; H01L25/04 C</p>											
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L23/48; H01L25/07; H01L25/18</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年	
日本国実用新案公報	1922 - 1996年										
日本国公開実用新案公報	1971 - 2024年										
日本国実用新案登録公報	1996 - 2024年										
日本国登録実用新案公報	1994 - 2024年										
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2019/198800 A1 (ローム株式会社) 17.10.2019 (2019-10-17) 段落 [0017] - [0021] [0033], 図1-3</td> <td>1-3, 6, 8-9, 14-16</td> </tr> <tr> <td>A</td> <td>段落 [0017] - [0021] [0033], 図1-3</td> <td>4-5, 7, 10-13</td> </tr> </tbody> </table> <hr/> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“D” 国際出願で出願人が先行技術文献として記載した文献</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	WO 2019/198800 A1 (ローム株式会社) 17.10.2019 (2019-10-17) 段落 [0017] - [0021] [0033], 図1-3	1-3, 6, 8-9, 14-16	A	段落 [0017] - [0021] [0033], 図1-3	4-5, 7, 10-13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X	WO 2019/198800 A1 (ローム株式会社) 17.10.2019 (2019-10-17) 段落 [0017] - [0021] [0033], 図1-3	1-3, 6, 8-9, 14-16									
A	段落 [0017] - [0021] [0033], 図1-3	4-5, 7, 10-13									
<p>国際調査を完了した日</p> <p>17.04.2024</p>	<p>国際調査報告の発送日</p> <p>07.05.2024</p>										
<p>名称及びあて先</p> <p>日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>五貫 昭一 5D 9368</p> <p>電話番号 03-3581-1101 内線 3549</p>										

国際調査報告  
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/004262

引用文献	公表日	パテントファミリー文献	公表日
WO 2019/198800 A1	17.10.2019	US 2021/0098346 A1 段落 [0087] - [0091] [0103], 図1 - 3 DE 112019001917 T5 CN 111937126 A	