

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-253620  
(P2004-253620A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/338	HO 1 L 29/80	4 M 1 0 4
HO 1 L 21/28	HO 1 L 21/28	5 F 1 0 2
HO 1 L 29/41	HO 1 L 29/44	S
HO 1 L 29/812		

審査請求 有 請求項の数 9 O L (全 14 頁)

(21) 出願番号	特願2003-42512 (P2003-42512)	(71) 出願人	302000346 NEC化合物デバイス株式会社 神奈川県川崎市中原区下沼部1753
(22) 出願日	平成15年2月20日 (2003.2.20)	(74) 代理人	100088328 弁理士 金田 暢之
		(74) 代理人	100106297 弁理士 伊藤 克博
		(74) 代理人	100106138 弁理士 石橋 政幸
		(72) 発明者	石倉 幸治 神奈川県川崎市中原区下沼部1753 N EC化合物デバイス株式会社内
		Fターム(参考)	4M104 AA05 BB11 BB28 CC03 DD06 DD08 DD12 DD16 DD17 DD65 FF06 FF10 FF13 GG12 HH20 最終頁に続く

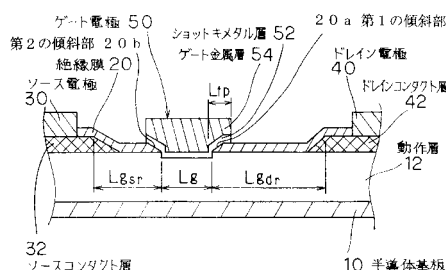
(54) 【発明の名称】 電界効果型トランジスタおよびその製造方法

(57) 【要約】

【課題】 電界緩和効果を得るとともに、利得を向上させた電界効果型トランジスタを提供する。

【解決手段】 半導体動作層12上に形成されたソース電極30およびドレイン電極40と、半導体動作層12上のソース電極30とドレイン電極40間に形成される、ドレイン電極40側の側壁が半導体動作層12上面と垂直な面からドレイン電極40側に傾いて形成された第1の傾斜部20aを備えた開口を有する絶縁膜20と、開口を介して半導体動作層12と接合された、少なくともドレイン電極40側の側壁を覆うゲート電極50とを有する構成である。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体動作層上に形成されたソース電極およびドレイン電極と、前記半導体動作層上の前記ソース電極と前記ドレイン電極間に形成される、前記ドレイン電極側の側壁が前記半導体動作層上面と垂直な面から前記ドレイン電極側に傾いて形成された第 1 の傾斜部を備えた開口を有する絶縁膜と、前記開口を介して前記半導体動作層と接合された、少なくとも前記ドレイン電極側の側壁を覆うゲート電極と、を有する電界効果型トランジスタ。

## 【請求項 2】

前記半導体動作層上面に対して前記第 1 の傾斜部の角度が 30 ~ 60 度である請求項 1 記載の電界効果型トランジスタ。

## 【請求項 3】

前記開口は、前記ソース電極側の側壁が前記半導体動作層上面と垂直な面から前記ソース電極側に傾いて形成された第 2 の傾斜部を備え、前記ゲート電極の前記ソース電極側の側壁が前記第 2 の傾斜部上に形成された請求項 1 または 2 記載の電界効果型トランジスタ。

## 【請求項 4】

前記開口から前記ソース電極側に形成された前記絶縁膜の一部が前記ゲート電極で覆われ、前記絶縁膜の一部における最大膜厚が、前記第 1 の傾斜部の上端から前記ドレイン電極側の前記絶縁膜の膜厚に比べて厚い請求項 1 乃至 3 のいずれか 1 項記載の電界効果型トランジスタ。

## 【請求項 5】

半導体動作層上のソース電極およびドレイン電極間にゲート電極を有する電界効果型トランジスタの製造方法であって、前記半導体動作層上の前記ソース電極と前記ドレイン電極間に形成された絶縁膜に、前記ドレイン電極側の側壁が前記半導体動作層上面と垂直な面から前記ドレイン電極側に傾いて形成された傾斜部を備える、前記半導体動作層の一部を露出させるための開口を形成し、少なくとも前記傾斜部と前記開口の前記半導体動作層上面を覆う前記ゲート電極を形成する電界効果型トランジスタの製造方法。

## 【請求項 6】

前記絶縁膜は、前記傾斜部上端から前記ドレイン電極側の部位よりも前記開口の前記ソース電極側の端から前記ソース電極側の部位の膜厚が厚い請求項 5 記載の電界効果型トランジスタの製造方法。

## 【請求項 7】

前記開口を形成するためのフォトリジストを前記絶縁膜上に形成し、前記絶縁膜よりも前記フォトリジストのエッチング速度が大きい条件で、かつ前記半導体動作層上面に対して前記傾斜部の角度が 60 度よりも小さくなるように前記絶縁膜をエッチングすることで、前記開口を形成する請求項 5 または 6 記載の電界効果型トランジスタの製造方法。

## 【請求項 8】

前記開口を形成するためのフォトリジストを前記絶縁膜上に形成し、前記絶縁膜よりも前記フォトリジストのエッチング速度が小さい条件で、かつ前記半導体動作層上面に対して前記傾斜部の角度が 30 度よりも大きくなるように前記絶縁膜をエッチングすることで、前記開口を形成する請求項 5 または 6 記載の電界効果型トランジスタの製造方法。

## 【請求項 9】

10

20

30

40

50

前記開口を形成するためのフォトリジストを前記絶縁膜上に形成し、前記絶縁膜と前記フォトリジストのエッチング速度が等しい条件で前記絶縁膜をエッチングすることで、前記開口を形成する請求項5または6記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲート電極に印加する電圧により、ソース電極とドレイン電極間に流れる電流を制御する電界効果型トランジスタおよびその製造方法に関する。

【0002】

10

【従来の技術】

従来、電界効果型トランジスタ(FET: Field Effect Transistor)のうち、空乏層およびチャネルを生じさせる半導体動作層(以下、単に動作層と称する)にゲート電極を接合させたMES(Metal Semiconductor)FETは、ゲート電極に印加する電圧に対応して、動作層内の空乏層の広がりを変化させることにより、ソース電極とドレイン電極間に流れる電流を制御する。MESFETのうち、特に、GaAs等の化合物半導体を動作層とするFETは、シリコン半導体に比べて電子移動度が数倍大きく、高周波用のFETとして利用されることが多い。

【0003】

上記高周波用のFETでは、ゲート電極とドレイン電極の間の半導体表面において表面空乏層が広がることで、高い周波数の信号に対してゲートが空乏層を制御できなくなるパルス分散が発生し、出力低下や歪の劣化等の問題を引き起こすことがある。一方、高周波用のFETを高出力化する場合、高電圧動作が有効だが、高電圧動作にはFETの高い耐圧を必要とする。高い耐圧を得るためにはゲート電極とドレイン電極の間の距離を広げたりする必要があるが、半導体表面の荒れや汚染によって表面空乏層が影響を受けやすくなり、上記パルス分散により高電圧にしても電圧に伴った出力が出ず効率が低下してしまう。これを改善するため、ゲート電極にFP(Field-modulated Plate)を備えたFETであるFPFETが提案されている(例えば、特許文献1参照)。

20

【0004】

図11は、従来のFPFETの一構成例を示す断面構造図である。図11に示すように、ゲート電極150に備えたFPの長さであるLfpを1.0 $\mu$ mと長くすることで、絶縁膜120下の動作層12に発生する電界集中が緩和され、耐圧が向上する。一方、FPが半導体表面の一部を覆うため、FPにて表面空乏層を制御することが出来、パルス分散の発生が抑制される。このように、FPを備えることで、高耐圧を得つつ、パルス分散を抑制することが可能となる。

30

【0005】

【特許文献1】

特開2000-100831号公報

【0006】

【発明が解決しようとする課題】

40

しかし、上述のFPFETは、FP長が長いため、絶縁膜をFPおよび動作層で挟んで形成されてしまう容量(寄生容量)が増加することで、利得が低下するという問題があった。寄生容量を減らすためにFPを短くすると、FPによる電界緩和の効果が急激に消滅してしまう。このことから、FPによる電界緩和と利得はトレードオフにあり、利得の要求が厳しいデバイスではFPの適用は困難であった。

【0007】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、電界緩和効果を得るとともに、利得を向上させた電界効果型トランジスタおよびその製造方法を提供することを目的とする。

【0008】

50

**【課題を解決するための手段】**

上記目的を達成するための本発明の電界効果型トランジスタは、半導体動作層上に形成されたソース電極およびドレイン電極と、前記半導体動作層上の前記ソース電極と前記ドレイン電極間に形成される、前記ドレイン電極側の側壁が前記半導体動作層上面と垂直な面から前記ドレイン電極側に傾いて形成された第1の傾斜部を備えた開口を有する絶縁膜と、前記開口を介して前記半導体動作層と接合された、少なくとも前記ドレイン電極側の側壁を覆うゲート電極と、を有する構成である。

**【0009】**

本発明では、ゲート電極が第1の傾斜部を覆っているため、ゲート電極への電圧印加時における開口端に集中する電界がドレイン電極側に分散し、半導体動作層内に生じる電界集中が緩和される。

**【0010】**

また、上記本発明の電界効果型トランジスタにおいて、前記半導体動作層上面に対して前記第1の傾斜部の角度が30～60度であることとしてもよい。

**【0011】**

本発明では、半導体動作層上面に対して第1の傾斜部の角度が30度より大きければ、絶縁膜をゲート電極と半導体動作層で挟んで形成されてしまう容量（寄生容量）が大きくなることで発生する、利得の低下をより抑制できる。また、半導体動作層上面に対して第1の傾斜部の角度が60度より小さければ、ゲート電極への電圧印加時における開口端に集中する電界がよりドレイン電極側に分散し、半導体動作層内に生じる電界集中が十分に緩和される。

**【0012】**

また、上記本発明の電界効果型トランジスタにおいて、前記開口は、前記ソース電極側の側壁が前記半導体動作層上面と垂直な面から前記ソース電極側に傾いて形成された第2の傾斜部を備え、前記ゲート電極の前記ソース電極側の側壁が前記第2の傾斜部上に形成されたこととしてもよい。

**【0013】**

本発明では、ゲート電極のソース電極側の側壁が第2の傾斜部上にあるため、ソース電極側のゲート電極の寄生容量が低減される。そのため、利得がより向上する。

**【0014】**

さらに、上記本発明の電界効果型トランジスタにおいて、前記開口から前記ソース電極側に形成された前記絶縁膜の一部が前記ゲート電極で覆われ、前記絶縁膜の一部における最大膜厚が、前記第1の傾斜部の上端から前記ドレイン電極側の前記絶縁膜の膜厚に比べて厚いこととしてもよい。

**【0015】**

本発明では、開口からソース電極側の絶縁膜の一部における最大膜厚が第1の傾斜部上端からドレイン電極側の絶縁膜の膜厚より厚いため、ソース電極側の寄生容量が低減される。そのため、利得がさらに向上する。

**【0016】**

一方、上記目的を達成するための本発明の電界効果型トランジスタの製造方法は、半導体動作層上のソース電極およびドレイン電極間にゲート電極を有する電界効果型トランジスタの製造方法であって、前記半導体動作層上の前記ソース電極と前記ドレイン電極間に形成された絶縁膜に、前記ドレイン電極側の側壁が前記半導体動作層上面と垂直な面から前記ドレイン電極側に傾いて形成された傾斜部を備える、前記半導体動作層の一部を露出させるための開口を形成し、少なくとも前記傾斜部と前記開口の前記半導体動作層上面を覆う前記ゲート電極を形成す

10

20

30

40

50

るものである。

【0017】

本発明では、半導体動作層上の絶縁膜に、ドレイン電極側の側壁が半導体動作層上面と垂直な面からドレイン電極側に傾いて形成された傾斜部を備える開口を形成し、この傾斜部を覆うようにゲート電極を形成しているため、ゲート電極への電圧印加時における開口端に集中する電界がドレイン電極側に分散し、半導体動作層内に生じる電界集中が緩和される。

【0018】

また、上記本発明の電界効果型トランジスタの製造方法において、前記絶縁膜は、前記傾斜部上端から前記ドレイン電極側の部位よりも前記開口の前記ソース電極側の端から前記ソース電極側の部位の膜厚が厚いこととしてもよい。 10

【0019】

本発明では、絶縁膜のうち、開口の傾斜部上端からドレイン電極側の部位よりも開口のソース電極側の端からソース電極側の部位の膜厚が厚いため、ゲート電極形成の際、半導体動作層が損傷を受けるのを十分に防止できる。

【0020】

また、上記本発明の電界効果型トランジスタの製造方法において、前記開口を形成するためのフォトリソを前記絶縁膜上に形成し、前記絶縁膜よりも前記フォトリソのエッチング速度が大きい条件で、かつ前記半導体動作層上面に対して前記傾斜部の角度が60度よりも小さくなるように前記絶縁膜をエッチングすることで、前記開口を形成することとしてもよい。 20

【0021】

本発明では、開口形成の際、絶縁膜よりもフォトリソのエッチング速度が大きいため、半導体動作層上面に対して傾斜部の角度が45度より大きく形成され、また、その角度が60度を越えないようにすることで、ゲート電極への電圧印加時における開口端に集中する電界がよりドレイン電極側に分散し、半導体動作層内に生じる電界集中が十分に緩和される。

【0022】

また、上記本発明の電界効果型トランジスタの製造方法において、前記開口を形成するためのフォトリソを前記絶縁膜上に形成し、前記絶縁膜よりも前記フォトリソのエッチング速度が小さい条件で、かつ前記半導体動作層上面に対して前記傾斜部の角度が30度よりも大きくなるように前記絶縁膜をエッチングすることで、前記開口を形成することとしてもよい。 30

【0023】

本発明では、開口形成の際、絶縁膜よりもフォトリソのエッチング速度が小さいため、半導体動作層上面に対して傾斜部の角度が45度よりも小さく形成され、また、その角度が30度よりも大きくなるようにすることで、ゲート電極による寄生容量の増加を防ぎ、利得の低下をより抑制できる。

【0024】

さらに、上記本発明の電界効果型トランジスタの製造方法において、前記開口を形成するためのフォトリソを前記絶縁膜上に形成し、前記絶縁膜と前記フォトリソのエッチング速度が等しい条件で前記絶縁膜をエッチングすることで、前記開口を形成することとしてもよい。 40

【0025】

本発明では、開口形成の際、絶縁膜とフォトリソのエッチング速度が等しいため、半導体動作層上面に対してドレイン電極側傾斜部の角度が45度に形成される。そのため、ゲート電極への電圧印加時における開口端に集中する電界がドレイン電極側に分散し、半導体動作層内に生じる電界集中が十分に緩和される。また、ゲート電極による寄生容量の増加を防ぎ、利得の低下を抑制できる。

【0026】

## 【発明の実施の形態】

本発明の電界効果型トランジスタは、ゲート電極が動作層に接合される開口を有する絶縁膜に、ドレイン電極側の側壁が動作層上面と垂直な面からドレイン電極側に傾いて形成された傾斜部を設けたことを特徴とする。

## 【0027】

(第1実施例)

本実施例の電界効果型トランジスタ(以下、FETと称する)について説明する。

## 【0028】

図1は本実施例のFETの一構成例を示す断面構造図である。

## 【0029】

図1に示すように、本実施例のFETは、ソース電極30およびドレイン電極40間の半導体基板10上に形成された動作層12表面における幅広の窪み部であるワイドリセス部に、動作層12上の絶縁膜20に形成された開口を介して動作層12にショットキ接合したゲート電極50が形成されている。絶縁膜20の開口は、ドレイン電極40側の側壁が動作層12上面と垂直な面からドレイン電極40側に傾いて形成された第1の傾斜部20aと、ソース電極30側の側壁が動作層12上面と垂直な面からソース電極30側に傾いて形成された第2の傾斜部20bとを有する構成である。本実施例では、第1の傾斜部20aおよび第2の傾斜部20bはゲート電極50に覆われている。

10

## 【0030】

ゲート電極50は、第1の傾斜部20a、第2の傾斜部20b、および開口の動作層12に接触するショットキメタル層52と、ショットキメタル層52上に形成されたゲート金属層54とを有する構成である。ゲート電極50のうち、動作層12に接触しない部位のドレイン電極40側がFP部となる。なお、本実施例のFETは、上述したように、ゲート電極50にFP部を含む構成であるため、一体型FPFETと称する。

20

## 【0031】

図1に示す絶縁膜20の膜厚は、第1の傾斜部20aおよび第2の傾斜部20bを除いた領域では200nmであり、第1の傾斜部20aおよび第2の傾斜部20bではショットキ接合部に近づくにつれて薄くなっている。

## 【0032】

動作層12上面に対する第1の傾斜部20aの角度、および動作層12上面に対する第2の傾斜部20bの角度である傾斜部角度は、45度に形成されている。この角度は30度から60度の範囲であることが望ましい。傾斜部角度が30度より小さい場合には、傾斜部の長さが長くなり、傾斜部上に形成されるゲート電極50の面積が増えることで寄生容量が増加し、利得が低下する。傾斜部角度が60度より大きい場合には、FPの電界緩和効果が低下するため、FP長を長くする必要が生じ、角度が30度より小さい場合と同様に、寄生容量が増加し、利得が低下することになる。

30

## 【0033】

また、図1に示すように、ショットキ接合部端からドレイン電極40側のゲート電極50の長さ $L_{fp}$ は $0.5\mu\text{m}$ に形成されている。ショットキ接合部端からソース電極30側ゲート電極50の長さが $0.5\mu\text{m}$ に形成されている。ワイドリセス部の長さのうち、ゲート電極50と動作層12とのショットキ接合部の長さであるゲート長 $L_g$ を除いたソース電極30側の長さを $L_{gsr}$ とし、ドレイン電極40側の長さを $L_{gdr}$ とすると、 $L_{gsr} = 1.0\mu\text{m}$ 、 $L_{gdr} = 2.5\mu\text{m}$ に形成されている。

40

## 【0034】

なお、 $L_{fp}$ 、 $L_{gsr}$ 、および $L_{gdr}$ の寸法は、上記値に限定されない。また、以下では、ゲート電極50と動作層12とのショットキ接合部において、 $L_g$ と直交する方向の寸法をゲート幅と称する。

## 【0035】

次に、上述した構成のFETの製造方法について説明する。なお、ソース電極30およびドレイン電極40の形成、ならびに配線形成等の工程は、従来のFET製造方法と同様な

50

ため、その詳細な説明を省略する。

【0036】

図2は本実施例のFETの製造方法を示す断面構造図である。

【0037】

図2(a)に示すように、半導体基板10上にGaAs半導体の動作層12を成膜し、動作層12の上にn+GaAs半導体のコンタクト層を形成する。コンタクト層にワイドリセス部を形成してソースコンタクト層32およびドレインコンタクト層42を形成する。その後、ソースコンタクト層32、ドレインコンタクト層42、および動作層12上に、絶縁膜として酸化膜(SiO<sub>2</sub>膜)22を形成する。

【0038】

続いて、周知のフォトリソグラフィ工程(以下、「フォトリソ工程」と称する)により、SiO<sub>2</sub>膜22の上に、ゲート電極50を動作層12に接合するための開口以外のSiO<sub>2</sub>膜22を覆うためのフォトレジスト(PR)であるゲート開口PR62を形成する(図2(b))。なお、このゲート開口PR62が、この後のエッチング工程におけるサイドエッチングにより広がることを考慮して、予めマスクパターンの開口を細めに設計したり、露光量を調節したりする必要がある。

【0039】

その後、ECR(Electron Cyclotron Resonance)プラズマエッチング装置を用いて、エッチングガスSF<sub>6</sub>、圧力0.5~0.9mTorr、マイクロ波パワー100~150W、RFパワー5~10Wの条件でSiO<sub>2</sub>膜22をドライエッチングして開口を形成する。このドライエッチングにより、SiO<sub>2</sub>膜22およびゲート開口PR62がサイドエッチングされるため、SiO<sub>2</sub>膜22のエッチングが進むにつれてゲート開口PR62の開口幅が広がり、SiO<sub>2</sub>膜22開口に断面エッチング形状が斜めの第1の傾斜部22aおよび第2の傾斜部22bが形成される(図2(c))。第1の傾斜部22aおよび第2の傾斜部22bの傾斜部角度は、ゲート開口PR62のサイドエッチング速度、およびSiO<sub>2</sub>膜22のエッチング速度で決定される。ここでは、これらのエッチング速度を同じにしたため、傾斜部角度は45度になった。

【0040】

なお、ゲート開口PR62に用いられるPRの種類、ならびにドライエッチング処理におけるガスの種類、圧力、および温度等の処理条件を最適化し、ゲート開口PR62とSiO<sub>2</sub>膜22の選択エッチング特性を変えることにより、傾斜部角度を任意の値に形成できる。ゲート開口PR62のサイドエッチング速度とSiO<sub>2</sub>膜22のエッチング速度とを比較して、ゲート開口PR62の方が大きければ、傾斜部角度は45度よりも大きくなる。反対に、SiO<sub>2</sub>膜22のエッチング速度の方が大きければ、傾斜部角度は45度よりも小さくなる。

【0041】

続いて、ゲート開口PR62を除去した後、ショットキメタル層52としてタンゲステンシリサイド(WSi)を形成し、その上にゲート金属層54として金(Au)を形成する。そして、フォトリソ工程により、FPを含むゲート電極部を覆うゲート加工PR64を形成した後、イオンミリング処理によりゲート電極50を形成する(図2(d))。なお、FP部は、図2(d)に示すように、傾斜部22bを覆い、SiO<sub>2</sub>膜22の平坦部に達する長さ形成している。

【0042】

その後、従来と同様に、ソースコンタクト層32およびドレインコンタクト層42上のSiO<sub>2</sub>膜22に開口を設け、AuGeNi金属によるソース電極30およびドレイン電極40を形成する。

【0043】

次に、ゲート電極とドレイン電極間の2端子耐圧特性評価に用いた実験サンプルについて説明する。

【0044】

10

20

30

40

50

図3は、従来技術によるFETの一構成例を示す断面構造図である。図4は、上述した構成の本実施例の断面構造図である。なお、図3および図4は、ゲート電極形状、および電界強度の様子を説明するための模式図であり、ソース電極およびドレイン電極等の構成を示すことを省略している。

【0045】

図3に示す実験サンプルAは、図10に示した従来のFET(以下、「実験サンプルB」とする)に比べてFP長の短いゲート電極を有する構成である。図3および図10に示すように、実験サンプルAおよびBは、ゲート電極150、152と絶縁膜120の接触面が動作層12上面に対してほぼ垂直になっている。

【0046】

次に、2端子耐圧特性評価の結果について説明する。

【0047】

図5は、上記3つの実験サンプルについて、2端子耐圧特性を比較した結果を示すグラフである。横軸はゲート電極に印加する電圧値を示し、縦軸はゲート電極とドレイン電極間に流れるゲート電流 $I_g$ を示す。耐圧値は、ゲート幅の単位長さあたりの電流値で規定し、 $I_g$ が $1\text{ mA/mm}$ になるときの電圧値とした。

【0048】

図5に示すグラフから、耐圧値は、実験サンプルAのFETが $28\text{ V}$ 程度であるのに対して、本実施例のFETは $36\text{ V}$ であり、実験サンプルBのFETは $40\text{ V}$ 程度であった。本実施例のFETにおいても、FPの特徴である耐圧向上効果が認められた。これは、図4に示すように、ゲート電極と絶縁膜との接触面に傾斜部を設けることで、ゲート電極下での電界が緩和されたためと考えられる。

【0049】

図3および図4に、電界強度を模式的に示す。図3に示すように、実験サンプルAでは、ショットキ接合部のドレイン電極側端で電界が異常に大きくなって、電界強度の緩和が不十分であると考えられる。これに対して、図4に示すように、本実施例では、電界強度がドレイン電極側に分散し、電界強度の極大部が、図3に比べて小さくなっており、電界強度が十分に緩和されていると考えられる。

【0050】

次に、上記3つの実験サンプルのRF特性について説明する。

【0051】

図6は、上記3つの実験サンプルについて、RF特性を比較した結果を示すグラフである。横軸は入力電力を示し、縦軸は出力電力を示す。評価には、ゲート幅 $4\text{ mm}$ のFETにて、動作電圧 $18\text{ V}$ 、周波数 $1.5\text{ GHz}$ で行った。FETの特性を十分に引き出すために、入力側は利得整合、出力側はパワー整合とした。

【0052】

図6に示すように、入力電力が $20\text{ dBm}$ より大きくなると、実験サンプルAの出力電力の値が飽和する。これに対して、本実施例および実験サンプルBのグラフの傾きは緩くなるが出力電力が増加し、実験サンプルAに比べて、出力電力が $1\text{ dB}$ 向上していることがわかる。これは、実験サンプルAに対して、実験サンプルBおよび本実施例のFETは、パルス分散の発生が抑制されたためと考えられる。

【0053】

一方、図6に示すように、入力電力に対して出力電力が線形に変化する領域のうち、入力電力 $10\text{ dBm}$ における出力電力を比較すると、本実施例が実験サンプルBに比べて、利得が $2\text{ dB}$ 向上していることがわかる。FP長を短くしたことによって寄生容量が低減し、利得が向上した。

【0054】

上述の結果から、本実施例のFETは、動作層上の絶縁膜に、ドレイン電極側の側壁が動作層上面と垂直な面からドレイン電極側に傾いて形成された傾斜部を備える開口が形成され、この傾斜部を覆うようにゲート電極が形成されている。そのため、ゲート電極への電

10

20

30

40

50

圧印加時における開口端に集中する電界がドレイン電極側に分散し、動作層内に生じる電界集中が緩和される。また、FP部を短くしたことにより寄生容量が低減し、十分な利得を得ることができる。

【0055】

なお、絶縁膜としてSiO<sub>2</sub>膜22をエッチングする際、エッチングに用いられるガスは、上記SF<sub>6</sub>の代わりに、CF<sub>4</sub>および酸素(O<sub>2</sub>)を含む混合ガスであってもよい。CF<sub>4</sub>ガスは主にSiO<sub>2</sub>膜22をエッチングし、O<sub>2</sub>ガスは主にゲート開口PR62をエッチングするので、この二つのガスの混合比を調節することで、傾斜部角度を任意の角度に形成できる。

【0056】

10

(第2実施例)

本実施例のFETは、第1実施例のゲート電極のソース電極側部分を短くしたことを特徴とする。

【0057】

本実施例のFETの構成について説明する。

【0058】

図7は本実施例のFETの構成を示す断面構造図である。図7に示すように、本実施例のFETは、第1実施例で示したゲート電極のソース電極側部分が短く、ゲート電極56のソース電極側の側壁が第2の傾斜部20b上に形成されている。

【0059】

20

本実施例のFETのゲート電極56は、第1実施例で示した図2(d)において、ゲート加工PR64形成のためのマスク寸法を調整し、ソース電極側の傾斜部上のショットキメタル層52およびゲート金属層54をイオンミリングにて除去することで形成される。

【0060】

本実施例では、ゲート電極のソース電極側部分を短くしたことにより、ソース電極側の不要な寄生容量をなくし、利得を上げることが可能である。

【0061】

(第3実施例)

本実施例のFETは、ゲート電極に覆われる絶縁膜のうち、ソース電極側をドレイン電極側に比べて膜厚を厚くしたことを特徴とする。

30

【0062】

本実施例のFETの構成について説明する。

【0063】

図8は本実施例のFETの構成を示す断面構造図である。図8に示すように、本実施例のFETは、ショットキ接合部端からソース電極側の絶縁膜24がドレイン電極側の絶縁膜23に比べて膜厚が厚く、ソース電極側の傾斜部角度がより垂直に近い構成である。

【0064】

本実施例のFETの製造方法について説明する。なお、第1実施例と同様の工程については、その詳細な説明を省略する。

【0065】

40

図9は本実施例のFETの製造方法を示す断面構造図である。

【0066】

上述の第1実施例と同様にして、ソースコンタクト層32およびドレインコンタクト層42を形成した後、絶縁膜としてSiO<sub>2</sub>膜25を200nm形成する。続いて、フォトリソ工程により、ショットキ接合部のソース電極側の端からソース電極形成部側を覆う片側PR66を形成し、図9(a)に示すように、上記ショットキ接合部および接合部のソース電極側の端からドレイン電極形成部側のSiO<sub>2</sub>膜25をウェットエッチングにより除去する。そして、片側PR66を除去した後、絶縁膜としてSiO<sub>2</sub>膜26を200nm形成し、第1実施例と同様に、ゲート開口PR62を形成する(図9(b))。その後、第1実施例と同様の条件で、ドライエッチングにてSiO<sub>2</sub>膜26をエッチングする(図

50

9(c))。その後、ゲート開口PR62を除去し、第1実施例と同様に処理を行う。

【0067】

図9(c)に示したように、SiO<sub>2</sub>膜の膜厚が、ドレイン電極側ではSiO<sub>2</sub>膜26の200nmであるのに対して、ソース電極側ではSiO<sub>2</sub>膜25およびSiO<sub>2</sub>膜26の400nmと厚くなるので、SiO<sub>2</sub>膜25およびSiO<sub>2</sub>膜26を有する絶縁膜24の傾斜部角度はソース電極側がより垂直に近くなる。

【0068】

本実施例では、ショットキ接合部端からソース電極側の絶縁膜の膜厚が従来に比べて厚いため、マスクとの合わせずれで、ゲート加工PR64がドレイン電極側にずれても、ゲート加工の際、イオンミリングにより動作層12が損傷することを防げる。

10

【0069】

また、ソース電極側のゲート電極の長さが長くても、絶縁膜の膜厚を従来よりも厚くしているため寄生容量を低減できる。

【0070】

上述した第1実施例～第3実施例のFETについて、RF入出力特性のグラフを図10に示す。グラフの横軸は入力電力を示し、縦軸は出力電力を示す。

【0071】

図10に示すように、第2実施例および第3実施例のFETは、第1実施例のFETよりも0.5dB程度利得が向上している。

【0072】

なお、第1実施例～第3実施例において、絶縁膜20、23、24は、上記SiO<sub>2</sub>膜に限らず、SiN膜などの他の絶縁膜であってもよい。絶縁膜20、23の成膜膜厚は、上述の場合の200nmに限らないが、FPの効果をも高めるために、300nm以下であることが望ましい。

20

【0073】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0074】

本発明では、動作層上の絶縁膜に、ドレイン電極側の側壁が動作層上面と垂直な面からドレイン電極側に傾いて形成された傾斜部を備える開口が形成され、この傾斜部を覆うようにゲート電極が形成されている。そのため、ゲート電極への電圧印加時における開口端に集中する電界がドレイン電極側に分散し、FPによる電界緩和効果が保持される。

30

【0075】

また、ゲート電極のソース電極側の側壁が絶縁膜の傾斜部上に形成されるようにすることで、ソース電極側のゲート電極の寄生容量が低減され、利得がより向上する。

【0076】

さらに、動作層上に形成された絶縁膜のうち、ドレイン電極側の傾斜部上端からドレイン電極側の部位よりも開口のソース電極側の端からソース電極側の部位の膜厚を厚くすることで、ソース電極側の寄生容量が低減され、利得がさらに向上する。

【図面の簡単な説明】

40

【図1】第1実施例のFETの一構成例を示す断面構造図である。

【図2】第1実施例のFETの製造方法の一例を示す断面構造図である。

【図3】FPを有していない、従来FETの断面構造図、および電界の強さを示す模式図である。

【図4】第1実施例のFETの断面構造図、および電界の強さを示す模式図である。

【図5】従来技術と第1実施例のFETについて、耐圧特性を比較した結果を示すグラフである。

【図6】従来技術と第1実施例のFETについて、RF特性を比較した結果を示すグラフである。

【図7】第2実施例のFETの断面構造図である。

50

【図8】第3実施例のFETの断面構造図である。

【図9】第3実施例のFETの製造方法を示す断面構造図である。

【図10】第1実施例～第3実施例のFETの入出力特性を示すグラフである。

【図11】従来のPFETの一構成例を示す断面構造図である。

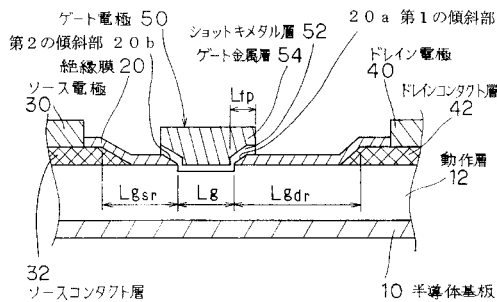
【符号の説明】

- 10 半導体基板
- 12 動作層
- 20、23、24、120 絶縁膜
- 20a、22a 第1の傾斜部
- 20b、22b 第2の傾斜部
- 22、25、26 SiO<sub>2</sub>膜
- 30 ソース電極
- 32 ソースコンタクト層
- 40 ドレイン電極
- 42 ドレインコンタクト層
- 50、56、58、150、152 ゲート電極
- 52 ショットキメタル層
- 54 ゲート金属層
- 62 ゲート開口PR
- 64 ゲート加工PR
- 66 片側PR

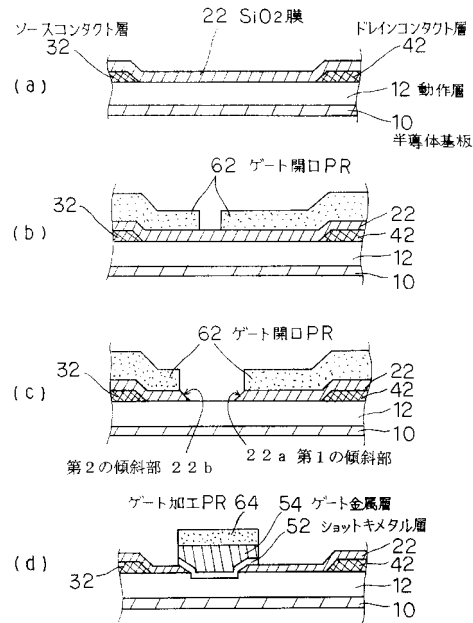
10

20

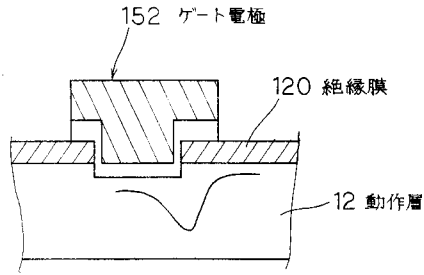
【図1】



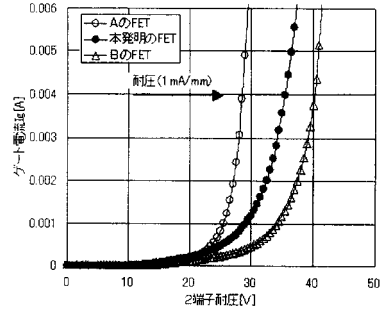
【図2】



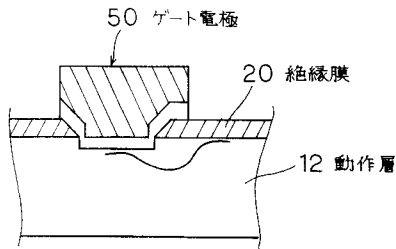
【図3】



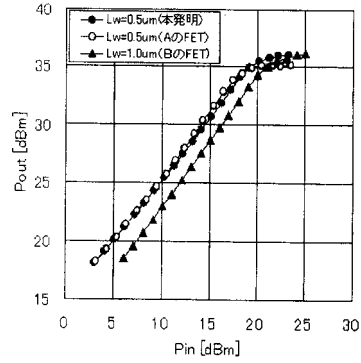
【図5】



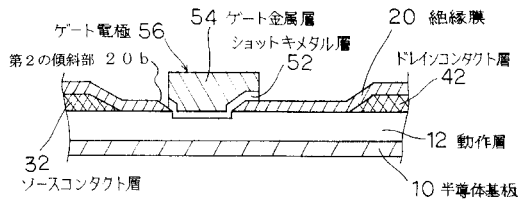
【図4】



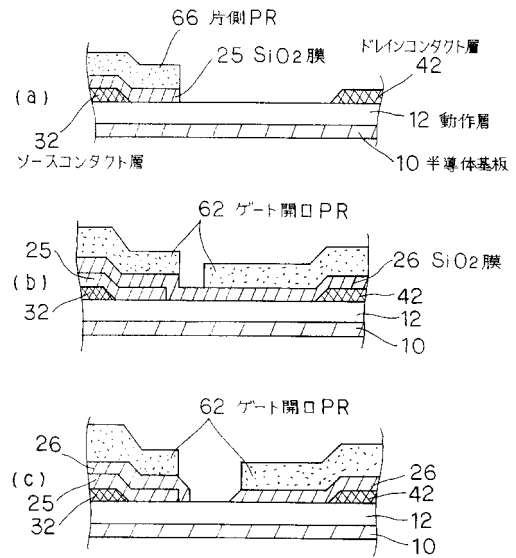
【図6】



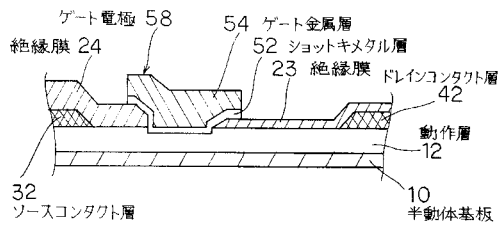
【図7】



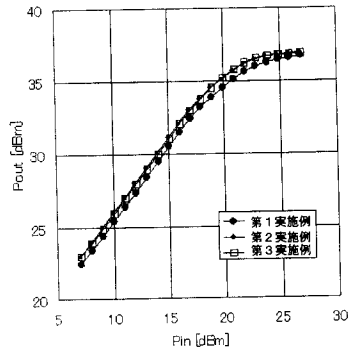
【図9】



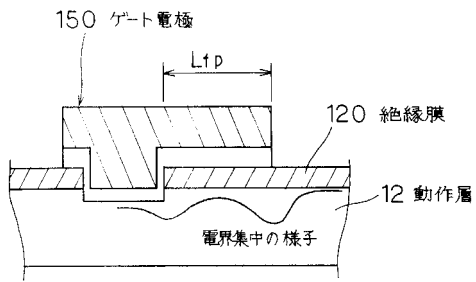
【図8】



【図10】



【図11】



---

フロントページの続き

Fターム(参考) 5F102 FA01 GB01 GC01 GD01 GJ05 GL05 GM05 GN05 GR04 GR12  
GS03 GS06 GT05 GV07 HC15