



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0025726
(43) 공개일자 2025년02월24일

(51) 국제특허분류(Int. Cl.)
H02M 7/48 (2007.01) H02M 1/00 (2007.01)
(52) CPC특허분류
H02M 7/48 (2013.01)
H02M 1/0074 (2021.05)
(21) 출원번호 10-2025-7001924
(22) 출원일자(국제) 2022년08월02일
심사청구일자 2025년01월20일
(85) 번역문제출일자 2025년01월20일
(86) 국제출원번호 PCT/JP2022/029665
(87) 국제공개번호 WO 2024/028983
국제공개일자 2024년02월08일

(71) 출원인
미쓰비시덴키 가부시키키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
(72) 발명자
요시노 히로유키
일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
미쓰비시덴키 가부시키키가이샤 내
오지카 사토시
일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
미쓰비시덴키 가부시키키가이샤 내
(뒷면에 계속)
(74) 대리인
제일특허법인(유)

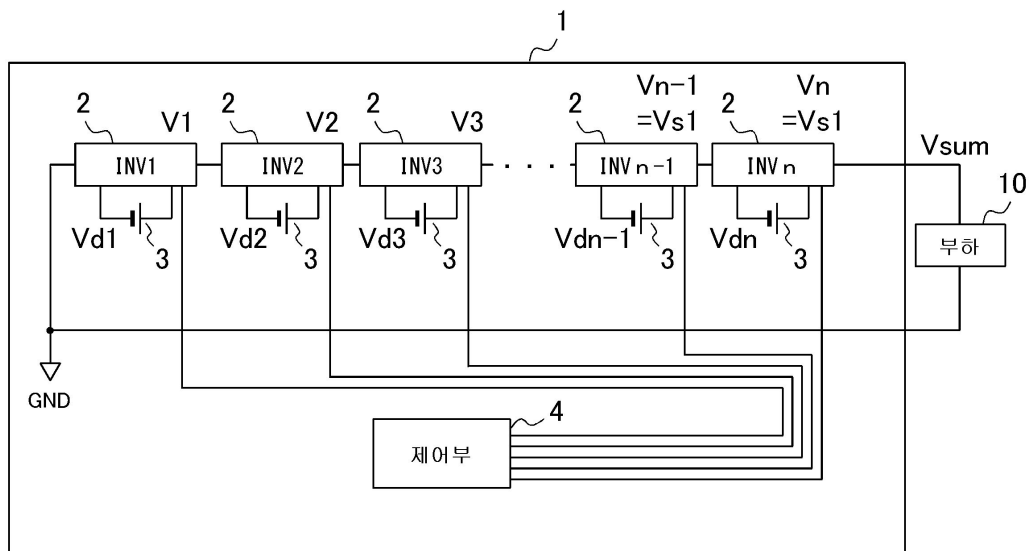
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 전력 변환 장치

(57) 요약

3개 이상의 단상 인버터를 갖는 전력 변환 장치에 있어서, 대형화, 고비용화를 억제하는 것을 목적으로 한다. 직류 전력을 교류 전력으로 변환하는 3개 이상의 단상 인버터(2)와, 단상 인버터를 제어하는 제어부(4)를 갖는 전력 변환 장치(1)로서, 3개 이상의 단상 인버터는 직렬로 접속되어 있고, 단상 인버터의 출력 전압의 절대치를 전압 절대치로 한 경우, 3개 이상의 상기 단상 인버터는, 전압 절대치가 동일한 제1 공통 전압을 출력하는 적어도 2개의 제1 공통 단상 인버터와, 제1 공통 전압보다 작은 전압 절대치의 전압을 출력하는 적어도 1개의 단상 인버터를 포함하여 구성되어 있다.

대표도



(52) CPC특허분류

H02M 1/0083 (2023.05)

(72) 발명자

와타나베 쇼타

일본 도쿄도 지요다구 마루노우치 2쵸메 7반 3고
미쓰비시덴키 가부시기가이샤 내

이와부키 히로야스

일본 도쿄도 지요다구 마루노우치 2쵸메 7반 3고
미쓰비시덴키 가부시기가이샤 내

명세서

청구범위

청구항 1

직류 전력을 교류 전력으로 각각 변환하는 3개 이상의 단상 인버터와, 상기 단상 인버터를 제어하는 제어부를 갖는 전력 변환 장치로서,

상기 단상 인버터는 직렬로 접속되어 있고, 상기 단상 인버터의 출력 전압의 절대치를 전압 절대치로 한 경우, 3개 이상의 상기 단상 인버터는, 상기 전압 절대치가 동일한 제1 공통 전압을 출력하는 적어도 2개의 제1 공통 단상 인버터와, 상기 제1 공통 전압보다 작은 상기 전압 절대치의 전압을 출력하는 적어도 1개의 단상 인버터를 포함하여 구성되어 있고, 상기 제어부는, 상기 단상 인버터의 상기 출력 전압의 총합 전압을 부하에 출력하는 것을 특징으로 하는 전력 변환 장치.

청구항 2

제1항에 있어서,

상기 제1 공통 전압은, 3개 이상의 상기 단상 인버터의 상기 전압 절대치 중에서 가장 큰 값인 것을 특징으로 하는 전력 변환 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 단상 인버터는, 상기 전압 절대치의 극성을 바꾸어 출력하는 것을 특징으로 하는 전력 변환 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

3개 이상의 상기 단상 인버터의 상기 전압 절대치의 비에 있어서, 최소의 상기 전압 절대치의 비율을 1로 하고, 상기 제1 공통 단상 인버터의 상기 제1 공통 전압의 비율을 J로 하고, 상기 전압 절대치의 비가 J보다 작은 상기 단상 인버터의 상기 전압 절대치의 비율의 총합을 K로 한 경우에, $J=K+1$ 이 성립되는 것을 특징으로 하는 전력 변환 장치.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

3개 이상의 상기 단상 인버터의 상기 전압 절대치의 비에 있어서, 최소의 상기 전압 절대치의 비율을 1로 하고, 상기 제1 공통 단상 인버터의 상기 제1 공통 전압의 비율을 J로 하고, 상기 전압 절대치의 비가 J보다 작은 상기 단상 인버터의 상기 전압 절대치의 비율의 총합을 K로 한 경우에, $J=2K+1$ 이 성립되는 것을 특징으로 하는 전력 변환 장치.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

3개 이상의 상기 단상 인버터의 상기 전압 절대치의 비에 있어서, 최소의 상기 전압 절대치의 비율을 1로 한 경우에, 상기 제어부는, 적어도 1개의 상기 단상 인버터에 PWM 제어를 행하여, 상기 총합 전압을 비율 1보다 작은 전압 분해능으로 제어하는 것을 특징으로 하는 전력 변환 장치.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제1 공통 단상 인버터는, 각각 1개 이상의 스위칭 소자를 포함하여 구성되어 있고, 상기 제어부는, 2개 이상의 상기 제1 공통 단상 인버터에 각각 포함되는 상기 스위칭 소자의 단위 시간당 스위칭 횟수의 차를 최소화

하는 것을 특징으로 하는 전력 변환 장치.

청구항 8

제4항 내지 제7항 중 어느 한 항에 있어서,

3개 이상의 상기 단상 인버터의 상기 전압 절대치의 비에 있어서, 최소의 상기 전압 절대치의 비율을 1로 한 경우에, 상기 단상 인버터의 상기 전압 절대치의 비율 안에 적어도 1 및 2, 또는 1 및 3을 포함하여 구성되어 있는 것을 특징으로 하는 전력 변환 장치.

청구항 9

제5항 내지 제7항 중 어느 한 항에 있어서,

상기 단상 인버터를 4개 이상 갖고, 4개 이상의 상기 단상 인버터의 상기 전압 절대치의 비에 있어서, 최소의 상기 전압 절대치의 비율을 1로 한 경우에, 상기 단상 인버터의 상기 전압 절대치의 비율 안에 적어도 1, 3 및 9를 포함하고, 비율 9의 상기 전압 절대치가 상기 제1 공통 전압인 것을 특징으로 하는 전력 변환 장치.

청구항 10

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 단상 인버터를 4개 이상 갖고, 4개 이상의 상기 단상 인버터는, 상기 제1 공통 전압보다 작은 상기 전압 절대치가 동일한 제2 공통 전압을 출력하는 적어도 2개의 제2 공통 단상 인버터를 포함하여 구성되어 있는 것을 특징으로 하는 전력 변환 장치.

청구항 11

제10항에 있어서,

상기 제2 공통 전압은, 4개 이상의 상기 단상 인버터의 전압 절대치의 최소치인 것을 특징으로 하는 전력 변환 장치.

청구항 12

제10항 또는 제11항에 있어서,

상기 제2 공통 단상 인버터는, 각각 1개 이상의 스위칭 소자를 포함하여 구성되어 있고, 상기 제어부는, 2개 이상의 상기 제2 공통 단상 인버터에 각각 포함되는 상기 스위칭 소자의 단위 시간당 스위칭 횟수의 차를 최소화 하는 것을 특징으로 하는 전력 변환 장치.

청구항 13

제7항에 있어서,

복수의 상기 단상 인버터에는 직류 전력을 공급하는 복수의 직류 전원이 각각 접속되어 있고, 상기 제어부는, 상기 부하에 인가하는 목표 전압, 또는 상기 부하에 공급하는 목표 전류, 또는 상기 부하에 공급하는 목표 전력의 적어도 1개에 근거하여 복수의 상기 직류 전원의 출력 전압을 제어하여, 복수의 상기 단상 인버터의 각각의 상기 전압 절대치의 비율을 유지한 상태에서, 상기 제1 공통 단상 인버터의 적어도 1개에 있어서, 상기 제1 공통 단상 인버터를 구성하는 1개 이상의 상기 스위칭 소자의 단위 시간당 총 스위칭 횟수를 최소화 하는 것을 특징으로 하는 전력 변환 장치.

발명의 설명

기술 분야

본원은, 전력 변환 장치에 관한 것이다.

배경 기술

[0001]

[0002] 전력 변환 장치의 하나로서, 대용량의 출력 필터를 필요로 하지 않고, 부하에 매끄러운 교류 파형을 출력할 수 있는 계조(階調) 제어형의 전력 변환 장치가 알려져 있다. 계조 제어형의 전력 변환 장치는, 복수의 단상 인버터가 직렬로 접속되어 구성되어 있다. 종래의 계조 제어형의 전력 변환 장치로서, 복수의 단상 인버터의 각각의 출력 전압의 절대치를 각각 대략 2^K 배($K=0, 1, 2, \dots$)로 한 전력 변환 장치가 개시되어 있다. 이 전력 변환 장치는, 복수의 단상 인버터가 각각 출력한 전압의 총합 전압을 계조 제어하여 부하에 출력하고 있다(예를 들면, 특허문헌 1 참조).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) [특허문헌 1] 일본특허공개 제2004-7941호 공보

발명의 내용

해결하려는 과제

[0004] 그러나, 종래의 전력 변환 장치에 있어서는, 복수의 단상 인버터의 각각의 출력 전압의 절대치를 각각 대략 2^K 배로 하고 있으므로, 큰 전압을 출력하는 단상 인버터가 포함되어 있다. 그 때문에, 가장 큰 출력 전압의 단상 인버터가 대형화하고, 또한, 단상 인버터의 효율 저하를 억제하기 위한 방열기 등도 대형으로 된다. 그 결과, 종래의 전력 변환 장치에는, 대형화, 고비용화한다고 하는 문제가 있었다.

[0005] 본원은 상술과 같은 과제를 해결하기 위해서 이루어진 것으로, 복수의 단상 인버터를 갖는 전력 변환 장치에 있어서, 대형화, 고비용화를 억제할 수 있는 전력 변환 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본원의 전력 변환 장치는, 직류 전력을 교류 전력으로 각각 변환하는 3개 이상의 단상 인버터와, 단상 인버터를 제어하는 제어부를 갖고 있다. 그리고, 본원의 전력 변환 장치에 있어서는, 3개 이상의 단상 인버터는 직렬로 접속되어 있고, 단상 인버터의 출력 전압의 절대치를 전압 절대치로 한 경우, 3개 이상의 단상 인버터는, 전압 절대치가 동일한 제1 공통 전압을 출력하는 적어도 2개의 제1 공통 단상 인버터와, 제1 공통 전압보다 작은 전압 절대치의 전압을 출력하는 적어도 1개의 단상 인버터를 포함하여 구성되어 있고, 제어부는, 단상 인버터의 출력 전압의 총합 전압을 부하에 출력한다.

발명의 효과

[0007] 본원의 전력 변환 장치는, 3개 이상의 단상 인버터가 전압 절대치가 동일한 제1 공통 전압을 출력하는 적어도 2개의 제1 공통 단상 인버터와, 제1 공통 전압보다 작은 전압 절대치의 전압을 출력하는 적어도 1개의 단상 인버터를 포함하여 구성되어 있으므로, 전력 변환 장치의 대형화, 고비용화를 억제할 수 있다.

도면의 간단한 설명

[0008] 도 1은 실시의 형태 1에 따른 전력 변환 장치의 구성도이다.

도 2는 실시의 형태 1에 따른 전력 변환 장치에 있어서의 제어부 및 단상 인버터의 구성도이다.

도 3은 실시의 형태 1에 따른 전력 변환 장치에서의 단상 인버터의 제어의 예를 나타내는 설명도이다.

도 4는 실시의 형태 1에 따른 전력 변환 장치에서의 4개의 단상 인버터의 출력 전압 파형과 전체의 출력 전압 파형을 나타낸 설명도이다.

도 5는 실시의 형태 1에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 6은 실시의 형태 1에 따른 비교예의 전력 변환 장치에 있어서의 4개의 단상 인버터의 출력 전압 파형과 전체의 출력 전압 파형을 나타낸 설명도이다.

도 7은 실시의 형태 1에 따른 비교예의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 8은 실시의 형태 1에 따른 전력 변환 장치의 전압 구성을 표로 한 설명도이다.

도 9는 실시의 형태 1에 따른 전력 변환 장치의 전압 구성을 표로 한 설명도이다.

도 10은 실시의 형태 2에 따른 전력 변환 장치에서의 4개의 단상 인버터의 출력 전압 파형과 전체의 출력 전압 파형을 나타낸 설명도이다.

도 11은 실시의 형태 2에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 12는 실시의 형태 2에 따른 전력 변환 장치에서의 4개의 단상 인버터의 출력 전압 파형과 전체의 출력 전압 파형을 나타낸 설명도이다.

도 13은 실시의 형태 2에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 14는 실시의 형태 2에 따른 전력 변환 장치의 전압 구성을 표로 한 설명도이다.

도 15는 실시의 형태 2에 따른 전력 변환 장치의 전압 구성을 표로 한 설명도이다.

도 16은 실시의 형태 3에 따른 전력 변환 장치의 구성도이다.

도 17은 실시의 형태 3에 따른 전력 변환 장치의 출력 검출부의 회로도이다.

도 18은 실시의 형태 3에 따른 전력 변환 장치의 출력 검출부의 회로도이다.

도 19는 실시의 형태 3에 따른 전력 변환 장치의 계조 제어 신호 발생부의 구성도이다.

도 20은 실시의 형태 3에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 21은 실시의 형태 3에 따른 전력 변환 장치에서의 4개의 단상 인버터의 출력 전압 파형을 나타낸 설명도이다.

도 22는 실시의 형태 4에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 23은 실시의 형태 4에 따른 전력 변환 장치에서의 제어 방법을 나타내는 흐름도이다.

도 24는 실시의 형태 4에 따른 전력 변환 장치에서의 스위칭 분산 처리의 설명도이다.

도 25는 실시의 형태 4에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 26은 실시의 형태 4에 따른 전력 변환 장치에서의 스위칭 분산 처리의 설명도이다.

도 27은 실시의 형태 5에 따른 전력 변환 장치의 구성도이다.

도 28은 실시의 형태 5에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 29는 실시의 형태 5에 따른 전력 변환 장치의 전압 구성을 표로 한 설명도이다.

도 30은 실시의 형태 5에 따른 전력 변환 장치의 전압 구성을 표로 한 설명도이다.

도 31은 실시의 형태 6에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을 나타낸 설명도이다.

도 32는 실시의 형태 6에 따른 전력 변환 장치에서의 제어 방법을 나타내는 흐름도이다.

도 33은 실시의 형태 6에 따른 전력 변환 장치에서의 스위칭 분산 처리의 설명도이다.

도 34는 실시의 형태 6에 따른 전력 변환 장치에서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 조합을

나타낸 설명도이다.

도 35는 실시의 형태 7에 따른 전력 변환 장치의 구성도이다.

도 36은 실시의 형태 7에 따른 전력 변환 장치의 제조 제어 신호 발생부의 구성도이다.

도 37은 실시의 형태 7에 따른 전력 변환 장치에서의 제어 방법을 나타내는 흐름도이다.

도 38은 실시의 형태 7에 따른 전력 변환 장치에서의 직류 전원의 전압 조정의 설명도이다.

도 39는 실시의 형태 7에 따른 전력 변환 장치에서의 직류 전원의 전압 조정의 설명도이다.

도 40은 실시의 형태 1 내지 7에 따른 전력 변환 장치의 제어부를 실현하는 하드웨어 구성을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 본원을 실시하기 위한 실시의 형태에 따른 전력 변환 장치에 대해, 도면을 참조하여 상세하게 설명한다. 또한, 각 도면에 있어서 동일 부호는 동일 혹은 상당 부분을 나타내고 있다.

[0010] 실시의 형태 1.

[0011] 도 1은, 실시의 형태 1에 따른 전력 변환 장치의 구성도이다. 본 실시의 형태의 전력 변환 장치(1)는, 3개 이상의 단상 인버터(2)가 직렬로 접속되어 있다. 도 1에 나타내는 전력 변환 장치(1)에 있어서는, INV1, INV2, INV3, ... INVn-1, INVn의 n개의 단상 인버터(2)가 직렬로 접속되어 있다. 여기서, n은 자연수이다. 단상 인버터(2)에는, 각각 직류 전원(3)이 접속되어 있다. INVn의 단상 인버터(2)에 접속된 직류 전원(3)의 출력 전압을 Vdn으로 한다. 각각의 단상 인버터(2)는, 직류 전원(3)으로부터 공급된 직류 전력을 제조 제어된 교류 전력으로 변환한다. INV1의 단상 인버터(2)의 전압 출력 시의 발생 전압의 절대치를 V1, INV2의 단상 인버터(2)의 전압 출력 시의 발생 전압의 절대치를 V2, INVn의 단상 인버터(2)의 전압 출력 시의 발생 전압의 절대치를 Vn으로 한다. 또한, 이 이후, 단상 인버터(2)의 전압 출력 시의 발생 전압의 절대치를 전압 절대치라고 칭한다. 각각의 단상 인버터(2)에는, 제어부(4)가 접속되어 있다. 제어부(4)는, 각각의 단상 인버터(2)를 제어하고, 또한, 각각의 단상 인버터(2)의 출력 전압의 총합을, 전체 출력 전압 Vsum으로서 전력 변환 장치(1)로부터 부하(10)에 출력하도록 제어한다. 또한, 본 실시의 형태의 전력 변환 장치(1)는, 부하(10)의 종류로서 저항성 부하, 용량성 부하, 유도성 부하 및 그들이 조합된 부하 등 폭넓은 종류의 부하에 대응 가능하다.

[0012] 본 실시의 형태의 전력 변환 장치(1)에 있어서, 복수의 단상 인버터(2) 중 2개의 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 Vs1로 설정되어 있다. 도 1에 나타내는 전력 변환 장치(1)에 있어서는, INVn-1의 단상 인버터의 전압 절대치 Vn-1과 INVn의 단상 인버터의 전압 절대치 Vn이 동일한 Vs1로 설정되어 있다. 전압 절대치가 제1 공통 전압으로 설정된 단상 인버터를 제1 공통 단상 인버터라고 칭한다. 제1 공통 전압 Vs1은, 다른 단상 인버터의 전압 절대치 V1, V2, V3, ... Vn-2의 최소치보다 큰 값으로 설정되어 있다. 2개의 제1 공통 단상 인버터는, 제1 공통 전압 Vs1을 동시에 출력 가능하다.

[0013] 도 2는, 본 실시의 형태의 전력 변환 장치에 있어서의 제어부 및 단상 인버터의 구성도이다. INVm의 단상 인버터(2)는, 4개의 스위칭 소자(23)(QmNL, QmNH, QmPL 및 QmPH)를 갖는 풀 브리지 인버터이다. 여기서, m은 1부터 n까지의 자연수이다. 이 풀 브리지 인버터는, 2개의 스위칭 소자 QmNL 및 QmNH로 구성된 1개의 하프브리지 인버터(21)와, 2개의 스위칭 소자 QmPL 및 QmPH로 구성된 다른 1개의 하프브리지 인버터(22)로 구성되어 있다. 하프브리지 인버터(21, 22)에는, 도 2의 화살표로 가리키는 방향이 양 전압이 되는, 출력 전압 Vdm의 직류 전원(3)이 접속되어 있다. 직류 전원(3)과 INVm의 단상 인버터(2) 사이에는, 커패시터를 마련해도 좋다.

[0014] INVm의 단상 인버터(2)는, 도 2의 화살표로 가리키는 방향이 양 전압이 되는 전압 절대치가 Vm의 전압을 출력한다. 또한, 본 실시의 형태에 있어서, 직류 전원(3)으로부터 단상 인버터(2)의 출력 단자간에 존재하는 스위칭 소자, 배선 등의 저항 성분은 무시 가능한 레벨로 가정하는 것으로, INVm의 단상 인버터(2)의 출력 전압 Vm은 직류 전원(3)의 출력 전압 Vdm과 동일한 것으로 한다.

[0015] 도 2에 있어서, 4개의 스위칭 소자(23)는, MOSFET(Metal Oxide Semiconductor Field Effect Transistor)로서 나타나 있다. 스위칭 소자(23)는, MOSFET 이외에, 트랜지스터, IGBT(Insulated Gate Bipolar Transistor) 등이어도 좋다. 또, 도 2에 있어서 1개의 스위칭 소자(23)는 1개의 부품으로 구성되어 있지만, 내전압 및 내전류를 확보하기 위해서, 1개의 스위칭 소자(23)는 복수개의 스위칭 소자를 직렬 접속, 병렬 접속 또는 직렬과 병렬

의 혼합 접속으로 구성되어도 좋다.

- [0016] INVm의 단상 인버터(2)의 2개의 하프브리지 인버터(21, 22)에는 제어부(4)로부터 게이트 구동 신호가 입력된다. 제어부(4)는, 계조 제어 신호 생성부(41)와 게이트 드라이버(42)로 구성되어 있다. 계조 제어 신호 생성부(41)는, INVm의 단상 인버터(2)를 계조 제어하기 위한 계조 제어 신호 SmN 및 SmP를 생성한다. 계조 제어 신호 SmN 및 SmP는 게이트 드라이버(42)에 입력된다. 게이트 드라이버(42)는, 계조 제어 신호 SmN 및 SmP에 데드 타임 생성부(43)(DTmN 및 DTmP)에 의해 데드 타임을 각각 부여한다. 또한, 게이트 드라이버(42)는, 게이트 구동 신호 출력부(44)(G0mNL, G0mNH, G0mPL 및 G0mPH)로부터 레벨 시프트된 계조 제어 신호를 게이트 구동 신호로서 2개의 하프브리지 인버터(21, 22)에 출력한다. 2개의 하프브리지 인버터(21, 22)는, 게이트 구동 신호에 의해 게이트 구동이 실시된다.
- [0017] 또한, 도 2에 있어서, 제어부(4)는 1개의 게이트 드라이버(42)로 2개의 하프브리지 인버터를 구동하는 구성을 나타내고 있다. 제어부(4)는, 1개의 하프브리지 인버터를 구동하는 게이트 드라이버를 2개 구비하고 있어도 좋다. 또, 도 2에 있어서, 계조 제어 신호 생성부(41)는, 각각의 하프브리지 인버터의 제어용으로 각각 1개의 계조 제어 신호 SmN 및 SmP를 출력하고 있다. 다른 구성으로서, 계조 제어 신호 생성부(41)는, 계조 제어 신호 SmN 및 SmP와 그것들을 논리 반전시킨 신호를 생성하고, 각각의 하프브리지 인버터의 제어용으로 각각 2개의 계조 제어 신호를 출력해도 좋다. 이 경우, 게이트 드라이버(42)의 데드 타임 생성부(43)(DTmN 및 DTmP)를 생략하고, 계조 제어 신호 생성부(41)에 의해 논리 반전시킨 계조 제어 신호에 데드 타임을 부여한 상태에서 각각의 계조 제어 신호를 출력해도 좋다.
- [0018] 도 3은, 본 실시의 형태에 있어서의 INVm의 단상 인버터의 제어의 예를 나타내는 설명도이다. 도 3은, 계조 제어 신호 SmN 및 SmP에 대한 INVm의 단상 인버터를 구성하는 4개의 스위칭 소자(QmNL, QmNH, QmPL 및 QmPH)의 각각의 온 상태 및 오프 상태의 변화, 및 INVm의 단상 인버터의 출력 전압 Vm의 변화를 나타내고 있다. 또한, 도 3에 있어서, 각각의 신호는 데드 타임이 생략된 상태로 나타나고 있다.
- [0019] 도 3에 도시하는 바와 같이, 계조 제어 신호 SmN 및 SmP가 모두 로우 레벨(L)인 경우, 각각의 하프브리지 인버터의 로우 사이드 측의 스위칭 소자 QmNL 및 QmPL이 온 상태가 되고, 하이 사이드 측의 스위칭 소자 QmNH 및 QmPH는 오프 상태가 되고, INVm의 단상 인버터는 비전압 출력 상태($V_m=0V$)로 된다. 계조 제어 신호 SmN이 로우 레벨(L), SmP가 하이 레벨(H)인 경우, 하프브리지 인버터의 로우 사이드 측의 스위칭 소자 QmNL이 온 상태에서 스위칭 소자 QmPL이 오프 상태가 되고, 하프브리지 인버터의 하이 사이드 측의 스위칭 소자 QmNH가 오프 상태에서 스위칭 소자 QmPH가 온 상태가 된다. 그 때문에, 단상 인버터는 전압 출력 상태가 되고, 출력 전압 Vm은 +Vdm(양 전압)이 된다. 계조 제어 신호 SmN이 하이 레벨(H), SmP가 로우 레벨(L)인 경우, 하프브리지 인버터의 로우 사이드 측의 스위칭 소자 QmNL이 오프 상태에서 스위칭 소자 QmPL이 온 상태가 되고, 하프브리지 인버터의 하이 사이드 측의 스위칭 소자 QmNH가 온 상태에서 스위칭 소자 QmPH가 오프 상태가 된다. 그 때문에, 단상 인버터는 전압 출력 상태가 되어, 출력 전압 Vm은 -Vdm(음 전압)이 된다.
- [0020] 도 2에 나타난 단상 인버터는, 출력 전압 Vm의 극성을 바꾸어 출력 가능한 경우의 구성이다. 단극성만의 출력 전압을 부하에 출력하는 전력 변환 장치의 경우는, 단상 인버터의 구성은 도 2에 나타난 것에 한정되지 않는다. 예를 들면, 양 전압만을 출력하면 좋은 전력 변환 장치의 경우, 도 2에 있어서의 하프브리지 인버터(21)의 하이 사이드 측의 스위칭 소자 QmNH를 생략하여 오픈 상태로 하고, 또한 로우 사이드 측의 스위칭 소자 QmNL의 드레인 및 소스 단자간을 쇼트 상태로 하고(QmNL이 생략되어도 좋다), 하프브리지 인버터(22)만으로 단상 인버터를 구성해도 좋다.
- [0021] 이 이후, 본 실시의 형태의 전력 변환 장치의 제어 방법에 대해 설명한다. 설명을 알기 쉽게 하기 위해서, 4개의 단상 인버터로 구성된 전력 변환 장치를 예로 들어 설명한다. 또, 비교예로서, 4개의 단상 인버터의 출력 전압의 전압 절대치의 비가 1:2:4:8의 전력 변환 장치도 함께 설명한다.
- [0022] 도 4는, 본 실시의 형태의 전력 변환 장치에 있어서, 출력 전압 지시 파형으로서 정현파를 이용한 경우의 V1, V2, V3 및 V4를 각각 출력하는 4개의 단상 인버터의 출력 전압 파형과, 계조 제어된 전체 출력 전압 Vsum의 파형을 나타낸 설명도이다. 또, 도 5는, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 조합을 표로 나타낸 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 비는, 1:2:4:4이다. 전체 출력 전압 Vsum의 최대 전압이 $\pm 130V$ 가 되도록, V1, V2, V3 및 V4가 설정되어 있다. 구체적으로는 $V1=11.81V$, $V2=23.63V$, $V3=V4=47.27V$ 이다. 즉, 4개의 단상 인버터 중 2개의 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 $Vs1=47.27V$ 로 설정되어 있다. 도 5에 나타내는 표에 있어서, 4개의 단상 인버터가 각각 전

압 절대치 V_1 , V_2 , V_3 및 V_4 의 출력 지시를 받은 상태를 「1」, 출력 지시를 받고 있지 않은 상태를 「0」으로 표기하고 있다. 또, 각각의 단상 인버터는, 출력 전압 지시의 파형이 양 전압의 기간에 출력 지시 「1」을 받은 경우는 양 전압을, 출력 전압 지시의 파형이 음 전압의 기간에 출력 지시 「1」을 받은 경우는 음 전압을 출력한다.

[0023] 도 6은, 비교예의 전력 변환 장치에 있어서, 출력 전압 지시 파형으로서 정현파를 이용한 경우의 V_1 , V_2 , V_3 및 V_4 를 각각 출력하는 4개의 단상 인버터의 출력 전압의 파형과, 계조 제어된 전체 출력 전압 V_{sum} 의 파형을 나타낸 설명도이다. 또, 도 7은, 비교예의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 V_1 , V_2 , V_3 및 V_4 의 조합을 표로 나타낸 설명도이다. 비교예의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V_1 , V_2 , V_3 및 V_4 의 비는, 1:2:4:8이다. 전체 출력 전압 V_{sum} 의 최대 전압이 $\pm 130V$ 가 되도록, V_1 , V_2 , V_3 및 V_4 가 설정되어 있다. 구체적으로는 $V_1=8.66V$, $V_2=17.33V$, $V_3=34.66V$, $V_4=69.33V$ 이다.

[0024] 도 4 및 도 5에 나타내는 본 실시의 형태의 전력 변환 장치에 있어서, 단상 인버터 중에서 전압 절대치가 최대로 되는 것은 제1 공통 전압 $V_{s1}=47.27V$ 로 설정된 V_3 및 V_4 를 출력하는 2개의 단상 인버터이다. 일반적인 MOSFET의 스위칭 소자의 내압 라인업을 고려하면, V_3 및 V_4 를 출력하는 단상 인버터의 MOSFET의 스위칭 소자는 60V 이상의 내압을 갖는 것이 필요하다. 또 다음으로 전압이 높은 $V_2(23.63V)$ 를 출력하는 단상 인버터에 대해서도, 스위칭 속도 및 지연 특성의 차이에 의한 V_{sum} 파형의 정밀도 악화를 막기 위해서는, V_4 를 출력하는 단상 인버터와 동일한 MOSFET의 스위칭 소자를 이용하는 것이 바람직하다. 이상으로부터, 본 실시의 형태의 전력 변환 장치에 있어서는, V_3 과 V_4 를 출력하는 2개의 단상 인버터에 대해, 60V 이상의 내압을 갖는 MOSFET의 스위칭 소자가 필요하다.

[0025] 이것에 대해서, 도 6 및 도 7에 나타내는 비교예의 전력 변환 장치에 있어서, 단상 인버터 중에서 전압 절대치가 최대로 되는 것은 69.33V로 설정된 V_4 를 출력하는 단상 인버터이다. 그 때문에, 비교예의 전력 변환 장치에 있어서, V_4 를 출력하는 단상 인버터의 MOSFET의 스위칭 소자의 내전압은 60V로는 불충분하고, MOSFET의 스위칭 소자의 내압 라인업을 고려하면 80V의 내압을 갖는 것이 필요하다. 또 다음으로 전압이 높은 $V_3(34.66V)$ 를 출력하는 단상 인버터에 대해서도, V_{sum} 파형의 정밀도 악화를 막기 위해서는, V_4 를 출력하는 단상 인버터와 동일한 MOSFET의 스위칭 소자를 이용하는 것이 바람직하다. 이상으로부터, 비교예의 전력 변환 장치에 있어서는, V_3 과 V_4 를 출력하는 2개의 단상 인버터에 대해, 80V 이상의 내압을 갖는 MOSFET의 스위칭 소자가 필요하다.

[0026] 또한, 본 실시의 형태의 전력 변환 장치 및 비교예의 전력 변환 장치에 있어서, V_1 및 V_2 는 저전압이기 때문에, V_1 및 V_2 를 출력하는 단상 인버터의 MOSFET의 스위칭 소자에 대해서는, 내전압이 30V의 저내압 MOSFET를 사용할 수도 있다.

[0027] V_4 를 출력하는 단상 인버터의 출력 전압 파형을 도 4와 도 6에서 비교하면, 출력 전압 지시 파형인 정현파의 1 주기에 있어서 V_4 를 출력하는 단상 인버터의 스위칭 횟수는, 본 실시의 형태의 전력 변환 장치와 비교예의 전력 변환 장치에서는 동일하다. 그러나, 본 실시의 형태의 전력 변환 장치의 V_4 의 전압이 비교예의 전력 변환 장치의 V_4 의 전압보다 작기 때문에, 본 실시의 형태의 전력 변환 장치가 비교예의 전력 변환 장치보다 스위칭 손실을 저감할 수 있다.

[0028] 또, V_3 을 출력하는 단상 인버터의 출력 전압 파형을 도 4와 도 6에서 비교하면, 본 실시의 형태의 전력 변환 장치의 V_3 의 전압은 비교예의 전력 변환 장치의 V_3 의 전압의 1.36배이다. 그러나, 출력 전압 지시 파형인 정현파의 1 주기에 있어서 V_3 을 출력하는 단상 인버터의 스위칭 횟수는, 본 실시의 형태의 전력 변환 장치가 4회인데 비해 비교예의 전력 변환 장치는 12회이다. 스위칭 횟수와 전압치의 양쪽을 고려하면, V_3 을 출력하는 단상 인버터의 스위칭 소자에 대해서도, 본 실시의 형태의 전력 변환 장치가 비교예의 전력 변환 장치보다 스위칭 손실을 저감할 수 있다.

[0029] 이와 같이 본 실시의 형태의 전력 변환 장치에 있어서는, 3개 이상의 단상 인버터가 전압 절대치가 동일한 제1 공통 전압을 출력하는 적어도 2개의 제1 공통 단상 인버터와, 제1 공통 전압보다 작은 전압 절대치를 출력하는 적어도 1개의 단상 인버터를 포함하여 구성되어 있다. 그 때문에, 본 실시의 형태의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해진다. 또, 본 실시의 형태의 전력 변환 장치는, 내압이 낮은 MOSFET의 스위칭 소자를 이용할 수 있으므로, 비교예의 전력 변환 장치보다 온저항이 작아지기 때문에 도통 손실을 저감할 수 있다. 또한, 본 실시의 형태의 전력 변환 장치는, 비교예의 전력 변환 장치보다 스위칭 손실도 저감할 수 있다. 제1 공통 단상 인버터에 접속하는 직류 전원의 전압도 낮아지기 때문에, 예를 들면 직류 전원에 병렬 접속되고, 제1 공통 단상 인버터 내에 배치되는 캐패시터 등도 내압

이 낮은 소자를 이용할 수 있다. 그 결과, 본 실시의 형태의 전력 변환 장치는 소형의 단상 인버터 및 소형의 방열기로 구성할 수 있으므로, 전력 변환 장치의 대형화, 고비용화를 억제할 수 있다.

[0030] 또한, 제1 공통 전압은, 단상 인버터의 전압 절대치의 최소치가 아닌 것이 필요하다. 제1 공통 전압이 단상 인버터의 전압 절대치의 최소치로 설정된 경우, 계조수를 크게 감소시키지 않는 한 단상 인버터의 출력의 최대 전압을 저전압화할 수 없기 때문이다. 본 실시의 형태의 전력 변환 장치에 있어서는, 제1 공통 전압을 단상 인버터의 전압 절대치의 최대치로 설정하고 있으므로, 계조수를 크게 감소시키지 않고 전력 변환 장치의 대형화, 고비용화를 억제할 수 있다.

[0031] 지금까지의 설명에 있어서, 본 실시의 형태의 전력 변환 장치로서 4개의 단상 인버터로 구성된 전력 변환 장치로 설명했다. 본 실시의 형태의 전력 변환 장치는, 3개 이상의 단상 인버터로 구성되어 있으면 좋다. 이 이후, 3~5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 특성에 대해 설명한다. 또한, 비교를 위해 복수의 단상 인버터의 출력 전압의 절대치를 각각 대략 2^K 배($K=0, 1, 2, \dots$)로 한 비교예의 전력 변환 장치의 특성도 함께 설명한다.

[0032] 도 8은, 3~5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 전압 구성을 표로 한 설명도이다. 도 8의 표에는, V1~V5의 전압 비율과 V1~V5의 전압을 나타내고 있다. V1~V5의 전압은, 전체 출력 전압 V_{sum} 이 $\pm 130V$ 가 되도록 설정되어 있다. 도 8에 도시하는 바와 같이, 비교예의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 2 : 4 : 8 : 16으로 설정되어 있다.

[0033] 본 실시의 형태의 전력 변환 장치에 있어서, 실시예 1~실시예 8의 전력 변환 장치는 5개의 단상 인버터로 구성되어 있고, 실시예 9의 전력 변환 장치는 3개의 단상 인버터로 구성되어 있고, 실시예 10의 전력 변환 장치는 4개의 단상 인버터로 구성되어 있다. 실시예 1의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 2 : 4 : 8 : 8로 설정되어 있다. 실시예 2의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 2 : 5 : 9 : 9로 설정되어 있다. 실시예 3의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 2 : 6 : 10 : 10으로 설정되어 있다. 실시예 4의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 2 : 7 : 11 : 11로 설정되어 있다. 실시예 5의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 2 : 2 : 2 : 2로 설정되어 있다. 실시예 6의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 2 : 4 : 4 : 4로 설정되어 있다. 실시예 7의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 3 : 9 : 14 : 14로 설정되어 있다. 실시예 8의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 : V5 = 1 : 3 : 5 : 5 : 5로 설정되어 있다. 실시예 9의 전력 변환 장치에 있어서는, V1 : V2 : V3 = 1 : 2 : 2로 설정되어 있다. 실시예 10의 전력 변환 장치에 있어서는, V1 : V2 : V3 : V4 = 1 : 2 : 2 : 2로 설정되어 있다. 실시예 1~실시예 10의 전력 변환 장치는, 모두 전압 비율이 1 및 2를 포함하거나, 또는 전압 비율이 1 및 3을 포함하여 구성되어 있다.

[0034] 도 8에 나타난 실시예 1~실시예 10의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압은, 비교예의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압보다 작다. 그 때문에, 실시예 1~실시예 10의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해진다.

[0035] 여기서, 실시예 2 및 실시예 7에 있어서는, 각 계조 레벨을 실현하기 위해서 복수의 단상 인버터에 있어서 동일한 시간에 다른 극성의 전압 출력이 필요한 경우가 있다. 예를 들면, 실시예 2에 있어서는, 전압 절대치의 비율이 1인 V1을 출력하는 단상 인버터가 음 전압을 출력하고, 전압 절대치의 비율이 5인 V3을 출력하는 단상 인버터가 양 전압을 출력하는 것으로, 계조 레벨 4를 실현할 수 있다($5-1=4$). 또, 실시예 7에 있어서는, 전압 절대치의 비율이 1인 V1을 출력하는 단상 인버터가 음 전압을 출력하고, 전압 절대치의 비율이 3인 V2를 출력하는 단상 인버터가 음 전압을 출력하고, 전압 절대치의 비율이 9인 V3을 출력하는 단상 인버터가 양 전압을 출력하는 것으로, 계조 레벨 5를 실현할 수 있다($9-3-1=5$).

[0036] 이와 같이, 도 8에 나타난 실시예 1~실시예 10의 전력 변환 장치에 있어서는, 각각의 최대 계조 레벨 이하의 범위에서 부하에 교류 전력을 출력할 수 있다. 여기서, 전압 절대치의 최소 비율 1에 대해서 제1 공통 전압의 비율을 J로 하고, 비율이 J보다 작은 전압 절대치의 비율의 총합을 K로 한다. 예를 들면, 실시예 2에서는 $J=9$, $K=1+2+5=8$ 이 되고, J와 K의 관계는 $J=K+1$ 이다. 또, 실시예 7에서는 $J=14$, $K=1+3+9=13$ 이 되고, J와 K의 관계는 $J=K+1$ 이다. 이와 같이, 실시예 1~실시예 10의 전력 변환 장치에 있어서는, 모두 $J=K+1$ 의 관계가 성립된다. 이러한 관계가 성립되도록 하는 것으로, 본 실시의 형태의 전력 변환 장치는, 각 계조 레벨의 출력을 실현하는 조합의 중복을 회피하여, 보다 적은 개수의 단상 인버터로 구성할 수 있고, 또한, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용할 수 있기 때문에, 전력 변환 장치의 대형화, 고비용화를

억제할 수 있다.

- [0037] 또한, 이 J와 K의 관계는, 실시예 9의 3개의 단상 인버터로 구성된 전력 변환 장치, 및 실시예 10의 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서도 성립된다. 이 J와 K의 관계는, 6개 이상의 단상 인버터로 구성된 전력 변환 장치에 있어서도 성립된다.
- [0038] 실시예 1~실시예 10의 전력 변환 장치에 있어서는, 단상 인버터의 최대의 출력 전압을 제1 공통 전압으로 하고 있다. 본 실시의 형태의 전력 변환 장치에 있어서는, 제1 공통 전압은 단상 인버터의 최대의 출력 전압이 아니어도 좋다.
- [0039] 도 9는, 5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 전압 구성을 표로 한 설명도이다. 도 9의 표에는, V1~V5의 전압 비율과 V1~V5의 전압을 나타내고 있다. V1~V5의 전압은, 전체 출력 전압 V_{sum} 이 $\pm 130V$ 가 되도록 설정되어 있다. 또한, 도 9에는 $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 4 : 8 : 16$ 으로 설정된 비교예의 전력 변환 장치도 나타내고 있다.
- [0040] 도 9에 나타내는 실시예 11의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 2 : 2 : 4$ 로 설정되어 있다. 실시예 12의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 4 : 4 : 8$ 로 설정되어 있다. 실시예 13의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 5 : 5 : 10$ 으로 설정되어 있다. 실시예 11~실시예 13의 전력 변환 장치에 있어서는, 제1 공통 전압은 단상 인버터의 최대의 출력 전압은 아니다.
- [0041] 도 9에 나타난 실시예 11~실시예 13의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압은, 비교예의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압보다 작다. 그 때문에, 실시예 11~실시예 13의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해진다.
- [0042] 또한, 도 9에 나타난 실시예 11~실시예 13의 전력 변환 장치에 있어서도, $J=K+1$ 의 관계가 성립된다. 예를 들면, 실시예 12에서는 $J=4$, $K=1+2=3$ 이 되고, $J=K+1$ 이 된다.
- [0043] 실시의 형태 2.
- [0044] 실시의 형태 1에 따른 전력 변환 장치에 있어서는, 전압 절대치의 최소 비율 1에 대해서, 제1 공통 전압의 비율을 J로 하고, 비율이 J보다 작은 전압 절대치의 비율의 총합을 K로 했을 때에, $J=K+1$ 의 관계가 성립된다. 실시의 형태 2에 있어서는, $J=2K+1$ 의 관계가 성립되는 전력 변환 장치에 대해 설명한다.
- [0045] 본 실시의 형태의 전력 변환 장치의 구성은, 실시의 형태 1의 도 1에 나타난 전력 변환 장치의 구성과 마찬가지로이다. 본 실시의 형태의 전력 변환 장치에 있어서는, 복수의 단상 인버터의 출력 전압이 실시의 형태 1의 전력 변환 장치와 다르다. 또한, 설명을 알기 쉽게 하기 위해서, 4개의 단상 인버터로 구성된 전력 변환 장치를 예로 들어 설명한다.
- [0046] 도 10은, 본 실시의 형태의 전력 변환 장치에 있어서, 출력 전압 지시 파형으로서 정현파를 이용한 경우의 V1, V2, V3 및 V4를 각각 출력하는 4개의 단상 인버터의 출력 전압 파형과, 계조 제어된 전체 출력 전압 V_{sum} 의 파형을 나타낸 설명도이다. 또, 도 11은, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 조합을 표로 나타낸 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 비는, $1 : 2 : 7 : 7$ 이다. 전체 출력 전압 V_{sum} 의 최대 전압이 $\pm 130V$ 가 되도록, V1, V2, V3 및 V4가 설정되어 있다. 구체적으로는 $V1=7.64V$, $V2=15.29V$, $V3=V4=53.52V$ 이다. 즉, 4개의 단상 인버터 중 2개의 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 $V_{s1}=53.52V$ 로 설정되어 있다. 도 11에 나타내는 표에 있어서, 4개의 단상 인버터가 각각 전압 절대치 V1, V2, V3 및 V4의 출력 지시를 받은 상태를 「1」 또는 「-1」, 출력 지시를 받고 있지 않는 상태를 「0」으로 표기하고 있다. 각각의 단상 인버터는, 출력 전압 지시의 파형이 양 전압의 기간에 출력 지시 「1」을 받은 경우는 양 전압을, 출력 지시 「-1」을 받은 경우는 음 전압을 출력한다. 또, 각각의 단상 인버터는, 출력 전압 지시의 파형이 음 전압의 기간에 출력 지시 「1」을 받은 경우는 음 전압을, 출력 지시 「-1」을 받은 경우는 양 전압을 출력한다.
- [0047] 본 실시의 형태의 전력 변환 장치에 있어서는, 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 비는, $1 : 2 : 7 : 7$ 이다. 이 경우 $J=7$, $K=3$ 이 되고, $J=2K+1$ 의 관계가 성립된다. 실시의 형태 1의 도 4 및 도 5에 나타난 전력 변환 장치에 있어서는, 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 비는, $1 : 2 : 4 : 4$ 이다. 이 전력 변환 장치에 있어서는, $J=K+1$ 의 관계가 성립된다. 또, 이 전력 변환 장치에 있어서는, 최대 계조 레벨은 11이다. 이것에 대해서, $J=2K+1$ 의 관계가 성립되는 본 실시의 형태의 전력 변환 장치에 있어서는, 최대 계조

레벨은 17이 된다. 따라서, 본 실시의 형태의 전력 변환 장치가 실시의 형태 1의 전력 변환 장치보다 많은 최대 계조 레벨을 실현할 수 있다.

[0048] 본 실시의 형태의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압은, 실시의 형태 1에서 나타난 비교예의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압보다 작다. 그 때문에, 본 실시의 형태의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해져, 도통 손실을 저감할 수 있다.

[0049] V4를 출력하는 단상 인버터의 출력 전압 파형을 도 6과 도 10에서 비교하면, 출력 전압 지시 파형인 정현파의 1 주기에 있어서 V4를 출력하는 단상 인버터의 스위칭 횟수는, 본 실시의 형태의 전력 변환 장치와 비교예의 전력 변환 장치에서는 동일하다. 그러나, 본 실시의 형태의 전력 변환 장치의 V4의 전압이 비교예의 전력 변환 장치의 V4의 전압보다 작기 때문에, 본 실시의 형태의 전력 변환 장치가 비교예의 전력 변환 장치보다 스위칭 손실을 저감할 수 있다.

[0050] 또, V3을 출력하는 단상 인버터의 출력 전압 파형을 도 6과 도 10에서 비교하면, 본 실시의 형태의 전력 변환 장치의 V3의 전압은 비교예의 전력 변환 장치의 V3의 전압의 1.54배이다. 그러나, 출력 전압 지시 파형인 정현파의 1 주기에 있어서 V3을 출력하는 단상 인버터의 스위칭 횟수는, 본 실시의 형태의 전력 변환 장치가 4회인 데 비해 비교예의 전력 변환 장치는 12회이다. 스위칭 횟수와 전압치의 양쪽을 고려하면, V3을 출력하는 단상 인버터의 스위칭 소자에 대해서도, 본 실시의 형태의 전력 변환 장치가 비교예의 전력 변환 장치보다 스위칭 손실을 저감할 수 있다.

[0051] 또한, V1 및 V2를 출력하는 단상 인버터의 출력 전압 파형을 도 6과 도 10에서 비교하면, 출력 전압 지시 파형인 정현파의 1 주기에 있어서 V1 및 V2를 출력하는 단상 인버터의 스위칭 횟수는, 본 실시의 형태의 전력 변환 장치가 비교예의 전력 변환 장치보다도 많다. 그러나, V1 및 V2는 V3 및 V4보다 충분히 저전압이기 때문에, V1 및 V2를 출력하는 단상 인버터의 스위칭 손실은, V3 및 V4를 출력하는 단상 인버터의 스위칭 손실보다 작다. 따라서, 4개의 단상 인버터의 모든 스위칭 손실은, 본 실시의 형태의 전력 변환 장치가 비교예의 전력 변환 장치보다 작아진다.

[0052] 도 12는, 본 실시의 형태의 전력 변환 장치에 있어서, 출력 전압 지시 파형으로서 정현파를 이용한 경우의 V1, V2, V3 및 V4를 각각 출력하는 4개의 단상 인버터의 출력 전압의 파형과, 계조 제어된 전체 출력 전압 V_{sum} 의 파형을 나타낸 설명도이다. 또, 도 13은, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 조합을 표로 나타낸 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 비는, 1:3:9:9이다. 전체 출력 전압 V_{sum} 의 최대 전압이 $\pm 130V$ 가 되도록, V1, V2, V3 및 V4가 설정되어 있다. 구체적으로는 $V1=5.91V$, $V2=17.72V$, $V3=V4=53.18V$ 이다. 즉, 4개의 단상 인버터 중 2개의 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 $Vs1=53.18V$ 로 설정되어 있다.

[0053] 본 실시의 형태의 전력 변환 장치에 있어서는, 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 비는, 1:3:9:9이다. 이 경우 $J=9$, $K=4$ 가 되고, $J=2K+1$ 의 관계가 성립된다. $J=2K+1$ 의 관계가 성립되는 본 실시의 형태의 전력 변환 장치에 있어서는, 최대 계조 레벨은 22가 된다. 따라서, 본 실시의 형태의 전력 변환 장치가 실시의 형태 1의 전력 변환 장치보다 많은 최대 계조 레벨을 실현할 수 있다.

[0054] 본 실시의 형태의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압은, 실시의 형태 1에서 나타난 비교예의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압보다 작다. 그 때문에, 본 실시의 형태의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해져, 도통 손실을 저감할 수 있다.

[0055] 지금까지의 설명에 있어서, 본 실시의 형태의 전력 변환 장치로서 4개의 단상 인버터로 구성된 전력 변환 장치로 설명했다. 본 실시의 형태의 전력 변환 장치는, 3개 이상의 단상 인버터로 구성되어 있으면 좋다. 이 이후, 3~5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 특성에 대해 설명한다. 또한, 비교를 위해서 복수의 단상 인버터의 출력 전압의 절대치를 각각 대략 2^K 배($K=0, 1, 2, \dots$)로 한 비교예의 전력 변환 장치의 특성도 함께 설명한다.

[0056] 도 14는, 3~5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 전압 구성을 표로 한 설명도이다. 도 14의 표에는, V1~V5의 전압 비율과 V1~V5의 전압을 나타내고 있다. V1~V5의 전압은, 전체 출력 전압 V_{sum} 이 $\pm 130V$ 가 되도록 설정되어 있다. 도 14에 도시하는 바와 같이, 비교예의 전력 변환 장치에 있어서는, V1:V2:

V3 : V4 : V5=1 : 2 : 4 : 8 : 16으로 설정되어 있다.

- [0057] 본 실시의 형태의 전력 변환 장치에 있어서, 실시예 14~실시예 18의 전력 변환 장치는 5개의 단상 인버터로 구성되어 있고, 실시예 19의 전력 변환 장치는 3개의 단상 인버터로 구성되어 있고, 실시예 20의 전력 변환 장치는 4개의 단상 인버터로 구성되어 있다. 실시예 14의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 7 : 7 : 7$ 로 설정되어 있다. 실시예 15의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 7 : 21 : 21$ 로 설정되어 있다. 실시예 16의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 3 : 3 : 3$ 으로 설정되어 있다. 실시예 17의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 9 : 9 : 9$ 로 설정되어 있다. 실시예 18의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 9 : 27 : 27$ 로 설정되어 있다. 실시예 19의 전력 변환 장치에 있어서는, $V1 : V2 : V3 = 1 : 3 : 3$ 으로 설정되어 있다. 실시예 20의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 = 1 : 3 : 3 : 3$ 으로 설정되어 있다. 실시예 14~실시예 20의 전력 변환 장치는, 모두 전압 비율이 1 및 2를 포함하거나, 또는 전압 비율이 1 및 3을 포함하여 구성되어 있다.
- [0058] 도 14에 나타난 실시예 14~실시예 20의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압은, 비교예의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압보다 작다. 그 때문에, 실시예 11~실시예 20의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해진다.
- [0059] 또, 실시예 14~실시예 20의 전력 변환 장치에 있어서는, $J=2K+1$ 의 관계가 성립된다. 따라서, 단상 인버터의 최대 전압이 동일한 정도의 조건에 있어서, 실시예 11~실시예 20의 전력 변환 장치가, 실시의 형태 1의 전력 변환 장치보다 많은 최대 계조 레벨을 실현할 수 있다. 또한, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 9 : 9 : 9$ 로 설정된 실시예 17의 전력 변환 장치는, 최대 계조 레벨이 31로 비교예의 최대 계조 레벨과 동등하고, 또한 3개의 단상 인버터의 전압 절대치에 있어서, 최대 전압이 37.74V로 비교예의 최대 전압 67.1V의 대략 반이 된다. 그 때문에, 실시예 17의 전력 변환 장치는, 비교예의 전력 변환 장치에 있어서 MOSFET의 도통 손실과 스위칭 손실의 저감 효과가 가장 크다. 이와 같이, 전압 절대치의 비율에 1, 3 및 9를 포함하고, 또한 비율 9가 되는 전압을 제1 공통 전압으로 설정하는 것으로, 많은 계조 레벨을 실현하고, 또한 소형이고 저비용인 전력 변환 장치를 얻을 수 있다.
- [0060] 실시예 14~실시예 20의 전력 변환 장치에 있어서는, 단상 인버터의 최대의 출력 전압을 제1 공통 전압으로 하고 있다. 본 실시의 형태의 전력 변환 장치에 있어서는, 제1 공통 전압은 단상 인버터의 최대의 출력 전압이 아니어도 좋다.
- [0061] 도 15는, 5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 전압 구성을 표로 한 설명도이다. 도 15의 표에는, V1~V5의 전압 비율과 V1~V5의 전압을 나타내고 있다. V1~V5의 전압은, 전체 출력 전압 V_{sum} 이 $\pm 130V$ 가 되도록 설정되어 있다. 또한, 도 15에는 $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 4 : 8 : 16$ 으로 설정된 비교예의 전력 변환 장치도 나타내고 있다.
- [0062] 도 15에 나타내는 실시예 21의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 7 : 7 : 14$ 로 설정되어 있다. 실시예 22의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 3 : 3 : 9$ 로 설정되어 있다. 실시예 23의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 9 : 9 : 18$ 로 설정되어 있다. 실시예 21~실시예 23의 전력 변환 장치에 있어서는, 제1 공통 전압은 단상 인버터의 최대의 출력 전압은 아니다.
- [0063] 도 15에 나타난 실시예 21~실시예 23의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압은, 비교예의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압보다 작다. 그 때문에, 실시예 21~실시예 23의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해진다.
- [0064] 실시의 형태 3.
- [0065] 실시의 형태 1 및 2의 전력 변환 장치에 있어서는, 전체 출력 전압 V_{sum} 의 계조 레벨은 전압 절대치의 최소 비율 1의 단위로 계조 제어가 행해지고 있다. 또한, 전압 절대치의 최소 비율 1의 단위를 편의상 1단으로 표현한다. 실시의 형태 3의 전력 변환 장치는, 복수의 단상 인버터의 적어도 1개의 단상 인버터를 PWM(Pulse Width Modulation) 제어하는 것으로, 전체 출력 전압 V_{sum} 의 계조 레벨을 등가적으로 1단보다 작은 단위로 계조 제어를 행한다.
- [0066] 도 16은, 본 실시의 형태에 따른 전력 변환 장치의 구성도이다. 본 실시의 형태의 전력 변환 장치는, 실시의 형태 1의 도 1에 나타난 전력 변환 장치의 구성에 출력 검출부(5)와 AD 컨버터(Analog to Digital Converter)(6)가 추가되어 있다. 출력 검출부(5)는, 부하(10)에 출력하는 전압 또는 전류 중 적어도 한쪽을 검출하고, 부귀환용 신호(negative-feedback signal)를 출력한다. 또한, 이 이후, 부귀환용 신호를 OFB(Output

Feedback)라고 기재한다. AD 컨버터(6)는, 출력 검출부(5)로부터 출력된 OFB를 디지털 부귀환용 신호로 변환하고, 이 디지털 부귀환용 신호를 제어부(4)로 출력한다. 또한, 이 이후, 디지털로 변환된 부귀환용 신호를 OFB_{adc}라고 기재한다. 다만, 후술하는 제어부(4)의 내부에 설치된 제1 감산부가 아날로그 회로로 구성되어 있는 경우는, AD 컨버터(6)는 없어도 좋다.

[0067] 도 17은, 부하에 출력하는 전압을 검출하는 출력 검출부의 회로도이다. 출력 검출부(5)는, 단상 인버터(2)와 부하(10)로의 출력 단자 사이에 설치되어 있다. 출력 검출부(5)는, 연산 증폭기(51)와 복수의 저항(52)으로 구성된 차동 회로를 갖고 있다. 출력 검출부(5)는, 부하에 인가되는 전압으로부터 차동 전압을 검출하여 OFB를 출력한다.

[0068] 도 18은, 부하에 흐르는 전류를 검출하는 출력 검출부의 회로도이다. 출력 검출부(5)는, 단상 인버터(2)와 부하(10)로의 출력 단자 사이에 설치되어 있다. 출력 검출부(5)는, 부하(10)에 대해서 직렬로 접속된 전류 검지 저항(53)과, 연산 증폭기(51)와 복수의 저항(52)으로 구성된 차동 회로를 갖고 있다. 출력 검출부(5)는, 전류 검지 저항(53)의 양단의 전압으로부터 차동 전압을 검출하여 OFB를 출력한다. 또한, 전류 검지 저항(53)은, 부하(10)와 접지 전위(GND) 사이에 마련되어 있어도 좋다.

[0069] 본 실시의 형태의 전력 변환 장치(1)의 출력 검출부(5)는, 도 17 및 도 18에 나타난 회로의 적어도 한쪽의 회로를 구비하고 있다. 출력 검출부(5)가 부하(10)에 출력하는 전압 및 전류의 양쪽을 검출하는 경우는, 도 17 및 도 18에 나타난 회로의 양쪽을 구비하고 있어도 좋다. 또한, 도 17 및 도 18에 나타난 출력 검출부의 구성은 일례이며, 예를 들면 트랜스를 이용한 구성 등, 부하에 출력하는 전압 또는 전류 중 적어도 한쪽을 검출할 수 있는 구성이면 다른 구성이어도 좋다.

[0070] 도 19는, 본 실시의 형태의 전력 변환 장치의 계조 제어 신호 생성부의 구성도이다. 본 실시의 형태의 계조 제어 신호 생성부(41)는, 출력치 지시부(401), 제1 감산부(402), 보상부(403), 출력 극성 판정부(404), 절대치화 처리부(405), 정수화 처리부(406), 제2 감산부(407), 펄스폭 변조부(408), 가산부(409), 및 계조 제어 신호 변환부(410)를 구비하고 있다.

[0071] 출력치 지시부(401)는, 예를 들면 정현파 등의 출력치 지시 파형 O_{ref} 를 출력한다. 제1 감산부(402)는, 출력치 지시 파형 O_{ref} 로부터 부귀환용 신호 OFB_{adc} 를 감산한 차분 신호 O_{sub} 를 출력한다. 보상부(403)는, 차분 신호 O_{sub} 에 대해서, 비례 연산, 적분 연산 또는 미분 연산 등을 이용하여 보상한 보상 차분 신호 O_{cmp} 를 출력한다. 출력 극성 판정부(404)는, 보상 차분 신호 O_{cmp} 로부터 전체 출력 전압 V_{sum} 의 양 또는 음 중 어느 극성을 판정한 출력 극성 지시 신호 O_{pol} 를 출력한다. 절대치화 처리부(405)는, 보상 차분 신호 O_{cmp} 를 절대치화한 절대치화 신호 O_{abs} 를 출력한다. 정수화 처리부(406)는, 절대치화 신호 O_{abs} 를 정수치화한 정수화 신호 O_{int} 를 출력한다. 제2 감산부(407)는, 절대치화 신호 O_{abs} 로부터 정수화 신호 O_{int} 를 감산한 소수치 신호 O_{dec} 를 출력한다. 펄스폭 변조부(408)는, 소수치 신호 O_{dec} 에 대해서 캐리어 주파수로 펄스폭 변조를 행하여 소수부 PWM 신호 $dPMW$ 를 생성하고, 이 소수부 PWM 신호 $dPMW$ 를 출력한다. 가산부(409)는, 정수화 신호 O_{int} 에 소수부 PWM 신호 $dPMW$ 를 가산한 출력 전압 제어 신호 O_{cnt} 를 출력한다. 계조 제어 신호 변환부(410)는, 출력 극성 지시 신호 O_{pol} 와 출력 전압 제어 신호 O_{cnt} 에 근거하여, 각 단상 인버터의 스위칭 소자에 대해서 스위칭 제어를 행하기 위한 계조 제어 신호 SmN 및 $SmP(m=1, 2, \dots, n)$ 를 출력한다.

[0072] 출력치 지시 파형 O_{ref} 는, 부하에 출력하는 목표가 전압 파형인 경우는 출력 전압 지시 파형이다. 부하에 출력하는 목표가 전류 파형인 경우는, 출력치 지시 파형 O_{ref} 는 출력 전류 지시 파형이다. 또, 부하에 출력하는 목표가 전력 파형인 경우는, 출력치 지시 파형 O_{ref} 는 출력 전압 지시 파형과 출력 전류 지시 파형의 양쪽이어도 좋고, 전력 지시 파형이어도 좋다.

[0073] 이와 같이 구성된 전력 변환 장치의 동작에 대해 설명한다. 또한, 이 이후 4개의 단상 인버터로 구성된 전력 변환 장치를 예로 들어 설명한다.

[0074] 도 20은, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 V_1 , V_2 , V_3 및 V_4 의 조합을 표로 나타낸 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V_1 , V_2 , V_3 및 V_4 의 비는, $1:2:4:4$ 이다. 전체 출력 전압 V_{sum} 의 최대 전압이 $\pm 130V$ 가 되도록, V_1 , V_2 , V_3 및 V_4 가 설정되어 있다. 구체적으로는 $V_1=11.81V$, $V_2=23.63V$, $V_3=V_4=47.27V$ 이다. 즉, 4개의 단상 인버터 중 2개의 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 $V_{s1}=47.27V$ 로 설정되어 있다. 여기서, 전체 출력 전압 V_{sum} 의 계조 레벨이 $7(+82.67V)$ 부터 $8(+94.48V)$ 사이의 레벨을 출력하도록 지시된 경우의 전력 변환 장치의 동작에 대해 설명한다.

- [0075] 도 21은, 전체 출력 전압 V_{sum} 의 계조 레벨이 7과 8 사이의 레벨을 출력하도록 지시된 경우의 4개의 단상 인버터의 출력 전압 파형을 나타내고 있다. 비교를 위해서 PWM 제어가 없는 경우와 PWM 제어가 있는 경우의 출력 전압 파형을 나타내고 있다. 도 21에 있어서, PWM 제어가 없는 경우, 전체 출력 전압 V_{sum} 은 계조 레벨 7과 8 사이의 계조는 표현하지 못하고, 이 전압 구간에서는 계조 레벨 7과 8 사이의 1단으로 변화한다. 이것에 대해서, PWM 제어가 있는 경우, 계조 레벨 7에 있어서의 각 단상 인버터의 출력 상태 $V1="1"$, $V2="1"$, $V3="1"$, $V4="0"$ 과, 계조 레벨 8에 있어서의 각 단상 인버터의 출력 상태 $V1="0"$, $V2="0"$, $V3="1"$, $V4="1"$ 에 있어서, 캐리어 주파수의 역수의 주기 단위로 그 조합을 바꿀 수 있다. 즉, $V1$, $V2$, $V4$ 를 출력하는 3개의 단상 인버터를 동시에 PWM 제어한다. 그 결과, 전체 출력 전압 V_{sum} 의 전압 펄스는, 평균치가 출력치 지시 파형 O_{ref} 가 지시하는 전압에 가까워지도록 온과 오프가 제어된다.
- [0076] 또한, V_{sum} 을 전압 펄스로서 제어하기 위해서, 동시에 PWM 제어를 행하는 단상 인버터의 필요 개수는, 출력치 지시 파형 O_{ref} 가 지시하는 계조 레벨의 단수에 따라서 다르다. 예를 들면, 도 20에 있어서, 전체 출력 전압 V_{sum} 을 계조 레벨 0과 1 사이에서 2치의 전압 펄스로서 변화시키는 경우, $V1$ 을 출력하는 1개의 단상 인버터만으로 PWM 제어하면 좋다. 또, 전체 출력 전압 V_{sum} 을 계조 레벨 1과 2 사이에서 2치의 전압 펄스로서 변화시키는 경우, $V1$ 및 $V2$ 를 출력하는 2개의 단상 인버터를 동시에 PWM 제어하면 좋다.
- [0077] 이와 같이 구성된 전력 변환 장치에 있어서는, 계조 제어에 PWM 제어를 더하는 것으로 등가적으로 1단보다 작은 전압 분해능으로 전체 출력 전압 V_{sum} 을 계조 제어할 수 있다.
- [0078] 실시의 형태 4.
- [0079] 실시의 형태 3에서 설명한 계조 제어에 PWM 제어가 더해진 전력 변환 장치에 있어서는, 3개 이상의 단상 인버터 (2) 중 적어도 2개의 제1 공통 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 V_{s1} 로 설정되어 있다. 또한, 이 이후 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서, 2개의 제1 공통 단상 인버터를 갖는 전력 변환 장치를 예로 들어 설명한다. 이 전력 변환 장치에 있어서는, 전체 출력 전압 V_{sum} 의 출력 파형에 따라서는, 한쪽의 제1 공통 단상 인버터의 PWM 제어의 스위칭 횟수가 많아지고, 다른 쪽의 제1 공통 단상 인버터의 PWM 제어의 스위칭 횟수가 적어지거나, 혹은 스위칭하지 않는 경우가 있다. 이 경우, 한쪽의 제1 공통 단상 인버터에 스위칭 손실이 집중하게 된다. 실시의 형태 4의 전력 변환 장치는, 제1 공통 전압 V_{s1} 로 설정된 2개의 제1 공통 단상 인버터에 있어서의 스위칭 횟수가 거의 균등하게 되도록 제어한다. 또한, 본 실시의 형태의 전력 변환 장치의 구성은, 실시의 형태 3의 전력 변환 장치의 구성과 마찬가지로 한다.
- [0080] 도 22는, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 $V1$, $V2$, $V3$ 및 $V4$ 의 조합을 표로 나타낸 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 $V1$, $V2$, $V3$ 및 $V4$ 의 비는, $1:2:4:4$ 이다. 전체 출력 전압 V_{sum} 의 최대 전압이 $\pm 130V$ 가 되도록, $V1$, $V2$, $V3$ 및 $V4$ 가 설정되어 있다. 구체적으로는 $V1=11.81V$, $V2=23.63V$, $V3=V4=47.27V$ 이다. 여기서, 전체 출력 전압 V_{sum} 의 계조 레벨이 3과 4 사이의 레벨을 출력하도록 지시된 경우, 제1 공통 단상 인버터인 $V3$ 을 출력하는 단상 인버터만이 출력하고, 제1 공통 단상 인버터인 $V4$ 를 출력하는 단상 인버터는 출력하지 않게 된다. 즉, $V3$ 을 출력하는 단상 인버터만이 PWM 제어의 스위칭 동작을 행하고, $V4$ 를 출력하는 단상 인버터는 PWM 제어의 스위칭 동작을 행하지 않게 된다. 본 실시의 형태의 전력 변환 장치는, 한쪽의 제1 공통 단상 인버터에 집중하는 스위칭 동작을 다른 쪽의 제1 공통 단상 인버터에 분산시키도록 제어한다. 또한, 이 이후, 복수의 제1 공통 단상 인버터의 사이에서 스위칭 동작을 분산시키는 처리를 스위칭 분산 처리라고 칭한다.
- [0081] 도 23은, 본 실시의 형태의 전력 변환 장치에 있어서의 제어 방법을 나타내는 흐름도이다. 도 23은, 도 19에 나타낸 계조 제어 신호 변환부(410)가 단위 주기의 처리를 개시했을 때의 동작을 나타내는 흐름도이다. 또한, 도 23의 흐름도에 한해서는, r 개의 제1 공통 단상 인버터로 구성된 전력 변환 장치로 한다.
- [0082] 처리가 개시되면, 계조 제어 신호 변환부(410)는, 스텝 S01에 있어서 출력 전압 제어 신호 O_{cnt} 를 취득한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S02에 있어서 초기 상태를 설정한다. 스텝 S02에 있어서, 계조 제어 신호 변환부(410)는, r 개의 제1 공통 단상 인버터 전체의 출력을 오프로 설정하고, 제1 공통 단상 인버터의 업 제어 카운터 uCT 를 1로, 제1 공통 단상 인버터의 다운 제어 카운터 dCT 를 1로, 파라미터 h 및 j 를 0으로 설정한다. 또한, 스텝 S02에 있어서의 초기 상태의 설정은 최초의 단위 주기의 처리를 개시했을 때만 실시되고, 다음의 제어 주기에 있어서는 전회의 값이 유지된다.
- [0083] 다음에, 계조 제어 신호 변환부(410)는, 스텝 S03에 있어서, 출력 전압 제어 신호 O_{cnt} 에 근거하여 출력이 오프

로부터 온으로 바뀌는 제1 공통 단상 인버터의 개수 g 를 판별한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S04에 있어서, h 가 g 와 동일한지 여부를 판정한다. 스텝 S04에 있어서 h 가 g 와 동일하다고 판정된 경우(YES), 계조 제어 신호 변환부(410)는 스텝 S05로 진행되고, h 를 0으로 설정한다. 스텝 S04에 있어서 h 가 g 와 동일하지 않다고 판정된 경우(NO), 계조 제어 신호 변환부(410)는 스텝 S06으로 진행되고, h 에 1을 가산하여 새로운 h 를 설정한다.

[0084] 스텝 S06으로 진행된 계조 제어 신호 변환부(410)는, 스텝 S07에 있어서, uCT 차례의 제1 공통 단상 인버터의 출력을 온으로 한다. 또한, 계조 제어 신호 변환부(410)는, 스텝 S08에 있어서, uCT가 r 과 동일할 때는 uCT를 1로 설정하고, uCT가 r 보다 작을 때는 uCT에 1을 가산하여 새로운 uCT를 설정한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S04로 돌아온다.

[0085] 스텝 S05로 진행된 계조 제어 신호 변환부(410)는, 스텝 S09에 있어서, 출력 전압 제어 신호 0cnt에 근거하여 출력이 온으로부터 오프로 바뀌는 제1 공통 단상 인버터의 개수 i 를 판별한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S10에 있어서, i 가 j 와 동일한지 여부를 판정한다. 스텝 S10에 있어서 i 가 j 와 동일하다고 판정된 경우(YES), 계조 제어 신호 변환부(410)는 스텝 S11로 진행되고, j 를 0으로 설정한다. 스텝 S10에 있어서 i 가 j 와 동일하지 않다고 판정된 경우(NO), 계조 제어 신호 변환부(410)는 스텝 S14로 진행되고, j 에 1을 가산하여 새로운 j 를 설정한다.

[0086] 스텝 S14로 진행된 계조 제어 신호 변환부(410)는, 스텝 S15에 있어서, dCT 차례의 제1 공통 단상 인버터의 출력을 오프로 한다. 또한, 계조 제어 신호 변환부(410)는, 스텝 S16에 있어서, dCT가 r 과 동일할 때는 dCT를 1로 설정하고, dCT가 r 보다 작을 때는 dCT에 1을 가산하여 새로운 dCT를 설정한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S10으로 돌아온다.

[0087] 스텝 S11로 진행된 계조 제어 신호 변환부(410)는, 스텝 S12에 있어서, 출력 극성 지시 신호 Opol에 근거하여 계조 제어 신호의 극성을 판별한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S13에 있어서, 계조 제어 신호 SmN 및 Smp($m=1, 2, \dots, n$)를 출력한다.

[0088] 계조 제어 신호 변환부(410)가 이러한 제어를 행하는 것에 의해, 복수의 제1 공통 단상 인버터의 사이에서 스위칭 동작을 분산시킬 수 있다. 도 24는, 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서의 스위칭 분산 처리의 설명도이다. 도 24는, 도 22에 나타난 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서, 전체 출력 전압 Vsum을 계조 레벨 3과 4 사이의 2치의 전압 펄스로서 변화시킨 경우의 예이다. 또한, 도 24에는, 스위칭 분산 처리가 행해지지 않는 경우도 함께 나타내고 있다.

[0089] 도 22에 나타난 바와 같이, V3 및 V4를 각각 출력하는 제1 공통 단상 인버터의 출력 상태는, 계조 레벨이 3인 경우 V3="0", V4="0"이고, 계조 레벨이 4인 경우 V3="1", V4="0"이다. 따라서, 계조 레벨을 3과 4 사이에서 바꾸는 경우는, V3을 출력하는 제1 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다. 도 24에 나타난 바와 같이, 스위칭 분산 처리가 행해지지 않는 경우, V3을 출력하는 제1 공통 단상 인버터의 출력은 캐리어 주파수의 역수의 주기로 변화하고 있지만, V4를 출력하는 제1 공통 단상 인버터의 출력은 변화하고 있지 않다.

[0090] 이것에 대해서, 스위칭 분산 처리가 행해지는 경우, V3을 출력하는 제1 공통 단상 인버터의 출력 전압 펄스가, V3을 출력하는 제1 공통 단상 인버터와 V4를 출력하는 제1 공통 단상 인버터에 교대로 나뉘어 발생하고 있다. 스위칭 분산 처리가 행해지는 경우의 전체 출력 전압 Vsum의 파형은, 스위칭 분산 처리가 행해지지 않는 경우의 전체 출력 전압 Vsum의 파형과 동일하다. 즉, 본 실시의 형태의 전력 변환 장치에 있어서 계조 레벨을 3과 4 사이에서 바꾸는 경우, V3을 출력하는 제1 공통 단상 인버터에 치우쳐 있던 스위칭 동작이 스위칭 분산 처리를 행하는 것에 의해, V3 및 V4를 출력하는 제1 공통 단상 인버터의 각각에 균등하게 분산된다. 전체 출력 전압 Vsum을 계조 레벨 3과 4 사이의 2치의 전압 펄스로서 변화시키는 기간에 있어서, 스위칭 분산 처리 전에 대한 스위칭 분산 처리 후의 V3을 출력하는 단상 인버터의 스위칭 횟수는, 거의 반으로 된다. 그 때문에, 한쪽의 제1 공통 단상 인버터에 스위칭 손실이 집중하는 것을 방지할 수 있다.

[0091] 본 실시의 형태의 전력 변환 장치에 있어서, 스위칭 분산 처리를 행하는 효과에 대해 더 설명한다.

[0092] 도 25는, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 조합을 표로 나타낸 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 비는, 1:2:4:4이다. 전체 출력 전압 Vsum의 최대 전압이 $\pm 130V$ 가 되도록, V1, V2, V3 및 V4가 설정되어 있다. 구체적으로는 V1=11.81V, V2=23.63V, V3=V4=47.27V이다.

- [0093] 도 25에 나타낸 바와 같이, V3 및 V4를 각각 출력하는 제1 공통 단상 인버터의 출력 상태는, 계조 레벨이 7인 경우 $V3="1"$, $V4="0"$ 이고, 계조 레벨이 8인 경우 $V3="1"$, $V4="1"$ 이다. 따라서, 계조 레벨을 7과 8 사이에서 바꾸는 경우는, V4를 출력하는 제1 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다.
- [0094] 도 26은, 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서의 스위칭 분산 처리의 설명도이다. 도 26은, 도 25에 나타낸 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서, 전체 출력 전압 V_{sum} 을 계조 레벨 7과 8의 2치의 전압 펄스로서 변화시킨 경우의 예이다. 또한, 도 26에는, 스위칭 분산 처리가 행해지지 않는 경우도 함께 나타내고 있다. 도 26에 나타낸 바와 같이, 스위칭 분산 처리가 행해지지 않는 경우, V3을 출력하는 제1 공통 단상 인버터의 출력은 일정하게 변화하고 있지 않지만, V4를 출력하는 제1 공통 단상 인버터의 출력은 캐리어 주파수의 역수의 주기로 변화하고 있다.
- [0095] 이것에 대해서, 스위칭 분산 처리가 행해지는 경우, V4를 출력하는 제1 공통 단상 인버터가 출력하는 전압 펄스가, 보다 펄스폭이 넓은 전압 펄스가 되어 V3을 출력하는 제1 공통 단상 인버터와 V4를 출력하는 제1 공통 단상 인버터에 교대로 나뉘어 발생하고 있다. 스위칭 분산 처리가 행해지는 경우의 전체 출력 전압 V_{sum} 의 파형은, 스위칭 분산 처리가 행해지지 않는 경우의 전체 출력 전압 V_{sum} 의 파형과 동일하다. 즉, 본 실시의 형태의 전력 변환 장치에 있어서 계조 레벨을 7과 8 사이에서 바꾸는 경우, V4를 출력하는 제1 공통 단상 인버터에 치우쳐 있던 스위칭 동작이 스위칭 분산 처리를 행하는 것에 의해, V3 및 V4를 출력하는 제1 공통 단상 인버터의 각각에 균등하게 분산된다. 전체 출력 전압 V_{sum} 을 계조 레벨 7과 8 사이의 2치의 전압 펄스로서 변화시키는 기간에 있어서, 스위칭 분산 처리 전에 대한 스위칭 분산 처리 후의 V4를 출력하는 단상 인버터의 스위칭 횟수는, 거의 반으로 된다. 그 때문에, 한쪽의 제1 공통 단상 인버터에 스위칭 손실이 집중하는 것을 방지할 수 있다.
- [0096] 이와 같이, 본 실시의 형태의 전력 변환 장치에 있어서는, 제1 공통 단상 인버터가 각각 1개 이상의 스위칭 소자를 포함하여 구성되어 있고, 상기 제어부가, 2개 이상의 제1 공통 단상 인버터에 각각 포함되는 스위칭 소자의, 단위 시간당 스위칭 횟수의 차를 최소로 하고 있다. 그 때문에, 특정의 제1 공통 단상 인버터에 스위칭 손실이 집중하는 것을 방지할 수 있다.
- [0097] 또한, 본 실시의 형태의 전력 변환 장치에 있어서는, 출력치 지시 파형 O_{ref} 가 정현파인 경우는, 스위칭 분산 처리에 의해 1 주기 내의 각 제1 공통 단상 인버터의 스위칭 횟수를 균등하게 할 수 있다.
- [0098] 또, 본 실시의 형태에 있어서의 스위칭 분산 처리는, 실시의 형태 3에서 설명한 PWM 제어를 이용한 전력 변환 장치에 적용한 경우의 파형으로 설명했다. 본 실시의 형태에 있어서의 스위칭 분산 처리는, PWM 제어를 이용하지 않는 전력 변환 장치에 적용할 수도 있다. 예를 들면, 출력치 지시 파형 O_{ref} 에 대해 계조 레벨이 7과 8로 반복하여 바뀌는 DC 오프셋 첨부의 램프 파형인 전력 변환 장치의 경우, 본 실시의 형태의 스위칭 분산 처리의 적용이 가능하다.
- [0099] 본 실시의 형태에 있어서는, 2개의 제1 공통 단상 인버터를 갖는 전력 변환 장치로 스위칭 분산 처리의 효과를 설명했다. 도 23의 흐름도에 나타낸 바와 같이, 본 실시의 형태의 스위칭 분산 처리는, 제1 공통 단상 인버터를 3개 이상 갖는 전력 변환 장치에 적용 가능하다.
- [0100] 지금까지 설명한 바와 같이, 본 실시의 형태의 전력 변환 장치는 복수의 제1 공통 단상 인버터에 스위칭 횟수를 분산시킬 수 있으므로, 1개의 제1 공통 단상 인버터에 스위칭 손실이 집중하는 것을 방지할 수 있다. 그 결과, 본 실시의 형태의 전력 변환 장치는, 소형인 방열기를 사용할 수 있는 등, 대형화, 고비용화를 억제할 수 있다.
- [0101] 실시의 형태 5.
- [0102] 도 27은, 실시의 형태 5에 따른 전력 변환 장치의 구성도이다. 본 실시의 형태의 전력 변환 장치(1)의 구성은, 실시의 형태 1의 도 1에 나타내는 전력 변환 장치의 구성과 마찬가지로이다. 본 실시의 형태의 전력 변환 장치(1)에 있어서는, 4개 이상의 단상 인버터(2) 중 2개의 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 V_{s1} 로 설정되어 있음과 동시에, 다른 2개의 단상 인버터의 전압 절대치가 동일한 제2 공통 전압 V_{s2} 로 설정되어 있다. 제1 공통 전압 V_{s1} 은, 각 단상 인버터의 각 전압 절대치 $V_1, V_2, V_3, \dots, V_n$ 의 최소치보다 큰 값으로 설정되어 있다. 또, 제2 공통 전압 V_{s2} 는, 제1 공통 전압 V_{s1} 보다 작은 전압으로 설정되어 있다. 도 27에 나타내는 전력 변환 장치(1)에 있어서는, INV_n -1의 단상 인버터의 전압 절대치 V_{n-1} 과, INV_n 의 단상 인버터의 전압 절대치 V_n 이 동일한 V_{s1} 로 설정되어 있다. 그리고, INV_1 의 단상 인버터의 전압 절대치 V_1 과, INV_2 의 단상 인버터의 전압 절대치 V_2 가 동일한 V_{s2} 로 설정되어 있다. 전압 절대치가 제1 공통 전압으로 설정된 단상 인버터를 제1 공통 단상 인버터라고 칭하고, 전압 절대치가 제2 공통 전압으로 설정된 단상 인버터를 제2 공통 단상 인버터라고 칭한다.

- [0103] 이 이후, 본 실시의 형태의 전력 변환 장치의 제어 방법에 대해 설명한다. 설명을 알기 쉽게 하기 위해서, 4개의 단상 인버터로 구성된 전력 변환 장치를 예로 들어 설명한다.
- [0104] 도 28은, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 V_1 , V_2 , V_3 및 V_4 의 조합을 표로 나타낸 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V_1 , V_2 , V_3 및 V_4 의 비는, $1:1:3:3$ 이다. 전체 출력 전압 V_{sum} 의 최대 전압이 $\pm 130V$ 가 되도록, V_1 , V_2 , V_3 및 V_4 가 설정되어 있다. 구체적으로는 $V_1=V_2=16.25V$, $V_3=V_4=48.75V$ 이다. 즉, 4개의 단상 인버터 중 2개의 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 $V_{s1}=48.75V$ 로 설정되어 있고, 다른 2개의 단상 인버터의 전압 절대치가 동일한 제2 공통 전압 $V_{s2}=16.25V$ 로 설정되어 있다. 전압 절대치의 최소 비율 1에 대해서 제1 공통 전압의 비율을 J 로 하고, 비율이 J 보다 작은 전압 절대치의 비율의 총합을 K 로 한 경우, 본 실시의 형태에서는 $J=K+1$ 이 성립된다.
- [0105] 실시의 형태 1의 도 7에 나타난 비교예의 전력 변환 장치에 있어서, 전압 절대치가 최대가 되는 단상 인버터의 출력 전압은 $69.33V$ 이다. 이것에 대해서, 본 실시의 형태의 전력 변환 장치에 있어서, 전압 절대치가 최대가 되는 단상 인버터의 출력 전압은 $48.75V$ 이다. 따라서, 본 실시의 형태의 전력 변환 장치는, 실시의 형태 1의 전력 변환 장치와 마찬가지로, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해진다. 또, 본 실시의 형태의 전력 변환 장치는, 실시의 형태 1의 전력 변환 장치와 마찬가지로, 전압 절대치 V_3 및 V_4 를 출력하는 단상 인버터의 스위칭 손실을 저감하는 것이 가능해진다.
- [0106] 지금까지의 설명에 있어서, 본 실시의 형태의 전력 변환 장치로서 4개의 단상 인버터로 구성된 전력 변환 장치로 설명했다. 본 실시의 형태의 전력 변환 장치는, 4개 이상의 단상 인버터로 구성되어 있으면 좋다. 이 이후, 5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 특성에 대해 설명한다. 또한, 비교를 위해서 복수의 단상 인버터의 출력 전압의 절대치를 각각 대략 2^K 배($K=0, 1, 2, \dots$)로 한 비교예의 전력 변환 장치의 특성도 함께 설명한다.
- [0107] 도 29는, 5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 전압 구성을 표로 한 설명도이다. 도 29의 표에는, $V_1 \sim V_5$ 의 전압 비율과 $V_1 \sim V_5$ 의 전압을 나타내고 있다. $V_1 \sim V_5$ 의 전압은, 전체 출력 전압 V_{sum} 이 $\pm 130V$ 가 되도록 설정되어 있다. 도 29에 도시하는 바와 같이, 비교예의 전력 변환 장치에 있어서는, $V_1:V_2:V_3:V_4:V_5=1:2:4:8:16$ 으로 설정되어 있다.
- [0108] 본 실시의 형태의 전력 변환 장치에 있어서, 실시예 24~실시예 29의 전력 변환 장치는 5개의 단상 인버터로 구성되어 있다. 실시예 24의 전력 변환 장치에 있어서는, $V_1:V_2:V_3:V_4:V_5=1:1:1:4:4$ 로 설정되어 있다. 실시예 25의 전력 변환 장치에 있어서는, $V_1:V_2:V_3:V_4:V_5=1:1:3:3:3$ 으로 설정되어 있다. 실시예 26의 전력 변환 장치에 있어서는, $V_1:V_2:V_3:V_4:V_5=1:1:3:6:6$ 으로 설정되어 있다. 실시예 27의 전력 변환 장치에 있어서는, $V_1:V_2:V_3:V_4:V_5=1:1:1:7:7$ 로 설정되어 있다. 실시예 28의 전력 변환 장치에 있어서는, $V_1:V_2:V_3:V_4:V_5=1:1:3:11:11$ 로 설정되어 있다. 실시예 29의 전력 변환 장치에 있어서는, $V_1:V_2:V_3:V_4:V_5=1:1:5:5:5$ 로 설정되어 있다. 실시예 24~실시예 29의 전력 변환 장치에 있어서는, 제1 공통 전압은 전압 절대치의 최대치로 설정되어 있고, 제2 공통 전압은 전압 절대치의 최소치로 설정되어 있다.
- [0109] 도 29에 나타난 실시예 24~실시예 29의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압은, 비교예의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압보다 작다. 그 때문에, 실시예 24~실시예 29의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해진다.
- [0110] 여기서, 전압 절대치의 최소 비율 1에 대해서 제1 공통 전압의 비율을 J 로 하고, 비율이 J 보다 작은 전압 절대치의 비율의 총합을 K 로 한다. 실시예 24~실시예 26의 전력 변환 장치에 있어서 $J=K+1$ 이 된다. 실시예 27~실시예 29의 전력 변환 장치에 있어서 $J=2K+1$ 이 된다.
- [0111] 또한, 도 29에 나타난 실시예 24~실시예 29의 전력 변환 장치에 있어서는, 제2 공통 전압은 전압 절대치의 최소치로 설정되어 있다. 본 실시의 형태의 전력 변환 장치에 있어서는, 제2 공통 전압은 전압 절대치의 최소치가 아니어도 좋다.
- [0112] 도 30은, 5개의 단상 인버터로 구성된 본 실시의 형태의 전력 변환 장치의 전압 구성을 표로 한 설명도이다. 도 30의 표에는, $V_1 \sim V_5$ 의 전압 비율과 $V_1 \sim V_5$ 의 전압을 나타내고 있다. $V_1 \sim V_5$ 의 전압은, 전체 출력 전압 V_{sum} 이 $\pm 130V$ 가 되도록 설정되어 있다. 도 30에 도시하는 바와 같이, 비교예의 전력 변환 장치에 있어서는, $V_1:V_2:V_3:V_4:V_5=1:2:4:8:16$ 으로 설정되어 있다.

- [0113] 본 실시의 형태의 전력 변환 장치에 있어서, 실시예 30~실시예 33의 전력 변환 장치는 5개의 단상 인버터로 구성되어 있다. 실시예 30의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 2 : 6 : 6$ 으로 설정되어 있다. 실시예 31의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 3 : 8 : 8$ 로 설정되어 있다. 실시예 32의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 2 : 2 : 11 : 11$ 로 설정되어 있다. 실시예 33의 전력 변환 장치에 있어서는, $V1 : V2 : V3 : V4 : V5 = 1 : 3 : 3 : 15 : 15$ 로 설정되어 있다. 실시예 30~실시예 33의 전력 변환 장치에 있어서는, 제1 공통 전압은 전압 절대치의 최대치로 설정되어 있고, 제2 공통 전압은 전압 절대치의 최소치가 아닌 전압치로 설정되어 있다.
- [0114] 도 30에 나타난 실시예 30~실시예 33의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압은, 비교예의 전력 변환 장치에 있어서의 단상 인버터의 최대 전압보다 작다. 그 때문에, 실시예 30~실시예 33의 전력 변환 장치는, 비교예의 전력 변환 장치보다 내압이 낮은 MOSFET의 스위칭 소자를 이용하는 것이 가능해진다.
- [0115] 여기서, 전압 절대치의 최소 비율 1에 대해서 제1 공통 전압의 비율을 J로 하고, 비율이 J보다 작은 전압 절대치의 비율의 총합을 K로 한다. 실시예 30~실시예 31의 전력 변환 장치에 있어서 $J=K+1$ 이 된다. 실시예 32~실시예 33의 전력 변환 장치에 있어서 $J=2K+1$ 이 된다.
- [0116] 실시의 형태 6.
- [0117] 실시의 형태 6의 전력 변환 장치는, 실시의 형태 3에서 설명한 계조 제어에 PWM 제어가 더해진 전력 변환 장치에 있어서, 복수의 단상 인버터(2) 중 적어도 2개의 제1 공통 단상 인버터의 전압 절대치가 동일한 제1 공통 전압 V_{s1} 로 설정되어 있고, 다른 단상 인버터(2) 중 적어도 2개의 제2 공통 단상 인버터의 전압 절대치가 동일한 제2 공통 전압 V_{s2} 로 설정된 것이다. 또한, 이 이후 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서, 2개의 제1 공통 단상 인버터와, 2개의 제2 공통 단상 인버터를 갖는 전력 변환 장치를 예로 들어 설명한다. 이 전력 변환 장치에 있어서는, 전체 출력 전압 V_{sum} 의 출력 파형에 따라서는, 한쪽의 제2 공통 단상 인버터의 PWM 제어의 스위칭 횟수가 많아지고, 다른 쪽의 제2 공통 단상 인버터의 PWM 제어의 스위칭 횟수가 적어지거나, 혹은 스위칭하지 않는 경우가 있다. 이 경우, 한쪽의 제2 공통 단상 인버터에 스위칭 손실이 집중하게 된다. 본 실시의 형태의 전력 변환 장치는, 제2 공통 전압 V_{s2} 로 설정된 2개의 제2 공통 단상 인버터에 있어서의 스위칭 횟수가 거의 균등하게 되도록 제어한다.
- [0118] 도 31은, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 $V1$, $V2$, $V3$ 및 $V4$ 의 조합을 표로 나타낸 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 $V1$, $V2$, $V3$ 및 $V4$ 의 비는, $1 : 1 : 3 : 3$ 이다. 전체 출력 전압 V_{sum} 의 최대 전압이 $\pm 130V$ 가 되도록, $V1$, $V2$, $V3$ 및 $V4$ 가 설정되어 있다. 구체적으로는 $V1=V2=16.25V$, $V3=V4=48.75V$ 이다. 여기서, 전체 출력 전압 V_{sum} 의 계조 레벨이 0에서 1 사이의 레벨을 출력하도록 지시된 경우, 및 전체 출력 전압 V_{sum} 의 계조 레벨이 1에서 2 사이의 레벨을 출력하도록 지시된 경우를 예로 들어 설명한다.
- [0119] 전체 출력 전압 V_{sum} 의 계조 레벨이 0에서 1의 사이의 레벨을 출력하도록 지시된 경우, 제2 공통 단상 인버터인 $V1$ 을 출력하는 단상 인버터만이 출력하고, 제2 공통 단상 인버터인 $V2$ 를 출력하는 단상 인버터는 출력하지 않게 된다. 즉, $V1$ 을 출력하는 단상 인버터만이 PWM 제어의 스위칭 동작을 행하고, $V2$ 를 출력하는 단상 인버터는 PWM 제어의 스위칭 동작을 행하지 않게 된다.
- [0120] 전체 출력 전압 V_{sum} 의 계조 레벨이 1에서 2 사이의 레벨을 출력하도록 지시된 경우, 도 31에 나타낸 바와 같이, $V1$ 및 $V2$ 를 각각 출력하는 제2 공통 단상 인버터의 출력 상태는, 계조 레벨이 1인 경우 $V1="1"$, $V2="0"$ 이고, 계조 레벨이 2인 경우 $V1="1"$, $V2="1"$ 이다. 따라서, 계조 레벨을 1과 2 사이에서 바꾸는 경우는, $V2$ 를 출력하는 제2 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다. 본 실시의 형태의 전력 변환 장치는, 한쪽의 제2 공통 단상 인버터에 집중하는 스위칭 동작을 다른 쪽의 제2 공통 단상 인버터에 분산시키도록 제어한다.
- [0121] 도 32는, 본 실시의 형태의 전력 변환 장치에 있어서의 제어 방법을 나타내는 흐름도이다. 도 32는, 계조 제어 신호 변환부(410)가 단위 주기의 처리를 개시했을 때의 동작을 나타내는 흐름도이다. 또한, 도 32의 흐름도에 한해서는, s개의 제2 공통 단상 인버터로 구성된 전력 변환 장치로 한다.
- [0122] 처리가 개시되면, 계조 제어 신호 변환부(410)는, 스텝 S21에 있어서 출력 전압 제어 신호 O_{cnt} 를 취득한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S22에 있어서 초기 상태를 설정한다. 스텝 S22에 있어서, 계조 제어 신호 변환부(410)는, s개의 제2 공통 단상 인버터 전체의 출력을 오프로 설정하고, 제2 공통 단상 인버터의 업 제어 카운터 $uCT2$ 를 1로, 제2 공통 단상 인버터의 다운 제어 카운터 $dCT2$ 를 1로, 파라미터 k 및 m을 0으로 설정한다. 또한, 스텝 S22에 있어서의 초기 상태의 설정은 최초의 단위 주기의 처리를 개시했을 때만 실시

되고, 다음의 제어 주기에 있어서 전회의 값이 유지된다.

- [0123] 다음에, 계조 제어 신호 변환부(410)는, 스텝 S23에 있어서, 출력 전압 제어 신호 0cnt에 근거하여 출력이 오프로부터 온으로 바뀌는 제2 공통 단상 인버터의 개수 a를 판별한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S24에 있어서, k가 a와 동일한지 여부를 판정한다. 스텝 S24에 있어서 k가 a와 동일하다고 판정된 경우(YES), 계조 제어 신호 변환부(410)는 스텝 S25로 진행되고, k를 0으로 설정한다. 스텝 S24에 있어서 k가 a와 동일하지 않다고 판정된 경우(NO), 계조 제어 신호 변환부(410)는 스텝 S26으로 진행되고, k에 1을 가산하여 새로운 k를 설정한다.
- [0124] 스텝 S26으로 진행된 계조 제어 신호 변환부(410)는, 스텝 S27에 있어서, uCT2 차례의 제2 공통 단상 인버터의 출력을 온으로 한다. 또한, 계조 제어 신호 변환부(410)는, 스텝 S28에 있어서, uCT2가 s와 동일할 때는 uCT2를 1로 설정하고, uCT2가 s보다 작을 때는 uCT2에 1을 가산하여 새로운 uCT2를 설정한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S24로 돌아온다.
- [0125] 스텝 S25로 진행된 계조 제어 신호 변환부(410)는, 스텝 S29에 있어서, 출력 전압 제어 신호 0cnt에 근거하여 출력이 온으로부터 오프로 바뀌는 제2 공통 단상 인버터의 개수 b를 판별한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S30에 있어서, m이 b와 동일한지 여부를 판정한다. 스텝 S30에 있어서 m이 b와 동일하다고 판정된 경우(YES), 계조 제어 신호 변환부(410)는 스텝 S31로 진행되고, m을 0으로 설정한다. 스텝 S30에 있어서 m이 b와 동일하지 않다고 판정된 경우(NO), 계조 제어 신호 변환부(410)는 스텝 S34로 진행되고, m에 1을 가산하여 새로운 m을 설정한다.
- [0126] 스텝 S34로 진행된 계조 제어 신호 변환부(410)는, 스텝 S35에 있어서, dCT2 차례의 제2 공통 단상 인버터의 출력을 오프로 한다. 또한, 계조 제어 신호 변환부(410)는, 스텝 S36에 있어서, dCT2가 s와 동일할 때는 dCT2를 1로 설정하고, dCT2가 s보다 작을 때는 dCT2에 1을 가산하여 새로운 dCT2를 설정한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S30으로 돌아온다.
- [0127] 스텝 S31로 진행된 계조 제어 신호 변환부(410)는, 스텝 S32에 있어서, 출력 극성 지시 신호 0pol에 근거하여 계조 제어 신호의 극성을 판별한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S33에 있어서, 계조 제어 신호 SmN 및 SmP(m=1, 2, ..., n)를 출력한다.
- [0128] 계조 제어 신호 변환부(410)가 이러한 제어를 행하는 것에 의해, 복수의 제2 공통 단상 인버터의 사이에 스위칭 동작을 분산시킬 수 있다. 도 33은, 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서의 스위칭 분산 처리의 설명도이다. 도 33은, 도 31에 나타낸 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서, 전체 출력 전압 Vsum을 계조 레벨 0에서 2로 변화시킨 경우의 예이다. 도 33에 있어서, 기간 1에서는 계조 레벨을 0에서 1로, 기간 2에서는 계조 레벨을 1에서 2로 변화시킨 경우의 2치의 전압 펄스로서 변화시킨 경우의 예이다. 또한, 도 33에는, 스위칭 분산 처리가 행해지지 않는 경우도 함께 나타내고 있다.
- [0129] 도 31에 나타낸 바와 같이, V1 및 V2를 각각 출력하는 제2 공통 단상 인버터의 출력 상태는, 계조 레벨이 0인 경우 V1="0", V2="0"이며, 계조 레벨이 1인 경우 V1="1", V2="0"이고, 계조 레벨이 2인 경우 V1="1", V2="1"이다. 따라서, 계조 레벨을 0과 1 사이에서 바꾸는 경우는, V1을 출력하는 제2 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다. 또, 계조 레벨을 1과 2 사이에서 바꾸는 경우는, V1을 출력하는 제2 공통 단상 인버터는 출력 상태가 변화하고 있지 않는 것에 비해, V2를 출력하는 제2 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다.
- [0130] 도 33에 나타낸 바와 같이, 기간 1에 있어서 스위칭 분산 처리가 행해지지 않는 경우, V1을 출력하는 제2 공통 단상 인버터의 출력은 캐리어 주파수의 역수의 주기로 변화하고 있지만, V2를 출력하는 제2 공통 단상 인버터는 출력하고 있지 않다.
- [0131] 이것에 대해서, 기간 1에 있어서 스위칭 분산 처리가 행해지는 경우, V1을 출력하는 제2 공통 단상 인버터의 출력 전압 펄스가, V1을 출력하는 제2 공통 단상 인버터와 V2를 출력하는 제2 공통 단상 인버터에 교대로 나뉘어 발생하고 있다. 스위칭 분산 처리가 행해지는 경우의 전체 출력 전압 Vsum의 파형은, 스위칭 분산 처리가 행해지지 않는 경우의 전체 출력 전압 Vsum의 파형과 동일하다. 즉, 본 실시의 형태의 전력 변환 장치에 있어서 계조 레벨을 0과 1 사이에서 바꾸는 경우, V1을 출력하는 제2 공통 단상 인버터에 치우쳐 있던 스위칭 동작이 스위칭 분산 처리를 행하는 것에 의해, V1 및 V2를 출력하는 제2 공통 단상 인버터의 각각에 균등하게 분산된다. 기간 1에 있어서, 스위칭 분산 처리 전에 대한 스위칭 분산 처리 후의 V1을 출력하는 단상 인버터의 스위칭 횟수는, 거의 반으로 된다. 그 때문에, 한쪽의 제2 공통 단상 인버터에 스위칭 손실이 집중하는 것을 방지할 수

있다.

- [0132] 또, 도 33에 나타난 바와 같이, 기간 2에 있어서 스위칭 분산 처리가 행해지지 않는 경우, V1을 출력하는 제2 공통 단상 인버터의 출력은 일정하고, V2를 출력하는 제2 공통 단상 인버터의 출력은 캐리어 주파수의 역수의 주기로 변화하고 있다.
- [0133] 이것에 대해서, 기간 2에 있어서 스위칭 분산 처리가 행해지는 경우, V2를 출력하는 제2 공통 단상 인버터가 출력하는 전압 펄스가, 보다 펄스폭이 넓은 전압 펄스가 되어 V1을 출력하는 제2 공통 단상 인버터와 V2를 출력하는 제2 공통 단상 인버터에 교대로 나뉘어 발생하고 있다. 스위칭 분산 처리가 행해지는 경우의 전체 출력 전압 V_{sum} 의 파형은, 스위칭 분산 처리가 행해지지 않는 경우의 전체 출력 전압 V_{sum} 의 파형과 동일하다. 즉, 본 실시의 형태의 전력 변환 장치에 있어서 계조 레벨을 1과 2 사이에서 바꾸는 경우, V2를 출력하는 제2 공통 단상 인버터에 치우쳐 있던 스위칭 동작이 스위칭 분산 처리를 행하는 것에 의해, V1 및 V2를 출력하는 제2 공통 단상 인버터의 각각에 균등하게 분산된다. 기간 2에 있어서, 스위칭 분산 처리 전에 대한 스위칭 분산 처리 후의 V2를 출력하는 단상 인버터의 스위칭 횟수는, 거의 반으로 된다. 그 때문에, 한쪽의 제2 공통 단상 인버터에 스위칭 손실이 집중하는 것을 방지할 수 있다.
- [0134] 이와 같이, 본 실시의 형태의 전력 변환 장치에 있어서는, 제2 공통 단상 인버터가 각각 1개 이상의 스위칭 소자를 포함하여 구성되어 있고, 상기 제어부가, 2개 이상의 제2 공통 단상 인버터에 각각 포함되는 스위칭 소자의, 단위 시간당 스위칭 횟수의 차를 최소로 하고 있다. 그 때문에, 특정의 제2 공통 단상 인버터에 스위칭 손실이 집중하는 것을 방지할 수 있다.
- [0135] 또한, 본 실시의 형태의 전력 변환 장치에 있어서는, 출력치 지시 파형 O_{ref} 가 정현파인 경우는, 스위칭 분산 처리에 의해 1 주기 내의 각 제1 공통 단상 인버터의 스위칭 횟수를 균등하게 할 수 있다.
- [0136] 또, 본 실시의 형태에 있어서의 스위칭 분산 처리는, 실시의 형태 3에서 설명한 PWM 제어를 이용한 전력 변환 장치에 적용한 경우의 파형으로 설명했다. 본 실시의 형태에 있어서의 스위칭 분산 처리는, PWM 제어를 이용하지 않는 전력 변환 장치에 적용할 수도 있다. 예를 들면, 출력치 지시 파형 O_{ref} 에 대해 계조 레벨이 0과 1, 또는 1과 2로 반복하여 바뀌는 램프 파형인 전력 변환 장치인 경우, 본 실시의 형태의 스위칭 분산 처리의 적용이 가능하다.
- [0137] 본 실시의 형태에 있어서는, 2개의 제2 공통 단상 인버터를 갖는 전력 변환 장치로 스위칭 분산 처리의 효과를 설명했다. 도 32의 흐름도에 나타난 바와 같이, 본 실시의 형태의 스위칭 분산 처리는, 제2 공통 단상 인버터를 3개 이상 갖는 전력 변환 장치에 적용 가능하다.
- [0138] 본 실시의 형태의 전력 변환 장치에 있어서, 계조 레벨이 0에서 1로 바뀌는 경우와, 계조 레벨이 1에서 2로 바뀌는 경우에, 제2 공통 단상 인버터의 스위칭 횟수의 분산 처리에 대해 설명했다. 이러한 스위칭 분산 처리는, 다른 계조 레벨의 교체에 있어서도 적용할 수 있다. 즉, 복수의 제2 공통 단상 인버터 중에서, 계조 레벨의 교체 시에 스위칭 동작이 필요한 제2 공통 단상 인버터와 스위칭 동작이 불필요한 제2 공통 단상 인버터가 존재하는 경우에 스위칭 분산 처리의 적용이 가능하다.
- [0139] 도 34는, 본 실시의 형태의 전력 변환 장치에 있어서의 계조 레벨의 출력을 실현하는 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 조합을 표로 나타난 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V1, V2, V3 및 V4의 비는, 도 31과 마찬가지로이다.
- [0140] 도 34에 나타난 제1 그룹(제1 G)은, 본 실시의 형태의 도 31에 나타난 바와 같이, 계조 레벨이 0과 1 사이에서 변화하는 경우 또는 계조 레벨이 1과 2 사이에서 변화하는 경우이며, 제2 공통 단상 인버터에 대해서 스위칭 분산 처리를 적용할 수 있다. 또, 도 34에 나타난 제2 그룹(제2 G)은, 계조 레벨이 3과 4 사이에서 변화하는 경우 또는 계조 레벨이 4와 5 사이에서 변화하는 경우이다. 이 제2 그룹에 있어서, 계조 레벨이 3과 4 사이에서 변화하는 경우는, V1을 출력하는 제2 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다. 또, 계조 레벨을 4와 5 사이에서 바꾸는 경우는, V1을 출력하는 제2 공통 단상 인버터는 출력 상태가 변화하고 있지 않는 것에 비해, V2를 출력하는 제2 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다. 따라서, 이 제2 그룹에 있어서도, 제1 그룹과 마찬가지로, 제2 공통 단상 인버터에 대해서 스위칭 분산 처리를 적용할 수 있다. 동일한 이유로, 도 34에 나타난 제3 그룹(제3 G)에 있어서도, 제1 그룹과 마찬가지로, 제2 공통 단상 인버터에 대해서 스위칭 분산 처리를 적용할 수 있다.
- [0141] 또, 본 실시의 형태의 전력 변환 장치에 있어서는, 제1 공통 단상 인버터에 대해서도 스위칭 분산 처리를 적용할 수 있다. 예를 들면, 도 34에 나타난 제4 그룹(제4 G)은, 계조 레벨이 2와 3 사이에서 변화하는 경우이다.

이 제4 그룹에 있어서, 계조 레벨이 2와 3 사이에서 변화하는 경우는, V3을 출력하는 제1 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다. 따라서, 이 제4 그룹에 있어서는, 제1 공통 단상 인버터에 대해서 스위칭 분산 처리를 적용할 수 있다. 또, 도 34에 나타난 제5 그룹(제5 G)은, 계조 레벨이 5와 6 사이에서 변화하는 경우이다. 계조 레벨을 5와 6 사이에서 바꾸는 경우는, V3을 출력하는 제1 공통 단상 인버터는 출력 상태가 변화하고 있지 않는 것에 비해, V4를 출력하는 제1 공통 단상 인버터만 출력 상태를 바꿀 필요가 있다. 따라서, 이 제5 그룹에 있어서도, 제4 그룹과 마찬가지로, 제1 공통 단상 인버터에 대해서 스위칭 분산 처리를 적용할 수 있다.

[0142] 이와 같이, 제1 공통 단상 인버터 및 제2 공통 단상 인버터를 구비한 전력 변환 장치에 있어서, 제1 공통 단상 인버터 및 제2 공통 단상 인버터의 적어도 어느 한쪽에 스위칭 분산 처리를 적용하는 것으로, 특정의 단상 인버터에 스위칭 손실이 집중하는 것을 방지할 수 있다.

[0143] 실시의 형태 7.

[0144] 실시의 형태 3의 도 19에 나타난 전력 변환 장치의 계조 제어 신호 생성부에 있어서, 출력치 지시부(401)로부터 출력되는 출력치 지시 파형 O_{ref} 의 파형의 형상에 따라서는, 제1 공통 단상 인버터의 일부에서 보다 많은 스위칭 횟수가 필요한 경우가 있다. 실시의 형태 7의 전력 변환 장치는, 각 단상 인버터의 전압 절대치의 비율을 유지한 상태에서, 제1 공통 단상 인버터의 적어도 1개에 있어서, 스위칭 소자의 단위 시간당 스위칭 횟수가 최소 또는 임계치 이하가 되도록 각 단상 인버터의 직류 전원의 출력 전압을 조정한다.

[0145] 도 35는, 본 실시의 형태에 따른 전력 변환 장치의 구성도이다. 또, 도 36은, 본 실시의 형태에 따른 전력 변환 장치의 계조 제어 신호 생성부의 구성도이다. 본 실시의 형태에 계조 제어 신호 생성부(41)는, 실시의 형태 3의 도 19에 나타난 계조 제어 신호 생성부에 있어서, 계조 제어 신호 변환부(410)에 입력되는 신호에 출력치 지시 파형 O_{ref} 가 추가되어 있다. 또한, 계조 제어 신호 변환부(410)는, 복수의 직류 전원(3)에 대해서 그 출력 전압 V_{d1} , V_{d2} , ..., V_{dn} 의 각각의 목표 전압인 직류 전압 제어 신호 V_{1cnt} , V_{2cnt} , ..., V_{ncnt} 를 각각 출력한다.

[0146] 도 37은, 본 실시의 형태에 따른 전력 변환 장치에서의 제어 방법을 나타내는 흐름도이다. 도 37은, 계조 제어 신호 변환부(410)가 단위 주기의 처리를 개시했을 때의 동작을 나타내는 흐름도이다. 처리가 개시되면, 계조 제어 신호 변환부(410)는, 스텝 S41에 있어서, 입력된 출력치 지시 파형 O_{ref} 가 초회인지, 또는 출력치 지시 파형 O_{ref} 로 변경 지시가 있는지 여부를 판별한다. 스텝 S41에 있어서 출력치 지시 파형 O_{ref} 가 초회로 판정되거나, 또는 출력치 지시 파형 O_{ref} 로 변경 지시가 있다고 판정된 경우(YES), 계조 제어 신호 변환부(410)는 스텝 S42에 진행되어, W 를 0으로 설정한다. 다음에, 계조 제어 신호 변환부(410)는, 스텝 S43에 있어서, 출력치 지시 파형 O_{ref} 에 근거하여, 다음의 5개의 항목을 결정한다. 1번째는, 스위칭 횟수의 카운트 대상이 되는 제1 공통 단상 인버터를 선택한다. 선택한 단상 인버터를 카운트 대상 인버터라고 칭한다. 2번째는, 목표 스위칭 횟수(tCT)를 결정한다. 3번째는, 직류 전원의 출력 전압의 조정 방향을 결정한다. 여기서, 출력 전압의 조정 방향이란, 전압을 증가시키거나 또는 감소시키거나 하는 것이다. 4번째는, 직류 전원의 출력 전압의 조정 횟수(LMT)를 결정한다. 5번째는, 전체 출력 전압 V_{sum} 의 최대치의 조정 전압 분해능을 결정한다.

[0147] 스텝 S41에 있어서 출력치 지시 파형 O_{ref} 가 초회는 아니라고 판정되거나, 또는 출력치 지시 파형 O_{ref} 에 변경 지시가 없다고 판정된 경우(NO), 계조 제어 신호 변환부(410)는 스텝 S44로 진행된다. 계조 제어 신호 변환부(410)는, 스텝 S44에 있어서, 출력 전압 제어 신호 O_{cnt} 를 수신한다. 다음에 계조 제어 신호 변환부(410)는, 스텝 S45에 있어서, 스텝 S43에서 선택한 카운트 대상 인버터의 출력 전압 파형의 1 주기 분의 스위칭 횟수($swCT$)를 계측한다. 다음에 계조 제어 신호 변환부(410)는, 스텝 S46에 있어서, $swCT$ 가 tCT 이하인지를 판정한다. 스텝 S46에 있어서 $swCT$ 가 tCT 이하라고 판정된 경우(YES), 계조 제어 신호 변환부(410)는 스텝 S47로 진행된다. 계조 제어 신호 변환부(410)는, 스텝 S47에 있어서, 직류 전원의 목표 전압을 유지한다.

[0148] 스텝 S46에 있어서 $swCT$ 가 tCT 보다 크다고 판정된 경우(NO), 계조 제어 신호 변환부(410)는 스텝 S48로 진행된다. 계조 제어 신호 변환부(410)는, 스텝 S48에 있어서, W 가 LMT 이상인지를 판정한다. 스텝 S48에 있어서 W 가 LMT 이상이라고 판정된 경우(YES), 계조 제어 신호 변환부(410)는 스텝 S47로 진행된다. 스텝 S48에 있어서 W 가 LMT보다 작다고 판정된 경우(NO), 계조 제어 신호 변환부(410)는 스텝 S49로 진행되고, W 에 1을 더해 새로운 W 로 한다. 다음에 계조 제어 신호 변환부(410)는, 스텝 S50에 있어서, 직류 전원의 목표 전압을 변경한다. 마지막으로 계조 제어 신호 변환부(410)는, 스텝 S51에 있어서, 직류 전원의 목표 전압인 직류 전압 제어 신호 V_{1cnt} , V_{2cnt} , ..., V_{ncnt} 를 각각 출력한다.

[0149] 계조 제어 신호 변환부(410)가 이러한 제어를 행하는 것에 의해, 스위칭 횟수의 카운트 대상으로 하는 제1 공통 단상 인버터를 선택하고, 선택한 제1 공통 단상 인버터의 스위칭 횟수가 최소 또는 임계치 이하가 되도록, 각

단상 인버터의 전압 절대치의 비율을 유지한 상태에서 각 직류 전원의 출력 전압을 조정할 수 있다.

- [0150] 도 38은, 4개의 단상 인버터로 구성된 전력 변환 장치에 있어서의 직류 전원의 전압 조정의 설명도이다. 본 실시의 형태의 전력 변환 장치에 있어서, 4개의 단상 인버터의 전압 절대치 V_1 , V_2 , V_3 및 V_4 의 비는, $1:2:4:4$ 이다. 따라서, 제1 공통 단상 인버터는, V_3 및 V_4 를 출력하는 단상 인버터이다. 또, (A) 초회는, 전체 출력 전압 V_{sum} 의 최대 전압이 $\pm 130V$ 가 되도록, V_1 , V_2 , V_3 및 V_4 가 설정되어 있다. 구체적으로는 $V_1=11.81V$, $V_2=23.63V$, $V_3=V_4=47.27V$ 이다.
- [0151] 도 38에 있어서는, 출력치 지시 파형 O_{ref} 는 정현파이고, 피크치가 $\pm 90V$ 인 출력 전압 지시 파형인 경우를 나타내고 있다. 다만, 정상 시는 정현파를 연속적으로 출력하지만, 부하의 변동 상황 등에 따라서는, 순간적으로 $\pm 130V$ 의 출력 전압을 지시하는 경우가 있는 것으로 한다. 스위칭 횟수의 카운트 대상으로 하는 제1 공통 단상 인버터는, V_4 를 출력하는 단상 인버터의 하나만으로 한다. 전술한 정현파의 출력치 지시 파형 O_{ref} 의 1 주기 내에 있어서의, V_4 를 출력하는 단상 인버터를 구성하는 모든 스위칭 소자의 목표 스위칭 횟수는 0회로 설정한다. 직류 전원의 출력 전압의 조정 방향은, 초회의 값으로부터 증가시키는 방향으로 조정한다. 각 직류 전원의 출력 전압의 조정 횟수(LMT)는 10회로 한다. 10회 이내의 조정으로 목표 스위칭 횟수인 0회의 스위칭 횟수를 실현할 수 없었던 경우는, 각 직류 전원의 전압 조정을 종료하고, 최종회에서 조정한 값으로 유지한다. 또 각 직류 전원의 전압 조정은, 전체 출력 전압 V_{sum} 의 최대치((A) 초회는 $130V$)의 조정 전압 분해능은 $5V$ 로 한다.
- [0152] 도 38에 도시하는 바와 같이, (A) 초회는 전체 출력 전압 V_{sum} 이 $\pm 130V$ 가 되도록, $V_1=11.81V$, $V_2=23.63V$, $V_3=V_4=47.27V$ 이다. 실시의 형태 3에서 설명한 전력 변환 장치에 있어서 PWM 제어를 실시할 때에, (A) 초회 상태에 있어서, 전체 출력 전압 V_{sum} 의 증가 전압을 정현파의 정측 피크치인 $+90V$ 로 제어하는 경우, 계조 레벨 7($82.73V$)과 계조 레벨 8($94.55V$)의 2치의 전압 펄스로서 PWM 제어하는 것으로 된다.
- [0153] 도 39는, 본 실시의 형태의 전력 변환 장치에 있어서의 직류 전원의 전압 조정의 설명도이다. 전술의 정현파의 출력치 지시 파형 O_{ref} 에 있어서, 양측 피크치인 $+90V$ 부근의 출력을 지시하는 부분의 상세를 예시하고 있다. 도 39에 있어서, 출력치 지시 파형 O_{ref} 가 $+90V$ 부근의 출력을 지시한 경우에, 전체 출력 전압 V_{sum} 이 $+90V$ 의 증가 전압을 출력 가능한 2치의 전압 펄스의 출력 기간을 기간 1로 한다. 도 39의 (A) 초회의 경우, 전술한 2치의 계조 레벨은 7과 8 사이이다. 또 도 39의 (B) 조정 후의 경우, 전술한 2치의 계조 레벨은 6과 7 사이이다.
- [0154] 도 39에 도시하는 바와 같이, (A) 초회의 경우, 기간 1에 있어서 계조 레벨 7과 8 사이의 2치의 전압 펄스를 출력하도록 제어된다. 도 38에 도시하는 바와 같이, 계조 레벨이 7과 8 사이인 경우, V_4 의 출력 상태는 각각 "0"과 "1"이다. 따라서, 제1 공통 단상 인버터인 V_4 를 출력하는 단상 인버터의 스위칭 횟수가 많아진다. 도 39에 도시하는 바와 같이, (A) 초회의 경우, 각 전압 절대치에 있어서, V_4 를 포함하는 제1 공통 전압이 가장 큰 전압이다. 따라서, (A) 초회의 경우, V_4 를 출력하는 단상 인버터의 스위칭 손실이 커진다.
- [0155] 전술과 같이, 본 실시의 형태에서는 정현파의 출력치 지시 파형 O_{ref} 의 1 주기 내에 있어서, V_4 를 출력하는 단상 인버터를 구성하는 모든 스위칭 소자의 목표 스위칭 횟수는 0회로 하고 있다. 그래서, 도 39의 (A) 초회 상태로부터, 도 37에 나타내는 흐름도에 따라, 각 직류 전원의 출력 전압의 조정 제어를 행한다. 전술과 같이, 본 실시의 형태에서는 각 직류 전원의 출력 전압의 조정 횟수(LMT)를 10회로 하고 있다. 도 39는, 도 37에 나타내는 제어 플로우의 처리를 10회 행하는 동안에, V_4 를 출력하는 단상 인버터의 목표 스위칭 횟수가 0회에 이르렀을 경우에 대해 나타내고 있다. 이후, 각 직류 전원의 출력 전압 조정에 의해, 목표 스위칭 횟수를 달성 및 유지하고 있는 상태를 (B) 조정 후라고 표현한다.
- [0156] 도 38에 도시하는 바와 같이, (B) 조정 후 상태에서는, 전체 출력 전압 V_{sum} 의 최대 전압이 $145V$ 가 되도록, 각 단상 인버터의 전압 절대치(=각 직류 전원의 전압) $V_1\sim V_4$ 의 설정이 행해지고 있다. 본 실시의 형태에 있어서는, 전체 출력 전압 V_{sum} 을 $5V$ 단위로 조정 가능하게 하고 있기 때문에, 도 37에 나타내는 제어 플로우의 처리가 3회 실시된 후에, V_4 를 출력하는 단상 인버터의 스위칭 횟수가 목표 스위칭 횟수의 0회가 된 것으로 된다.
- [0157] 도 38에 있어서, (B) 조정 후의 각 직류 전원의 전압(=전압 절대치)은 $V_1=13.18V$, $V_2=26.36V$, $V_3=V_4=52.72V$ 이다. 제1 공통 전압인 V_3 및 V_4 에 주목하면, (A) 초회 상태에 대해 $5.45V$ 의 증가이며, 조정된 전압 증가폭은 작다. 또 도 38로부터, (B) 조정 후 상태에 있어서, 전체 출력 전압 V_{sum} 의 증가 전압을 정현파의 양측 피크치인 $+90V$ 로 제어하는 경우, 계조 레벨 6($79.09V$)과 계조 레벨 7($92.27V$) 사이의 2치의 전압 펄스로서 PWM 제어하게 된다.

- [0158] 도 39로부터, (B) 조정 후의 경우, 기간 1에 있어서는 계조 레벨 6과 7 사이의 2치의 전압 펄스를 출력하도록 제어된다. 도 38로부터, 계조 레벨이 6과 7 사이인 경우, V4의 출력 상태는 각각 "0"과 "0"이다. 따라서, 제1 공통 전압인 V4를 출력하는 단상 인버터는, 기간 1 및 정현파의 Oref의 1 주기에 있어서, 스위칭 횟수가 0회가 된다. 이와 같이 하여, 출력치 지시 파형 Oref가 $\pm 90V$ 의 피크 전압의 정현파를 정상 파형으로서 출력 지시하고 있는 경우에, 스위칭 횟수의 카운트 대상으로서 설정한 V4를 출력하는 단상 인버터의 스위칭 횟수를 목표 스위칭 횟수의 0회로 할 수 있다. 그 결과, V4를 출력하는 단상 인버터의 스위칭 손실을 큰폭으로 저감하는 것이 가능해진다.
- [0159] 본 실시의 형태에 있어서는, 카운트 대상으로 하는 제1 공통 단상 인버터는 V4를 출력하는 단상 인버터이며, V4를 출력하는 단상 인버터를 구성하는 모든 스위칭 소자의 총 스위칭 횟수에 대해서 목표 스위칭 횟수를 설정하는 예를 나타냈다. 카운트 대상은, 제1 공통 단상 인버터를 구성하는 일부의 스위칭 소자의 스위칭 횟수로 해도 좋다. 혹은 도 39의 V4의 파형으로 예시한 바와 같이, 카운트 대상으로 하는 제1 공통 단상 인버터의 출력 전압 펄스의 횟수를 목표 횟수로 설정해도 좋다.
- [0160] 또, 본 실시의 형태에 있어서는, 카운트 대상으로 하는 제1 공통 단상 인버터가 1개인 경우에 대해 설명했지만, 예를 들면 정현파 등의 출력치 지시 파형 Oref의 1 주기에 있어서, 복수의 제1 공통 단상 인버터의 합계 스위칭 횟수를 목표 스위칭 횟수로 설정해도 좋다.
- [0161] 또한, 본 실시의 형태에 있어서는, 각 직류 전원의 전압을 증가시키는 방향에서의 조정예를 나타냈지만, 출력치 지시 파형 Oref의 파형에 따라 전압을 감소시키는 방향으로 조정하거나, 혹은 미리 정해진 조정 횟수 내에서 전압의 감소와 증가의 방향성을 섞으면서, 목표의 스위칭 횟수에 접근해도 좋다.
- [0162] 또한, 본 실시의 형태에 있어서는, 목표 스위칭 횟수를 최소치인 0회로 하는 경우에 대해 예시했지만, 목표 스위칭 횟수를 임계치 이하로 하고, 임계치를 예를 들면 3회 등으로 설정해도 좋다.
- [0163] 또, 본 실시의 형태에 있어서는, 도 37에 나타내는 흐름도에 근거하여 각 직류 전원의 전압을 조정하는 예를 나타냈다. 정상적으로 고빈도로 출력되는 출력치 지시 파형 Oref의 파형이 정해져 있는 경우에는, 도 37에 나타내는 제어를 사전에 수동 또는 자동으로 행하여, 정상적인 파형의 출력 시에 목표 스위칭 횟수가 되도록, 미리 각 직류 전원의 전압을 설정해 두어도 좋다.
- [0164] 또한, 본 실시의 형태에 있어서는, 실시의 형태 3에서 나타낸 PWM 제어를 이용한 전력 변환 장치에 있어서의 파형으로 설명을 행했지만, PWM 제어를 이용하지 않는 전력 변환 장치에 있어서도 적용할 수 있다. 일례로서 출력치 지시 파형 Oref가, 상기 (A) 초회 상태에서 계조 레벨이 7과 8 사이에서 반복하여 바뀌는 것과 같은, DC 오프셋 첨부의 램프 파형인 경우에는, 본 실시의 형태의 직류 전원의 전압 제어가 적용 가능하다.
- [0165] 지금까지 설명한 바와 같이, 본 실시의 형태의 전력 변환 장치는, 구성하는 각 단상 인버터의 전압 절대치의 비율을 유지한 상태에서, 대상으로 하는 제1 공통 단상 인버터의 스위칭 횟수가 최소 또는 임계치 이하가 되도록 각 단상 인버터의 직류 전원의 출력 전압을 조정하거나, 또는 미리 각 직류 전원의 출력 전압을 설정할 수 있다. 그 결과, 출력 전압이 큰 단상 인버터의 스위칭 손실이 저감되고, 보다 소형화, 저비용화된 전력 변환 장치의 제공이 가능해진다.
- [0166] 또한, 제어부(4)는, 하드웨어의 일례를 도 40에 도시하는 바와 같이, 프로세서(100)와 기억 장치(101)로 구성된다. 기억 장치는, 도시하고 있지 않지만 랜덤 액세스 메모리 등의 휘발성 기억 장치와, 플래시 메모리 등의 비휘발성의 보조 기억 장치를 구비한다. 또, 플래시 메모리 대신에 하드 디스크의 보조 기억 장치를 구비해도 좋다. 프로세서(100)는, 기억 장치(101)로부터 입력된 프로그램을 실행한다. 이 경우, 보조 기억 장치로부터 휘발성 기억 장치를 통해 프로세서(100)에 프로그램이 입력된다. 또, 프로세서(100)는, 연산 결과 등의 데이터를 기억 장치(101)의 휘발성 기억 장치에 출력해도 좋고, 휘발성 기억 장치를 통해 보조 기억 장치에 데이터를 보존해도 좋다.
- [0167] 또, 제어부(4)는, FPGA(Field Programmable Gate Array), MCU(Micro Controller Unit) 등의 디지털 제어기여도 좋다. 혹은, 제어부(4)는, 제1 감산부(402) 및 출력 극성 판정부(404)에 연산 증폭기, 비교기 등의 아날로그 회로를 이용한, 아날로그 회로와 디지털 제어기가 혼재한 구성으로 해도 좋다.
- [0168] 본원은, 여러가지 예시적인 실시의 형태가 기재되어 있지만, 1개 또는 복수의 실시의 형태에 기재된 여러가지 특징, 양태, 및 기능은 특정 실시의 형태의 적용에 한정되는 것이 아니라, 단독으로, 또는 여러가지 조합으로 실시의 형태에 적용 가능하다.

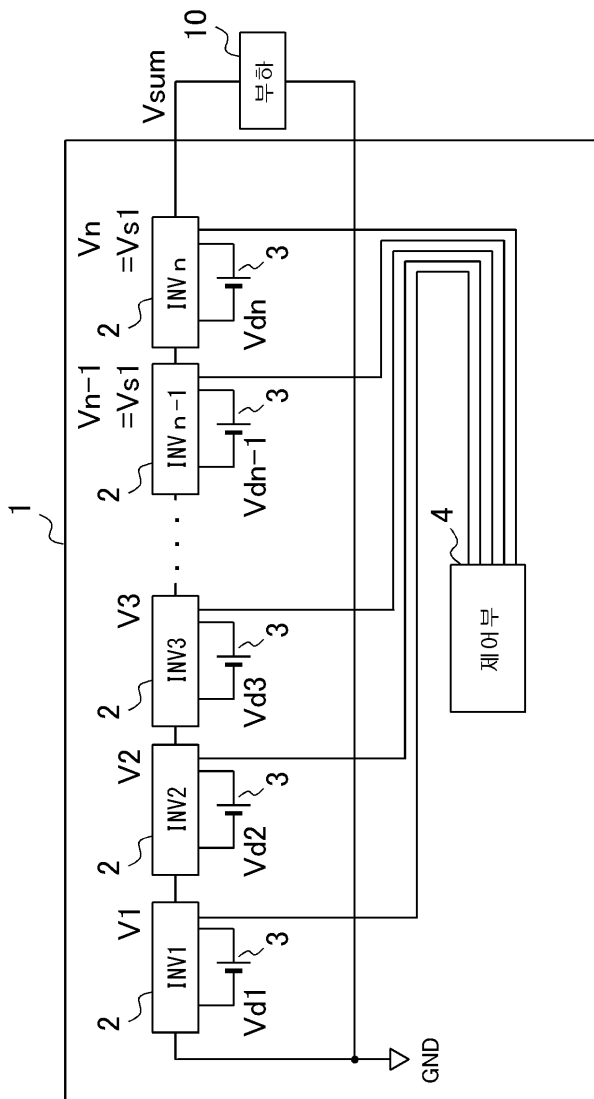
[0169] 따라서, 예시되어 있지 않은 무수한 변형예가, 본원에 개시되는 기술의 범위 내에 있어서 상정된다. 예를 들면, 적어도 1개의 구성 요소를 변형하는 경우, 추가하는 경우 또는 생략하는 경우, 또한, 적어도 1개의 구성 요소를 추출하고, 다른 실시의 형태의 구성 요소와 조합하는 경우가 포함되는 것으로 한다.

부호의 설명

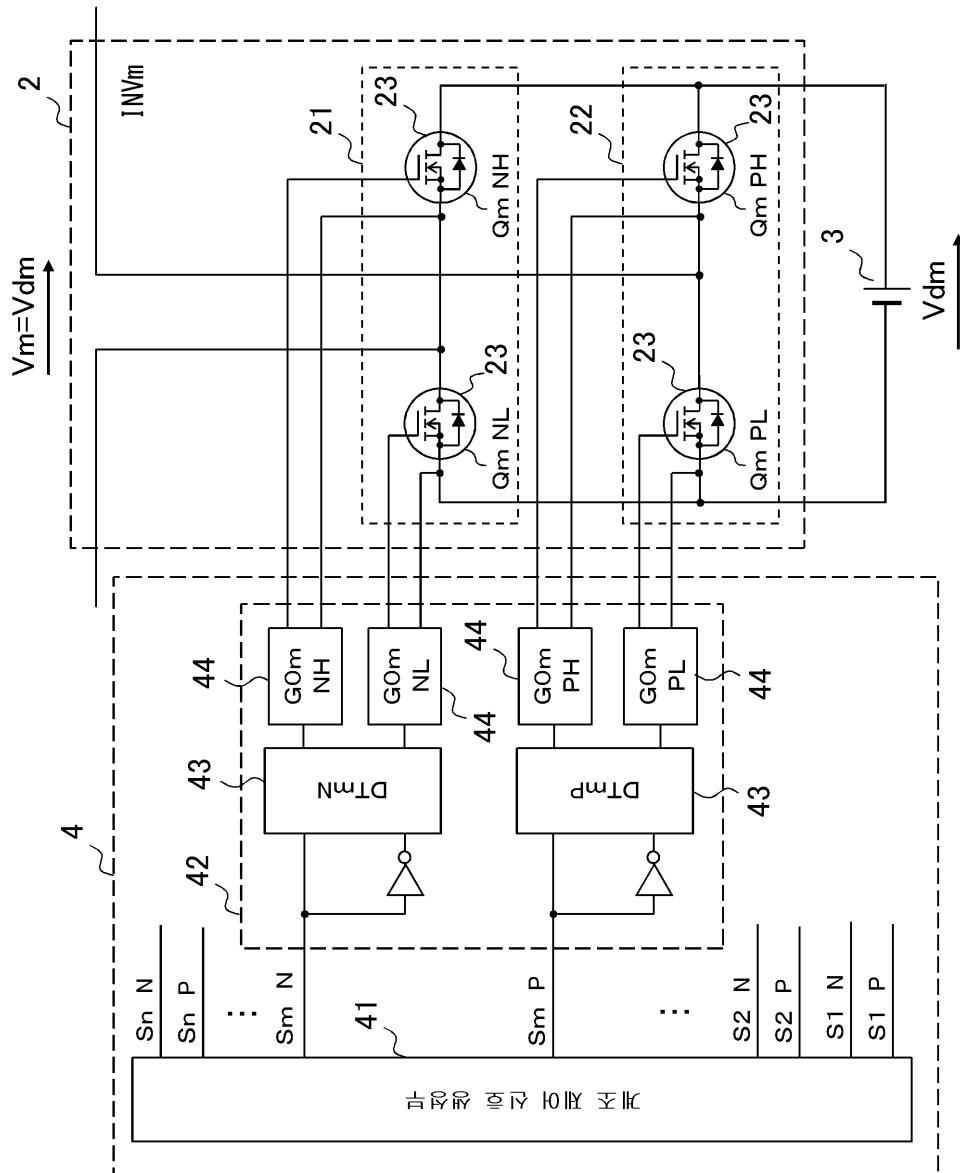
[0170] 1 전력 변환 장치, 2 단상 인버터, 3 직류 전원, 4 제어부, 5 출력 검출부, 6 AD 컨버터, 10 부하, 21, 22 하프 브리지 인버터, 23 스위칭 소자, 41 계조 제어 신호 생성부, 42 게이트 드라이버, 43 데드 타임 생성부, 44 게이트 구동 신호 출력부, 51 연산 증폭기, 52 저항, 53 전류 검지 저항, 100 프로세서, 101 기억 장치, 401 출력치 지시부, 402 제1 감산부, 403 보상부, 404 출력 극성 판정부, 405 절대치화 처리부, 406 정수화 처리부, 407 제2 감산부, 408 펄스폭 변조부, 409 가산부, 410 계조 제어 신호 변환부.

도면

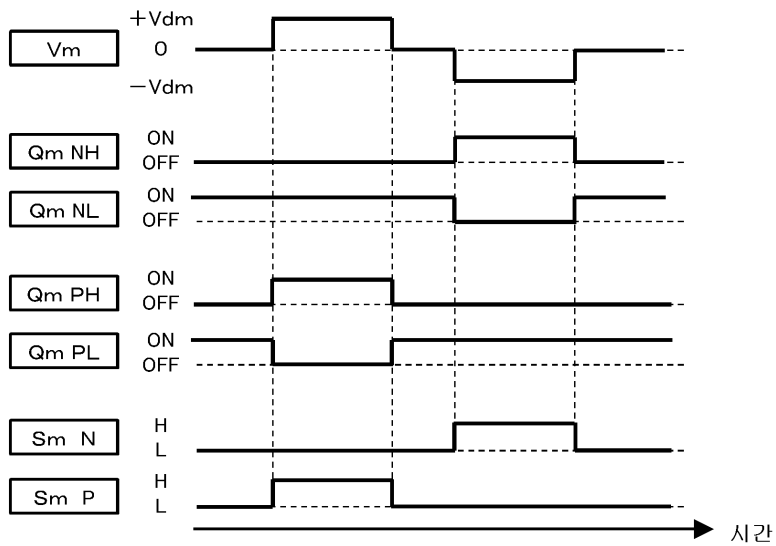
도면1



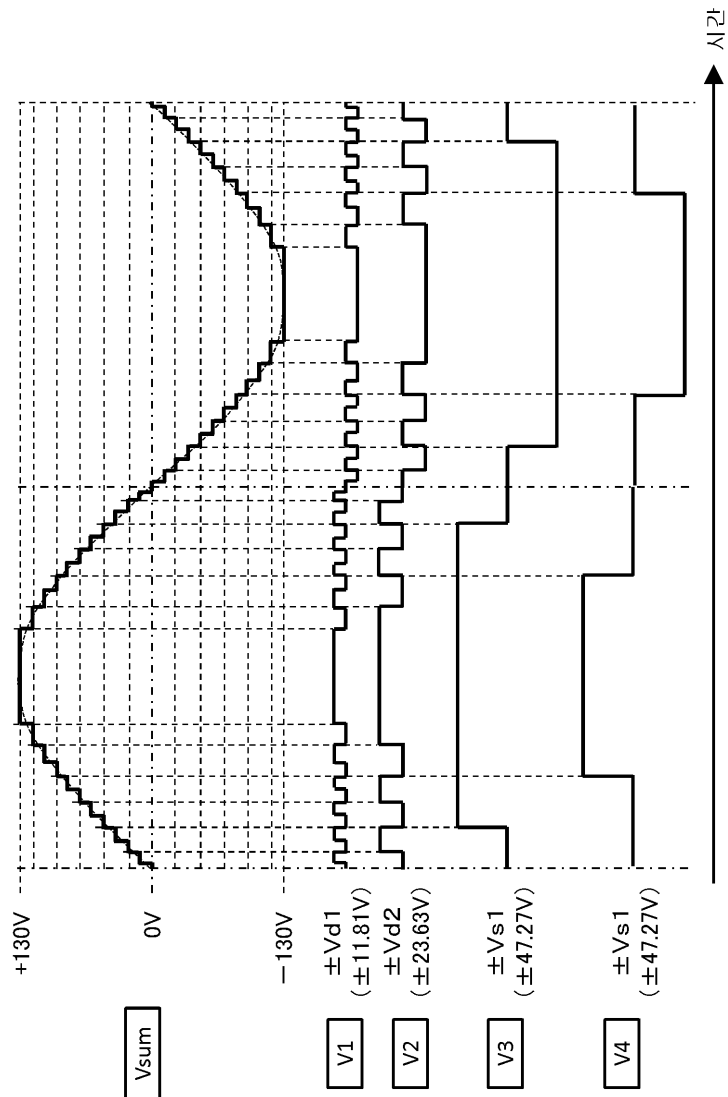
도면2



도면3



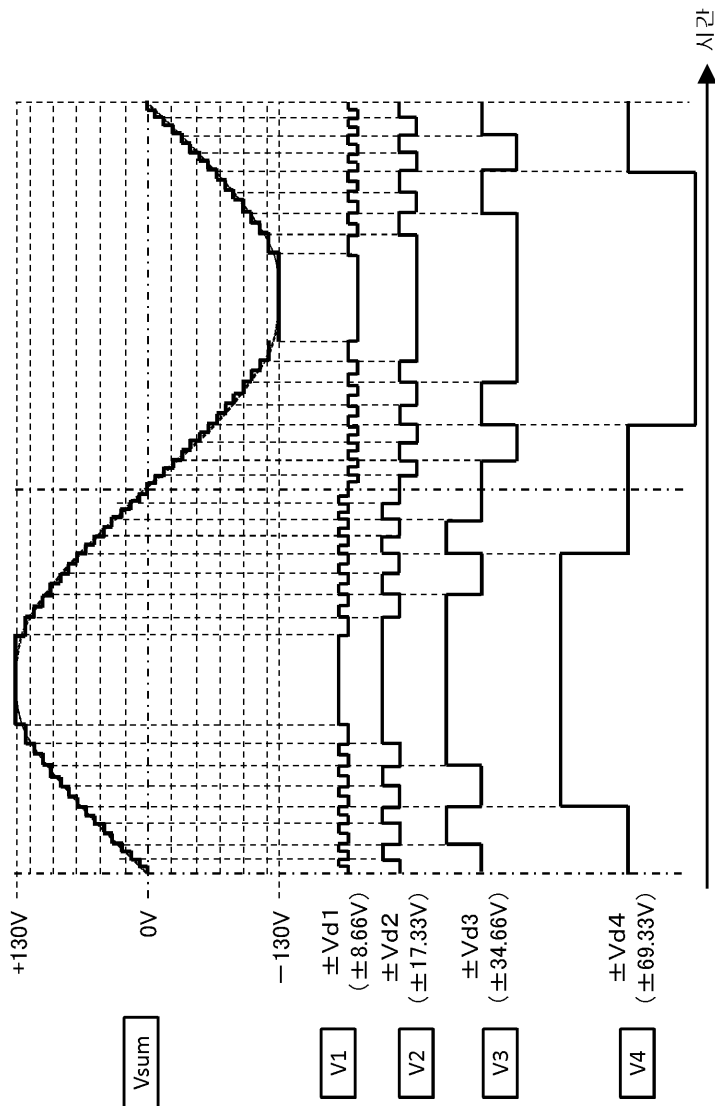
도면4



도면5

계조 레벨	V 1	V 2	V 3	V 4
	11.81V	23.63V	47.27V	47.27V
	비율			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

도면6



도면7

계조 레벨	V 1	V 2	V 3	V 4
	8.66V	17.33V	34.66V	69.33V
	비율			
	1	2	4	8
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

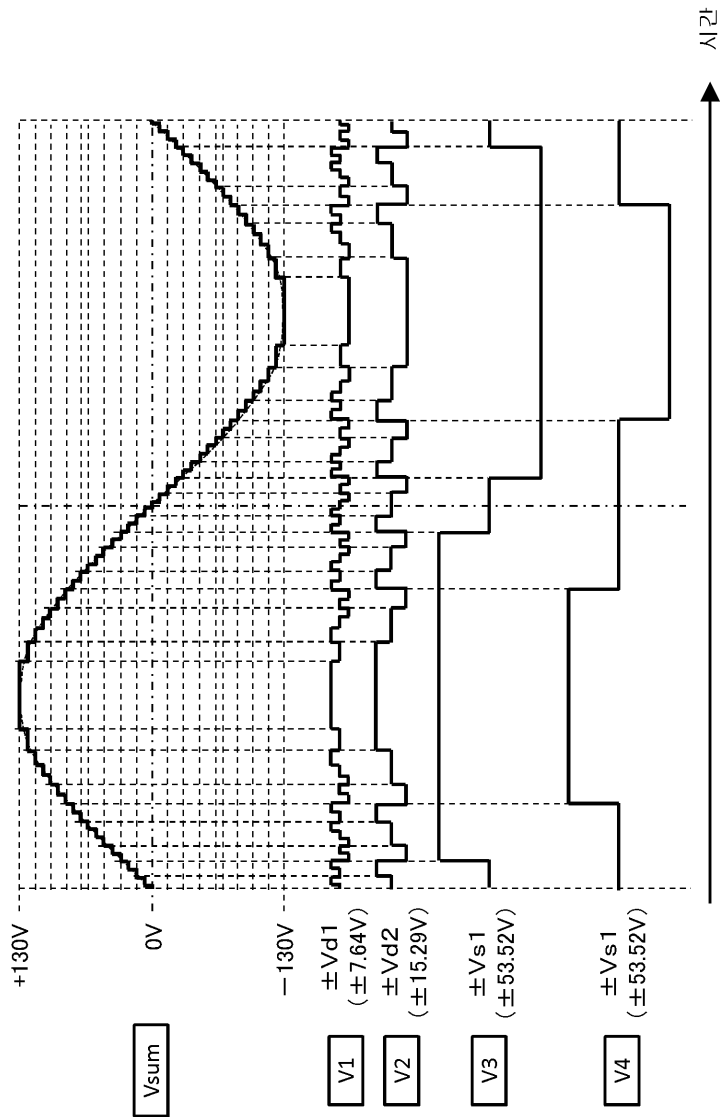
도면8

	최대 계조 레벨	V1~V5 비율					V1~V5 전압 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
비교예	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
실시에 1	23	1	2	4	8	8	5.65	11.30	22.61	45.22	45.22
실시에 2	26	1	2	5	9	9	5.00	10.00	25.00	45.00	45.00
실시에 3	29	1	2	6	10	10	4.48	8.97	26.90	44.83	44.83
실시에 4	32	1	2	7	11	11	4.06	8.13	28.44	44.69	44.69
실시에 5	9	1	2	2	2	2	14.44	28.89	28.89	28.89	28.89
실시에 6	15	1	2	4	4	4	8.67	17.33	34.67	34.67	34.67
실시에 7	41	1	3	9	14	14	3.17	9.51	28.54	44.39	44.39
실시에 8	19	1	3	5	5	5	6.84	20.53	34.21	34.21	34.21
실시에 9	5	1	2	2	/		26.00	52.00	52.00	/	
실시에 10	7	1	2	2			18.57	37.14	37.14		

도면9

	최대 계조 레벨	V1~V5 비율					V1~V5 전압 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
비교예	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
실시예11	11	1	2	2	2	4	11.82	23.64	23.64	23.64	47.27
실시예12	19	1	2	4	4	8	6.84	13.68	27.37	27.37	54.74
실시예13	24	1	3	5	5	10	5.42	16.25	27.08	27.08	54.17

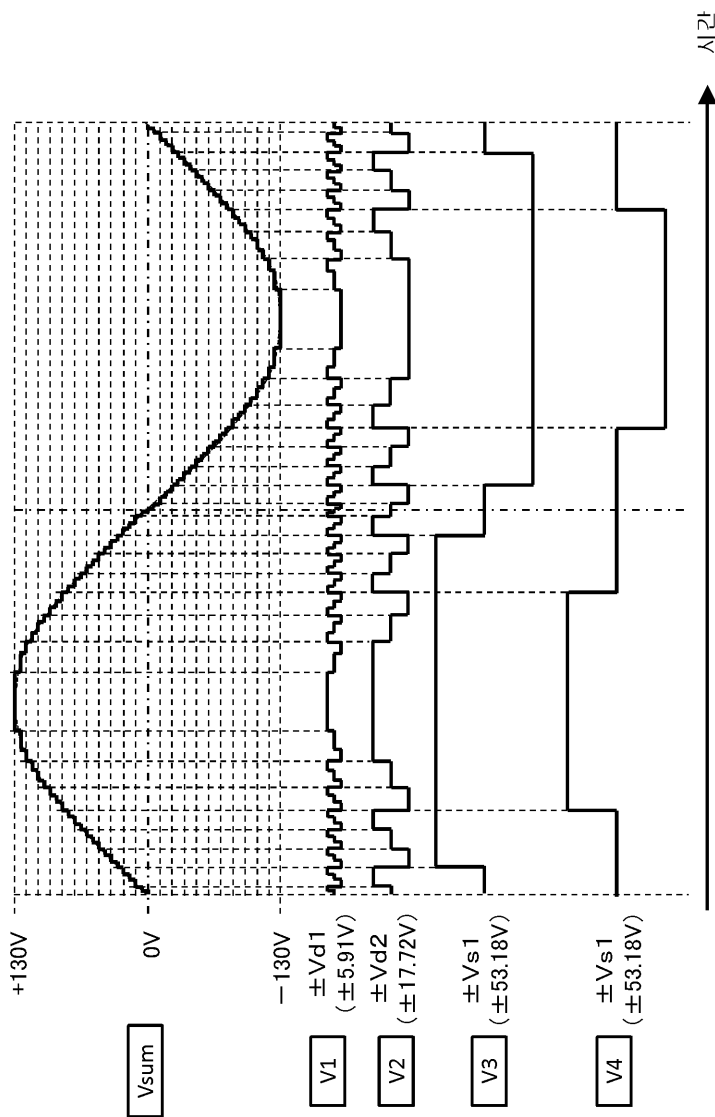
도면10



도면11

계조 레벨	V1	V2	V3	V4
	7.64V	15.29V	53.52V	53.52V
	비율			
	1	2	7	7
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	-1	-1	1	0
5	0	-1	1	0
6	-1	0	1	0
7	0	0	1	0
8	1	0	1	0
9	0	1	1	0
10	1	1	1	0
11	-1	-1	1	1
12	0	-1	1	1
13	-1	0	1	1
14	0	0	1	1
15	1	0	1	1
16	0	1	1	1
17	1	1	1	1

도면12



도면13

계조 레벨	V1	V2	V3	V4
	5.91V	17.72V	53.18V	53.18V
	비율			
	1	3	9	9
0	0	0	0	0
1	1	0	0	0
2	-1	1	0	0
3	0	1	0	0
4	1	1	0	0
5	-1	-1	1	0
6	0	-1	1	0
7	1	-1	1	0
8	-1	0	1	0
9	0	0	1	0
10	1	0	1	0
11	-1	1	1	0
12	0	1	1	0
13	1	1	1	0
14	-1	-1	1	1
15	0	-1	1	1
16	1	-1	1	1
17	-1	0	1	1
18	0	0	1	1
19	1	0	1	1
20	-1	1	1	1
21	0	1	1	1
22	1	1	1	1

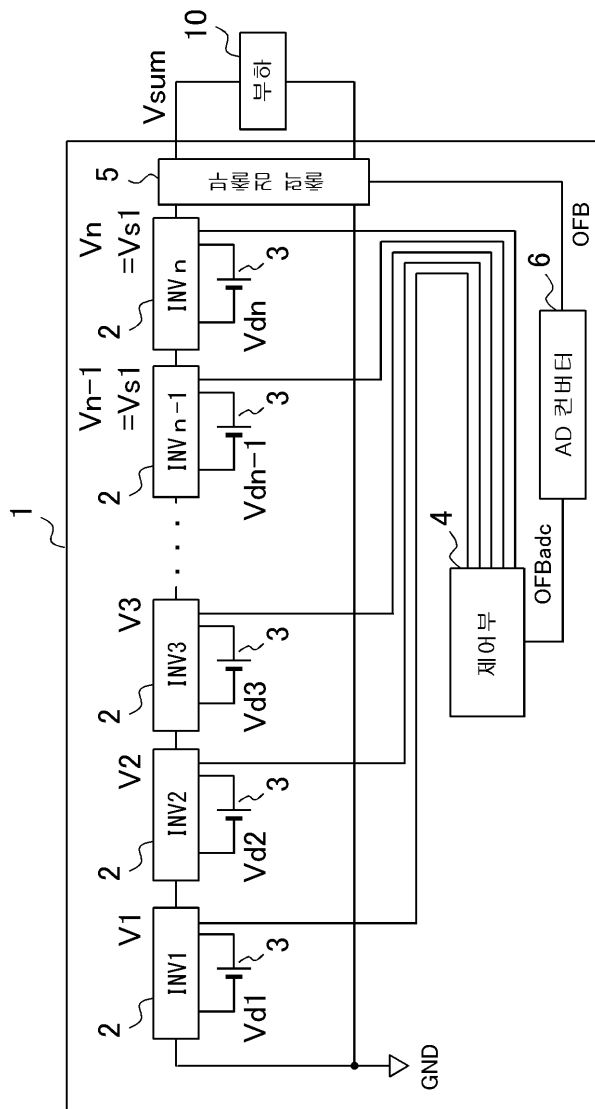
도면14

	최대 계조 레벨	V1~V5 비율					V1~V5 전압 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
비교예	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
실시예14	24	1	2	7	7	7	5.42	10.83	37.92	37.92	37.92
실시예15	52	1	2	7	21	21	2.50	5.00	17.50	52.50	52.50
실시예16	13	1	3	3	3	3	10.00	30.00	30.00	30.00	30.00
실시예17	31	1	3	9	9	9	4.19	12.58	37.74	37.74	37.74
실시예18	67	1	3	9	27	27	1.94	5.82	17.46	52.39	52.39
실시예19	7	1	3	3	/		18.57	55.71	55.71	/	
실시예20	10	1	3	3			13.00	39.00	39.00		

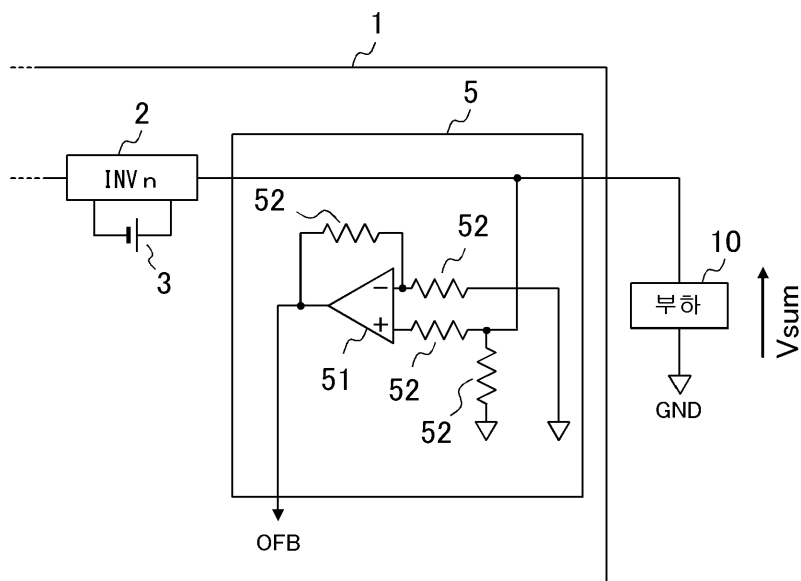
도면15

	최대 계조 레벨	V1~V5 비율					V1~V5 전압 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
비교예	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
실시예21	31	1	2	7	7	14	4.19	8.39	29.35	29.35	58.71
실시예22	19	1	3	3	3	9	6.84	20.53	20.53	20.53	61.58
실시예23	40	1	3	9	9	18	3.25	9.75	29.25	29.25	58.50

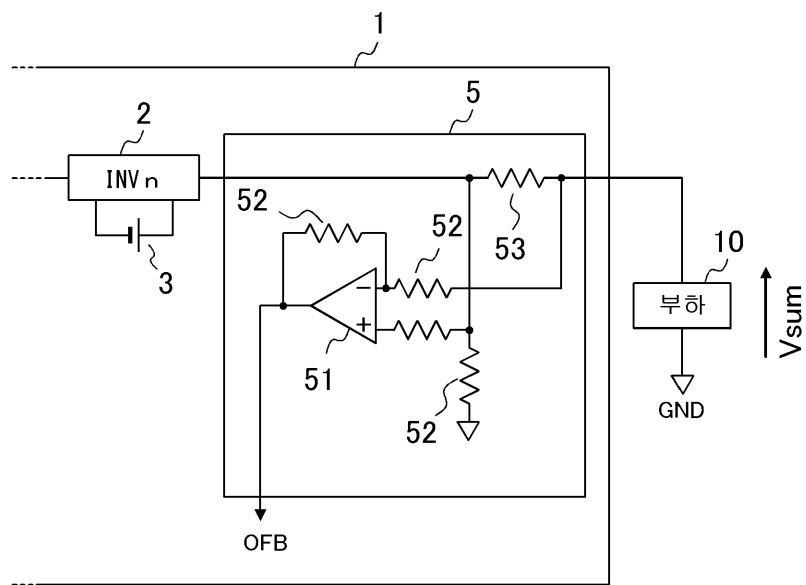
도면16



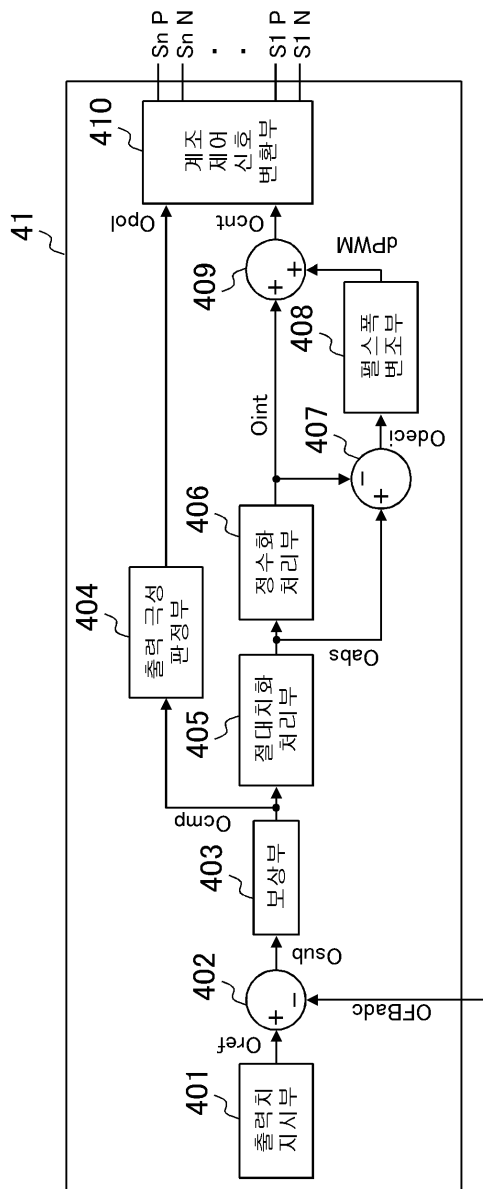
도면17



도면18



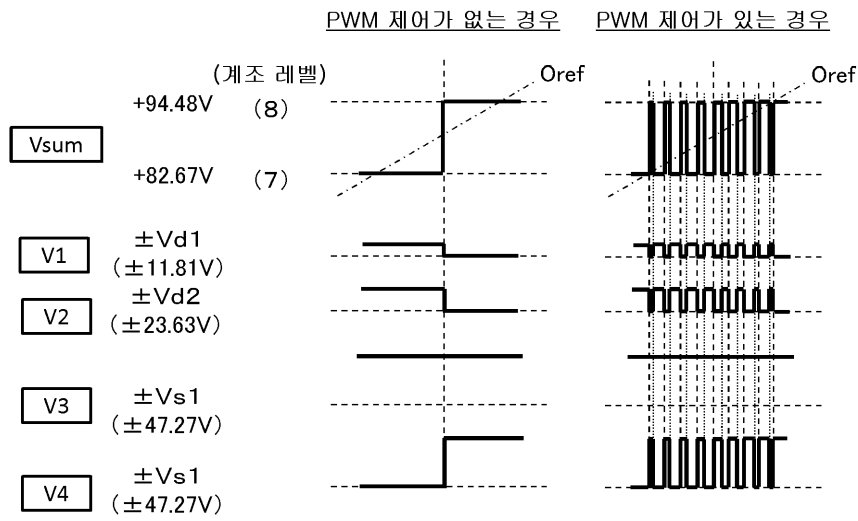
도면19



도면20

계조 레벨	V 1	V2	V3	V4
	11.81V	23.63V	47.27V	47.27V
	비율			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

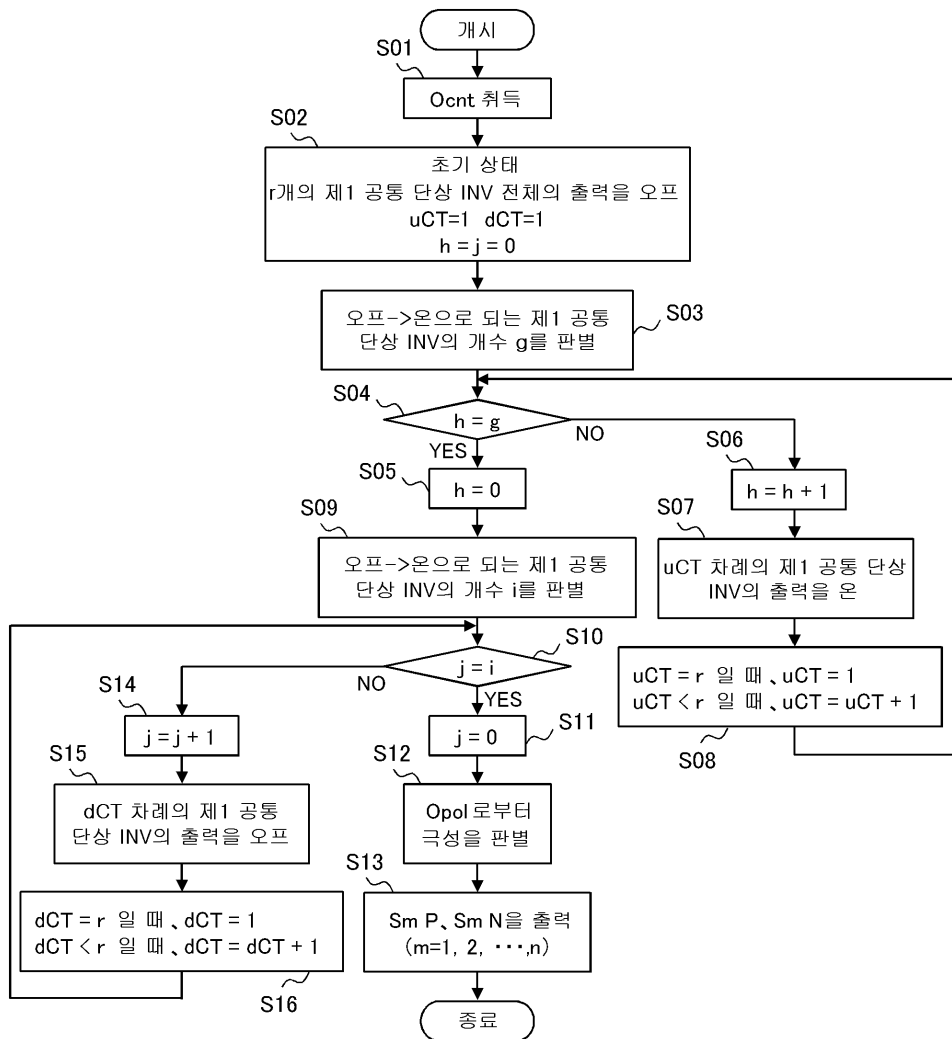
도면21



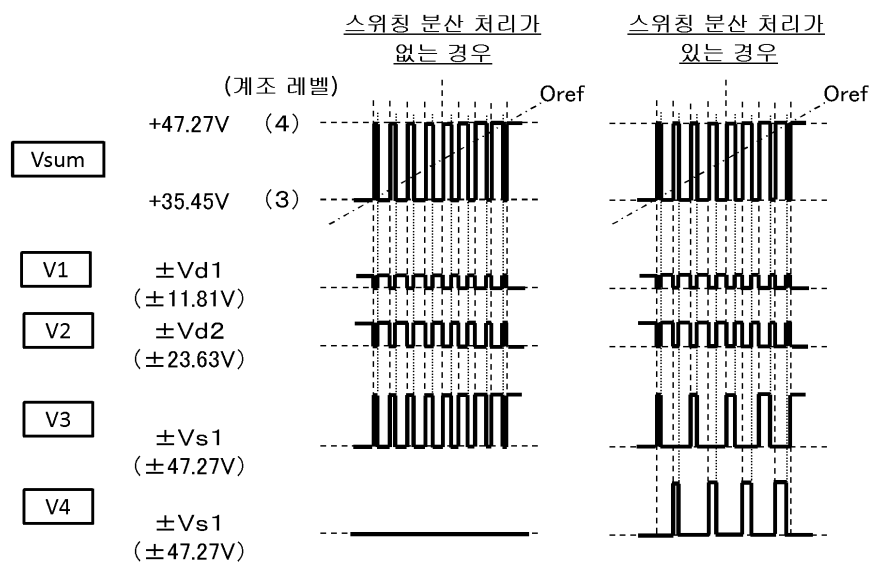
도면22

	V 1	V2	V3	V4
계조 레벨	11.81V	23.63V	47.27V	47.27V
	비율			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

도면23



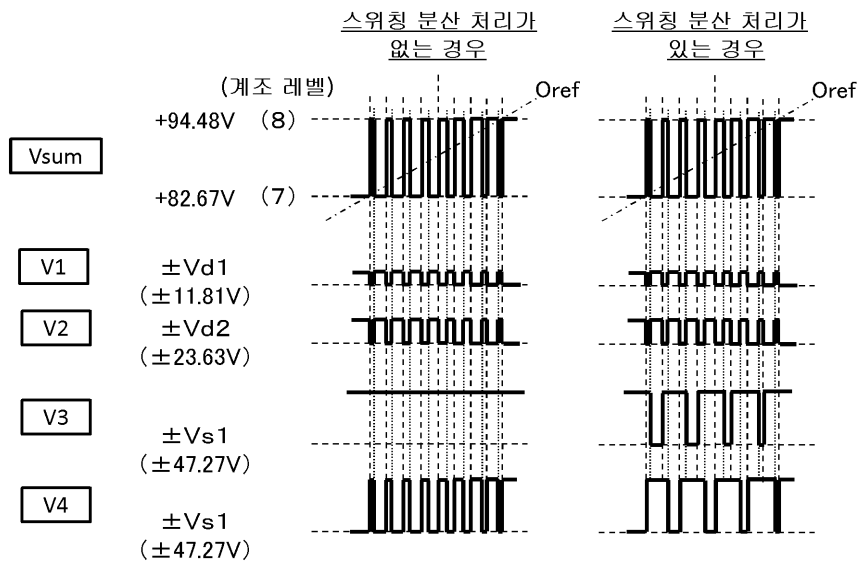
도면24



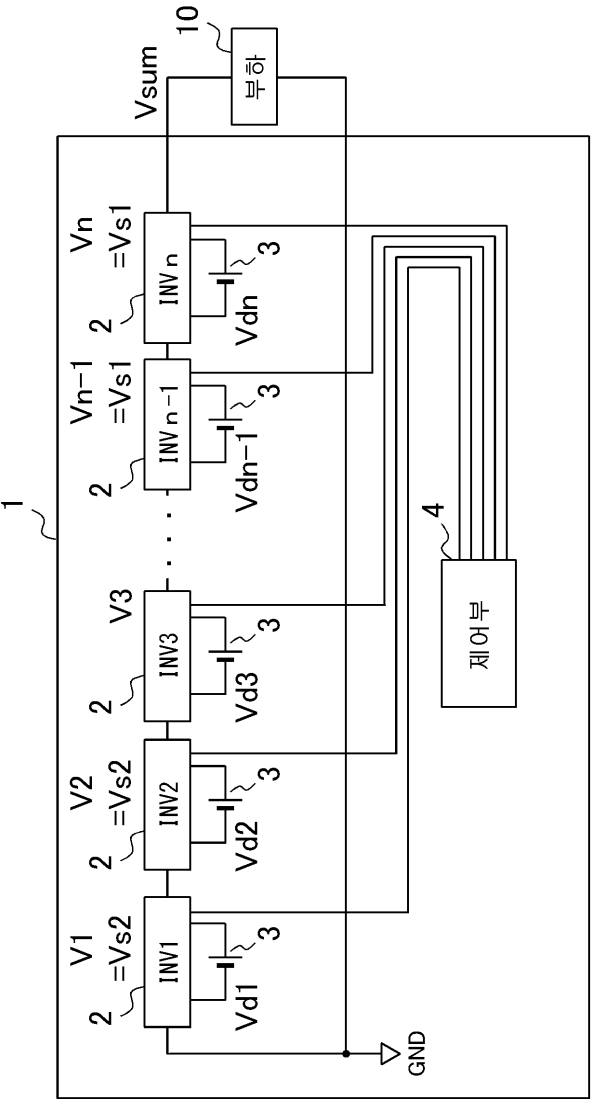
도면25

계조 레벨	V 1	V 2	V 3	V 4
	11.81V	23.63V	47.27V	47.27V
	비율			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

도면26



도면27



도면28

계조 레벨	V1	V2	V3	V4
	16.25V	16.25V	48.75V	48.75V
	비율			
	1	1	3	3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	0	1	0
4	1	0	1	0
5	1	1	1	0
6	0	0	1	1
7	1	0	1	1
8	1	1	1	1

도면29

	최대 계조 레벨	V1~V5 비율					V1~V5 전압 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
비교예	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
실시예24	11	1	1	1	4	4	11.82	11.82	11.82	47.27	47.27
실시예25	11	1	1	3	3	3	11.82	11.82	35.45	35.45	35.45
실시예26	17	1	1	3	6	6	7.65	7.65	22.94	45.88	45.88
실시예27	17	1	1	1	7	7	7.65	7.65	7.65	53.53	53.53
실시예28	27	1	1	3	11	11	4.81	4.81	14.44	52.96	52.96
실시예29	17	1	1	5	5	5	7.65	7.65	38.24	38.24	38.24

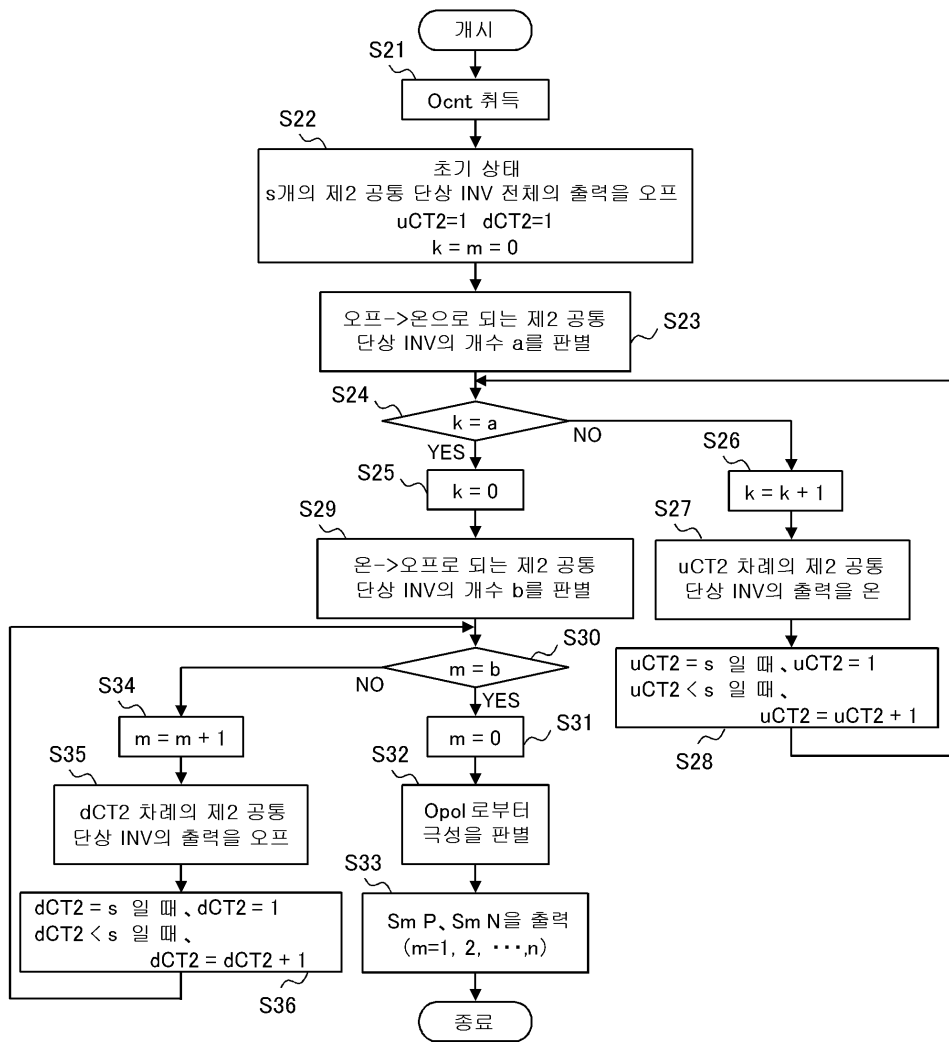
도면30

	최대 계조 레벨	V1 ~ V5 비율					V1 ~ V5 전압 (V)				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
비교예	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
실시예30	17	1	2	2	6	6	7.65	15.29	15.29	45.88	45.88
실시예31	23	1	3	3	8	8	5.65	16.96	16.96	45.22	45.22
실시예32	27	1	2	2	11	11	4.81	9.63	9.63	52.96	52.96
실시예33	37	1	3	3	15	15	3.51	10.54	10.54	52.70	52.70

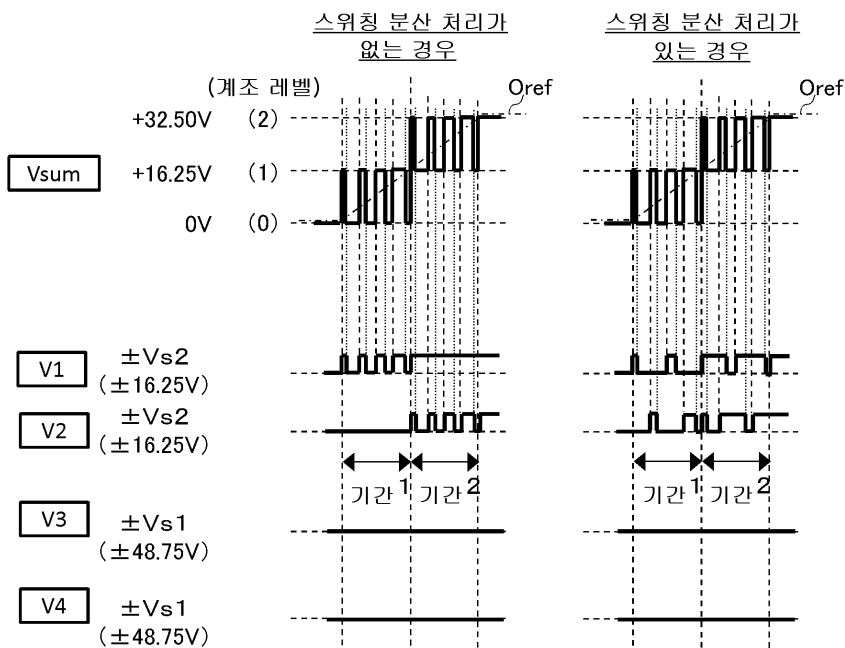
도면31

계조 레벨	V1	V2	V3	V4
	16.25V	16.25V	48.75V	48.75V
	비율			
	1	1	3	3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	0	1	0
4	1	0	1	0
5	1	1	1	0
6	0	0	1	1
7	1	0	1	1
8	1	1	1	1

도면32



도면33



도면34

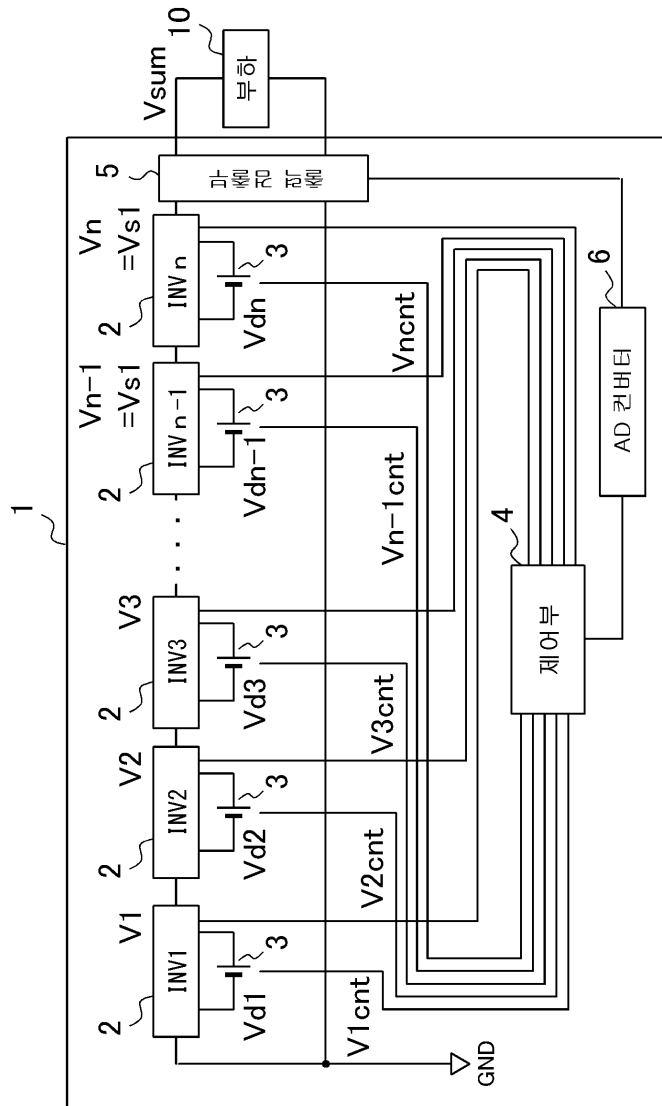
제2 공통 단상 INV 스위칭 분산		계조 레벨			
		V1	V2	V3	V4
		16.25V	16.25V	48.75V	48.75V
		비율			
		1	1	3	3
제1G	0	0	0	0	0
	1	1	0	0	0
	2	1	1	0	0
제2G	3	0	0	1	0
	4	1	0	1	0
	5	1	1	1	0
제3G	6	0	0	1	1
	7	1	0	1	1
	8	1	1	1	1

제1 공통 단상
INV 스위칭 분산

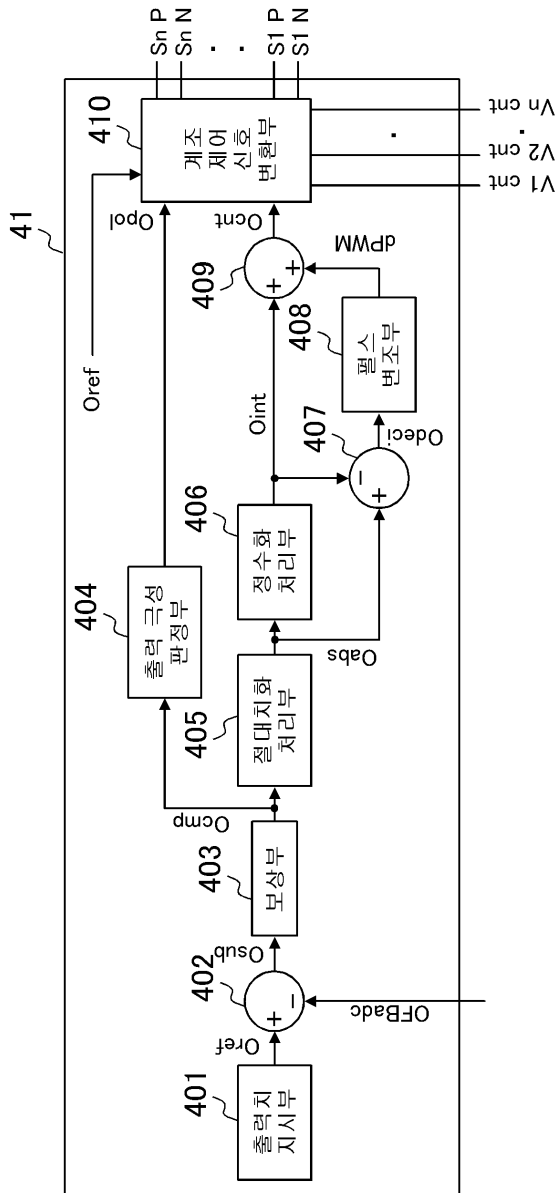
제4G

제5G

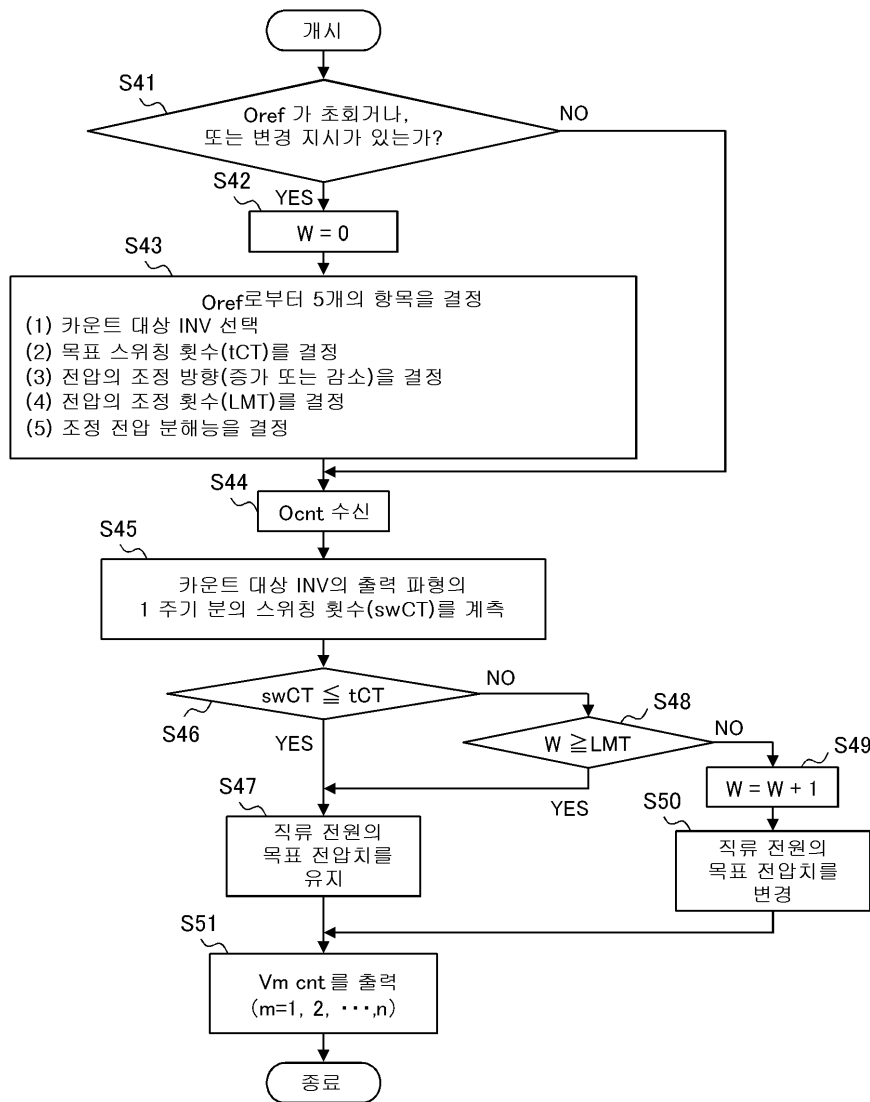
도면35



도면36



도면37

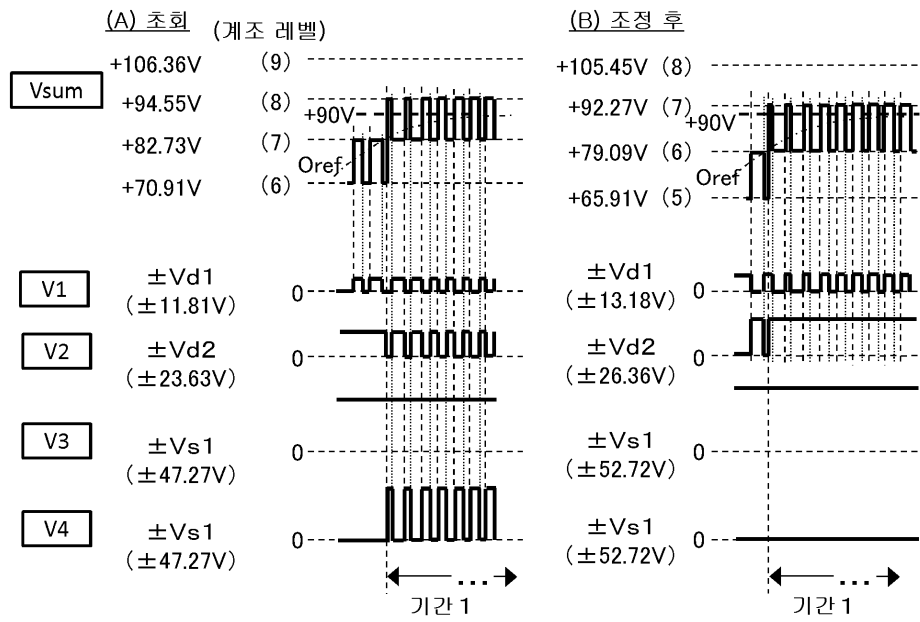


도면38

계조 레벨	전압 절대치	V 1	V2	V3	V4
(A) 초회		11.81V	23.63V	47.27V	47.27V
(B) 조정 후		13.18V	26.36V	52.72V	52.72V
	비율	1	2	4	4
0		0	0	0	0
1		1	0	0	0
2		0	1	0	0
3		1	1	0	0
4		0	0	1	0
5		1	0	1	0
6		0	1	1	0
7		1	1	1	0
8		0	0	1	1
9		1	0	1	1
10		0	1	1	1
11		1	1	1	1

초회	조정 후
Vsum 최대치	
130V	145V
Vsum	
59.09	65.91
70.91	79.09
82.73	92.27
94.55	105.45
106.36	118.64

도면39



도면40

