(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 21/027

(45) 공고일자 2001년11월01일
(11) 등록번호 10-0306446
(24) 등록일자 2001년08월09일

(21) 출원번호 10-1999-0036178
(22) 출원일자 1999년08월28일

(65) 공개번호 특2000-0047473
(43) 공개일자 2000년07월25일

(30) 우선권주장 1998-257651 1998년08월28일 일본(JP)

(73) 특허권자 캐논 가부시끼가이샤
미다라이 후지오
일본 도꾜도 오오따꾸 시모마루꼬 3쪼메 30방 2고

(72) 발명자 코치테쯔노부
일본국카나가와켕히라쯔카시타무라5567-1-509

(74) 대리인 신중훈
임옥순

심사관 : 이두한

(54) 마이크로디바이스 및 그 구조부분

요약

(i)기판상에 미세스트라이프패턴을 포토프린트하는 스텝과, (ii) 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조와 기판을 가진 디바이스에 있어서, 이 패턴구조에서 이 디바이스의 특정구조부분은 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있다.

대표도
도 3

명세서

도면의 간단한 설명

도 1A, 1B, 1C, 1D 및 1E는 본 발명의 일실시예에 따른 '격자상 IDEAL노광공정'을 설명하는 각각의 개략도

도 2A, 2B, 2C 및 2D는 본 발명의 다른 실시예에 따른 '선형상 IDEAL노광공정'을 설명하는 각각의 개략도

도 3은 도 1A 도 1E는 도 2A 도 2D의 공정에 따라서 작성한 반도체디바이스의 구조부분의 최적배치의 예를 설명하는 개략도

도 4는 도 3의 A-A'선을 따른 확대단면도

도 5는 배치가 최적화되어 있지 않는 본 발명의 일실시예에 따른 반도체디바이스의 개략도

도 6A, 6B 및 6C는 도 5의 B-B', C-C', D-D'선을 각각 따른 각각의 확대단면도

도 7은 SOI기판상에 형성된 최적배치의 반도체디바이스의 개략도

도 8A, 8B, 8C 및 8D는 도 7의 E-E'선을 따른 각각의 확대단면도

도 9는 도 1의 구성에 추가해서 접촉영역상에 배선영역이 있는 반도체디바이스의 구조부분의 최적배치의 일예를 설명하는 개략도

도 10은 도 9의 F-F'선을 따른 확대단면도

도 11은 접촉영역의 특수한 예를 설명하는 개략도

도 12는 마이크로디바이스의 제조의 수순을 설명하는 플로우차트

도 13은 도 12의 웨이퍼공정의 수순을 구체적으로 설명하는 플로우차트

(도면의 주요부분에 대한 부호의 설명)

101: 러프마스크패턴 201: 투과율 1의 패턴영역

202: 투과율 2의 패턴영역 301: 반도체활성영역

302: 폴리실리콘게이트영역 303: 디바이스분리영역

304: 접촉영역 305: 레벤손 2회노광영역

306: 레벤손 1회 노광영역 307: 레벤손 미노광영역

308: 배선영역 309: 폴리실리콘영역

401: 소스·드레인영역 402: 반도체기판

801: 절연층영역 901: 접촉배선영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 디바이스 또는 마이크로디바이스 또한 그 구조부분의 배치에 관한 것이다. 더욱 구체적으로 본

발명은 투영노광공정 등의 통상의 노광공정으로 대표되는 제 1노광공정과, 제 1노광공정보다 해상도가 높은 제 2노광공정을 사용해서 복수종의 패턴을 중복프린트하고, 제 2노광공정에 따라서 최소 선폭을 가진 패턴(이하, '목표패턴'이라고 함)을 형성하는 다중노광에 의해 제조되는 디바이스 및 그 구조부분의 배치에 관한 것이다. 본 발명은 예를 들면, 반도체칩(예를 들면 IC나 LSI), 표시디바이스(예를 들면, 액정패널), 검출디바이스(예를 들면, 자기헤드), 화상픽업디바이스(예를 들면 CCD)등의 각종 디바이스에 적절하게 적용할 수 있다.

현재, 예를 들면 IC, LSI, 액정패널 등의 디바이스를 포토리소그래피기술을 사용해서 제조하기 위한 다수의 투영노광장치는 엑시머레이저를 광원으로 사용한다. 그러나, 이 엑시머레이저를 광원으로 사용하는 투영노광장치는 0.15㎛이하의 선폭을 가진 미세패턴을 형성하는 것이 곤란하다.

해상도를 개선하기 위하여, 투영광학계의 개구수(NA, numerical aperture)를 크게하거나, 노광광의 파장을 작게할 필요가 있다. 그러나 실제로 NA를 크게하거나 노광파장을 작게하는 것은 용이하지 않다. 이것은 투영광학계의 초점심도가 NA의 자승에 반비례하고 파장λ에 비례하기 때문에 특히 투영광학계의 NA를 크게하면 초점심도가 작아지므로 초점맞춤이 곤란하게 되어 생산성이 저하한다. 또한, 대부분의 글라스재료는 원자외선 영역에 대해서 극단적으로 낮은 투과율을 가진다. 파장λ=248㎚(KrF엑시머레이저)에서 사용되는 용융실리카(석영)의 경우에는 λ=193㎚이하에서는 대부분 0까지 투과율이 저하한다. 현재 통상노광에 의해 선폭 0.15㎛이하의 미세패턴에 대응하는 노광파장 λ=150㎚이하의 영역에서 실용가능한 글라스재료는 실현되어 있지 않다.

그래서, 피노광기판에 대해서 2광속노광과 통상의 광속과의 2중광속을 행하고, 또 그때에 피노광기판에 다치적인 노광량분포를 부여해서 보다 고해상도의 노광을 행하는 방법이 본 출원인에 의해 일본국 특허출원 304232/1997(이하, 선원이라고함)로서 출원되어 있다. 이 선원의 실시예에서 2광속간섭노광은 선폭 0.1㎛라인-앤드-스페이스(L&S)패턴을 가진 위상시프트마스크를 사용해서 행해지고 미세라인패턴은 코히어런트조명에 의해서 프린트된다. 그후에, 최소선폭 0.1㎛의 실소자패턴에 대응하는 형상을 가지고 광투과율이 다른 부분을 가진 패턴으로 형성된 마스크를 사용하면서 통상의 노광공정(예를 들면 부분적인 코히어런트 조명에 의거한 노광공정)을 행한다. 선행 일본국 출원에 개시된 방법에 따르면, 0.10㎛의 최소라인폭의 패턴은 통상의 노광공정을 거쳐서 상측NA가 0.6인 투영광학계를 가진 투영노광장치를 사용해서 형성될 수 있다.

미세패턴을 프린트하는 다른 방법은 프로브를 사용해서 감광체에 패턴을 묘화노광한다. 이 프로브는 예를 들면 터널전류, 전자빔, 레이저빔이나 근접장 광을 사용하는 STM, 원자력을 사용하는 AFM 등을 사용하는 것이 가능하다. 그러나, 노광면적의 전체를 프로브노광하면 스루풋이 저하한다는 문제점이 있다. 그것을 고려하면, 목표패턴중 통상의 노광에서 대응할 수 있는 부분은 통상 노광에 의해 감광체의 노광역치를 초과하는 광량으로 노광시킨다. 한편, 해상도가 부족한 부분은 각각의 광량이 감광제의 노광역치보다 낮고, 조합하면 노광역치를 초과하는 광량을 가진 통상의 노광과 프로브노광에 의거한 중복프린팅에 의해서 포토프린트된다. 결국, 상기 언급한 것과 유사한 다치적인 노광량분포를 부여한다. (일본국 특허출원 137476/1998참조).

발명이 이루고자 하는 기술적 과제

상기의 다중노광공정(이후 'IDEAL노광공정'이라함)에 있어서, 레벤손마스크를 사용하면, 미세라인패턴은, 레벤손마스크데이터가 존재하는 영역에만 형성된다. 따라서, 패턴의 배치는 레벤손마스크의 피치에 의해서 제약을 받는다.

본 발명의 목적은 디바이스가 'IDEAL노광공정'에 의거해서 제조되는 경우에 디바이스의 구조부분의 최적배치를 제공하는 것이다.

구체적으로, 본 발명의 목적은 다수의 노광공정을 반복하는 반도체제조공정동안에 집적밀도나 디바이스성능을 최대한으로 향상시키기 위해 예를 들면 디바이스의 접촉, 반도체영역, 게이트 등의 디바이스의 구조부분의 배치에 대한 최적의 해답을 제공하는 것이다.

본 발명의 다른 목적은 상기 최선의 해답에 따라서 배치된 구조부분을 가진 마이크로디바이스를 제공하는 것이다.

본 발명의 이들과 다른 목적, 구성, 효과는 첨부도면과 관련해서 본 발명의 바람직한 실시예의 상세한 설명을 참고하면 더욱 명백해질 것이다.

발명의 구성 및 작용

이하, 첨부도면을 참조해서, 본 발명의 바람직한 실시예를 설명한다.

(제 1실시예)

도 3은 본 발명의 일실시예에 따른 디바이스의 구성을 표시한다. (301)은 반도체활성영역이고, (302)는 폴리실리콘게이트영역이다. (303)은 디바이스분리영역이고, (304)는 접촉영역이다.

도 1A 내지 1E는 도 3의 디바이스의 접촉영역(304)을 1변이 L(예를 들면, L=0.1㎛)인 정사각형상으로 제조하기 위한 3중노광방법의 원리를 표시한다. 우선, L과 동일한 라인폭과 간격을 가진 스트라이프패턴으로 이루어진 레벤손패턴을 2광속간섭노광방식의 노광장치에 의해서 노광량 1에 따라서 프린트한다. 다음에, 그 레벤손패턴을 90° 회전한 상태의 패턴을 마찬가지로 노광량 1에 따라서 다시 프린트시킨다. 결국, 피노광기판은 도 1B에 표시한 상태에서 노광된다. 도 1B에 있어서, (305)는 레벤손기판을 개재해서 2회노광된 영역(이하 '레벤손 2회 노광영역')이다. (307)은 레벤손패턴노광시에 노광되지 않은 영역(이하, '레벤손미노광영역')이다. 도 1C는 도 1B의 G-G'선의 단면에 따른 다른부분에서의 노광량을 표시한다. 각 레벤손 1회노광영역(306)은 노광량 1로 노광되고, 각 레벤손 2회노광영역(305)은 노광량 2로 노광된다. 노광량 2는 피노광기판에 부여되는 포토레지스트의 노광역치 E_{TH} 보다 낮은 레벨로 설정되어 있다.

상기 언급한 방식으로 기판상에 2개의 직각 레벤손 패턴을 프린트한 후에 도 1D에 표시된 바와 같은 러프마스크패턴(101)은 노광량 1에 따라서 예를 들련 0.6의 상축NA를 가진 투영광학계와 노광파장 λ=248㎚(KrF엑시머레이저)를 가진 투영노광장치, 즉 통상의 노광장치를 사용해서 프린트된다. 러프마스크패턴(101)은 소망의 레벤손 2회노광영역(105)와 중심을 일치시켜서, 또, 그 레벤손 2회노광영역(105)의 각변을 4방향으로 0.5L씩 넓힌 1변이 2L인 정사각형패턴을 구성한다. 도 1E는 러프마스크패턴(101)을 노광한 후 G-G'선의 단면에 따른 다른 부분에서의 노광량을 표시한다. 레벤손 2회노광영역과 러프마스크패턴(101)이 중복노광된 부분만이 노광량 3으로 노광된다. 여기서, 각 패턴의 노광량은 포토레지스트의 노광역치 E_{TH} 가 노광량 2와 노광량 3사이의 레벨에서 설정되도록 결정되어 있다. 따라서 1변이 L인 정사각형의 패턴을 형성할 수 있다. 이하, 이 노광방법은 '격자상 IDEAL노광공정'이라고 한다. 여기서, 노광량 1,2,3은 편의적인 것으로 물리적인 의미가 없고 설명을 단순하게 하기 위해 사용되고 있는 것이다.

도 2A내지 도 2D는 도 3의 디바이스에서 폴리실리콘영역등 한 방향의 최소선폭 및 최소간격이 L이고, 그 직교방향의 최소선폭 및 최소간격이 L보다 큰 패턴을 제조하기 위한 2중노광방법의 원리를 표시한다. 도 2A는 선폭 및 간격이 L인 레벤손패턴을 표시한다. 도 2B는 러프마스크패턴을 표시하고, 도 2D는 형성하고자 하는 패턴(이하 '목표패턴'이라고함)을 표시한다. 이 러프마스크패턴은 투과율1을 가진 제 1패턴영역(201)과, 투과율 2를 가진 제 2패턴영역(202)을 구비한다. 이 영역의 최소선폭 및 최소간격은 모두 2L로 설정되어 있다. 레벤손패턴과 러프마스크패턴은 상술한 바와 같은 2광속간섭노광방법과 통상의 노광방법에 의해서 도 2C에 표시된 바와 같이 기판상에 중첩적으로 포토프린트된다. 여기서, 이들 패턴이 프린트되는 포토레지스트의 노광역치E_{TH} 와 패턴 및 패턴영역에서의 노광량을 상술한 '격자상 IDEAL노광공정'과 마찬가지로 적절한 관계로 설정한다. 결국, 도 2D에 표시한 바와 같이, 한방향의 최소선폭 및 최소간격이 L인 패턴, 예를 들면 도 3의 폴리실리콘게이트영역(302)을 형성할 수 있다. 이하 상기 언급한 공정을 '선형상 IDEAL노광공정'이라고 하다. 마찬가지로 투과율 1,2는 편의적인 것으로 물리적인 의미는 없고 설명을 간단히 하기 위해 사용되는 것이다.

도 3은 상기 '격자상 IDEAL노광공정'을 사용해서 작성한 반도체디바이스의 구조부분의 최적배치의 일예를 표시한다. (301)은 반도체활성영역이고, (302)는 폴리실리콘게이트영역이다. (303)은 디바이스분리영역이고 (304)는 접촉영역이다.

(305)는 '격자상 IDEAL노광공정'을 개재해서 규정될 수 있는 레벤손 2회노광영역이고, (306)은 레벤손 1회노광영역이다. (307)은 레벤손 미노광영역이다. 폴리실리콘게이트영역(302)은 폴리실리콘영역(309)의 일부로서 형성된다. 즉, 반도체활성영역(301)에 의해서 중첩되는 폴리실리콘영역(309)의 부분은 폴리실리콘게이트영역(302)을 제공하고, 나머지부분은 폴리실리콘배선영역(308)을 제공한다.

접촉영역(304)는 레벤손 2회노광영역(305)의 소망의 위치에서 러프마스크패턴을 중첩적으로 프린트해서 미소패턴으로 형성된다. 여기서, 접촉부의 사이즈는, 레벤손마스크의 패턴간격이나 폭(또는 패턴피치의 약 절반)이 기준유닛L인 경우에, 약 1L이다. 또한 폴리실리콘패턴영역(309)이 적어도 반도체활성영역(301)의 부분을 사용해서 '선형상 IDEAL노광공정'에 따라서 미세게이트패턴으로서 형성된다. 이 게이트영역(302)의 최소폭은 약 1L이다. 배선영역(308)은 러프마스크패턴을 사용해서 형성된다. 그 부분에서 러프패턴의 최소폭은 약 2L이다. 드레인과 소스로서 이 폴리실리콘게이트영역(302)의 양쪽에 있는 반도체활성영역(301)을 사용해서 MOS트랜지스터를 형성할 수 있다. 게이트, 드레인 및 소스용 전극은 대응 반도체활성영역(301)과 폴리실리콘 배선영역(308)에서 규정된 접촉영역(304)을 개재해서 형성될 수 있다. 도 4는 도 3에서와 같이 마찬가지의 부호는 대응부재를 표시하는, 도 3의 A-A'선을 따른 단면도이다. (401)은 트랜지스터의 소스/드레인영역이고, (402)는 반도체기판이다.

본 실시예에 따르면, 레벤손 마스크의 패턴간격과 패턴폭(또는 패턴피치 2L의 약절반)이 기준유닛L로서 되는 경우에, 접촉영역(304)의 간격S는 다음의 관계를 만족한다.

$S \geq (2n-1)L$

여기서 n은 2이상의 정수이다.

일반적으로, 접촉영역이 형성되는 경우에 정열오차나 패턴사이즈변환차이에 기인해서 하부의 폴리실리콘배선(308)이나 반도체활성영역(301)으로부터 편차로 규정되면, 접촉저항의 이상이나 전원사이의 단락을 일으키는 하부의 소자에 전기적 단락이 발생한다. 이런 이유 때문에 하부의 폴리실리콘배선영역(308)과 반도체활성영역(301)은 접촉부의 사이즈보다 더 커야된다.

도 5와 도 6A 내지 도 6C는 종래의 'IDEAL 노광공정'의 사상을 그대로 '격자상 IDEAL노광공정'에 적용한 경우의 반도체디바이스의 구조부분의 배치의 일예를 표시한다. 'IDEAL 노광공정'에 따른 접촉부의 배치에서 최소간격이 1L인 경우에 이것이 '격자상 IDEAL노광공정'에 직접 적용되는 때에, 접촉영역(304)와 폴리실리콘 배선영역(308)은 반도체활성영역(301)으로부터 편차로 형성되면, 접촉형성을 위해 제공된 폴리실리콘배선영역(308)의 일부는 도 5의 평면도나 도 6A의 B-B'단면도에서 도시한 바와 같이 활성영역(301)으로 중첩된다. 그 경우에, 배선영역(308)의 일부는 MOS트랜지스터의 게이트전극으로 작동하여 채널이 불필요한 부분에 형성된다. 중첩량에 따르면, 트랜지스터의 전류전압특성이 불이익하게 변동한다. 상기를 고려하면, 폴리실리콘영역(308)상의 접촉영역(304)과 반도체활성영역(301)상의 접촉영역은 3L이상이 바람직하다.

또한, 도 5의 평면도와 도 6B의 C-C'단면도에서 도시한 바와 같이, 반도체활성영역상에 규정된 접촉영역(304)사이의 간격이 3L이상이면 디바이스분리영역(303)의 폭은 불충분하여 나란히 놓인 디바이스사이의 리크전류가 발생한다. 본 발명의 실시예에 따르면, 트랜지스터의 최선의 성능을 위해서, 최소의 기준유닛 1L은 게이트길이로서 사용된다. 도 6B의 경우에 있어서, 디바이스분리영역(303)의 폭이 최소 1L에 동일하고, 구조는 디바이스분리영역(303)의 전위를 무시하고, 대응의 반도체활성영역(301)사이에 전류가 흐르지 않는다. 이 목적을 위하여, 디바이스분리영역(303)의 두께

는 충분히 크게 제작되고, 또한, 반도체기판(402)의 디바이스분리영역하의 불순물농도를 충분히 크게 제작해야 한다. 그러나, 폭을 최소로 유지하면서, 두께를 두껍게하거나, 농도가 높은 영역을 최소폭으로 유지하는 것은 실제로 곤란하다. 그러므로, 디바이스분리영역은 전체균형의 관점에서 2L이상의 사이즈를 가지는 것이 바람직하다. 그 경우에, 반도체활성영역에 형성된 나란한 접촉영역(304)사이의 간격은 5L이상을 가지는 것이 바람직하다.

폴리실리콘배선영역(308)상에 규정된 나란한 접촉부 사이의 간격에 대해서는 배선영역(308)이 상술한 이유때문에 접촉영역(304)보다 크게 제작되므로, 접촉부의 간격이 도 6C의 D-D'단면도에 표시된 바와 같이 1L로 제작되면, 나란한 폴리실리콘배선영역(308)사이의 간격은 전기적 단락이 발생하지 않도록 대략 유지될 수 있다. 그것을 고려하면, 폴리실리콘영역(302)상의 나란한 접촉부사이의 간격은 3L이상으로 제작하는 것이 바람직하다.

상기 언급한 바와 같이, 간격S가 관계식을 만족하면,

$S \geq (2n-1)L$ $(n=2,3,\cdots)$

디바이스의 특성은 최대로 안정화되고, 집적밀도는 최고로 제작될 수 있다.

또한, 상기의 경우에, 접촉부의 사이즈가 최소사이즈 1L로 제작되면, 접촉부아래의 폴리실리콘배선영역의 사이즈는 2L로 제작되고, 또한, 최소기준유닛L의 피치로부터 약 0.5L만큼의 편차로 배치되는 것이 바람직하다. 그러면, 러프패턴의 규정이 만족될 수 있고, 접촉부와의 편차를 고려해서 최소사이즈의 맞춤마진 0.5L을 확보할 수 있다.

상기 실시예에 있어서, 배선영역(308)은 예로서 폴리실리콘을 사용해서 설명한다. 그러나, 본 발명은 여기에 한정되지 않는다. 예를 들면 실리사이드막 및 폴리실리콘막의 다층막, 메탈막 등을 사용해서 마찬가지의 효과를 초래한다.

(제 2실시예)

SOI(Silicon On Insulator)기판상에 트랜지스터를 형성하는 공정에 대해서, 디바이스사이에 리크의 가능성이 적거나, 트랜지스터의 기생용량을 작게해서 고속의 회로를 구성할 수 있는 각종의 이점때문에 동일한 많은 출원이 제안되어 있었다.

본 실시예는 '격자상 IDEAL노광공정'과 '선형상 IDEAL노광공정'에 따라서 SOI기판상에 형성되는 반도체디바이스의 최적배치의 일예를 나타낸다.

도 7은 디바이스의 평면도이고, 도 8A 및 도 8B는 E-E'선에 따른 단면도이다. 본 실시예에 있어서, 상기 제 1실시예의 3L과 동일한 나란한 반도체활성영역(301)(즉, 디바이스분리영역(303))사이의 간격은 2L로 제작된다. 여기서, (801)은 반도체기판(402)상에 형성된 절연층영역이다. 트랜지스터는 이 절연층영역(801)상에 형성된 반도체활성영역(301)내에 형성된다. 반도체활성영역(301)이 절연층영역(801)상에 형성되어 있는 구조를 가진 기판은 일반적으로 SOI기판이라고 한다. 도 8C 및 도 8C는 도 8A 및 8B의 경우와 같은 동일한 조건하에서 통상의 기판(절연층영역(801)이 없음)상에 디바이스분리영역(303)이 형성되는 예의 비교를 위한 단면도이다.

본 실시예의 특징은 도 8A 내지 도 8D와 연관해서 구체적으로 설명한다. 도 8C는 나란한 접촉부(304)의 최소간격(3L) 및 나란한 반도체활성영역(301)의 최소간격(2L)이 제 1실시예(5L 및 3L)보다 작은 경우를 표시한다. 도 6B를 참조해서 상기 언급한 바와 같이, 접촉영역(304)이, 도 8D에 표시된 바와 같이 반도체활성영역(304)에 대한 편차로 규정되어 있으면, 접촉부 형성을 위한 에칭공정에 있어서, 에칭동작은 디바이스분리영역을 위한 절연층영역(303)에도 불구하고 진행된다. 이것이 발생하면, 전기적단락이 접촉영역(304)과 하부의 반도체기판(402)사이에서 발생하여 전원사이의 단락이나 접촉저항이상을 일으킨다. 그러므로 상기 언급한 배치는 바람직하지 않다.

그러나, 트랜지스터가 도 8A에 표시된 바와 같이 SOI기판에 형성되는 경우에, 에칭동작이 디바이스분리영역의 절연층(303)에 도달하더라도, 그 하부에 있는 두꺼운 절연층영역(801)때문에 접촉부의 결함이 발생하지 않는다. 또한, 나란한 반도체활성영역(301)이 절연체(303),(801)에 의해서 서로 완전히 분리되므로, 제 1실시예에 대해서 언급한 바와 같이 반도체기판(402)의 디바이스분리영역(303)아래에서 밀도조건 등을 고려할 필요가 없다. 그러므로, 디바이스분리를 위한 폭은 작게 제작될 수 있다.

상기 언급한 이유때문에, 트랜지스터가 SOI기판상에 형성되는 경우에, 디바이스분리폭은 2L이상으로 제작되는 것이 바람직하고, 반도체활성영역상의 나란한 접촉부사이의 간격은 3L이상으로 바람직하게 제작될 수 있다.

본 실시예는 절연층영역(801)이 반도체기판(402)의 전체표면에 형성되는 예에 대해서 언급하고 본 발명은 이 예에 한정되지 않는다. 마찬가지의 효과는 반도체활성영역(301)아래의 일부에만 형성된 절연층영역(801)을 가진 기판으로 얻을 수 있다.

(제 3실시예)

본 실시예는 상기 언급한 제 1실시예에 추가해서 배선영역이 접촉영역(304)상에 규정되는 경우에 최적배치의 일예를 표시한다. 도 9는 배치의 평면도이고, 도 10은 도 9의 F-F'선을 따른 단면도이다. (901)은 접촉영역(304)상에 형성된 배선영역이다. 배선영역(901)의 배선층에 대해서는 알루미늄, 알루미늄 및 실리콘의 혼합물이나 구리와 같은, 재료가 주로 사용된다. 그러나 이들 재료이외에도 코발트, 티타늄, 텅스텐, 탄탈륨, 몰리브덴 등의 메탈재료를 사용할 수 있다.

일반적으로, 접촉부상에 형성된 배선영역이 반도체공정에서 패턴사이즈변경오차나 정열오차에 기인해서 접촉부에 대해서 정열되지 않으면, 배선금속은 유효한 접촉사이즈의 감소를 일으키는 전체접촉부를 피복하지 않아서, 접촉저항을 증가시킨다. 또한 신뢰도를 열화시키는 빈공간이 접촉부에 발생될 수 있다. 이들 이유때문에, 접촉부에 형성되는 배선영역은 접촉부의 사이즈보다 크게 제작하는 것이 바람직하다.

여기서 접촉부(304)의 사이즈가 최소사이즈1L이면, 접촉부상의 배선영역(901)의 사이즈는 폭 2L로 제작되는 것이 바람직하고, 또한, 배선영역이나 접촉부의 설계위치는 최소기준유닛L의 피치에서 약 0.5L만큼 벗어나서, 배치되는 것이 바람직하다. 그러면 러프패턴의 규정을 만족하고, 접촉부에 대한 편차를 고려해서 최소사이즈의 맞춤마진 0.5L을 확보할 수 있다.

또한, 나란한 배선영역(901)사이의 간격은 배선사이의 단락을 방지하기 위하여 2L이상으로 제작되는 것이 바람직하다.

상기한 본 실시예에 있어서, 미세라인패턴은 레벨손패턴의 2광속간섭노광에 의해 형성될 수 있다. 그러나, 그 대신에, 미세라인패턴은 AFT, STM, 전자빔, 레이저빔이나 근접장광을 사용하는 프로브묘화공정에 따라서 형성될 수 있다. 그 경우에, 프로브묘화는 레지스트노광역치가 러프마스크패턴의 노광에 의해서만 도달되고, 그 부분에서, 레벤손 패턴노광량에 대응하는 광량을 사용하는 레벤손패턴의 그부분에서만 실행될 수 있다. 따라서, 묘화를 위한 시간은 상당히 감소될 수 있다. 즉, 도 1B의 경우에서 예를 들면, 도 1B의 소망의 레벤손 2회노광영역(105)은 노광량2로 노광될 수 있다. 또한, 도 2C의 경우에, 투과율1을 가진 러프마스크패턴의 패턴영역(도 2C)으로 중첩되고, 소망의 패턴이 생성되는 레벤손 패턴의 부분(203)만이 투과율 1에 상당하는 광량으로 묘화된다. 미세라인패턴에 대해서 레벤손패턴과 같은 주기적인 패턴뿐만 아니라, 미세라인패턴이 정규피치에서 배열되지 않는 비주기의 패턴을 사용한다.

상기 언급한 실시예에 있어서, 다른 영역(301),(302),(308)중에 접촉영역(304)의 위치관계를 언급한다. 반도체공정에 있어서, 도 11에 표시된 바와 같이, 복수의 접촉영역(304)이 하나 및 동일영역에서 규정되는 경우가 있다. 도 11의 예에 있어서, 간격1L을 가진 단일의 배선영역(308)에 형성된 2개의 접촉영역(304)이 있고, 간격 1L을 부분적으로 가진 단일의 반도체활성영역(301)에는 6개의 접촉영역(304)이 있다.

다른 영역에 형성되는 접촉영역(304)에 대해서, 상기 언급한 실시예에서와 같이, 기준유닛이 L이면, 접촉영역(304)은, n이 2이상인 정수인 경우에 $S \geq (2n-1)L$의 관계를 만족하는 간격S로 배치되는 것이 바람직하다. 한편, 복수의 접촉영역(304)이 하나 및 동일영역상에 형성되면, 접촉영역(304)은 최소유닛1L에 대응하는 간격으로 배치하는 것이 바람직하다. 이것은 복수의 접촉영역(304)을 구비한 접촉부분의 저항이 낮아지고, 하나의 접촉영역(304)이 처리시의 실패에 기인해서 개방되지 않아도 다른 접촉영역이나 영역(304)이 수율의 증가를 이끄는 전기투과를 확보하는 효과때문이다. 이 경우에, 각각의 복수의 접촉영역(304)이, 동일한 기능을 가지는 것이 예기되므로, (2n-1)L이상의 간격으로 이들 접촉영역을 서로 분리할 필요가 없다. 그들은, 최소유닛1L이상의 간격으로 배치될 수 있다.

(제 4실시예)

다음에, 상기 언급한 노광방법에 의거한 반도체디바이스제조방법의 실시예를 설명한다.

도 12는 예를 들면 반도체칩(예를 들면, IC나 LSI), 액정패널, CCD, 박막자기헤드나 마이크로머신 등의 마이크로디바이스의 제조를 위한 공정의 플로우차트이다.

스텝 1은 마이크로디바이스의 회로를 설계하는 설계공정이다. 스텝 2는 회로설계패턴에 의거해서 마스크를 제작하는 공정이다. 스텝 3은 실리콘 등의 재료를 사용해서 웨이퍼를 준비하는 공정이다. 스텝 4는 제작된 마스크와 웨이퍼를 사용하여 리소그래피를 통해서 웨이퍼상에 회로를 실질적으로 형성하는 웨이퍼공정(소위 전공정)이다. 그 다음에 스텝 5는 스텝 4에서 처리된 웨이퍼를 반도체칩으로 형성하는 조립스텝(소위 후공정)이다. 이 스텝은 조립(다이싱 및 본딩) 공정과 포장(칩봉입)공정을 포함한다. 스텝 6은 스텝 5에서 형성된 반도체디바이스에 대한, 동작검사, 내구성검사 등을 행하는 검사스텝이다. 이들 공정에 의해서 반도체디바이스가 완성되고 포장된다(스텝 7).

도 13은 웨이퍼공정을 상세하게 표시하는 플로우차트이다.

스텝 11은 웨이퍼의 표면을 산화시키는 산화공정이다. 스텝 12는 웨이퍼표면상에 절연막을 형성하는 CVD공정이다. 스텝 13은 증착에 의해 웨이퍼상에 전극을 형성하는 전극형성공정이다. 스텝 14는 웨이퍼에 이온을 주입하는 이온주입공정이다. 스텝 15는 웨이퍼에 레지스트(감광제)를 도포하는 레지스트공정이다. 스텝 16은 상기 언급한 노광장치에 의해서 웨이퍼에 마스크의 회로패턴을 노광에 의해 프린트하는 노광공정이다. 스텝 17은 노광된 웨이퍼를 현상하는 현상공정이다. 스텝 18은 현상된 레지스트화상 이외의 부분을 제거하는 에칭공정이다. 스텝 19는 에칭공정을 행한 후에, 웨이퍼상에 잔류하는 레지스트를 박리하는 레지스트박리공정이다. 이들 공정을 반복해서 회로패턴은 웨이퍼상에 반복적으로 형성된다.

이들 공정에 의해서 고밀도의 마이크로디바이스를 저가로 제조할 수 있다.

상기 언급한 본 발명의 실시예에 따르면, 안정한 특성과 고집적밀도를 가진 디바이스를 제조할 수 있다.

여기에서 본 발명은 개시된 구조에 대해서만 언급하였지만, 그것은 상기 상세한 설명에 한정되지 않고, 본 출원은 다음의 청구항의 범위나 개량의 목적을 만족하면서 변형이나 변경을 만족하기 위한 것이다.

발명의 효과

이상과 같이 본 발명에 의하면 특성이 안정한 디바이스를 높은 집적밀도로 제조할 수 있다.

(57) 청구의 범위

청구항 1.

기판과;

(i) 이 기판상에 미세스트라이프 패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조에서 이 디바이스의 특정구조부분은 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 2.

제 1항에 있어서, 미세스트라이프패턴을 포트프린트하는 스텝은 제 1의 미세스트라이프패턴을 프린트하고 이 제 1의 스트라이프패턴에 실질적으로 직교하도록 제 2의 미세스트파이프패턴을 프린트하는 중복프린트공정을 포함하고, 이 디바이스의 특정구조부분은 제 1및 제 2의 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 3.

제 2항에 있어서, 미세스트라이프패턴이 피치2L을 가질때, 이 디바이스의 복수의 특정구조부분은 대략 (2n-1)L(단, n은 2이상의 정수)의 간격으로 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 4.

제 3항에 있어서, 이 특정구조부분 또는 각각의 특정구조부분은 접촉영역을 구비하는 것을 특징으로 하는 디바이스.

청구항 5.

기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는, 반도체활성영역과 이 반도체활성영역에 형성된 복수의 게이트영역을 포함하고, 미세스트라이프패턴이 피치2L을 가질때 게이트영역은 대략 2L의 정수배인 피치를 가지는 것을 특징으로 하는 디바이스.

청구항 6.

기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는 반도체활성영역과 이 반도체활성영역상에 형성된 접촉영역을 포함하고, 미세스트라이프패턴이 피치 2L을 가질 때, 다른 반도체활성영역상에 형성되어 있는 그들 접촉영역들은 대략 (2n-1)L (단, n은 3이상의 정수)의 간격을 가지는 것을 특징으로 하는 디바이스.

청구항 7.

제 6항에 있어서, 각각의 접촉영역은 한쪽의 길이가 약 1L인 직사각형상을 가지고, 미세스트라이프패턴을 포토프린트하는 스텝은 제 1의 미세스트라이프패턴을 프린트하고 이 제 1의 미세스트라이프패턴에 실질적으로 직교하도록 제 2의 스트라이프패턴을 프린트하는 중복프린트공정을 포함하고, 각각의 접촉영역은 제 1 및 제 2의 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 8.

기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는 게이트배선영역과 이 게이트배선영역상에 형성된 접촉영역을 포함하고, 미세스트라이프패턴이 피치2L을 가질 때, 접촉영역은 대략 (2n-1)L(단, n은 2이상의 정수)의 간격을 가지는 것을 특징으로 하는 디바이스.

청구항 9.

제 8항에 있어서, 각각의 접촉영역은 한쪽의 길이가 약 1L인 직사각형상을 가지고, 미세스트라이프패턴을 포토프린트하는 스텝은 제 1의 미세스트라이프패턴을 프린트하고 이 제 1의 미세스트라이프패턴에 실질적으로 직교하도록 제 2의 스트라이프패턴을 프린트하는 중복프린트공정을 포함하고, 각각의 접촉영역은 제 1 및 제 2의 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 10.

기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는 게이트배선영역과, 이 게이트배선영역상에 형성된 제 1의 접촉영역과, 반도체활성영역과, 이 반도체활성영역상에 형성된 제 2의 접촉영역을 포함하고, 미세스트라이프패턴이 피치2L을 가질 때 제 1 및 제 2의 접촉영역은 대략 (2n-1)L (단, n은 2이상의 정수)의 간격을 가지는 것을 특징으로 하는 디바이스.

청구항 11.

제 10항에 있어서, 각각의 접촉영역은 한쪽의 길이가 약 1L인 직사각형상을 가지고, 미세스트라이프패턴을 포토프린트하는 스텝은 제 1의 미세스트라이프패턴을 프린트하고 이 제 1의 미세스트라이프패턴에 실질적으로 직교하도록 제 2의 스트라이프패턴을 프린트하는 중복프린트공정을 포함하고, 각각의 접촉영역은 제 1 및 제 2의 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 12.

SOI기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는 반도체활성영역과 이 반도체활성영역상에 형성된 접촉영역을 포함하고, 미세스트라이프패턴이 피치2L을 가질 때, 다른 반도체활성영역상에 형성되어 있는 그들 접촉영역은 대략 (2n-1)L (단, n은 2이상의 정수)의 간격을 가지는 것을 특징으로 하는 디바이스.

청구항 13.

제 12항에 있어서, 각각의 접촉영역은 한쪽의 길이가 약 1L인 직사각형상을 가지고, 미세스트라이프패턴을 포토프린트하는 스텝은 제 1의 미세스트라이프패턴을 프린트하고 이 제 1의 미세스트라이프패턴에 실질적으로 직교하도록 제 2의 스트라이프패턴을 프린트하는 중복프린트공정을 포함하고, 각각의 접촉영역은 제 1 및 제 2의 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 14.

기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는 게이트배선영역과 이 게이트배선영역상에 형성된 접촉영역을 포함하고, 미세스트라이프패턴이 피치2L을 가질 때 게이트배선영역의 바깥둘레는 접촉영역의 바깥둘레에서 바깥을 향해서 약 0.5L의 편차로 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 15.

제 15항에 있어서, 이 접촉영역은 한쪽의 길이가 약 1L인 직사각형상을 가지고, 미세스트라이프패턴을 포토프린트하는 스텝은 제 1의 미세스트라이프패턴을 프린트하고 이 제 1의 미세스트라이프패턴에 실질적으로 직교하도록 제 2의 스트라이프패턴을 프린트하는 중복프린트공정을 포함하고, 이 접촉영역은 제 1 및 제 2의 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 16.

기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는 접촉영역과 이 접촉영역상에 형성된 배선영역을 포함하고, 미세스트라이프패턴이 피치2L을 가질 때, 배선영역의 바깥둘레는 접촉영역의 바깥둘레에서 바깥을 향해서 약 0.5L의 편차로 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 17.

제 16항에 있어서, 이 접촉영역은 한쪽의 길이가 약 1L인 직사각형상을 가지고, 미세스트라이프패턴을 포토프린트하는 스텝은 제 1의 미세스트라이프패턴을 프린트하고 이 제 1의 미세스트라이프패턴에 실질적으로 직교하도록 제 2의 스트라이프패턴을 프린트하는 중복프린트공정을 포함하고, 이 접촉영역은 제 1 및 제 2의 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스.

청구항 18.

기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 이 기판상에 소정의 마스크패턴을 포토프린트는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는 복수의 게이트배선영역을 포함하고, 미세스트라이프패턴이 피치2L을 가질 때, 게이트배선영역은 대략 2L의 정수배의 간격을 가지는 것을 특징으로 하는 디바이스.

청구항 19.

기판과;

(i) 이 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii)이 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 가지고, 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 하는 다중노광공정을 포함한 복수의 공정에 의해서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

이 패턴구조는 접촉부상에 복수의 배선영역을 포함하고, 미세스트라이프패턴이 피치2L을 가질 때, 배선영역은 대략 2L의 정수배의 간격을 가지는 것을 특징으로 하는 디바이스.

청구항 20.

미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되도록 (i) 기판상에 미세스트라이프패턴을 포토프린트하는 스텝과 (ii) 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 포함하고, 기판상에 프린트된 패턴에 의거해서 기판상에 디바이스패턴구조를 형성하는 기판용 다중노광공정과;

미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 디바이스의 특정구조부분을 배치하는 것을 구비한 것을 특징으로 하는 디바이스제조방법.

청구항 21.

제 20항에 있어서, 미세스트라이프패턴을 포토프린트하는 스텝은 제 1의 미세스트라이프패턴을 프린트하고, 제 1미세스트라이프패턴에 실질적으로 직교하도록 제 2의 미세스트라이프패턴을 프린트하는 중복프린트공정을 포함하고, 디바이스의 특정구조부분은 제 1 및 제 2의 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되는 부분에 배치되어 있는 것을 특징으로 하는 디바이스제조방법.

청구항 22.

제 21항에 있어서, 미세스트파이프패턴이 피치2L을 가질 때, 디바이스의 복수의 특정구조부분은 대략 (2n-1)L (단, n은 2이상의 정수)의 간격을 가지는 것을 특징으로 하는 디바이스제조방법.

청구항 23.

제 22항에 있어서, 이 특정구조부분이나 각각의 특정구조부분은 접촉영역을 구비하는 것을 특징으로 하는 디바이스제조방법.

청구항 24.

제 20항에 있어서, 이 미세스트라이프패턴은 레벤손패턴을 구비하는 것을 특징으로 하는 디바이스제조방법.

청구항 25.

제 20항에 있어서, 이 미세스트라이프패턴은 2광속간섭노광방법에 따라서 형성되어 있는 것을 특징으로 하는 디바이스 제조방법.

청구항 26.

제 20항에 있어서, 미세스트라이프패턴이 피치2L을 가질 때, 마스크패턴의 폭과 그 패턴간격이 대략 nL(단, n은 2이상의 정수)인 것을 특징으로 하는 디바이스제조방법.

청구항 27.

감광기판상에 제 1의 미세스트라이프패턴을 포토프린트하는 스텝과;

제 1 및 제 2의 스트라이프패턴을 위한 포토프린트스텝에서의 결합된 노광량이 기판의 노광역치 이하이고, 제 1의 미세스트라이프패턴에 실질직으로 직교하도록 제 2의 미세스트라이프패턴을 기판상에 포토프린트하는 스텝과;

기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 구비한 노광방법에 있어서,

이 미세스트라이프패턴과 이 마스크패턴은 중첩적으로 프린트되고,

이 마스크패턴은 (i) 노광역치이상의 노광량이 마스크패턴으로만 부여될 수 있는 영역과, (ii) 노광역치이상의 노광량이 마스크패턴과 제 1및 제 2의 스트라이프패턴에 대한 결합된 노광량에 의거해서 부여될 수 있는 영역과, (iii) 노광역치이상의 노광량이 마스크패턴과 제 1및 제 2의 스트라이프패턴에 대한 결합된 노광량조차도 부여될 수 없는 영역을 포함하는 것을 특징으로 하는 노광방법.

청구항 28.

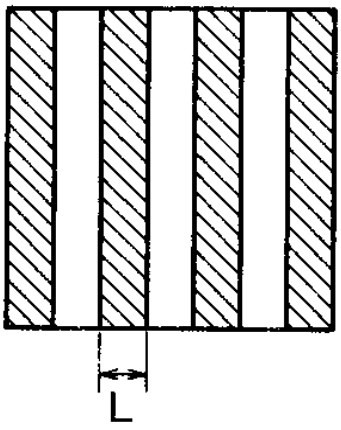
기판과;

(i) 감광기판상에 제 1의 미세스트라이프패턴을 포토프린트하는 스텝과, (ii) 제 1및 제 2의 스트라이프패턴을 위한 포토프린트스텝에서의 결합된 노광량이 기판의 노광역치이하이고, 제 1의 미세스트라이프에 실질적으로 직교하도록 제 2의 미세스트라이프패턴을 기판상에 포토프린트하는 스텝과, (iii) 미세스트라이프패턴과 마스크패턴이 중첩적으로 프린트되고, 기판상에 소정의 마스크패턴을 포토프린트하는 스텝을 포함하는 적어도 노광공정에 따라서 기판상에 형성된 패턴구조를 구비한 디바이스에 있어서,

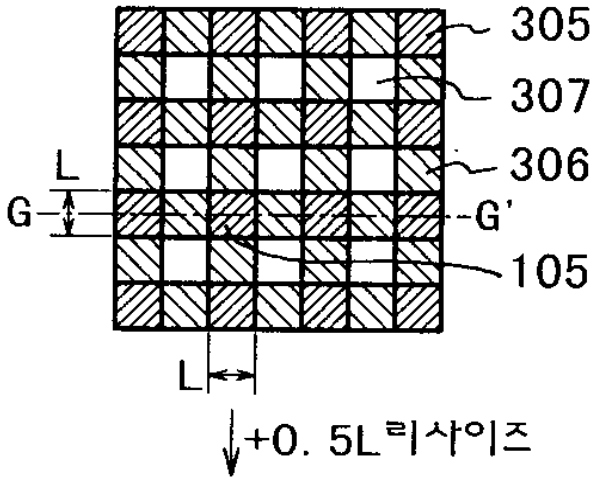
이 마스크패턴은 (a) 노광역치이상의 노광량이 마스크패턴으로만 부여될 수 있는 영역과, (b) 노광역치이상의 노광량이 마스크패턴과 제 1 및 제 2의 스트라이프패턴에 대한 결합된 노광량에 의거해서 부여될 수 있는 영역과, (c) 노광역치이상의 노광량이 마스크패턴과 제 1및 제 2의 스트라이프패턴에 대한 결합된 노광량 조차도 부여될 수 없는 영역을 포함하는 것을 특징으로 하는 디바이스.

도면

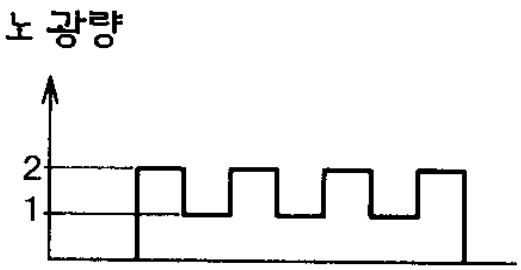
도면 1



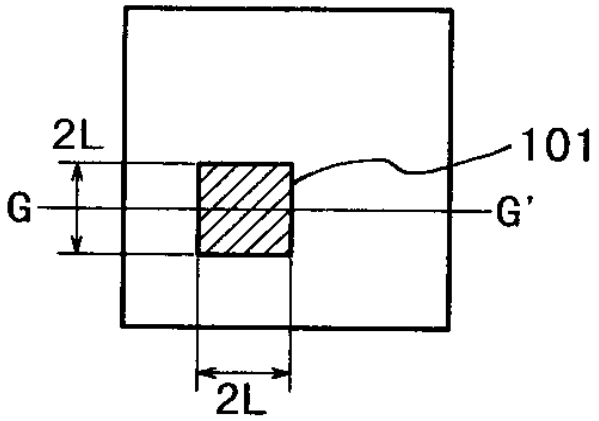
(A)



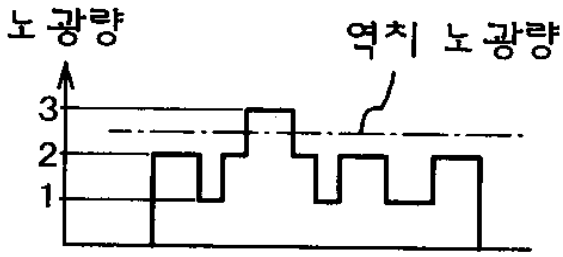
(B)



(C)

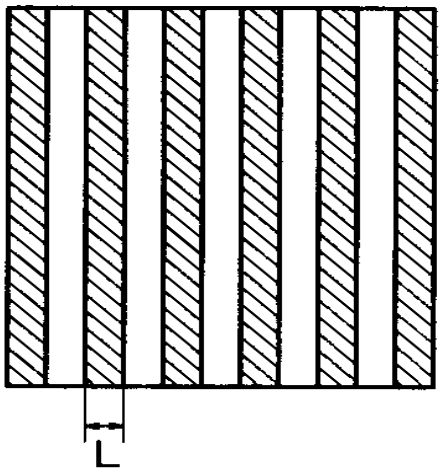


(D)

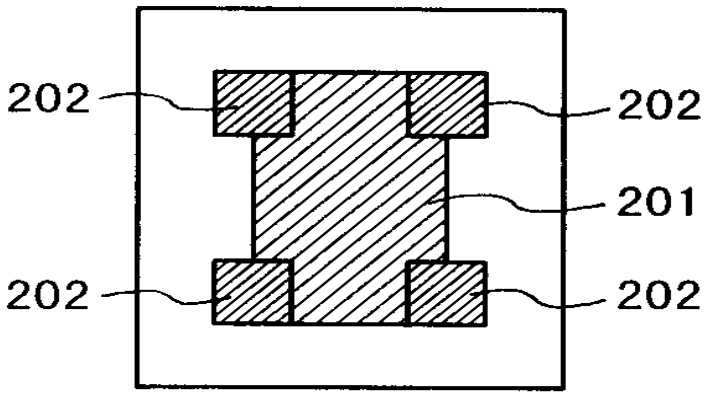


(E)

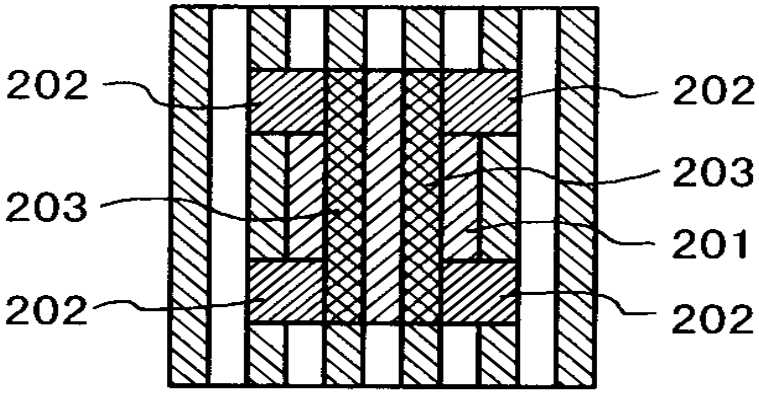
도면 2



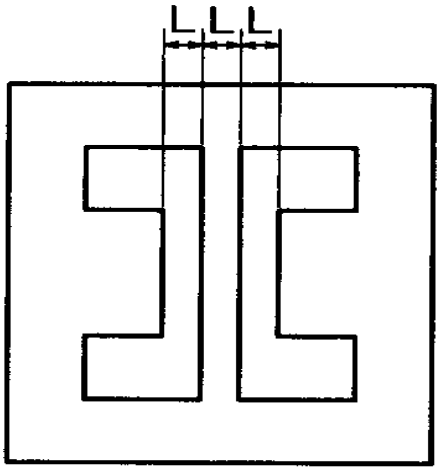
(A)



(B)

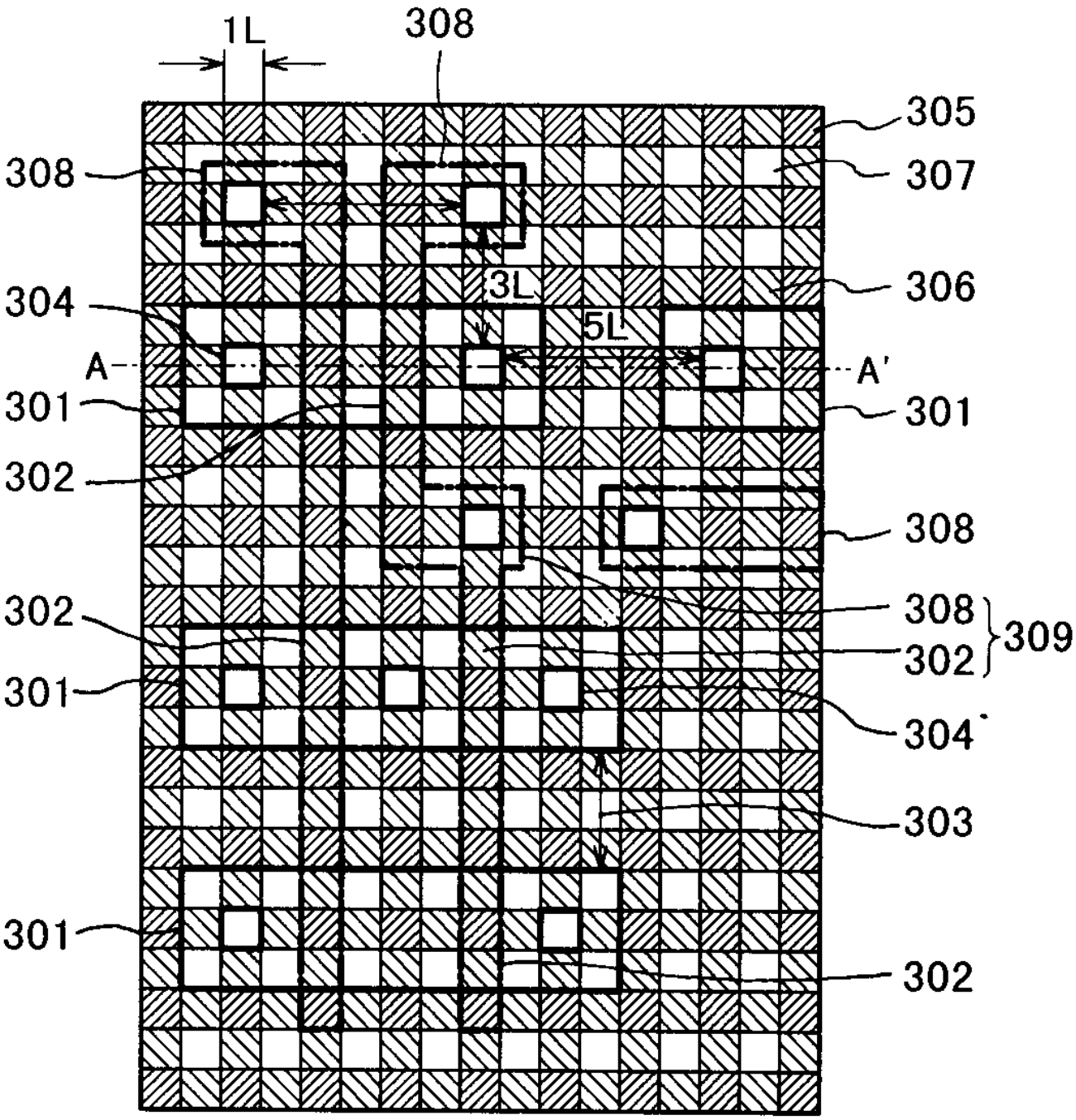


(C)

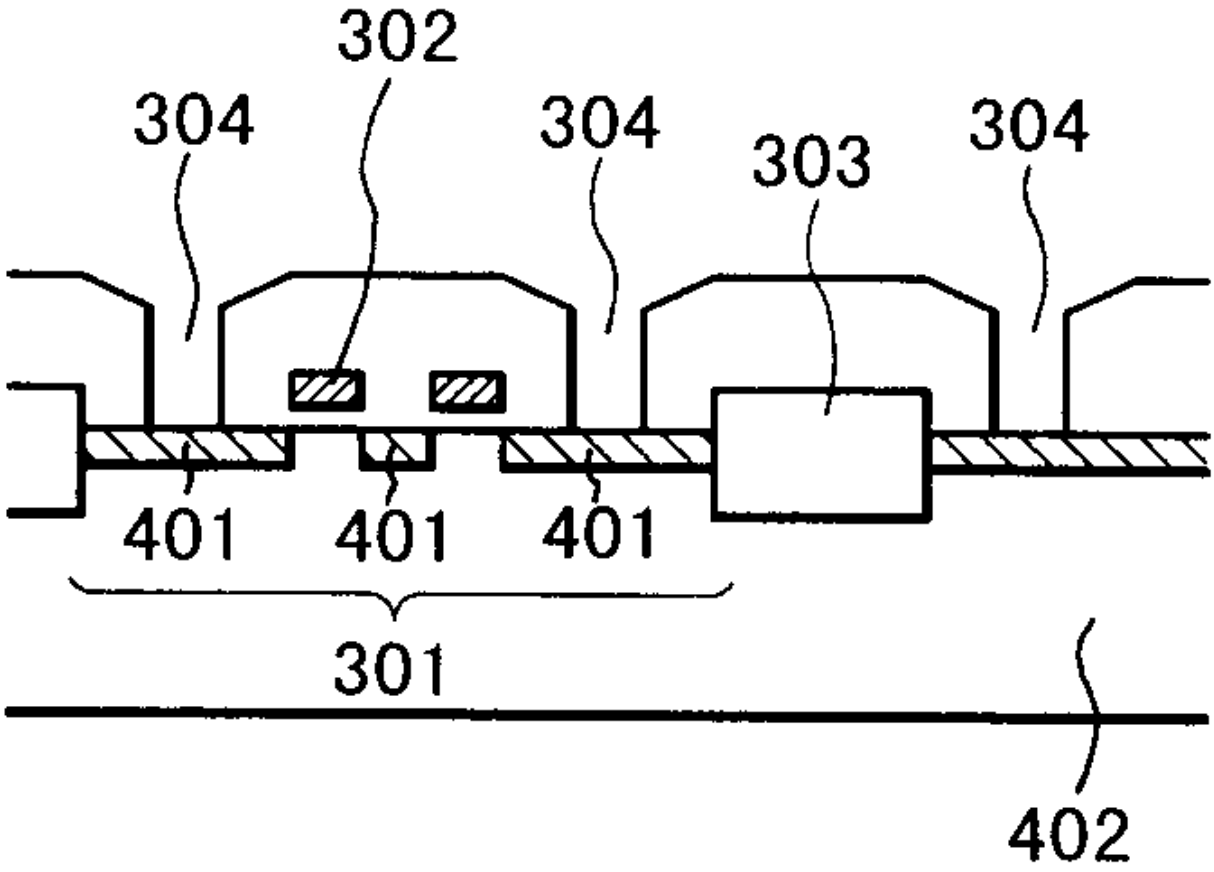


(D)

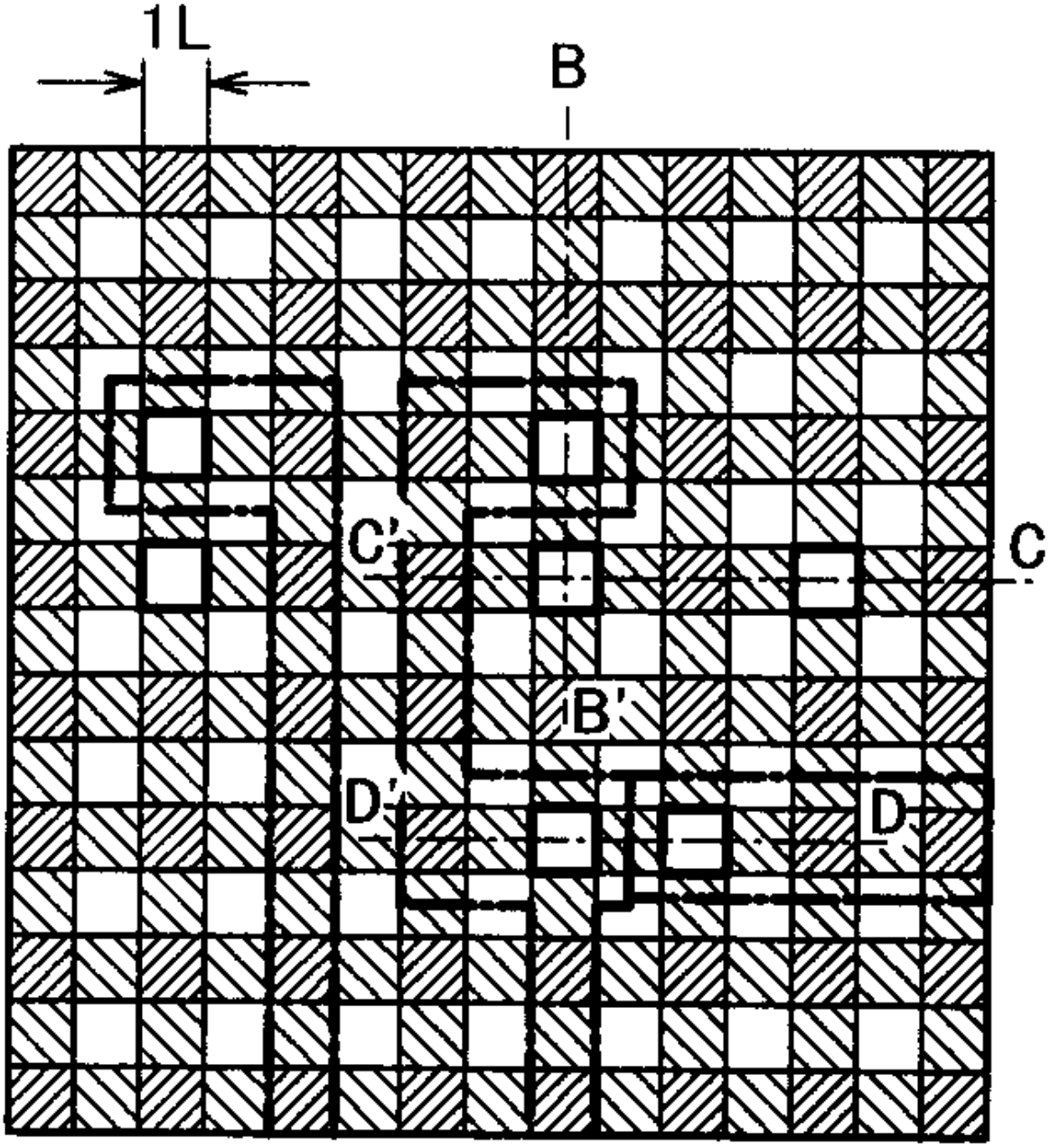
도면 3


1L
308
305
308
307
306
304
3L
5L
A
A'
301
301
302
308
302
308
309
302
301
304
303
301
302

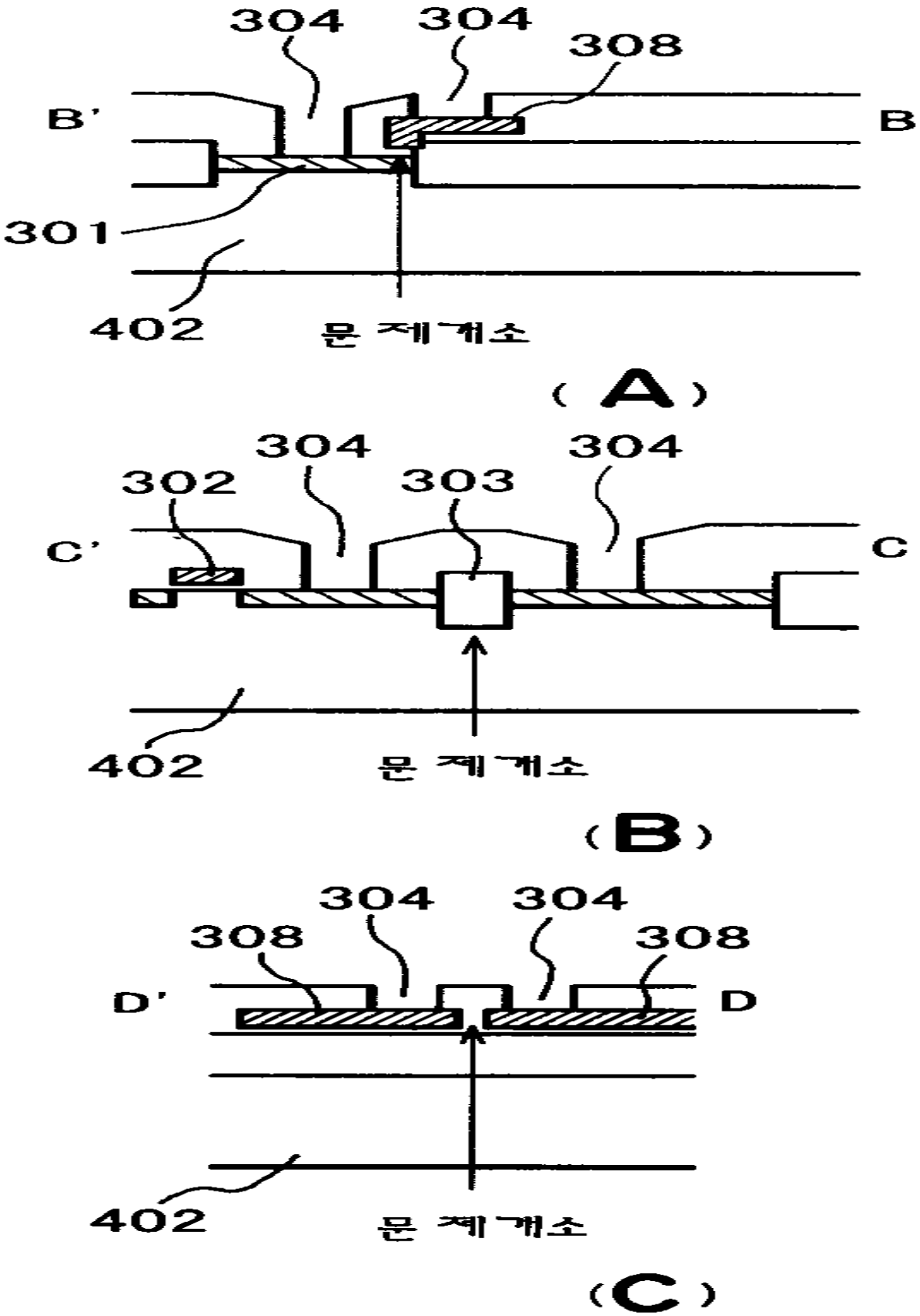
도면 4



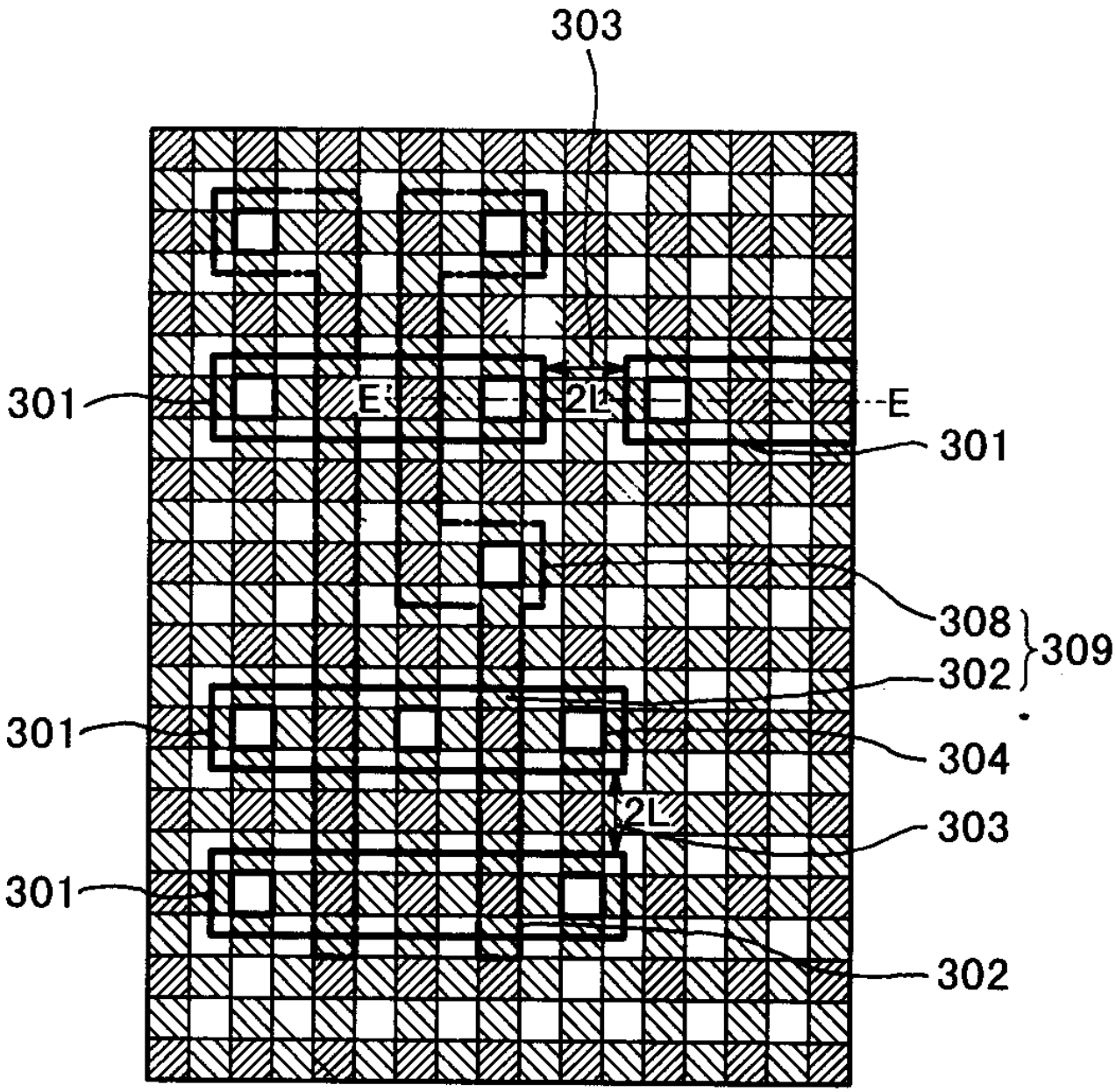
도면 5



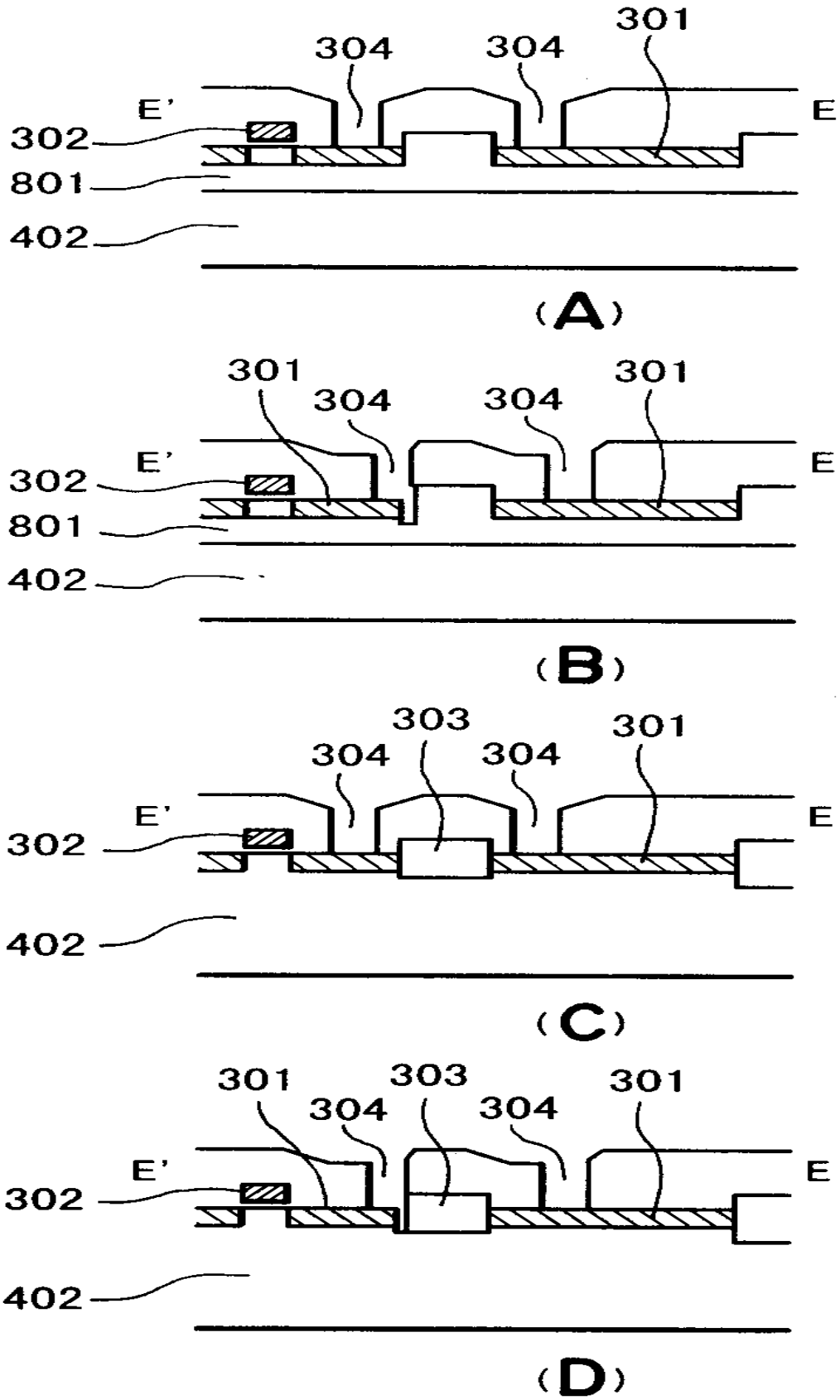
도면 6


304
304
308
B'
B
301
402
문 제 개소
(A)
304
304
302
303
C'
C
402
문 제 개소
(B)
304
304
308
308
D'
D
402
문 제 개소
(C)

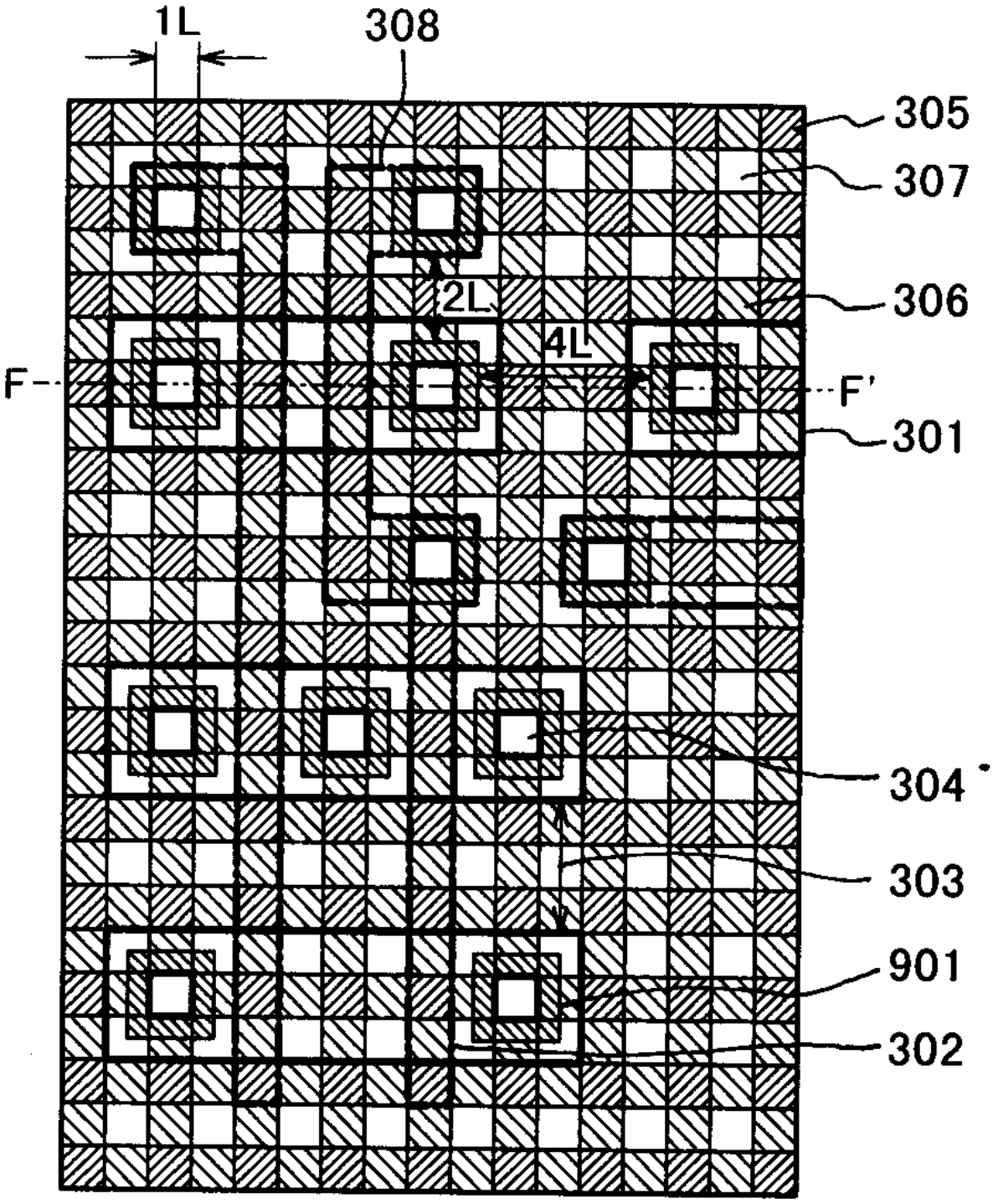
도면 7



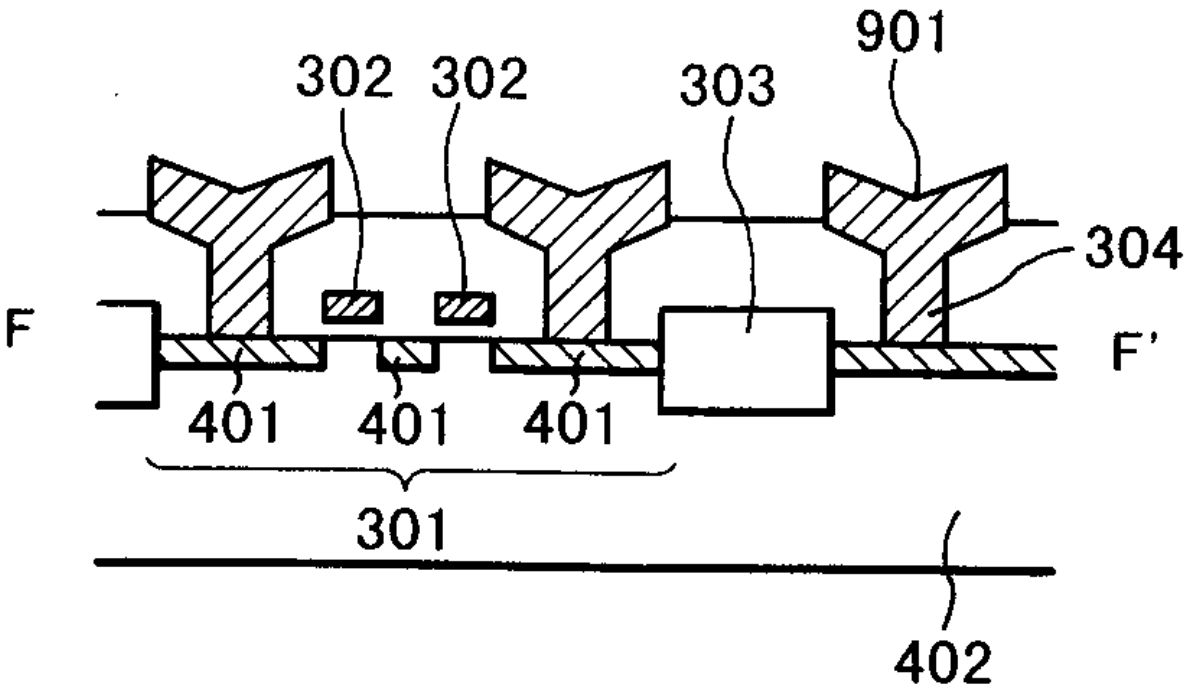
도면 8


301
304
304
E'
E
302
801
402
(A)
301
304
304
301
E'
E
302
801
402
(B)
303
301
304
304
E'
E
302
402
(C)
301
303
301
304
304
E'
E
302
402
(D)

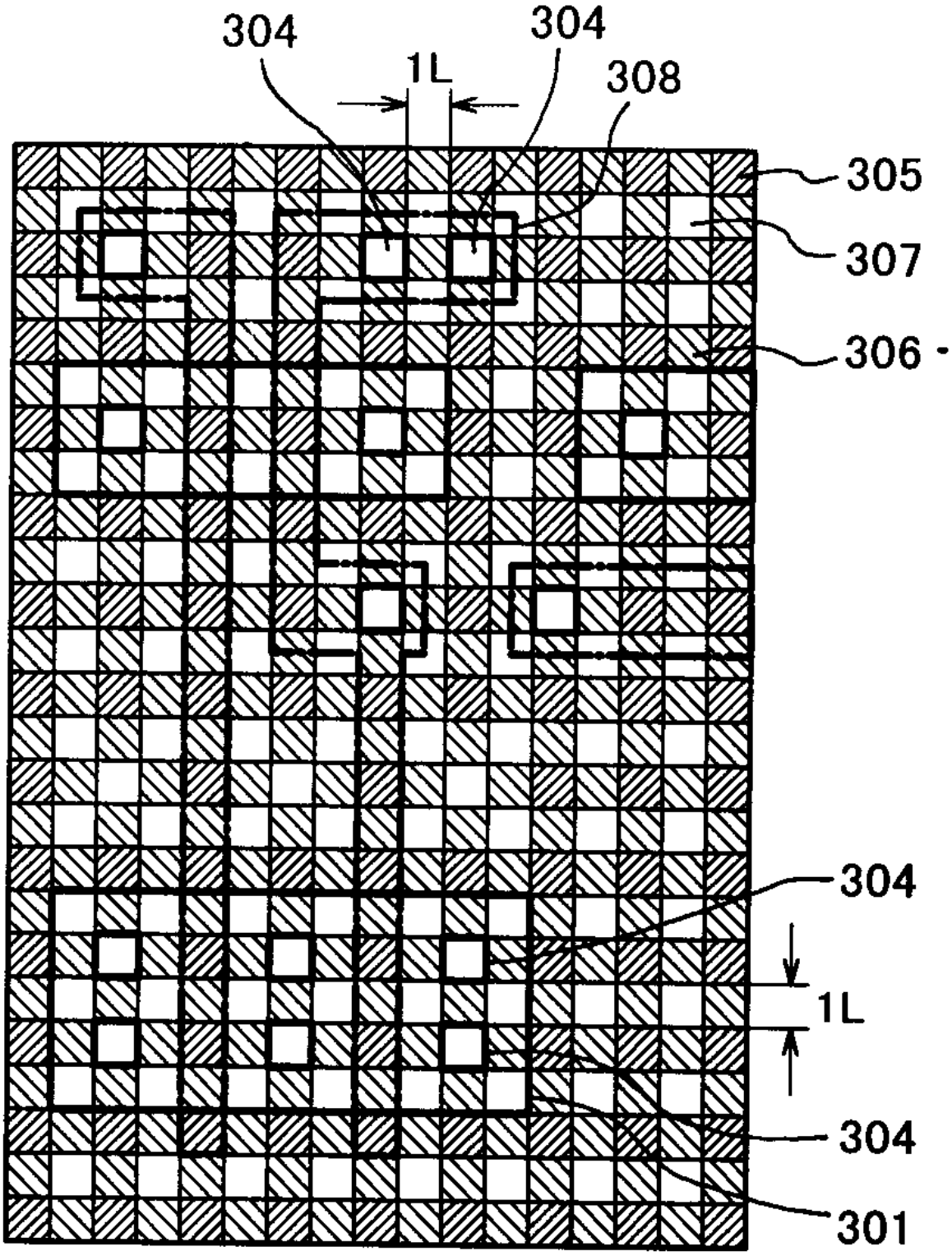
도면 9



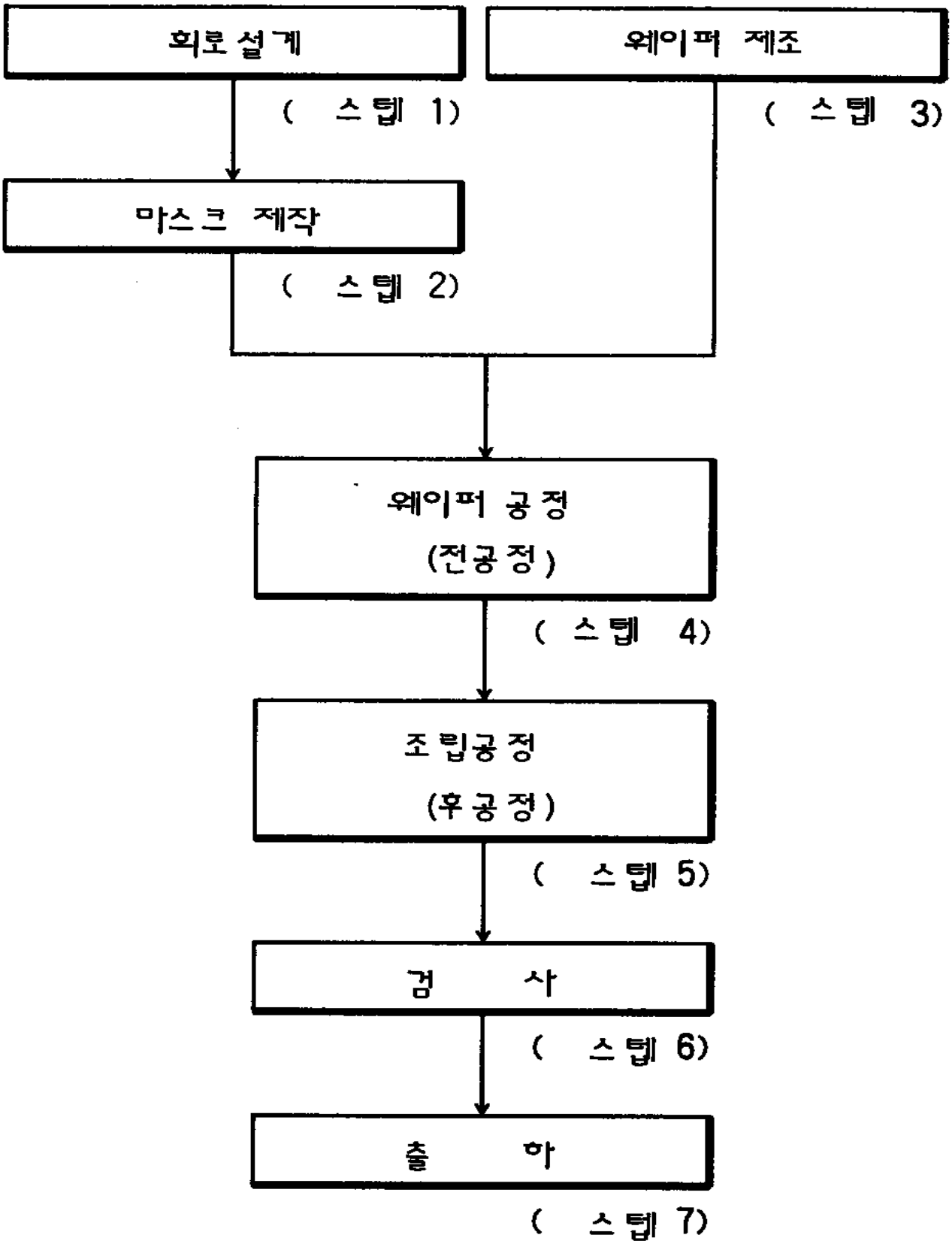
도면 10



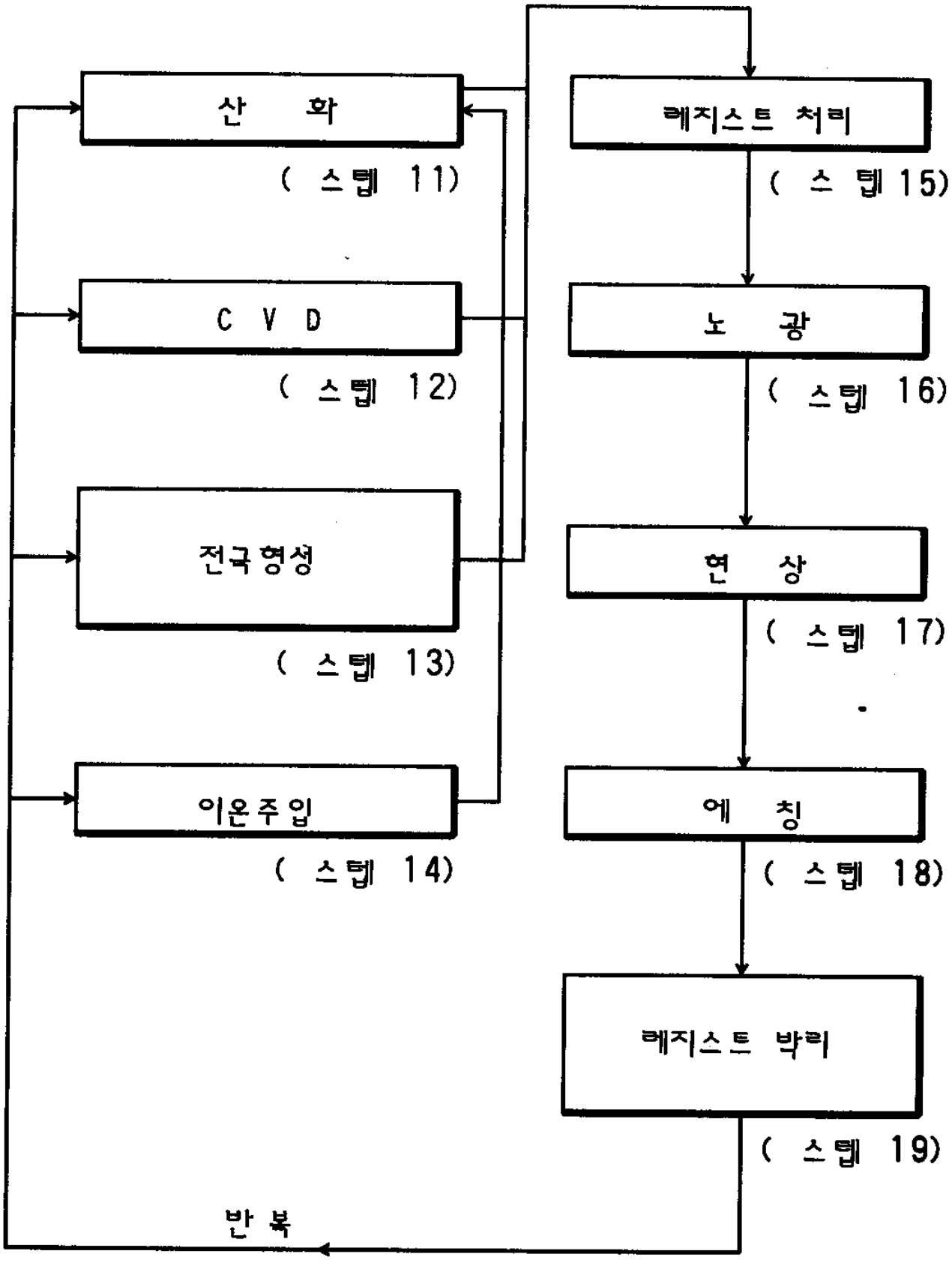
도면 11



도면 12


회로 설계
(스텝 1)
웨이퍼 제조
(스텝 3)
마스크 제작
(스텝 2)
웨이퍼 공정
(전공정)
(스텝 4)
조립공정
(후공정)
(스텝 5)
검 사
(스텝 6)
출 하
(스텝 7)

도면 13


산 화
(스텝 11)
C V D
(스텝 12)
전극형성
(스텝 13)
이온주입
(스텝 14)
레지스트 처리
(스텝 15)
노 광
(스텝 16)
현 상
(스텝 17)
에 칭
(스텝 18)
레지스트 박리
(스텝 19)
반 복