



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I674720 B

(45)公告日：中華民國 108 (2019) 年 10 月 11 日

(21)申請案號：106146649

(22)申請日：中華民國 106 (2017) 年 12 月 29 日

(51)Int. Cl. : H02H3/20 (2006.01)

(30)優先權：2017/06/29 日本

2017-127992

(71)申請人：日商東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

日商東芝電子元件及儲存裝置股份有限公司 (日本) TOSHIBA ELECTRONIC  
DEVICES & STORAGE CORPORATION (JP)

日本

(72)發明人：渡邊健太郎 WATANABE, KENTARO (JP)

(74)代理人：陳長文

(56)參考文獻：

US 7394631B2

US 7570467B2

US 8373956B2

US 2016/0020606A1

審查人員：張嘉德

申請專利範圍項數：18 項 圖式數：20 共 51 頁

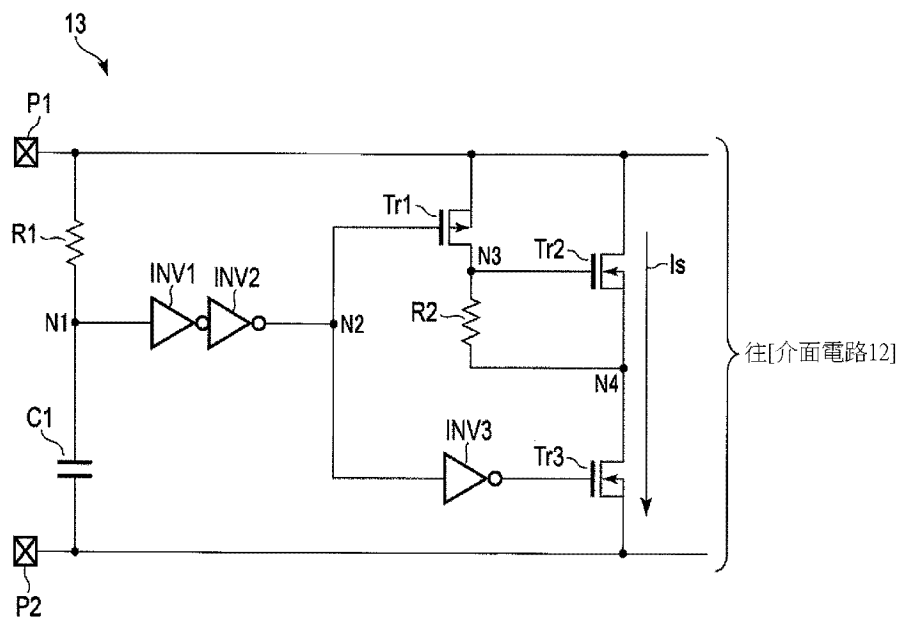
(54)名稱

電源保護電路

(57)摘要

一實施形態之電源保護電路包含被供給第 1 電壓之第 1 焊墊、被供給不同於第 1 電壓之第 2 電壓之第 2 焊墊、第 1 及第 2 電晶體以及開關電路。第 1 電晶體包含電性連接於第 1 焊墊之第 1 端、電性連接於第 1 節點之第 2 端及背閘極、以及電性連接於第 2 節點之閘極。第 2 電晶體包含電性連接於第 1 節點之第 1 端、以及電性連接於第 2 焊墊之第 2 端及背閘極。開關電路於第 2 電晶體之閘極被輸入第 1 邏輯信號之情形時，將第 2 節點與第 1 焊墊電性連接，於第 2 電晶體之閘極被輸入具有與第 1 邏輯信號互為反相之邏輯位準之第 2 邏輯信號之情形時，將第 2 節點自第 1 焊墊電性切斷並與上述第 1 節點電性連接。

指定代表圖：



【圖2】

- 符號簡單說明：
- 12 . . . 介面電路
  - 13 . . . 電源保護電路
  - C1 . . . 電容器
  - INV1 . . . 反相器
  - INV2 . . . 反相器
  - INV3 . . . 反相器
  - Is . . . 接通電流
  - N1 . . . 節點
  - N2 . . . 節點
  - N3 . . . 節點
  - N4 . . . 節點
  - P1 . . . 焊墊
  - P2 . . . 焊墊
  - R1 . . . 電阻
  - R2 . . . 電阻
  - Tr1 . . . 電晶體
  - Tr2 . . . 電晶體
  - Tr3 . . . 電晶體



I674720

## 【發明摘要】

公告本

## 【中文發明名稱】

電源保護電路

## 【中文】

一實施形態之電源保護電路包含被供給第1電壓之第1焊墊、被供給不同於第1電壓之第2電壓之第2焊墊、第1及第2電晶體以及開關電路。第1電晶體包含電性連接於第1焊墊之第1端、電性連接於第1節點之第2端及背閘極、以及電性連接於第2節點之閘極。第2電晶體包含電性連接於第1節點之第1端、以及電性連接於第2焊墊之第2端及背閘極。開關電路於第2電晶體之閘極被輸入第1邏輯信號之情形時，將第2節點與第1焊墊電性連接，於第2電晶體之閘極被輸入具有與第1邏輯信號互為反相之邏輯位準之第2邏輯信號之情形時，將第2節點自第1焊墊電性切斷並與上述第1節點電性連接。

## 【指定代表圖】

圖2

## 【代表圖之符號簡單說明】

|      |        |
|------|--------|
| 12   | 介面電路   |
| 13   | 電源保護電路 |
| C1   | 電容器    |
| INV1 | 反相器    |
| INV2 | 反相器    |
| INV3 | 反相器    |
| Is   | 接通電流   |

|     |     |
|-----|-----|
| N1  | 節點  |
| N2  | 節點  |
| N3  | 節點  |
| N4  | 節點  |
| P1  | 焊墊  |
| P2  | 焊墊  |
| R1  | 電阻  |
| R2  | 電阻  |
| Tr1 | 電晶體 |
| Tr2 | 電晶體 |
| Tr3 | 電晶體 |

## 【發明說明書】

### 【中文發明名稱】

電源保護電路

### 【技術領域】

實施形態係關於一種電源保護電路。

### 【先前技術】

已知有保護半導體裝置之電源不受突波損傷之電源保護電路。

### 【發明內容】

實施形態提供一種可減少電源保護電路中流動之漏電流之電源保護電路。

實施形態之電源保護電路包含第1焊墊、第2焊墊、第1電晶體、第2電晶體、及開關電路。上述第1焊墊被供給第1電壓。上述第2焊墊被供給不同於上述第1電壓之第2電壓。上述第1電晶體包含電性連接於上述第1焊墊之第1端、電性連接於第1節點之第2端及背閘極、及電性連接於第2節點之閘極。上述第2電晶體包含電性連接於上述第1節點之第1端、以及電性連接於上述第2焊墊之第2端及背閘極。上述開關電路當上述第2電晶體之閘極被輸入第1邏輯信號時，將上述第2節點與上述第1焊墊電性連接，當上述第2電晶體之閘極被輸入具有與上述第1邏輯信號互為反相之邏輯位準之第2邏輯信號時，將上述第2節點自上述第1焊墊電性切斷並與上述第1節點電性連接。

### 【圖式簡單說明】

圖1係用以對第1實施形態之半導體裝置之構成進行說明之方塊圖。

圖2係用以對第1實施形態之半導體裝置之電源保護電路之構成進行

說明之電路圖。

圖3係用以對第1實施形態之半導體裝置之電源保護電路之動作進行說明之時序圖。

圖4係用以對比較例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖5係用以對第1實施形態之效果進行說明之圖表。

圖6係用以對第1實施形態之效果進行說明之圖表。

圖7係用以對第1實施形態之第1變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖8係用以對第1實施形態之第2變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖9係用以對第1實施形態之第2變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖10係用以對第1實施形態之第2變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖11係用以對第1實施形態之第3變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖12係用以對第1實施形態之第3變化例之半導體裝置之電源保護電路之動作進行說明之時序圖。

圖13係用以對第2實施形態之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖14係用以對第2實施形態之半導體裝置之電源保護電路之動作進行說明之時序圖。

圖15係用以對第2實施形態之第1變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖16係用以對第2實施形態之第2變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖17係用以對第2實施形態之第2變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖18係用以對第2實施形態之第2變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖19係用以對第2實施形態之第3變化例之半導體裝置之電源保護電路之構成進行說明之電路圖。

圖20係用以對第2實施形態之第3變化例之半導體裝置之電源保護電路之動作進行說明之時序圖。

### 【實施方式】

以下，參照圖式對實施形態進行說明。再者，於以下之說明中，對具有相同功能及構成之構成要素標註共同之參照符號。

## 1.第1實施形態

對第1實施形態之電源保護電路進行說明。

### 1.1關於構成

首先，對包含第1實施形態之電源保護電路之半導體裝置之構成進行說明。

#### 1.1.1關於半導體裝置之構成

圖1係表示第1實施形態之半導體裝置之構成之一例之方塊圖。半導體裝置1例如包含半導體晶片，該半導體晶片對來自未圖示之外部機器之

輸入信號執行特定處理，並將輸出信號輸出。

半導體裝置1例如與外部機器進行信號I/O(Input/Output，輸入/輸出)之通信。信號I/O係於半導體裝置1與外部機器之間被收發之資料實體，包含輸入信號及輸出信號。

又，對半導體裝置1供給各種電壓。供給至半導體裝置1之電壓例如包含電壓VDD及VSS。電壓VDD係用以驅動半導體裝置1之基準電壓，例如為1.8 V。電壓VSS為接地電壓，小於電壓VDD。電壓VSS例如為0 V。

半導體裝置1包含焊墊群11、介面電路12、電源保護電路13及內部電路14。

焊墊群11包含電壓供給用焊墊P1及P2。焊墊P1及P2分別與電源保護電路13共有電壓VDD及VSS。再者，於圖1之例中，將焊墊P1及P2之各者表示為1個功能區塊，但並不限定於此，亦可設置複數個焊墊P1及P2。當焊墊P1及P2之各者於1個晶片內設置有複數個時，該複數個焊墊P1及P2可分散佈局於晶片內之複數個部位。

又，焊墊群11例如包含信號收發用焊墊P3。焊墊P3將自外部機器接收到之輸入信號傳送至介面電路12。又，焊墊P3將自介面電路12接收到之信號作為輸出信號輸出至半導體裝置1之外部。

介面電路12當自焊墊P3接收到輸入信號作為信號I/O時，將該輸入信號發送到內部電路14。又，介面電路12當自內部電路14接收到輸出信號時，經由焊墊P3而將該輸出信號輸出至外部。

電源保護電路13與介面電路12共有電壓VDD。電源保護電路13例如具有與介面電路12共有電壓VDD之功能，該電壓VDD係基於電壓VDD及



VSS於電壓VDD產生突波時降低了因該突波造成之影響之電壓。關於電源保護電路13之詳細情況將於下文敘述。再者，例如於焊墊P1及P2之各者設置有複數個之情形時，電源保護電路13與該複數個焊墊P1及P2在晶片內之佈局相對應地設置複數個。

內部電路14係具有進行半導體裝置1之具體處理之功能構成之電路。內部電路14當自介面電路12接收到信號時，執行特定處理，並產生輸出信號作為該特定處理之結果。

#### 1.1.2關於電源保護電路之構成

繼而，使用圖2，對第1實施形態之半導體裝置之電源保護電路之構成進行說明。

如圖2所示，電源保護電路13包含電晶體Tr1、Tr2及Tr3、電阻R1及R2、電容器C1、以及反相器INV1、INV2及INV3。電晶體Tr1例如為具有p通道極性之MOS(Metal Oxide Semiconductor，金屬氧化物半導體)電晶體。電晶體Tr2及Tr3例如為具有n通道極性之MOS電晶體。電晶體Tr1～Tr3、電阻R1及R2、電容器C1、以及反相器INV1～INV3可作為RCT(Resistance Capacitor Triggered，電阻電容觸發)MOS電路而發揮功能。

如上所述，對電源保護電路13，分別經由焊墊P1及P2而供給電壓VDD及VSS。

電阻R1之第1端連接於焊墊P1，第2端連接於節點N1。電容器C1之第1端連接於節點N1，第2端連接於焊墊P2。電阻R1及電容器C1作為RC(resistor capacitor，電阻電容)計時器而發揮功能，基於根據各者之電阻值及電容決定之時間常數而進行動作。具體而言，節點N1之電壓係伴

隨基於該時間常數之時間延遲而追隨於焊墊P1之電壓變動。

反相器INV1及INV2於節點N1及N2之間串聯連接。具體而言，反相器INV1之輸入端連接於節點N1，輸出端連接於反相器INV2之輸入端。反相器INV2之輸出端連接於節點N2。

反相器INV3之輸入端連接於節點N2，輸出端連接於電晶體Tr3之閘極。

反相器INV1~INV3亦可構成為例如輸出與焊墊P1及P2之電位差相應之值之信號。

電晶體Tr1之第1端及背閘極連接於焊墊P1，第2端連接於節點N3，閘極連接於節點N2。即，電晶體Tr1之第1端及第2端分別作為源極及汲極而發揮功能。再者，背閘極也稱為「主體」。

電阻R2之第1端連接於節點N3，第2端連接於節點N4。

電晶體Tr2之第1端連接於焊墊P1，第2端及背閘極連接於節點N4，閘極連接於節點N3。電晶體Tr3之第1端連接於節點N4，第2端及背閘極連接於焊墊P2，閘極連接於反相器INV3之輸出端。即，電晶體Tr2之第1端及電晶體Tr3之第1端作為汲極而發揮功能，電晶體Tr2之第2端及電晶體Tr3之第2端作為源極而發揮功能。

電晶體Tr2及Tr3具有如下功能：於焊墊P1之電壓急遽上升時成為接通狀態，使接通電流 $I_s$ 自第1端朝向第2端流動，緩和因該焊墊P1之電壓的急遽變化對介面電路12之影響。再者，較佳為電晶體Tr2及Tr3具有互為相同程度大小之閘極尺寸。所謂閘極尺寸例如為閘極寬W相對於閘極長L之比例(W/L)。電晶體Tr2及Tr3之閘極尺寸大於其他電晶體Tr1之閘極尺寸。

再者，電晶體Tr1～Tr3較佳為例如於電壓VDD與電壓VSS之間之某一電壓(方便起見，稱為電壓VT)下切換為接通狀態或斷開狀態。更佳為電壓VT設定於電壓VDD與電壓VDD/2之間。電晶體Tr1於閘極被施加低於電壓VT之電壓時，成為接通狀態，於閘極被施加高於電壓VT之電壓時，成為斷開狀態。又，電晶體Tr2及Tr3於閘極被施加低於電壓VT之電壓時，成為斷開狀態，於閘極被施加高於電壓VT之電壓時，成為接通狀態。如此，較佳為具有p通道極性之電晶體與具有n通道極性之電晶體在一方為接通狀態之情形時另一方成為斷開狀態，且在一方為斷開狀態之情形時另一方成為接通狀態。

於以下之說明中，對於施加於電晶體Tr1～Tr3閘極之電壓，將低於電壓VT之電壓之邏輯位準稱為「L」位準，將高於電壓VT之電壓稱為「H」位準。

再者，反相器INV1～INV3可與電晶體Tr1～Tr3同樣地構成為根據輸入至輸入端之電壓小於或大於電壓VT而切換自輸出端輸出之信號之邏輯位準。更具體而言，反相器INV1～INV3亦可當對輸入端輸入「L」位準時，自輸出端輸出「H」位準，當對輸入端輸入「H」位準時，自輸出端輸出「L」位準。藉由以此種方式構成，反相器INV1～INV3例如作為信號控制電路而發揮功能，根據節點N1之電壓值是否超過電壓VT而切換對電晶體Tr2及Tr3之閘極輸入之信號之邏輯位準。

## 1.2關於電源保護電路之動作

繼而，對第1實施形態之半導體裝置之電源保護電路之動作進行說明。

圖3係用以對第1實施形態之電源保護電路之動作進行說明之時序

圖。圖3中作為一例而模式性地表示突波產生時與恆定地供給電源時電源保護電路13之動作。於圖3中，作為突波之一例，表示基於HBM(Human Body Model，人體模型)產生突波之情況。再者，於以下之說明中，分別將表示突波產生時電源保護電路13之動作之期間表示為「突波產生時動作期間」，將表示恆定地供給電源時電源保護電路13之動作之期間表示為「一般時動作期間」。

如圖3所示，於時刻T10之前，未對半導體裝置1供給電壓VDD。因此，焊墊P1及P2例如成為電壓VSS。節點N1、N2、N3及N4隨之均成為電壓VSS(「L」位準)。電晶體Tr2及Tr3隨之成為斷開狀態，接通電流Is未流動。

於時刻T10，由於產生了突波，因而焊墊P1之電壓急遽地上升後，逐漸接近電壓VSS。節點N1因與突波相應地被充入了電容器C1之電荷所以電壓緩慢上升，但伴隨焊墊P1之電壓減小而再次減小。因此，節點N1於突波產生時動作期間保持為「L」位準。

反相器INV1隨之輸出「H」位準。自反相器INV1輸出之「H」位準被輸入至反相器INV2。藉此，反相器INV2對節點N2輸出「L」位準。因此，自反相器INV2輸出之「L」位準被輸入至電晶體Tr1之閘極及反相器INV3之輸入端。

反相器INV3藉由被輸入「L」位準而輸出「H」位準。自反相器INV3輸出之「H」位準被輸入至電晶體Tr3之閘極，使電晶體Tr3成為接通狀態。

又，電晶體Tr1藉由被輸入「L」位準而成為接通狀態，節點N3之電壓因與焊墊P1電性連接而與焊墊P1同樣地變化，成為「H」位準。因此，

電晶體Tr2成為接通狀態。

如此，電阻R1及電容器C1作為觸發電路而發揮功能，以突波之產生為觸發使電晶體Tr2及Tr3成為接通狀態。由於在突波產生時動作期間電晶體Tr2及Tr3均成為接通狀態，因而接通電流Is以電晶體Tr2及Tr3為電流路徑，自焊墊P1朝向焊墊P2流動。

通過以如上方式進行動作，電源保護電路13於突波產生動作期間使接通電流Is流動後停止。

另一方面，於一般時動作期間，節點N1伴隨電容器C1被充分充電而達到電壓VDD。即，節點N1成為「H」位準。

當節點N1成為「H」位準時，反相器INV1輸出「L」位準。自反相器INV1輸出之「L」位準被輸入至反相器INV2。藉此，反相器INV2對節點N2輸出「H」位準。因此，自反相器INV2輸出之「H」位準被輸入至電晶體Tr1之閘極及反相器INV3之輸入端。

反相器INV3藉由被輸入「H」位準而輸出「L」位準。自反相器INV3輸出之「L」位準被輸入至電晶體Tr3之閘極，使電晶體Tr3成為斷開狀態。

又，電晶體Tr1藉由被輸入「H」位準而成為斷開狀態。藉此，節點N3被自焊墊P1電性切斷，但仍保持經由電阻R2與節點N4連接之狀態。此時，節點N3及N4之電壓成為電壓V1。電壓V1之大小處於電壓VDD與VSS之間，例如小於電壓VT(「L」位準)。在電晶體Tr2及Tr3之閘極尺寸相同之情形時，電壓V1例如為VDD/2左右。因此，電晶體Tr2成為斷開狀態。

藉由以如上方式進行動作，電源保護電路13於一般時動作期間使電

晶體Tr2及Tr3均成為斷開狀態，藉此不使接通電流 $I_s$ 流動。又，節點N3及N4之電壓被維持為電壓V1。

### 1.3 本實施形態之效果

根據第1實施形態，能夠減少電源保護電路中流動之漏電流。以下對本效果進行說明。

為了防止於因靜電放電(ESD: Electrostatic Discharge)產生突波時，該突波被施加至內部電路，而提出有將RCTMOS電路用作電源保護電路之方法。

RCTMOS電路必須於突波產生時使電源及接地間強制短路，因此使用具有大型閘極尺寸之電晶體。因此，該電晶體所產生之漏電流會根據其閘極尺寸而相應地變大。作為引起漏電流之因素中之支配性因素，例如有閘極漏電及GIDL(Gate Induced Drain Leakage，閘極導致汲極漏電)。閘極漏電主要與電晶體之閘極及汲極之間之電位差相應地產生。GIDL主要與電晶體之背閘極及汲極之間之電位差、以及閘極及汲極之間之電位差相應地產生。已知該等漏電流與汲極及源極之間之電位差相應地呈指數函數狀增加。

根據第1實施形態，電晶體Tr1之第1端連接於焊墊P1，第2端連接於節點N3，閘極連接於節點N2。節點N2於節點N1為「L」位準時成為「L」位準，於節點N1為「H」位準時成為「H」位準。即，電晶體Tr1由於於節點N1為「L」位準時閘極被輸入「L」位準，因而成為接通狀態。藉此，於突波產生時動作期間，將節點N3電性連接至焊墊P1。因此，可對電晶體Tr2之閘極輸入「H」位準，使電晶體Tr2成為接通狀態。另一方面，由於於節點N1為「H」位準時，電晶體Tr1之閘極被輸入「H」位

準，而成為斷開狀態。藉此，於一般時動作期間，將節點N3自焊墊P1電性切斷。因此，可對電晶體Tr2之閘極輸入「L」位準，使電晶體Tr2成為斷開狀態。

又，電阻R2將節點N3與節點N4電性連接。藉此，於一般時動作期間，節點N3之電壓被維持為節點N4之電壓。節點N4為電晶體Tr2及Tr3之中間節點，因此成為電壓VDD及電壓VSS之中間電位即電壓V1。因此，可使電晶體Tr2之閘極及背閘極成為電壓V1。

又，反相器INV3包含連接於節點N2之輸入端、及連接於電晶體Tr3閘極之輸出端。藉此，反相器INV3於節點N1為「L」位準時輸出「H」位準，於節點N1為「H」位準時輸出「L」位準。因此，可於突波產生時動作期間，使電晶體Tr3成為接通狀態，且於一般時動作期間，使電晶體Tr3成為斷開狀態。

使用比較例對上述效果具體地進行說明。

圖4係用以對比較例之電源保護電路之構成進行說明之電路圖。如圖4所示，比較例之電源保護電路13-0包含電阻R1、電容器C1、串聯連接之複數個反相器INV0及電晶體Tr0。電源保護電路13-0相當於自第1實施形態之電源保護電路13移除電晶體Tr1及Tr2、以及電阻R2之構成。更具體而言，電晶體Tr0包含連接於焊墊P1之第1端、連接於焊墊P2之第2端及連接於複數個反相器INV0輸出端之閘極。

以下，使用圖5及圖6表示上述比較例之電源保護電路13-0之特性與第1實施形態之電源保護電路13之特性之比較情況。

圖5及圖6係用以對第1實施形態之效果進行說明之曲線圖。於圖5及圖6中，將第1實施形態之電源保護電路13之特性與比較例之電源保護電

路13-0之特性以比較之方式進行表示。

首先，對圖5所示之效果進行說明。於圖5中，對數顯示對焊墊P1恆定地施加電壓VDD時(一般時動作期間)之漏電流大小。即，於圖5中，表示電源保護電路中未流動用以使焊墊P1及焊墊P2短路之接通電流 $I_s$ 之狀態下的漏電流大小。具體而言，於圖5中，以曲線L1表示電源保護電路13-0之漏電流，以曲線L2表示電源保護電路13之漏電流。

如圖5所示，電源保護電路13中之漏電流可抑制為相對於電源保護電路13-0中之漏電流較低。具體而言，於對焊墊P1供給之電壓為電壓VDD之情形時，電源保護電路13相對於電源保護電路13-0可使漏電流大小減小至約1/1000。又，被供給電壓VDD時之電源保護電路13之漏電流大小可抑制為與被供給電壓VDD/2時之電源保護電路13-0中之漏電流大小相等。

其原因在於：於一般時動作期間，電晶體Tr0之背閘極及汲極間之電位差、以及閘極及汲極間之電位差為電壓VDD，與此相對，電晶體Tr2及Tr3之背閘極及汲極間之電位差、以及閘極及汲極間之電位差被降低至電壓VDD/2左右。

更具體而言，藉由電晶體Tr2之閘極連接於節點N3，電晶體Tr2之閘極相對於電晶體Tr2之汲極之電位差成為電壓VDD/2左右。藉由自INV3輸入「L」位準，電晶體Tr3之閘極相對於節點N4之電位差變得比電壓VDD/2小。藉此，降低電晶體Tr2及Tr3之閘極及汲極間之電位差，進而減少因閘極漏電引起之漏電流。

又，藉由電晶體Tr2之背閘極連接於節點N4，電晶體Tr2之背閘極相對於電晶體Tr2之汲極之電位差成為電壓VDD/2左右。藉由電晶體Tr3之背閘極連接於焊墊P2，電晶體Tr3之背閘極相對於節點N4之電位差成為電壓



VDD/2左右。藉此，降低電晶體Tr2及Tr3之背閘極及汲極間之電位差，進而減少因GIDL引起之漏電流。

再者，於第1實施形態之電源保護電路13中，以使電晶體Tr2及Tr3之閘極尺寸相同之方式進行設計。藉此，電壓V1與電壓VDD/2相等。因此，電晶體Tr2及Tr3之背閘極及汲極間之電位差、以及閘極及汲極間之電位差成為電壓VDD/2，能夠使漏電流最小化。

繼而，對圖6所示之效果進行說明。於圖6中，假定為突波產生時之動作，示出與對焊墊P1供給之電壓VDD相對應之接通電流Is之大小。具體而言，於圖6中，以曲線L3表示電源保護電路13-0之接通電流，以曲線L4及L5表示電源保護電路13之漏電流。以曲線L4表示電晶體Tr2及Tr3應用與電晶體Tr0同等大小之閘極尺寸之情況。以曲線L5表示電晶體Tr2及Tr3應用電晶體Tr0之2倍大小之閘極尺寸之情況。

如圖6所示，於閘極尺寸相同之情形時，電源保護電路13中流動之接通電流Is相對於電源保護電路13-0中流動之接通電流Is0變少。其原因在於：由於電晶體Tr2及Tr3串聯連接於焊墊P1及P2之間，因而電源保護電路13中之電晶體之閘極尺寸實質上變小。因此，於閘極尺寸相同之情形時，電源保護電路13之ESD保護特性相對於電源保護電路13-0降低。

然而，一般而言，接通電流與閘極尺寸之關聯具有線性。因此，如曲線L5所示，藉由使電源保護電路13之閘極尺寸成為例如2倍左右之大小，而可使與接通電流Is0同等或其以上之接通電流2Is流動。

再者，認為藉由使閘極尺寸變大，漏電流亦會相對於該閘極尺寸之增量而線性地變大。然而，如圖5中所示，電源保護電路13相對於電源保護電路13-0呈指數函數地(降低至約1/1000倍左右)得以改善，所以可充分

彌補因閘極尺寸變大造成ESD保護特性降低之影響(增加約2倍左右)。因此，可在不損害ESD保護特性之情形時減少漏電流。

#### 1.4第1實施形態之變化例

再者，第1實施形態之半導體裝置並不限定於上述例，可應用各種變化。

##### 1.4.1第1變化例

例如，電源保護電路13亦可包含電晶體而代替電阻R2。

圖7係表示第1實施形態之第1變化例之電源保護電路之構成之電路圖。如圖7所示，電晶體Tr4包含連接於節點N3之第1端、連接於節點N4之第2端、及連接於節點N2之閘極。電晶體Tr4例如具有n通道極性。

電晶體Tr4於對節點N2供給「L」位準時、即於突波產生時動作期間，成為斷開狀態。藉此，可將節點N3自節點N4電性切斷，使供給至電晶體Tr2之電壓更加穩定。又，電晶體Tr4於對節點N2供給「H」位準時、即於一般時動作期間，成為接通狀態。藉此，可於電晶體Tr2中未流動接通電流Is時將節點N3電性連接至節點N4。因此，可將電晶體Tr2閘極之電位維持為焊墊P1及P2之中間電位V1，進而可減少漏電流。

##### 1.4.2第2變化例

又，電源保護電路13中，作為觸發電路，並不限定於具有基於RC時間常數之計時器功能，亦可包含不具有計時器功能之其他觸發電路。圖8、圖9、及圖10係表示第1實施形態之第2變化例之電源保護電路之構成之電路圖。

於圖8中，表示使用串聯連接之複數個二極體D1而代替電容器C1之例。如圖8所示，複數個二極體D1包含連接於節點N1之輸入端(陽極)、及

連接於焊墊P2之輸出端(陰極)。複數個二極體D1例如設定為當焊墊P1之電壓上升至必須使接通電流 $I_s$ 流動而保護內部電路14不受ESD損害之程度時，成為接通狀態。

藉由以此種方式構成，當複數個二極體D1成為接通狀態時，節點N1之電壓因電阻R1所產生之電壓下降而降低，成為「L」位準。藉此，可使電晶體Tr2及Tr3成為接通狀態，從而使接通電流 $I_s$ 流動。又，當焊墊P1之電壓回到正常之動作範圍時，複數個二極體D1成為斷開狀態。因此，電阻R1所產生之電壓下降基本消失，節點N1之電壓成為「H」位準。藉此，可使接通電流 $I_s$ 停止。

於圖9中，表示使用齊納二極體D2而代替電容器C1之例。如圖9所示，齊納二極體D2包含連接於節點N1之輸入端(陰極)、及連接於焊墊P2之輸出端(陽極)。齊納二極體D2例如設定為當焊墊P1之電壓上升至必須使接通電流 $I_s$ 流動而保護內部電路14不受ESD損害之程度時，成為降伏狀態。

藉由以此種方式構成，當齊納二極體D2成為降伏狀態時，節點N1之電壓因電阻R1所產生之電壓下降而降低，成為「L」位準。藉此，可使電晶體Tr2及Tr3成為接通狀態，從而使接通電流 $I_s$ 流動。又，當焊墊P1之電壓回到正常之動作範圍時，齊納二極體D2自降伏狀態恢復。因此，電阻R1所產生之電壓下降基本消失，節點N1之電壓成為「H」位準。藉此，可使接通電流 $I_s$ 停止。

於圖10中表示使用電晶體Tr5及電阻R3而代替電容器C1之例。如圖10所示，電晶體Tr5包含連接於節點N1之第1端、以及連接於焊墊P2之第2端。電阻R3包含連接於電晶體Tr5之閘極之第1端、及連接於焊墊P2之第2

端。電晶體Tr5與圖9中之齊納二極體D2同樣例如設定為當焊墊P1之電壓上升至必須使接通電流Is流動而保護內部電路14不受ESD損害之程度時，成為降伏狀態。

藉由以此種方式構成，當電晶體Tr5成為降伏狀態時，節點N1之電壓因電阻R1所產生之電壓下降而降低，成為「L」位準。藉此，可使電晶體Tr2及Tr3成為接通狀態，從而使接通電流Is流動。又，當焊墊P1之電壓回到正常之動作範圍時，電晶體Tr5自降伏狀態恢復。因此，電阻R1所產生之電壓下降基本消失，節點N1之電壓成為「H」位準。藉此，可使接通電流Is停止。

#### 1.4.3第3變化例

又，例如電源保護電路13亦能以相對於焊墊P1及P2成為反方向之方式設置RC計時器。

圖11係表示第1實施形態之第3變化例之電源保護電路之構成之電路圖。於圖11中，表示使用電容器C1a及電阻R1a而代替電阻R1及電容器C1之例。

如圖11所示，電容器C1a包含連接於焊墊P1之第1端、及連接於節點N1之第2端。電阻R1a包含連接於節點N1之第1端、及連接於焊墊P2之第2端。電阻R1a及電容器C1a作為RC計時器而發揮功能，基於根據之各者之電阻值及電容所決定之時間常數而進行動作。

又，於圖11中，移除反相器INV2。即，反相器INV1之輸出端連接於節點N2。

圖12係表示第1實施形態之第3變化例之電源保護電路之動作之時序圖。圖12與第1實施形態之圖3相對應。

如圖12所示，於時刻T10產生突波。藉此，焊墊P1之電壓急遽地上升後，逐漸接近電壓VSS。節點N1追隨焊墊P1之電壓上升。因此，節點N1於突波產生時動作期間保持為「H」位準。反相器INV1隨之輸出「L」位準。因此，自反相器INV1輸出之「L」位準經由節點N2被輸入至電晶體Tr1之閘極及反相器INV3之輸入端。

藉此，電晶體Tr2及Tr3均成為接通狀態，接通電流Is以電晶體Tr2及Tr3為電流路徑，自焊墊P1朝向焊墊P2流動。再者，電晶體Tr1～3及反相器INV3以後之動作與圖3相同，因此省略說明。

藉由以如上方式進行動作，電源保護電路13於突波產生時動作期間使接通電流Is流動後停止。

另一方面，於一般時動作期間，節點N1之電壓成為電壓VSS。即，節點N1於一般時動作期間成為「L」位準。藉此，反相器INV1輸出「H」位準。因此，自反相器INV1輸出之「H」位準被輸入至電晶體Tr1之閘極及反相器INV3之輸入端。

藉此，電晶體Tr2及Tr3均成為斷開狀態，接通電流Is不流動。再者，電晶體Tr1～3及反相器INV3以後之動作與圖3相同，因此省略說明。

藉由以如上方式進行動作，在電源保護電路13中，於一般時動作期間不流動接通電流Is。又，節點N3及N4之電壓被維持為電壓V1。

如此，於將RC計時器安裝為反方向之情形時，亦可對電晶體Tr2及Tr3輸入與第1實施形態相同之信號。因此，可產生與第1實施形態相同之效果。

再者，本變化例亦可同樣地應用於第2變化例。即，作為觸發電路，不限定於具有基於RC時間常數之計時器功能，不具有計時器功能之其他

觸發電路亦可反方向地安裝。具體而言，在本變化例之圖11中，亦可構成為代替電容器C1a而包含複數個二極體、齊納二極體及電晶體。於該情形時亦可產生與本變化例相同之效果。

## 2.第2實施形態

繼而，對第2實施形態之半導體裝置進行說明。第1實施形態之半導體裝置構成為經由具有n通道極性之電晶體使接通電流 $I_s$ 流動。另一方面，第2實施形態之半導體裝置與第1實施形態之不同之處在於：經由具有p通道極性之電晶體使接通電流 $I_s$ 流動。以下，對與第1實施形態相同之構成要素標註相同符號並省略說明，僅對與第1實施形態不同之部分進行說明。

### 2.1關於電源保護電路之構成

使用圖13對第2實施形態之半導體裝置之電源保護電路之構成例進行說明。圖13與第1實施形態中之圖2相對應。

如圖13所示，電源保護電路13包含電晶體Tr1b、Tr2b及Tr3b、電阻R1及R2b、電容器C1、以及反相器INV1b及INV3b。電晶體Tr1b例如具有n通道極性。電晶體Tr2b及Tr3b例如具有p通道極性。電阻R1及電容器C1之構成與第1實施形態之圖2之構成相同，因此省略說明。

反相器INV1b包含連接於節點N1之輸入端、及連接於節點N2之輸出端。反相器INV3b之輸入端連接於節點N2，輸出端連接於電晶體Tr2b之閘極。反相器INV1b及INV3b亦可構成為例如輸出與焊墊P1及P2之電位差相應之值之信號。

電晶體Tr1b之第1端及背閘極連接於焊墊P2，第2端連接於節點N5，閘極連接於節點N2。即，電晶體Tr1b之第1端及第2端分別作為源極及汲

極而發揮功能。

電阻R2b之第1端連接於節點N5，第2端連接於節點N6。

電晶體Tr2b之第1端及背閘極連接於焊墊P1，第2端連接於節點N6，閘極連接於反相器INV3b之輸出端。電晶體Tr3b之第1端及背閘極連接於節點N6，第2端連接於焊墊P2，閘極連接於節點N5。即，電晶體Tr2b之第1端及電晶體Tr3b之第1端作為源極而發揮功能，電晶體Tr2b之第2端及電晶體Tr3b之第2端作為汲極而發揮功能。較佳為電晶體Tr2b及Tr3b具有互為相同程度大小之閘極尺寸。

再者，較佳為電晶體Tr1b~Tr3b例如於電壓VDD與電壓VSS之間之某一電壓(方便起見，稱為電壓VTb)下切換為接通狀態或斷開狀態。更佳為電壓VTb宜設定於電壓VDD/2與電壓VSS之間。電晶體Tr1b於閘極被施加高於電壓VTb之電壓時成為接通狀態，於閘極被施加低於電壓VTb之電壓時成為斷開狀態。又，電晶體Tr2b及Tr3b於閘極被施加高於電壓VTb之電壓時成為斷開狀態，於閘極被施加低於電壓VTb之電壓時成為接通狀態。如此，較佳為具有p通道極性之電晶體與具有n通道極性之電晶體在一方為接通狀態之情形時另一方成為斷開狀態，且於一方為斷開狀態之情形時另一方成為接通狀態。

於以下之說明中，對於施加至電晶體Tr1b~Tr3b之閘極之電壓，將低於電壓VTb之電壓之邏輯位準稱為「L」位準，將高於電壓VTb之電壓稱為「H」位準。

再者，反相器INV1b及INV3b亦可與電晶體Tr1b~Tr3b同樣地，於電壓VTb下，基於被輸入至輸入端之信號而切換自輸出端輸出之信號。更具體而言，反相器INV1b及INV3b亦可於輸入端被輸入「L」位準時，自

輸出端輸出「H」位準，於輸入端被輸入「H」位準時，自輸出端輸出「L」位準。

## 2.2關於電源保護電路之動作

繼而，對第2實施形態之半導體裝置之電源保護電路之動作進行說明。

圖14係用以對第2實施形態之電源保護電路之動作進行說明之時序圖。圖14中作為一例而模式性地表示突波產生時與恆定地供給電源時電源保護電路13之動作。

如圖14所示，時刻T10之前之動作與第1實施形態相同，因此省略說明。

於時刻T10，由於產生突波，所以焊墊P1之電壓急遽地上升後，逐漸接近電壓VSS。節點N1與突波相應地被充入電容器C1之電荷，因此電壓緩慢上升，但伴隨焊墊P1之電壓減小而再次減小。因此，節點N1於突波產生時動作期間維持為「L」位準不變。

伴隨於此，反相器INV1b對節點N2輸出「H」位準。因此，自反相器INV1b輸出之「H」位準被輸入至電晶體Tr1b之閘極及反相器INV3b之輸入端。

反相器INV3b藉由被輸入「H」位準而輸出「L」位準。自反相器INV3b輸出之「L」位準被輸入至電晶體Tr2b之閘極，使電晶體Tr2b成為接通狀態。

又，電晶體Tr1b藉由被輸入「H」位準而成為接通狀態。節點N5之電壓藉由與節點N6及焊墊P2電性連接而追隨於節點N6之動作。然而，節點N5之電壓大小處於電壓VSS及電壓VDD之間，乃為可使電晶體Tr3b成



為接通狀態之電壓。即，節點N5成為「L」位準。

如此，藉由於突波產生時動作期間使電晶體Tr2b及Tr3b均保持接通狀態，而接通電流 $I_s$ 以電晶體Tr2b及Tr3b為電流路徑，自焊墊P1朝向焊墊P2流動。

另一方面，於一般時動作期間，節點N1伴隨電容器C1被充分充電而達到電壓VDD。即，節點N1成為「H」位準。

當節點N1成為「H」位準時，反相器INV1b輸出「L」位準。因此，自反相器INV1b輸出之「L」位準被輸入至電晶體Tr1b之閘極及反相器INV3b之輸入端。

反相器INV3b藉由被輸入「L」位準而輸出「H」位準。自反相器INV3b輸出之「H」位準被輸入至電晶體Tr2b之閘極，使電晶體Tr2b成為斷開狀態。

電晶體Tr1b藉由被輸入「L」位準而成為斷開狀態，節點N5自焊墊P2被電性切斷，但仍保持經由電阻R2b與節點N6連接之狀態。此時，節點N5及N6之電壓成為電壓V2。電壓V2之大小處於電壓VDD及VSS之間，例如大於電壓 $V_{Tb}$ (「H」位準)。在電晶體Tr2b及Tr3b之閘極尺寸同等時，電壓V2例如成為VDD/2左右。因此，電晶體Tr3b成為斷開狀態。

藉由以如上方式進行動作，在電源保護電路13中，於一般時動作期間，電晶體Tr2b及Tr3b均成為斷開狀態，藉此不流動接通電流 $I_s$ 。又，節點N5及N6之電壓被維持為電壓V2。

## 2.3 本實施形態之效果

根據第2實施形態，電晶體Tr1b之第1端連接於焊墊P2，第2端連接於節點N5，閘極連接於節點N2。節點N2於節點N1為「L」位準時成為

「H」位準，於節點N1為「H」位準時成為「L」位準。即，電晶體Tr1b於節點N1為「L」位準時，藉由對閘極輸入「H」位準而成為接通狀態。藉此，於突波產生時動作期間，將節點N5電性連接於焊墊P2。因此，可對電晶體Tr3b之閘極輸入「L」位準，使電晶體Tr3b成為接通狀態。另一方面，於節點N1為「H」位準時，藉由對電晶體Tr1b之閘極輸入「L」位準，而成為斷開狀態。藉此，於一般時動作期間，節點N5自焊墊P2被電性切斷。因此，可對電晶體Tr3b之閘極輸入「H」位準，使電晶體Tr3b成為斷開狀態。

又，電阻R2b將節點N5與節點N6電性連接。藉此，於一般時動作期間，節點N5之電壓被維持為節點N6之電壓。節點N6為電晶體Tr2b及Tr3b之中間節點，因此成為電壓VDD及電壓VSS之中間電位即電壓V2。因此，可使電晶體Tr3b之閘極及背閘極成為電壓V2。

又，反相器INV3b包含連接於節點N2之輸入端、以及連接於電晶體Tr2b之閘極之輸出端。藉此，反相器INV3b於節點N1為「L」位準時輸出「L」位準，於節點N1為「H」位準時輸出「H」位準。因此，於突波產生時動作期間，可使電晶體Tr2b成為接通狀態，於一般時動作期間，可使電晶體Tr2b成為斷開狀態。

因此，於使流通接通電流 $I_s$ 之電晶體之極性為p通道之情形時，亦可使電晶體Tr2b及Tr3b與第1實施形態同樣地進行動作。因此，可產生與第1實施形態相同之效果。

## 2.4第2實施形態之變化例

再者，第2實施形態之半導體裝置並不限定於上述例，可應用各種變化。

#### 2.4.1 第1變化例

例如，電源保護電路13亦可包含電晶體而代替電阻R2b。

圖15係表示第2實施形態之第1變化例之電源保護電路之構成之電路圖。如圖15所示，電晶體Tr4b包含連接於節點N5之第1端、連接於節點N6之第2端及連接於節點N2之閘極。電晶體Tr4b例如具有p通道極性。

電晶體Tr4b於對節點N2供給「H」位準時、即於突波產生時動作期間，成為斷開狀態。藉此，可將節點N5自節點N6電性切斷，使供給至電晶體Tr3b之電壓更加穩定。又，電晶體Tr4b於對節點N2供給「L」位準時、即於一般時動作期間，成為接通狀態。藉此，可於電晶體Tr3b中未流通接通電流Is時將節點N5電性連接於節點N6。因此，可將電晶體Tr3b之閘極之電位維持為焊墊P1及P2之中間電位V2，進而，可減少漏電流。

#### 2.4.2 第2變化例

又，電源保護電路13中，作為觸發電路，不限定於具有基於RC時間常數之計時器功能，亦可包含不具有計時器功能之其他觸發電路。圖16、圖17及圖18係表示第2實施形態之第2變化例之電源保護電路之構成之電路圖。

於圖16中，表示使用串聯連接之複數個二極體D1而代替電容器C1之例。如圖16所示，複數個二極體D1包含連接於節點N1之輸入端(陽極)、及連接於焊墊P2之輸出端(陰極)。複數個二極體D1例如設定為當焊墊P1之電壓上升至必須使接通電流Is流動而保護內部電路14不受ESD損害之程度時，成為接通狀態。

藉由以此種方式構成，當複數個二極體D1成為接通狀態時，節點N1之電壓因電阻R1所產生之電壓下降而降低，成為「L」位準。藉此，可使

電晶體Tr2b及Tr3b成為接通狀態，從而使接通電流Is流動。又，當焊墊P1之電壓回到正常之動作範圍時，複數個二極體D1成為斷開狀態。因此，電阻R1所產生之電壓下降基本消失，節點N1之電壓成為「H」位準。藉此，可使接通電流Is停止。

於圖17中，表示使用齊納二極體D2而代替電容器C1之例。如圖17所示，齊納二極體D2包含連接於節點N1之輸入端(陰極)、及連接於焊墊P2之輸出端(陽極)。齊納二極體D2例如設定為當焊墊P1之電壓上升至必須使接通電流Is流動而保護內部電路14不受ESD損害之程度時，成為降伏狀態。

藉由以此種方式構成，當齊納二極體D2成為降伏狀態時，節點N1之電壓因電阻R1所產生之電壓下降而降低，成為「L」位準。藉此，可使電晶體Tr2b及Tr3b成為接通狀態，從而使接通電流Is流動。又，當焊墊P1之電壓回到正常之動作範圍時，齊納二極體D2自降伏狀態恢復。因此，電阻R1所產生之電壓下降基本消失，節點N1之電壓成為「H」位準。藉此，可使接通電流Is停止。

於圖18中，表示使用電晶體Tr5及電阻R3而代替電容器C1之例。如圖18所示，電晶體Tr5包含連接於節點N1之第1端、及連接於焊墊P2之第2端。電阻R3包含連接於電晶體Tr5之閘極之第1端、及連接於焊墊P2之第2端。電晶體Tr5與圖17中之齊納二極體D2同樣地例如設定為當焊墊P1之電壓上升至必須使接通電流Is流動而保護內部電路14不受ESD損害之程度時，成為降伏狀態。

藉由以此種方式構成，當電晶體Tr5成為降伏狀態時，節點N1之電壓因電阻R1所產生之電壓下降而降低，成為「L」位準。藉此，可使電晶體

Tr2b及Tr3b成為接通狀態，從而使接通電流 $I_s$ 流動。又，當焊墊P1之電壓回到正常之動作範圍時，電晶體Tr5自降伏狀態恢復。因此，電阻R1所產生之電壓下降基本消失，節點N1之電壓成為「H」位準。藉此，可使接通電流 $I_s$ 停止。

#### 2.4.3 第3變化例

又，例如電源保護電路13亦能以相對於焊墊P1及P2成為反方向之方式設置RC計時器。

圖19係表示第2實施形態之第3變化例之電源保護電路之構成之電路圖。於圖19中，表示使用電容器C1a及電阻R1a而代替電阻R1及電容器C1之例。

如圖19所示，電容器C1a包含連接於焊墊P1之第1端、及連接於節點N1之第2端。電阻R1a包含連接於節點N1之第1端、及連接於焊墊P2之第2端。電阻R1a及電容器C1a作為RC計時器而發揮功能，基於根據之各者之電阻值及電容所決定之時間常數而進行動作。具體而言，節點N1之電壓伴隨基於該時間常數之時間延遲而追隨於焊墊P2之電壓。

又，於第2實施形態之第3變化例中，電源保護電路13進而包含反相器INV2b。反相器INV2b之輸入端及輸出端分別連接於反相器INV1b之輸出端及節點N2。

圖20係表示第2實施形態之第3變化例之電源保護電路之動作之時序圖。

如圖20所示，於時刻T10產生突波。藉此，焊墊P1之電壓急遽地上升後，逐漸接近電壓VSS。節點N1追隨焊墊P1之電壓上升。因此，節點N1於突波產生時動作期間保持為「H」位準。反相器INV1b隨之輸出

「L」位準，反相器INV2b隨之輸出「H」位準。自反相器INV2b輸出之「H」位準被輸入至電晶體Tr1b之閘極及反相器INV3b之輸入端。

藉此，藉由使晶體管Tr2b及Tr3b均成為接通狀態，而接通電流Is以電晶體Tr2b及Tr3b為電流路徑，自焊墊P1朝向焊墊P2流動。再者，電晶體Tr1b～3b及反相器INV3b以後之動作與第2實施形態之圖14相同，因此省略說明。

藉由以如上方式進行動作，電源保護電路13於突波產生時動作期間使接通電流Is流動後停止。

於一般時動作期間，節點N1之電壓成為電壓VSS。即，節點N1於一般時動作期間，成為「L」位準。藉此，反相器INV1b輸出「H」位準，反相器INV2b輸出「L」位準。因此，自反相器INV2b輸出之「L」位準被輸入至電晶體Tr1b之閘極及反相器INV3b之輸入端。

藉此，電晶體Tr2b及Tr3b均成為斷開狀態，接通電流Is不流動。再者，電晶體Tr1b～3b及反相器INV3b以後之動作與第2實施形態之圖14相同，因此省略說明。

藉由以如上方式進行動作，於電源保護電路13中，於一般時動作期間接通電流Is不流動。又，節點N5及N6之電壓被維持為電壓V2。

如此，即便於將RC計時器安裝為反方向之情形時，亦可對電晶體Tr2b及Tr3b輸入與第2實施形態相同之信號。因此，可產生與第2實施形態相同之效果。

再者，本變化例亦可同樣地應用於第2變化例。即，作為觸發電路，不限定於具有基於RC時間常數之計時器功能，不具有計時器功能之其他觸發電路亦可反方向地安裝。具體而言，於本變化例之圖19中，亦可構成

為包含複數個二極體、齊納二極體及電晶體而代替電容器C1a。於該情形時亦可產生與本變化例相同之效果。

## 5.其他

再者，於各實施形態及各變化例中，亦可應用以下事項。

例如，對在第1實施形態之電晶體Tr3及第2實施形態之第3變化例之電晶體Tr2b串聯連接3級反相器之例進行了說明，但並不限定於此。例如，亦可於第1實施形態之電晶體Tr3及第2實施形態之第3變化例之電晶體Tr2b串聯連接任意奇數級反相器。

又，對在第1實施形態之第3變化例之電晶體Tr3及第2實施形態之電晶體Tr2b串聯連接2級反相器之例進行了說明，但並不限定於此。例如，亦可於第1實施形態之第3變化例之電晶體Tr3及第2實施形態之電晶體Tr2b串聯連接任意偶數級反相器。

對本發明之若干個實施形態進行了說明，但該等實施形態係作為例而提出者，並非意在限定發明之範圍。該等新穎之實施形態能夠以其他各種形態實施，且可於不脫離發明之主旨之範圍內進行各種省略、置換、變更。該等實施形態及其變化包含於發明之範圍及主旨內，並且包含於申請專利範圍所記載之發明及與其均等之範圍內。

## [相關申請案]

本申請案享有以日本專利申請案2017-127992號(申請日：2017年6月29日)為基礎申請案之優先權。本申請案藉由參照該基礎申請案而包含基礎申請案之所有內容。

## 【符號說明】

1            半導體裝置

|       |            |
|-------|------------|
| 11    | 焊墊群        |
| 12    | 介面電路       |
| 13    | 電源保護電路     |
| 13-0  | 比較例之電源保護電路 |
| 14    | 內部電路       |
| C1    | 電容器        |
| C1a   | 電容器        |
| D1    | 二極體        |
| D2    | 齊納二極體      |
| INV0  | 反相器        |
| INV1  | 反相器        |
| INV2  | 反相器        |
| INV3  | 反相器        |
| INV1b | 反相器        |
| INV2b | 反相器        |
| INV3b | 反相器        |
| Is    | 接通電流       |
| Is0   | 接通電流       |
| N1    | 節點         |
| N2    | 節點         |
| N3    | 節點         |
| N4    | 節點         |
| N5    | 節點         |



|      |     |
|------|-----|
| N6   | 節點  |
| P1   | 焊墊  |
| P2   | 焊墊  |
| P3   | 焊墊  |
| R1   | 電阻  |
| R1a  | 電阻  |
| R2   | 電阻  |
| R2b  | 電阻  |
| R3   | 電阻  |
| Tr0  | 電晶體 |
| Tr1  | 電晶體 |
| Tr1b | 電晶體 |
| Tr2  | 電晶體 |
| Tr2b | 電晶體 |
| Tr3  | 電晶體 |
| Tr3b | 電晶體 |
| Tr4  | 電晶體 |
| Tr4b | 電晶體 |
| Tr5  | 電晶體 |
| V1   | 電壓  |
| V2   | 電壓  |
| VDD  | 電壓  |
| VSS  | 電壓  |

VT 電壓

VTb 電壓

## 【發明申請專利範圍】

### 【第1項】

一種電源保護電路，其包括：

第1焊墊，其被供給第1電壓；

第2焊墊，其被供給不同於上述第1電壓之第2電壓；

第1電晶體，其包含電性連接於上述第1焊墊之第1端、電性連接於第1節點之第2端及背閘極、以及電性連接於第2節點之閘極；

第2電晶體，其包含電性連接於上述第1節點之第1端、電性連接於上述第2焊墊之第2端及背閘極；以及

開關電路，其當上述第2電晶體之閘極被輸入第1邏輯信號時，將上述第2節點與上述第1焊墊電性連接，當上述第2電晶體之閘極被輸入具有與上述第1邏輯信號互為反相之邏輯位準之第2邏輯信號時，將上述第2節點自上述第1焊墊電性切斷並與上述第1節點電性連接。

### 【第2項】

如請求項1之電源保護電路，其中上述第1電晶體及上述第2電晶體具有相同極性。

### 【第3項】

如請求項2之電源保護電路，其中上述開關電路包含第3電晶體，上述第3電晶體包含電性連接於上述第1焊墊之第1端、及電性連接於上述第2節點之第2端，且具有與上述第1電晶體及上述第2電晶體互不相同之極性。

### 【第4項】

如請求項3之電源保護電路，其中對上述第3電晶體之閘極輸入與被

輸入至上述第2電晶體之閘極之邏輯信號互為反相之邏輯信號。

**【第5項】**

如請求項4之電源保護電路，其中上述開關電路進而包含第1電阻，上述第1電阻包含電性連接於上述第1節點之第1端、及電性連接於上述第2節點之第2端。

**【第6項】**

如請求項4之電源保護電路，其中上述開關電路進而包含第4電晶體，上述第4電晶體包含電性連接於上述第1節點之第1端、電性連接於上述第2節點之第2端、及電性連接於上述第3電晶體閘極之閘極。

**【第7項】**

如請求項6之電源保護電路，其中上述第4電晶體具有與上述第3電晶體互不相同之極性。

**【第8項】**

如請求項1之電源保護電路，其中上述第1電壓大於上述第2電壓。

**【第9項】**

如請求項1之電源保護電路，其中上述第1電壓小於上述第2電壓。

**【第10項】**

如請求項3之電源保護電路，其還包括：

觸發電路，其電性連接於上述第1焊墊與上述第2焊墊之間，且對第3節點輸出觸發信號；及

信號控制電路，其根據上述觸發信號之電壓值是否超過某一閾值，而切換向上述第2電晶體之閘極及上述第3電晶體之閘極輸入之邏輯信號之邏輯位準。

**【第11項】**

如請求項10之電源保護電路，其中

上述觸發電路包括：

第2電阻，其包含電性連接於上述第1焊墊之第1端、及電性連接於上述第3節點之第2端；以及

電容器，其包含電性連接於上述第3節點之第1端、及電性連接於上述第2焊墊之第2端。

**【第12項】**

如請求項10之電源保護電路，其中

上述觸發電路包括：

第2電阻，其包含電性連接於上述第1焊墊之第1端、及電性連接於上述第3節點之第2端；以及

第5電晶體，其包含電性連接於上述第3節點之第1端、及電性連接於上述第2焊墊之第2端。

**【第13項】**

如請求項10之電源保護電路，其中

上述觸發電路包括：

第2電阻，其包含電性連接於上述第1焊墊之第1端、及電性連接於上述第3節點之第2端；以及

二極體，其包含電性連接於上述第3節點之第1端、及電性連接於上述第2焊墊之第2端。

**【第14項】**

如請求項13之電源保護電路，其中上述二極體包含齊納二極體。

**【第15項】**

如請求項10之電源保護電路，其中

上述觸發電路包括：

電容器，其包含電性連接於上述第1焊墊之第1端、及電性連接於上述第3節點之第2端；以及

第2電阻，其包含電性連接於上述第3節點之第1端、及電性連接於上述第2焊墊之第2端。

**【第16項】**

如請求項10之電源保護電路，其中

上述觸發電路包括：

第5電晶體，其包含電性連接於上述第1焊墊之第1端、及電性連接於上述第3節點之第2端；以及

第2電阻，其包含電性連接於上述第3節點之第1端、及電性連接於上述第2焊墊之第2端。

**【第17項】**

如請求項10之電源保護電路，其中

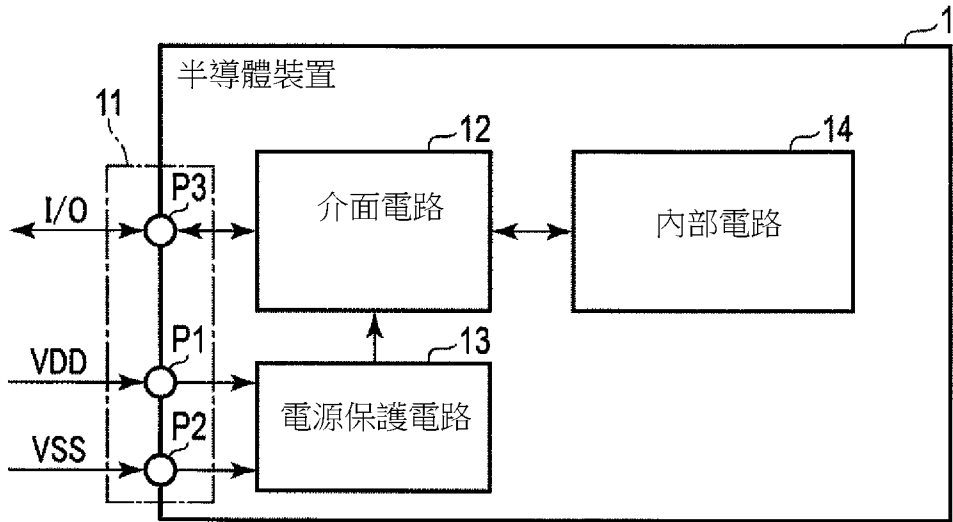
上述觸發電路包括：

二極體，其包含電性連接於上述第1焊墊之第1端、及電性連接於上述第3節點之第2端；以及

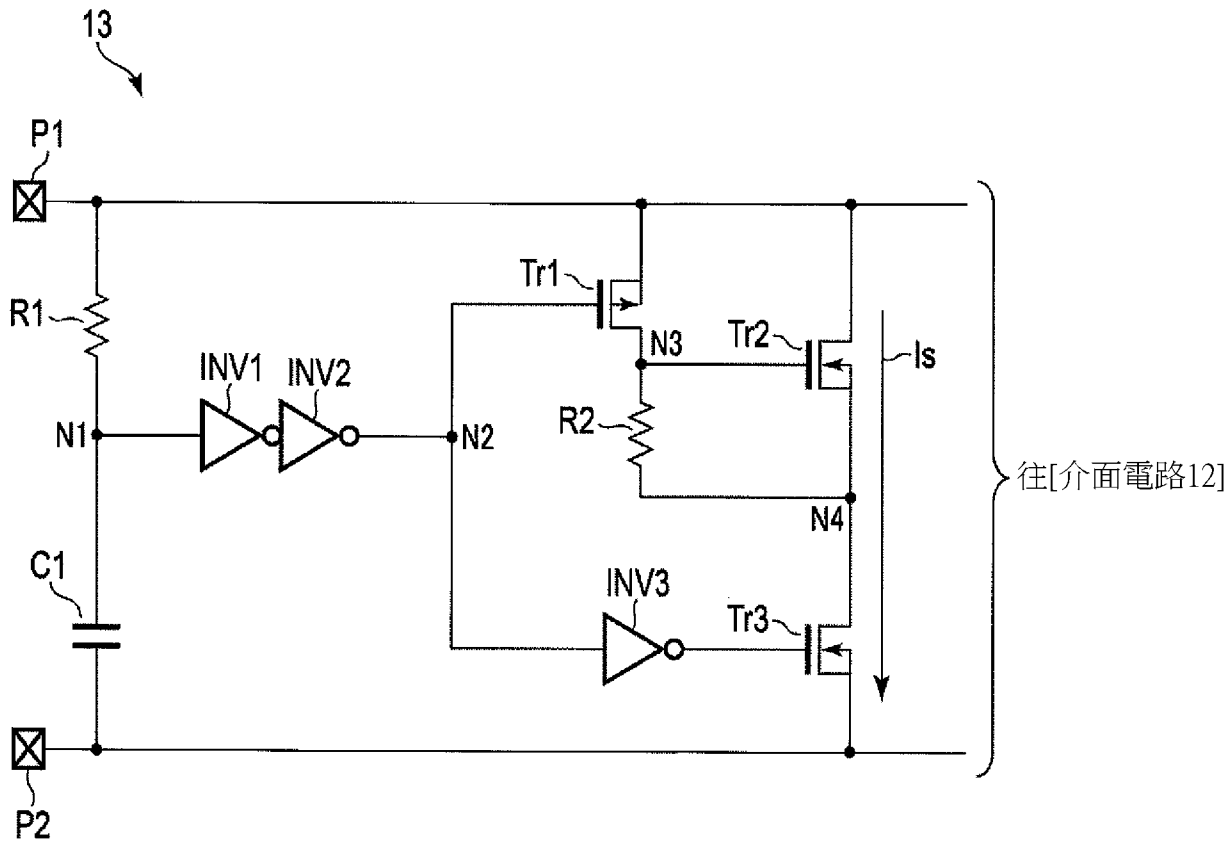
第2電阻，其包含電性連接於上述第3節點之第1端、及電性連接於上述第2焊墊之第2端。

**【第18項】**

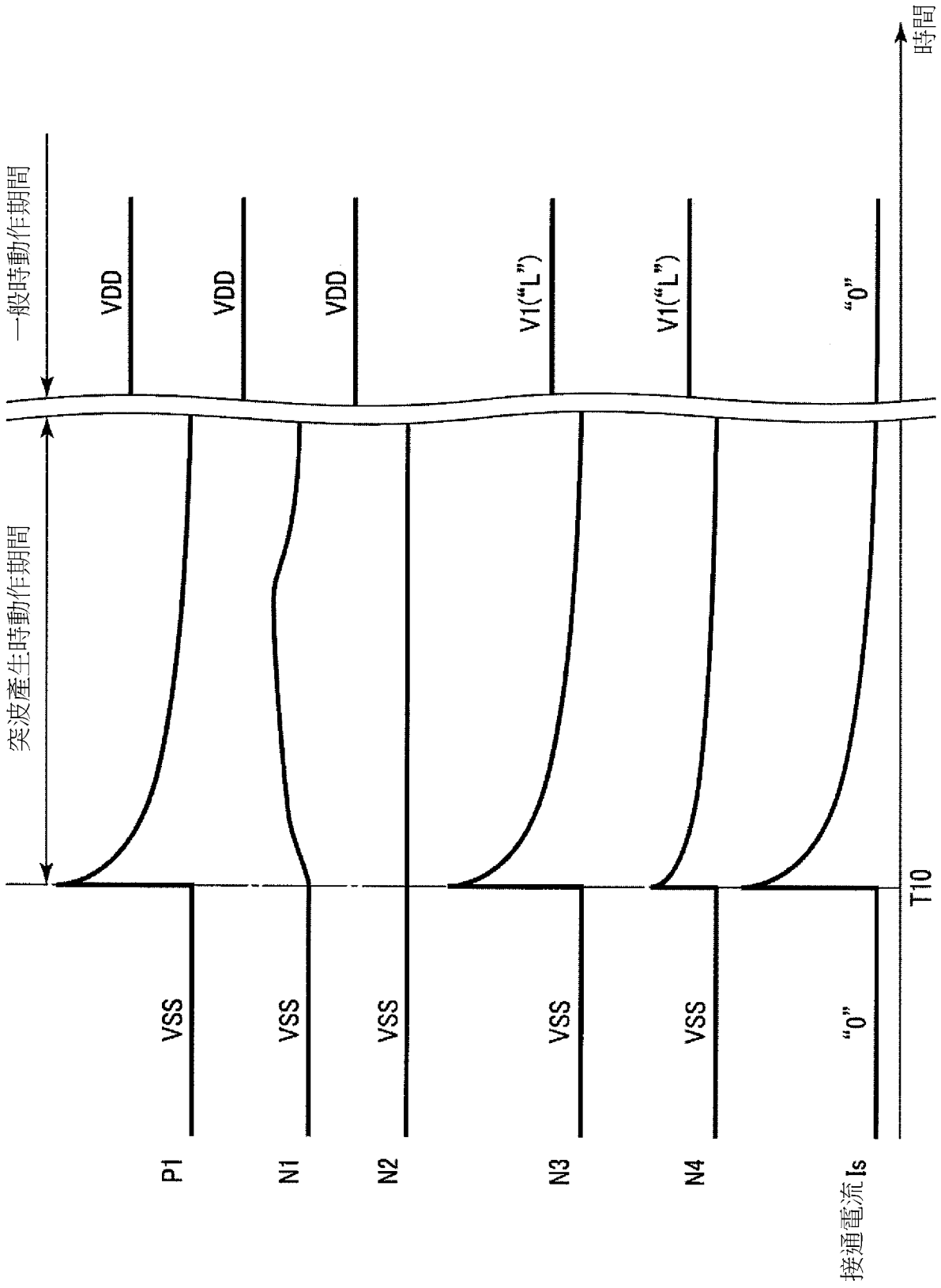
如請求項17之電源保護電路，其中上述二極體包含齊納二極體。



【圖1】

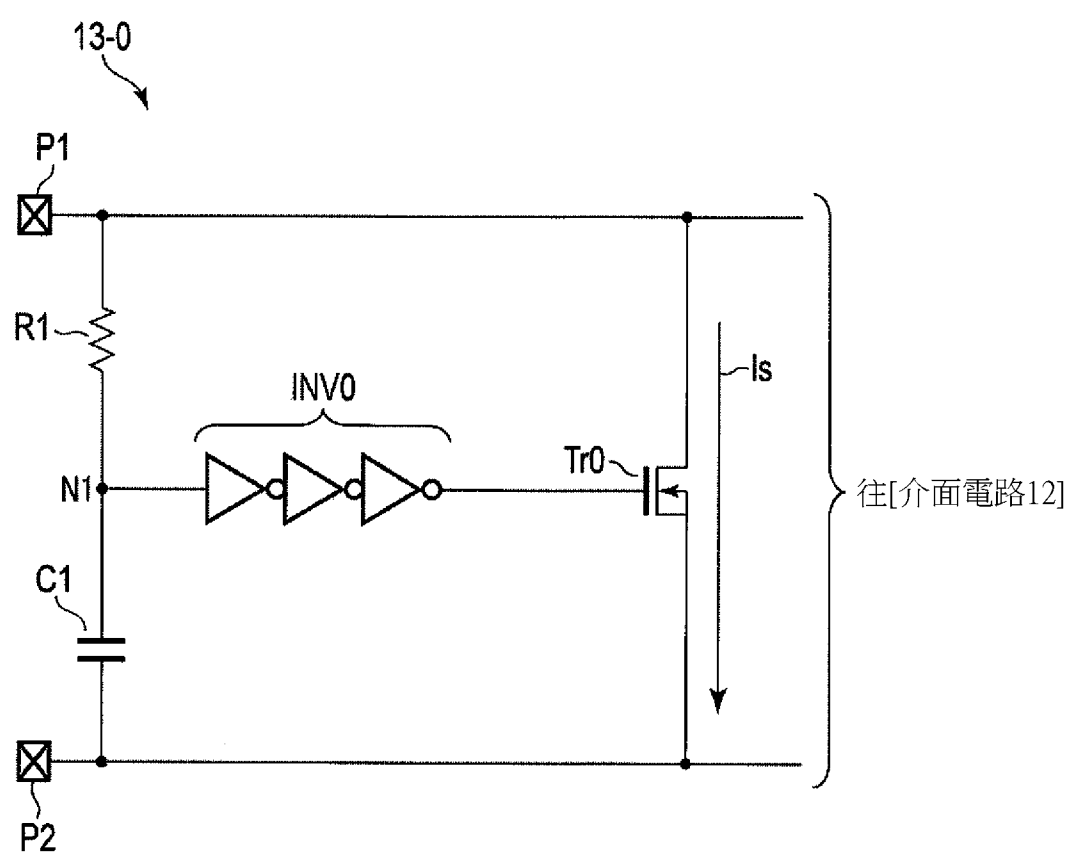


【圖2】

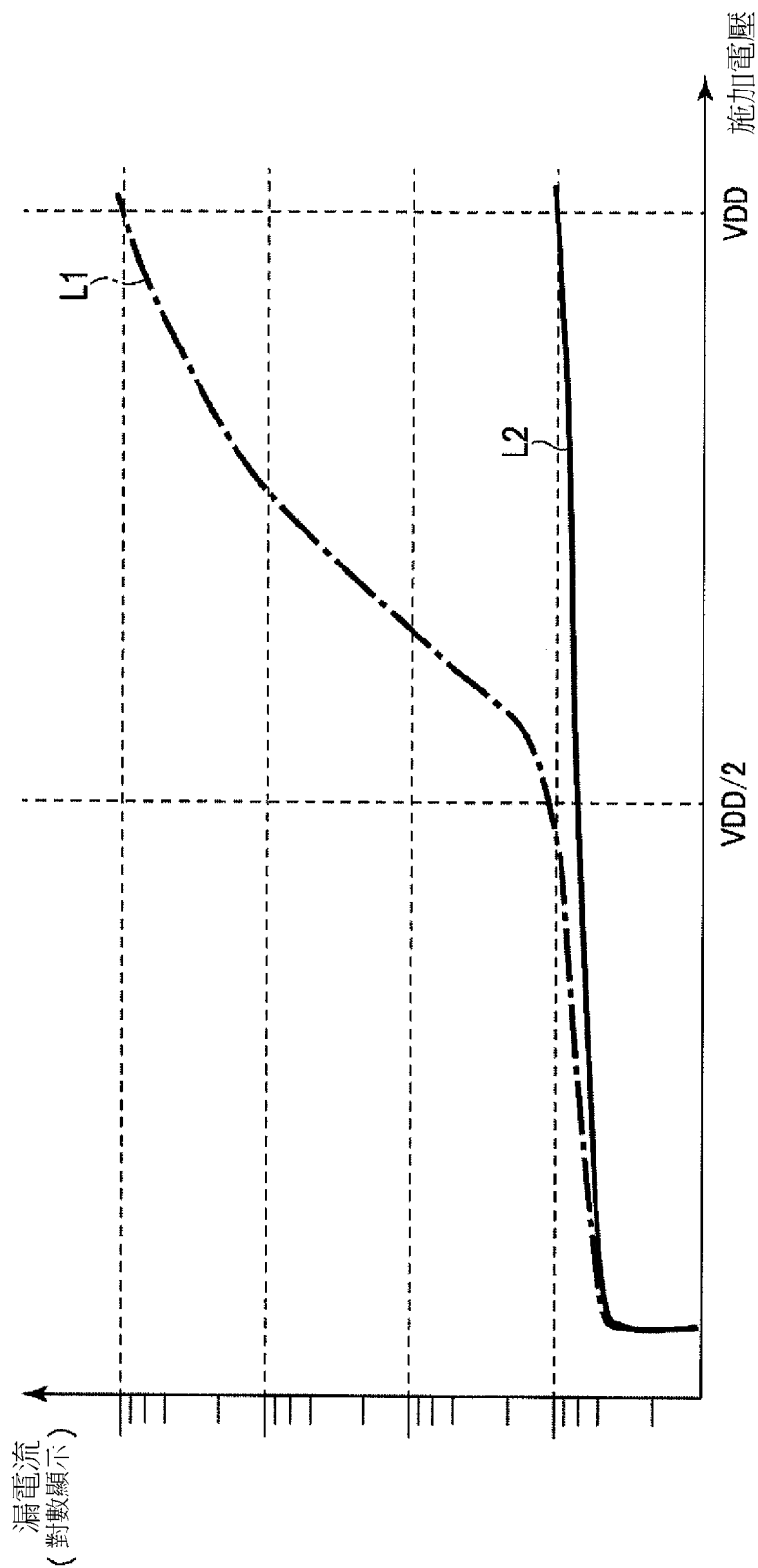


【圖3】

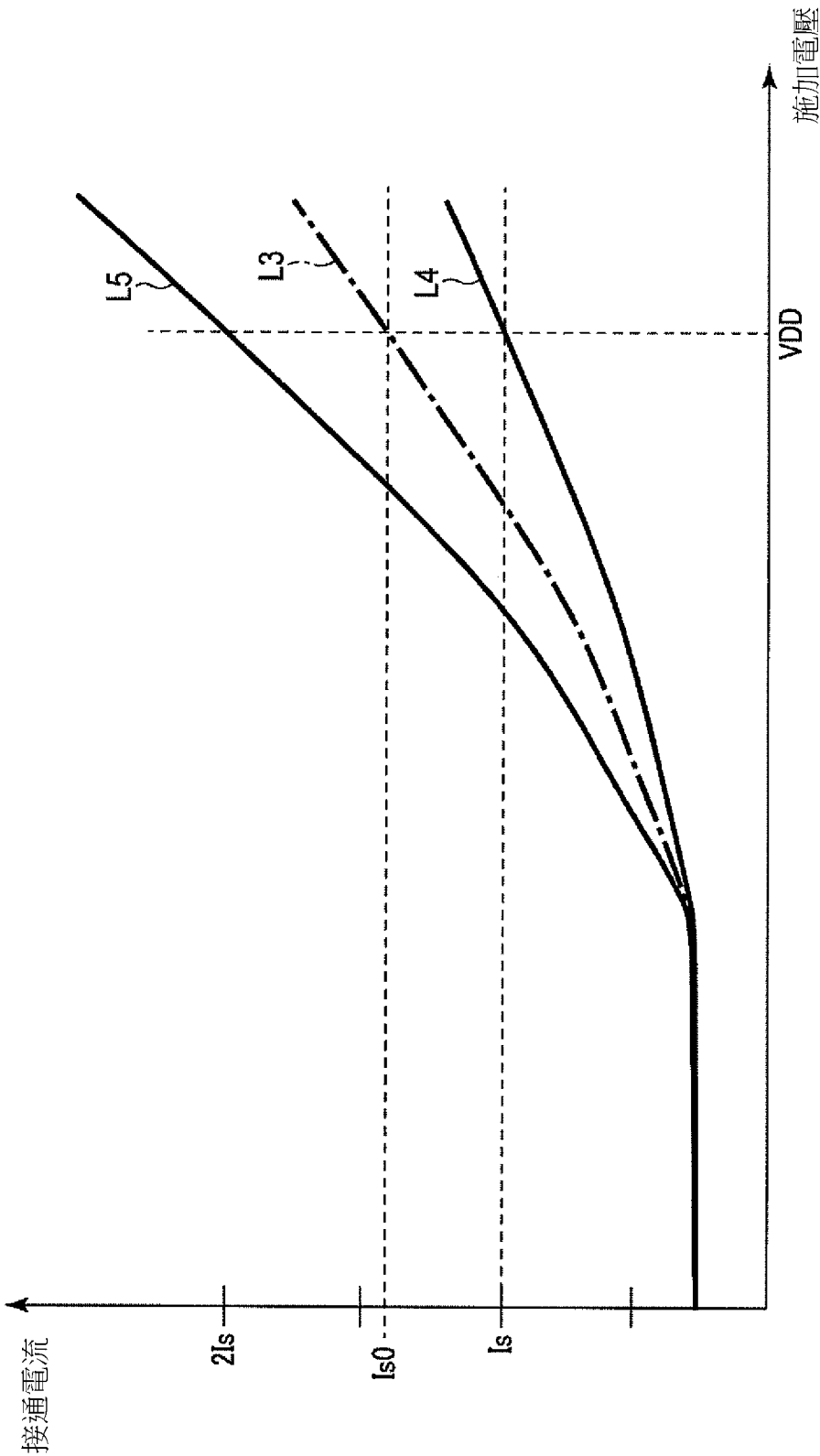




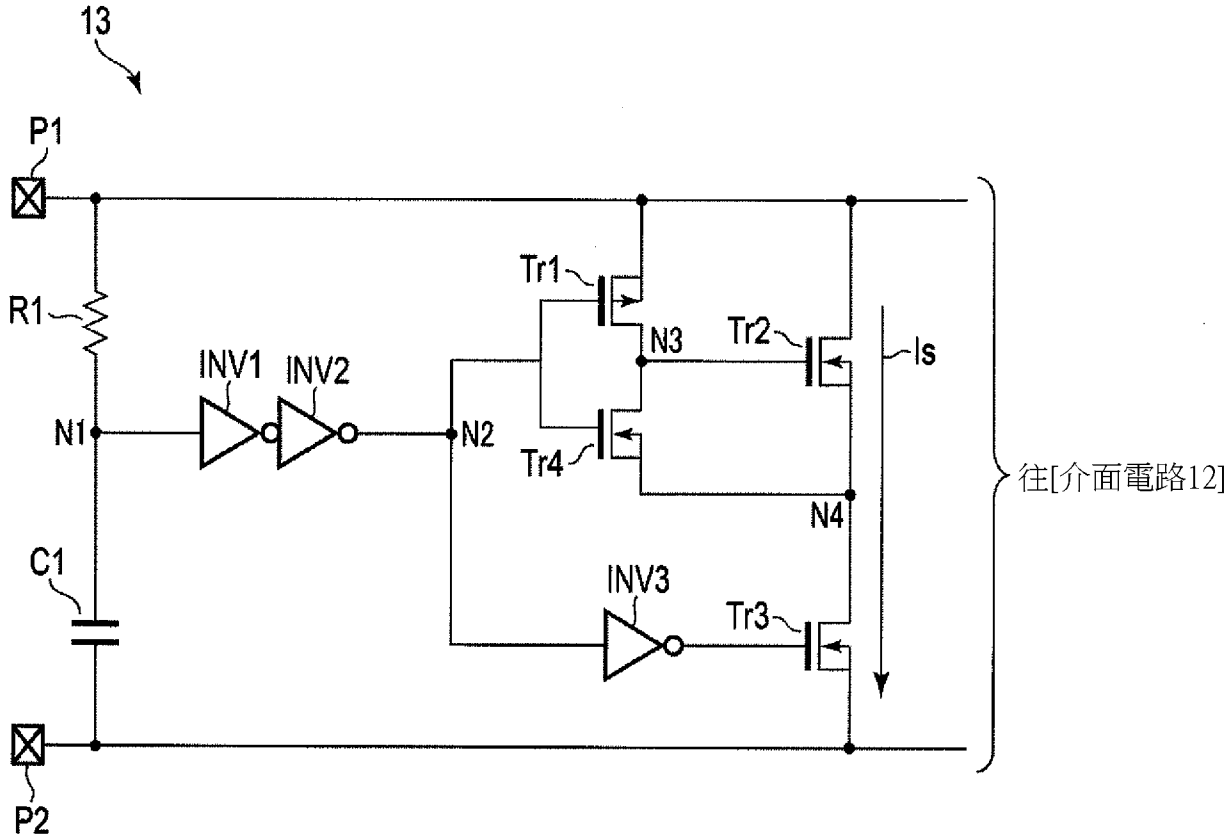
【圖4】



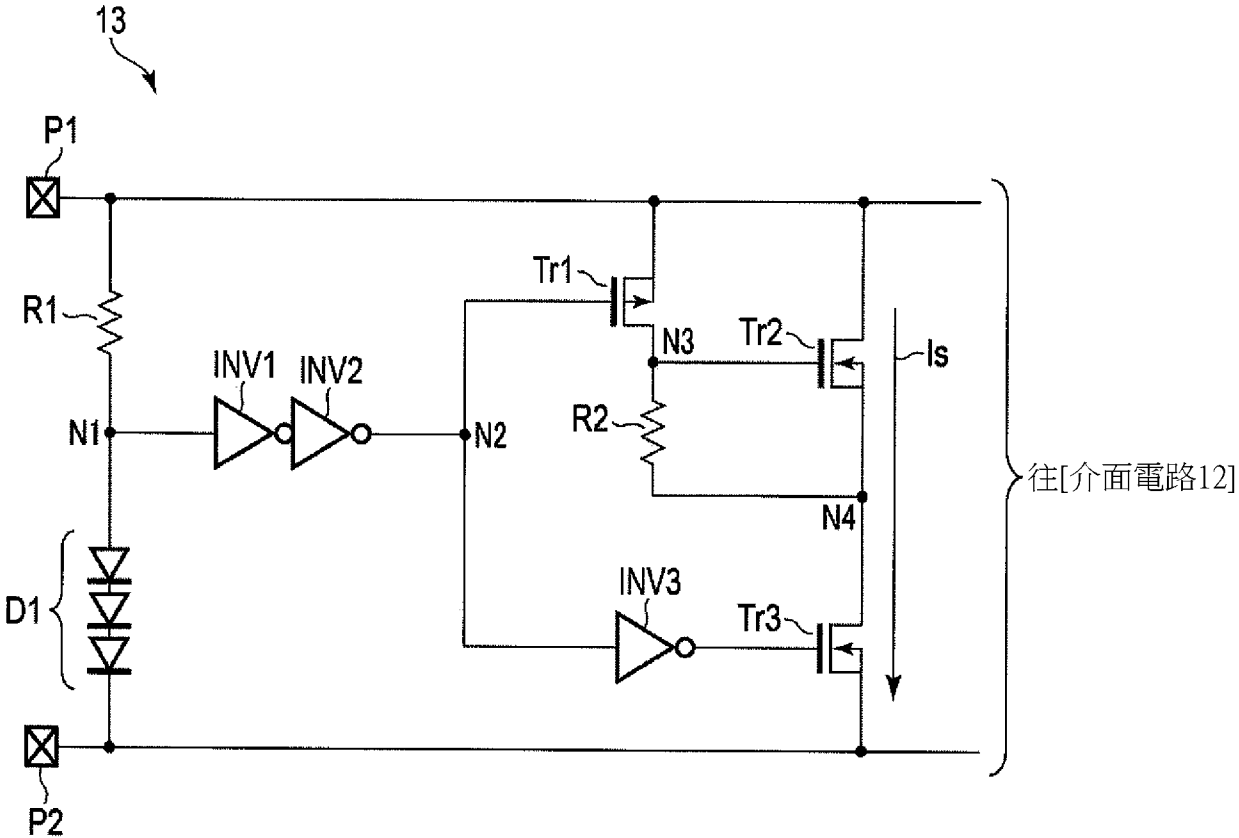
【圖5】



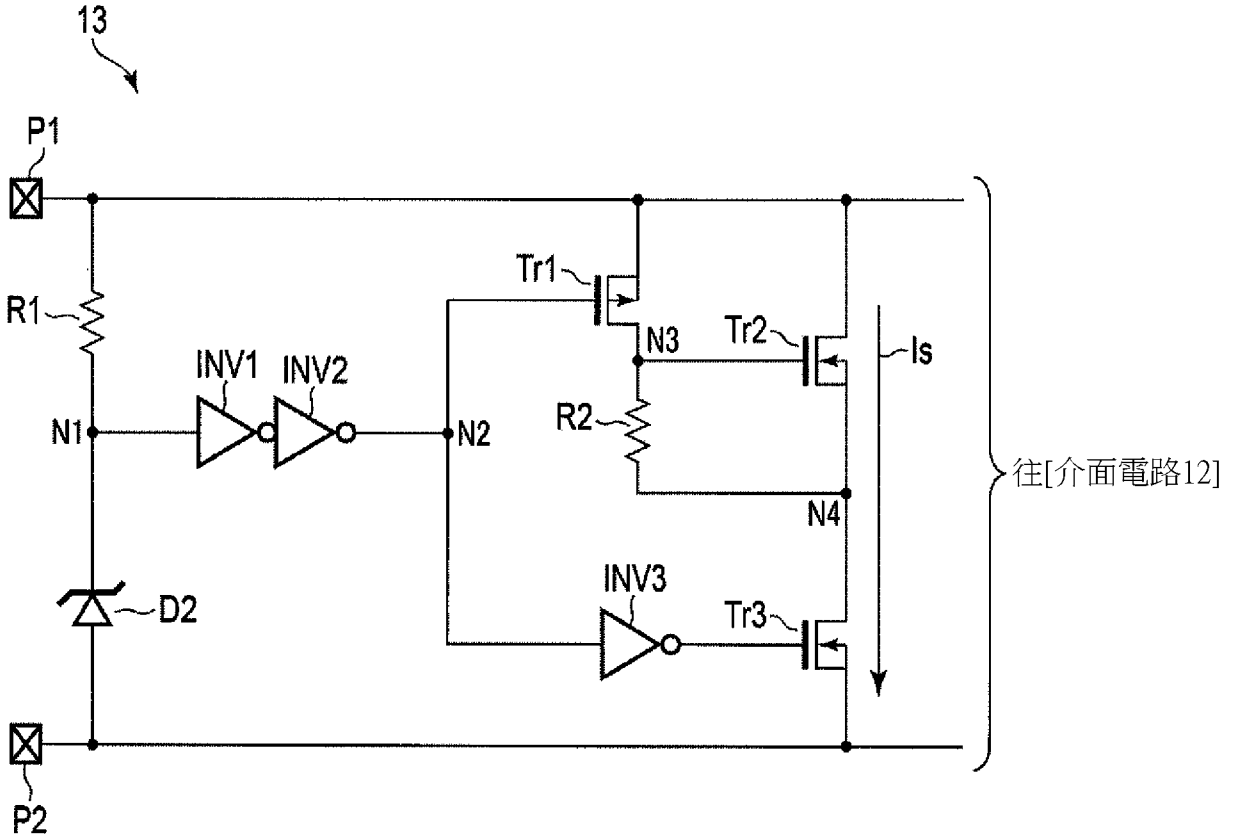
【圖6】



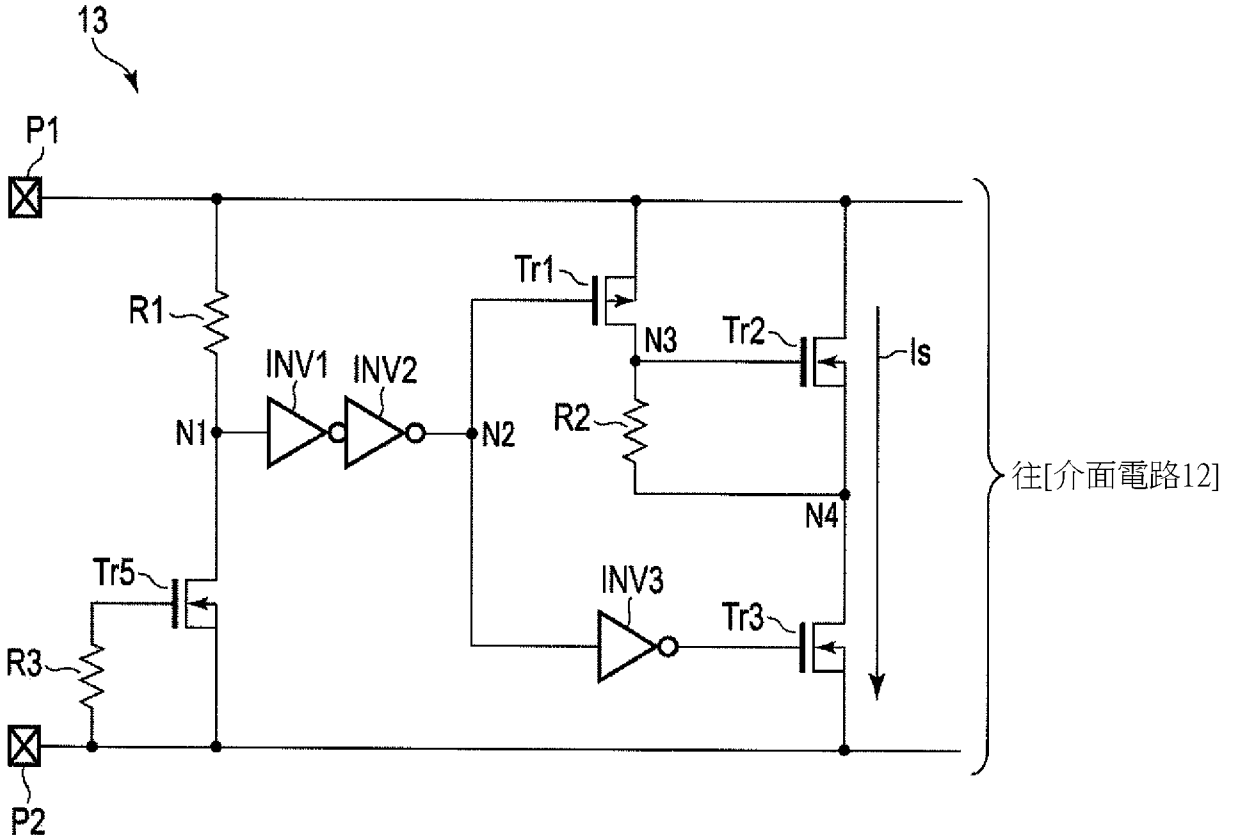
【圖7】



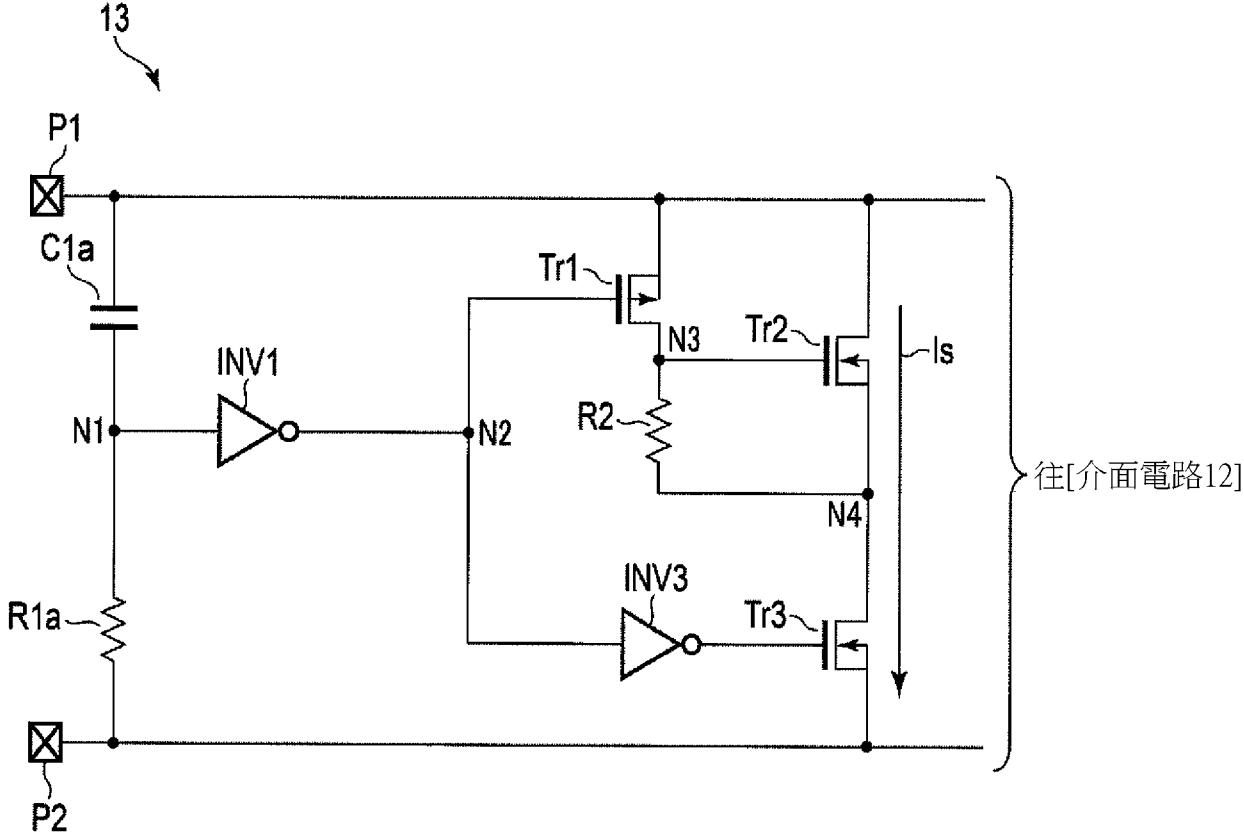
【圖8】



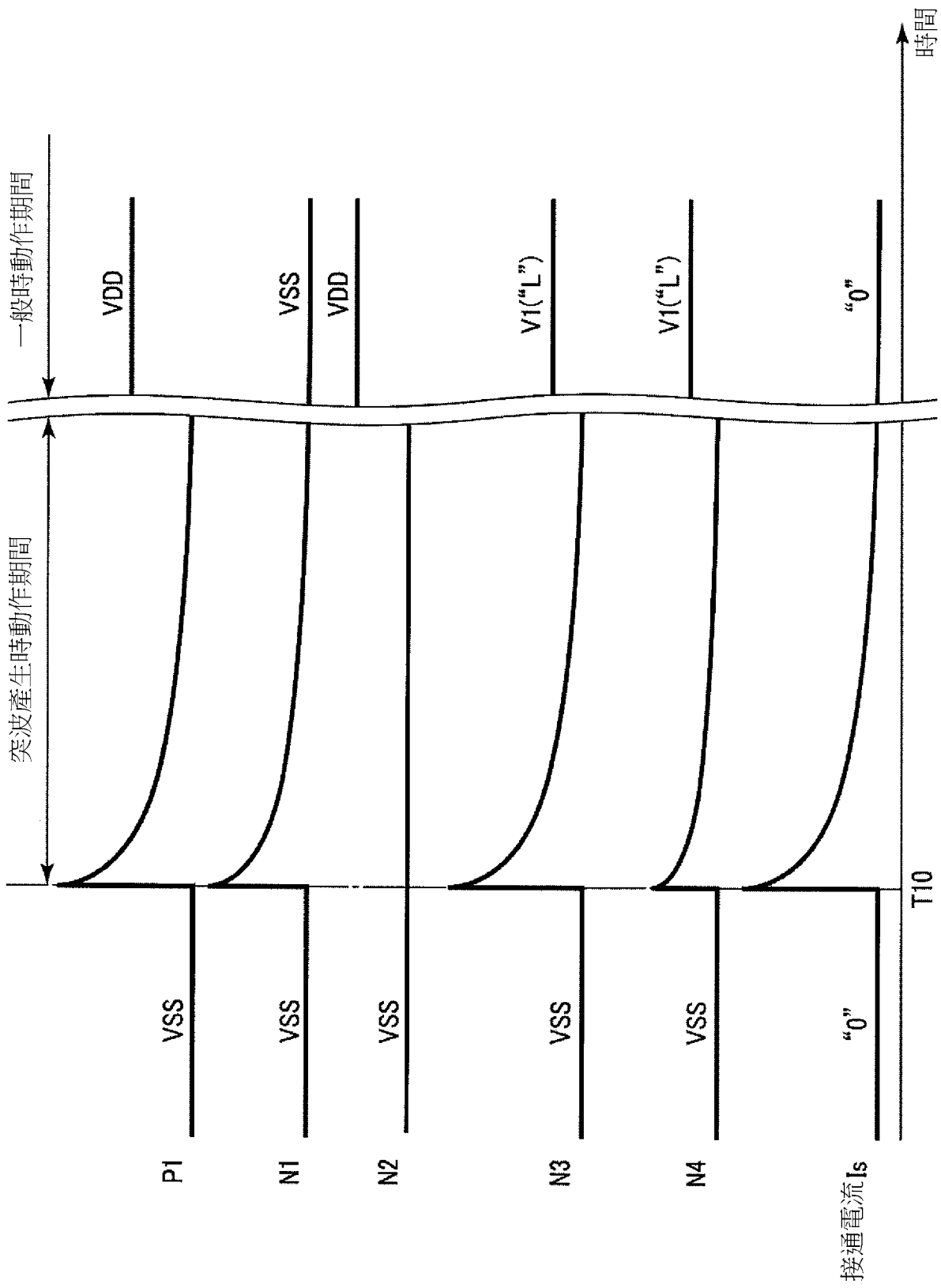
【圖9】



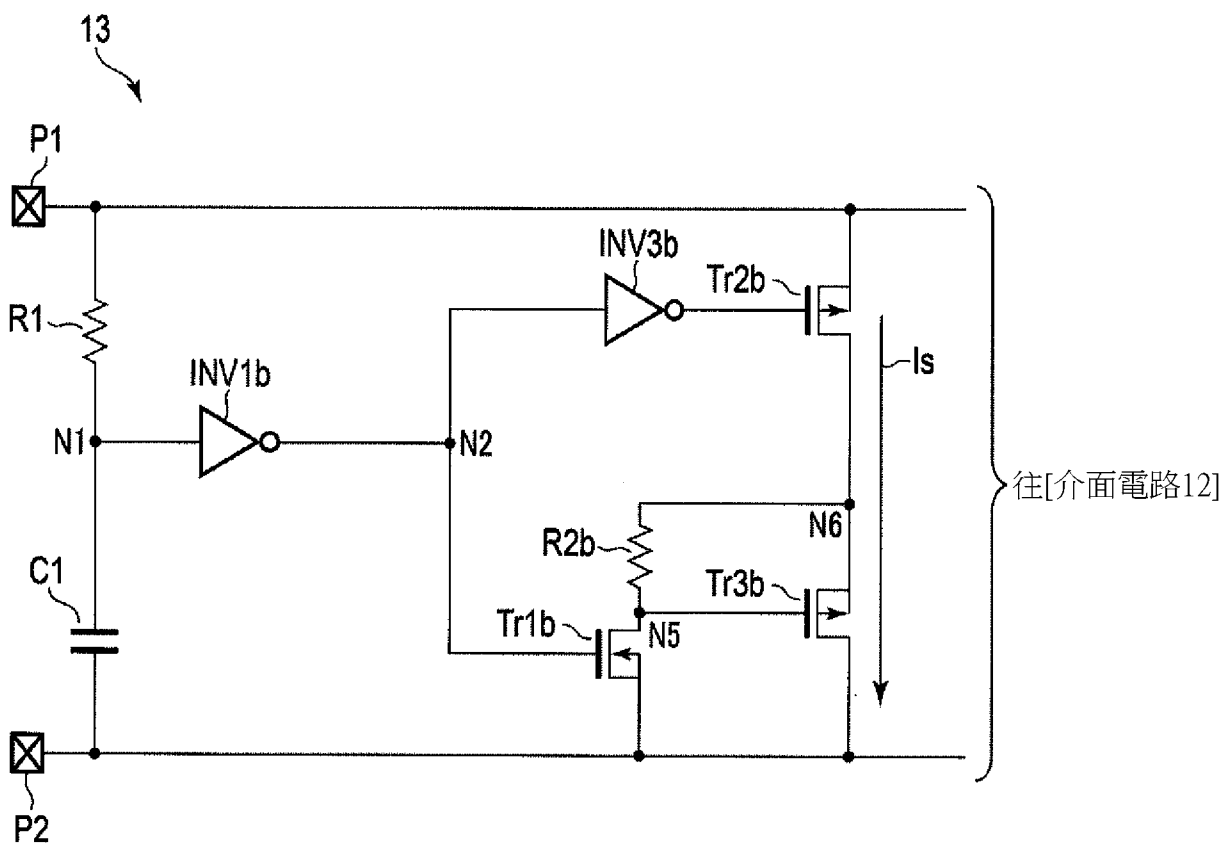
【圖10】



【圖11】

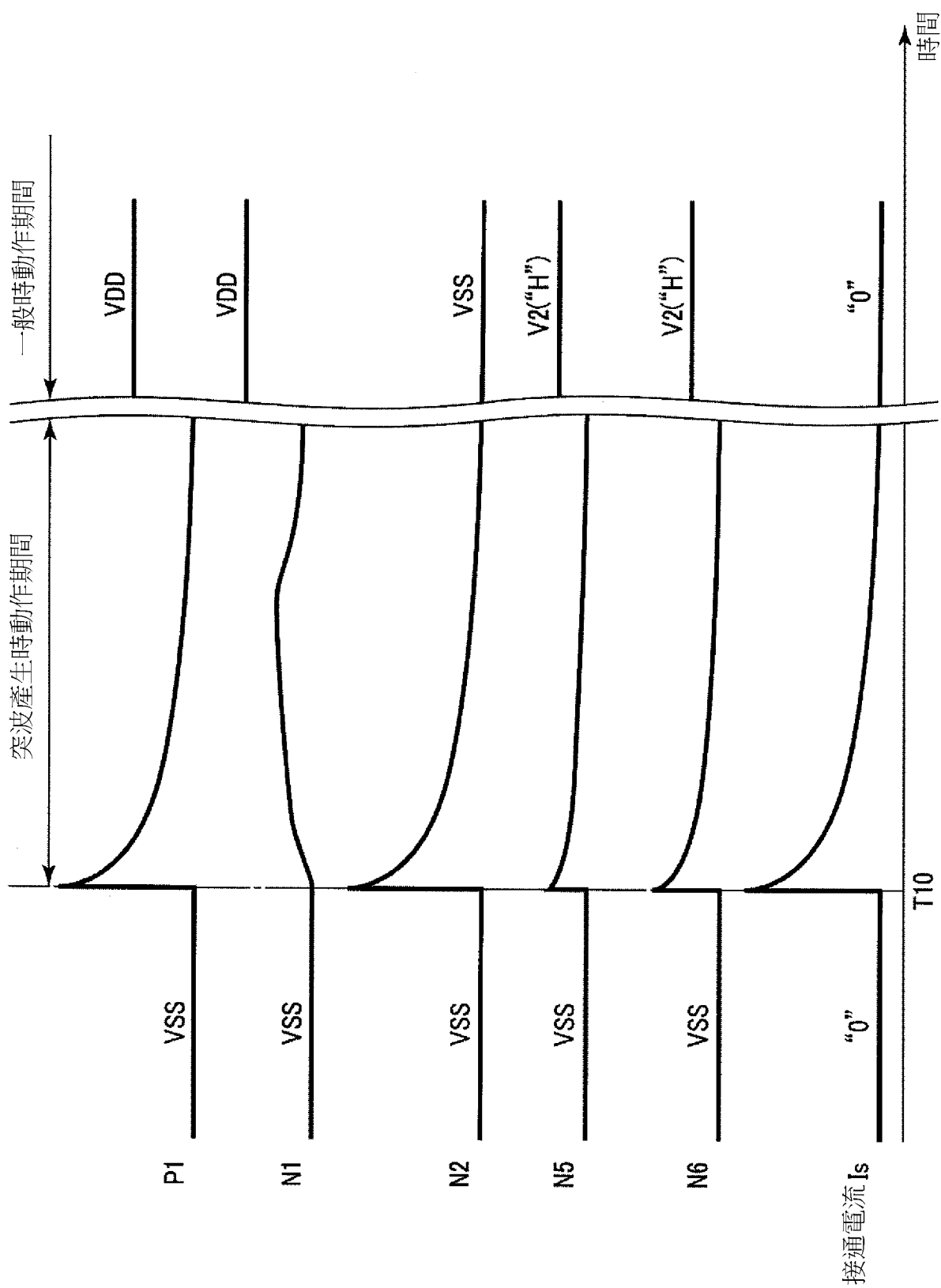


【圖12】

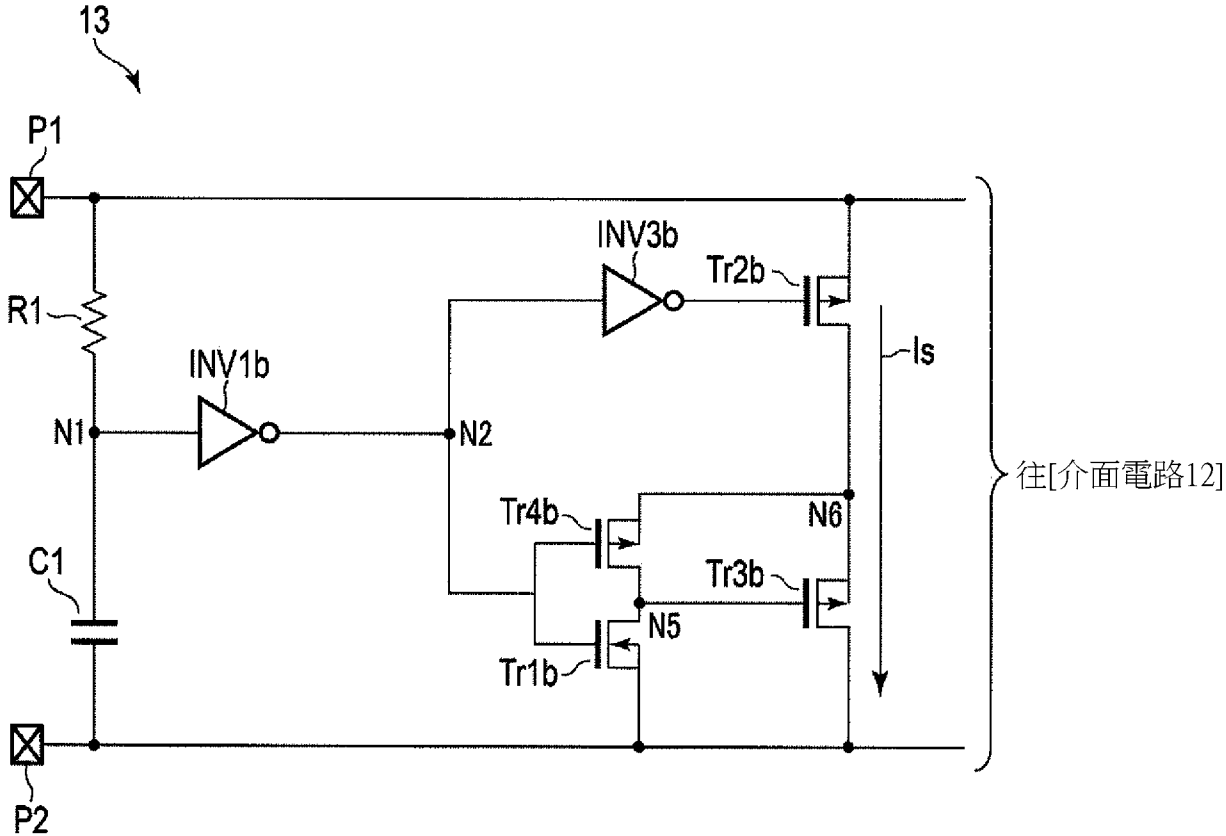


【圖13】

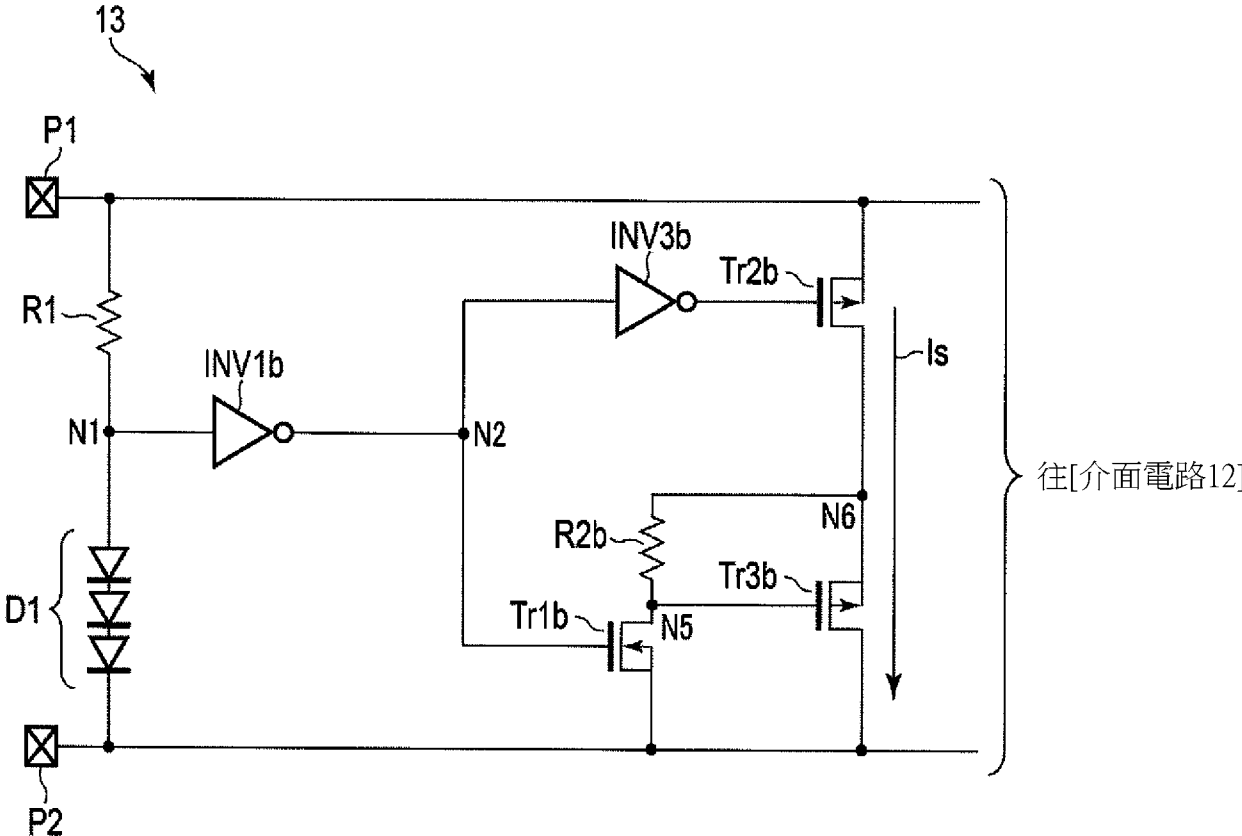




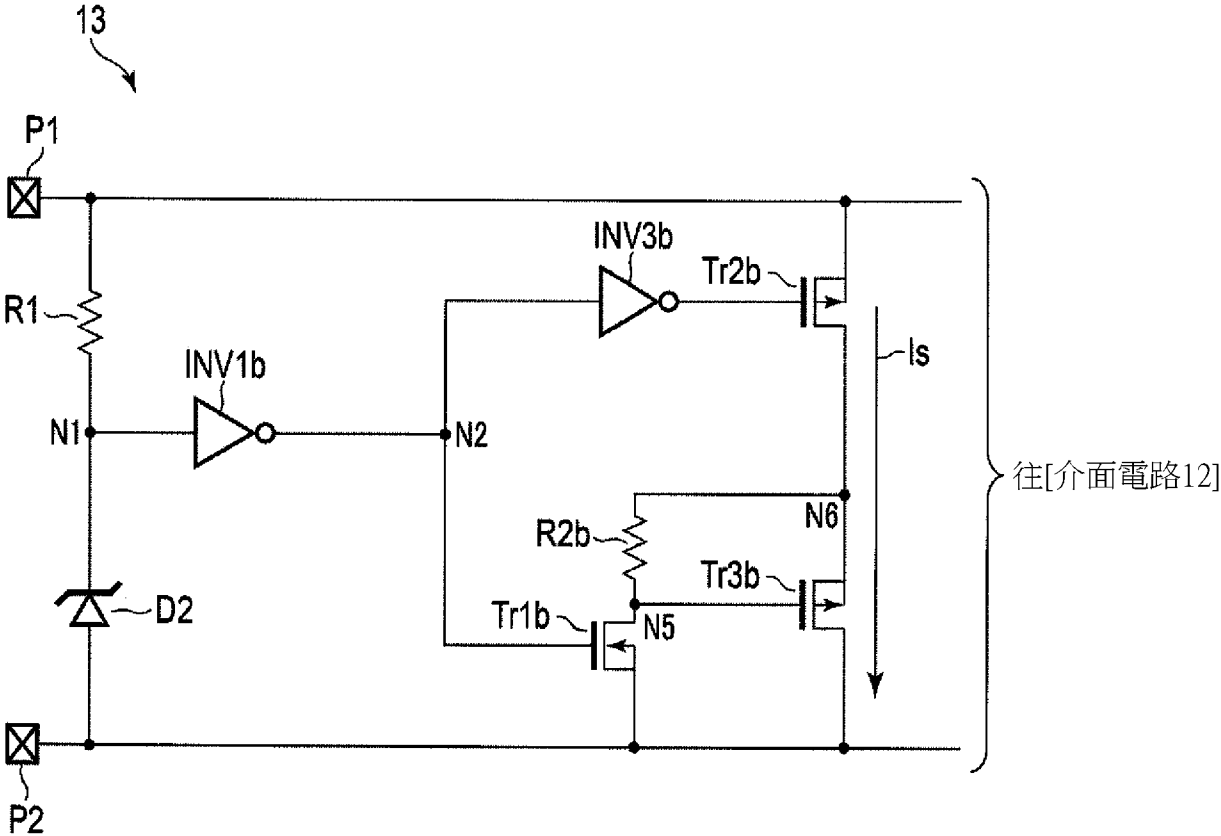
【圖14】



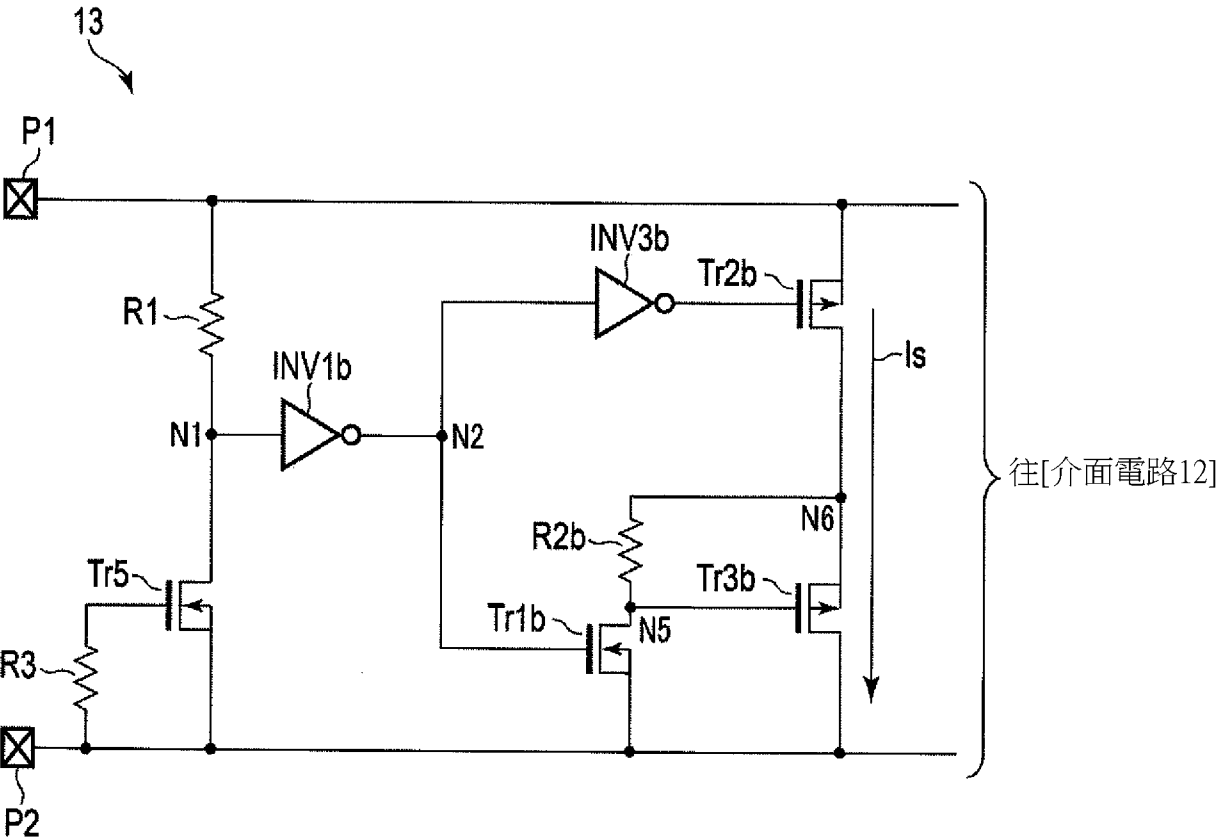
【圖15】



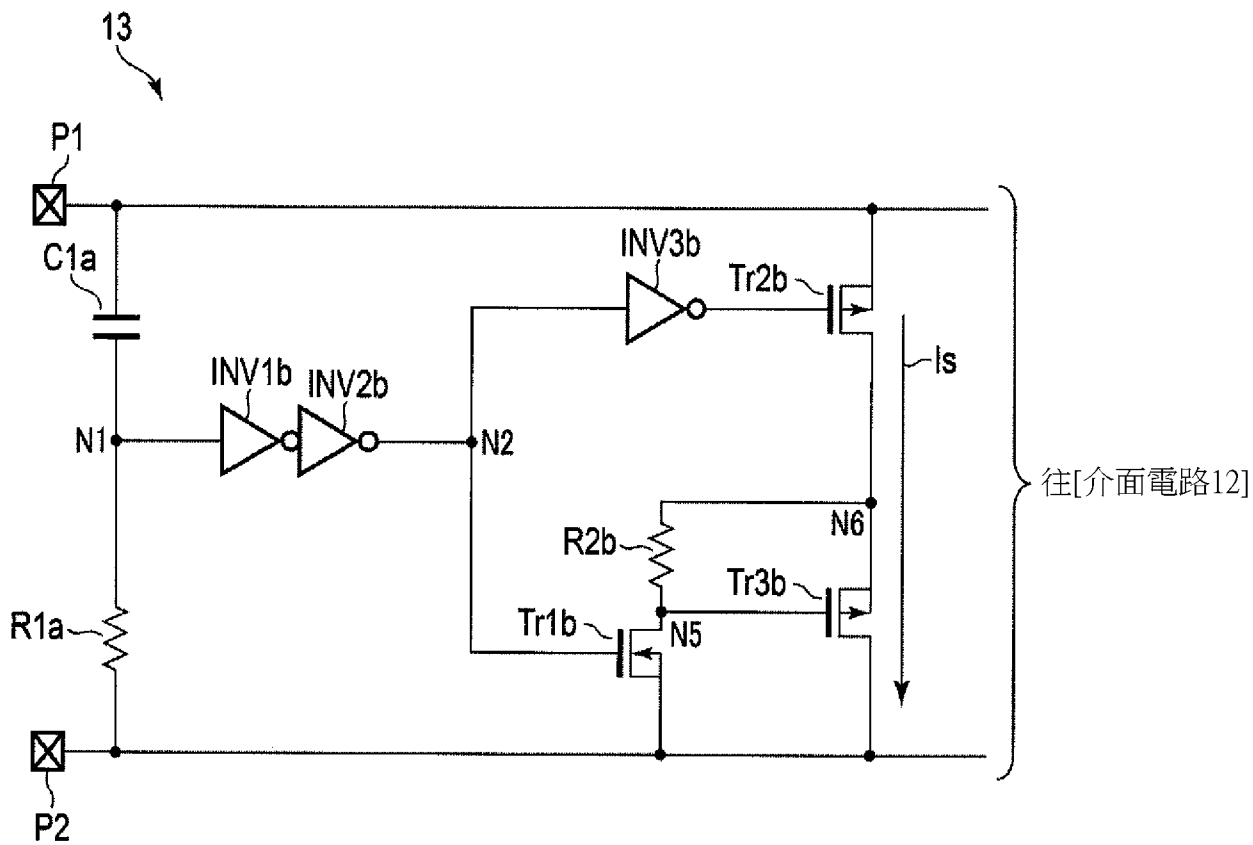
【圖16】



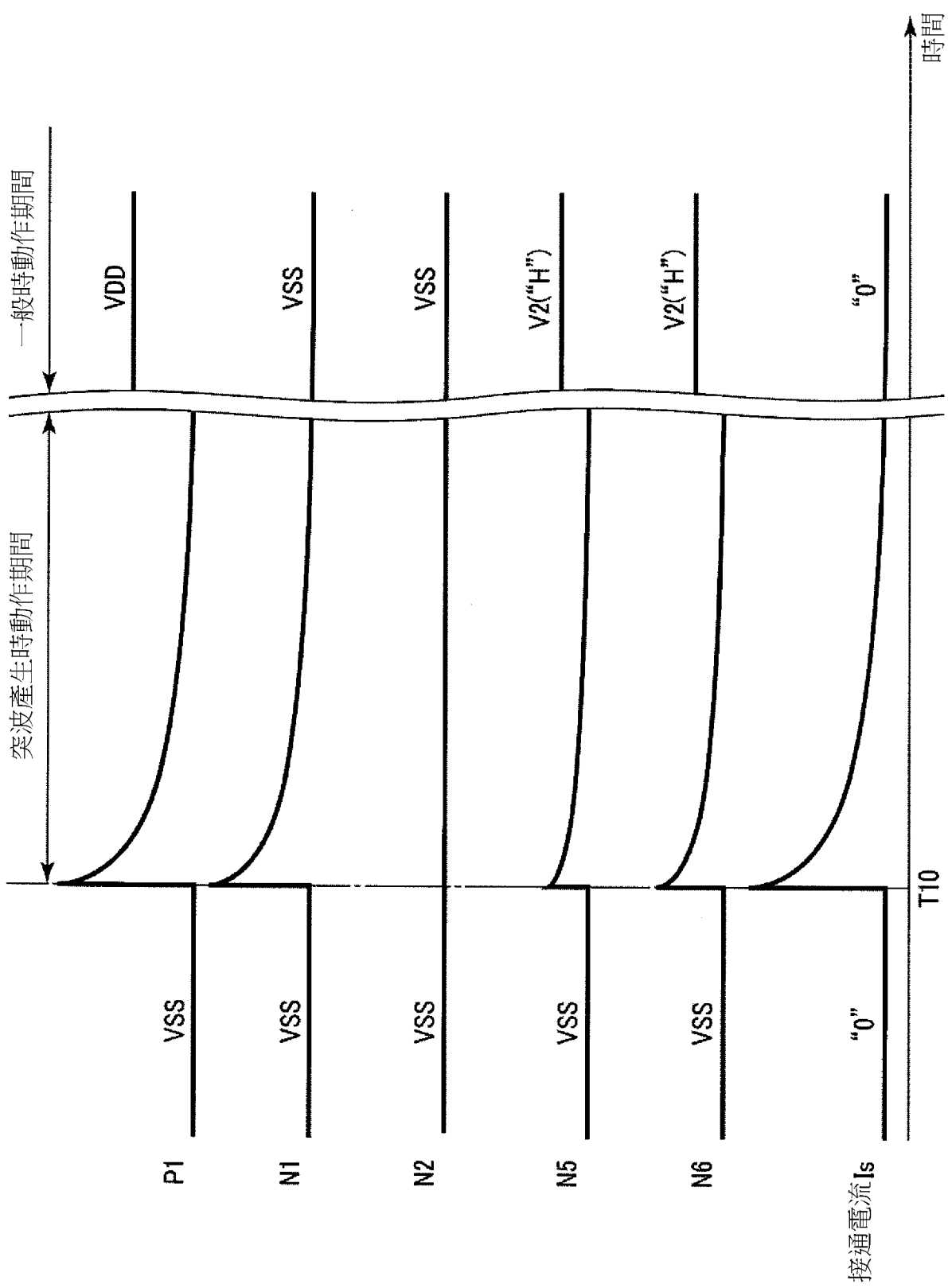
【圖17】



【圖18】



【圖19】



【圖20】