

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-124630
(P2012-124630A)

(43) 公開日 平成24年6月28日 (2012. 6. 28)

(51) Int.Cl. F I テーマコード (参考)
H03L 7/197 (2006.01) H03L 7/18 A 5J106

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願2010-272286 (P2010-272286)
(22) 出願日 平成22年12月7日 (2010. 12. 7)

(71) 出願人 000004330
日本無線株式会社
東京都三鷹市下連雀5丁目1番1号
(74) 代理人 100126561
弁理士 原嶋 成時郎
(72) 発明者 赤堀 耕一郎
東京都三鷹市下連雀五丁目1番1号 日本無線株式会社内
(72) 発明者 木村 公穂
東京都三鷹市下連雀五丁目1番1号 日本無線株式会社内
(72) 発明者 諸星 光則
東京都三鷹市下連雀五丁目1番1号 日本無線株式会社内

最終頁に続く

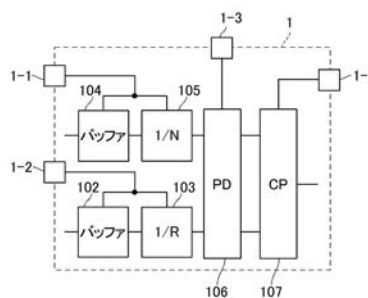
(54) 【発明の名称】 小数点分周PLL回路および集積回路

(57) 【要約】 (修正有)

【課題】ループフィルタのカットオフ周波数を低く設定することなく、スプリアスを抑制する。

【解決手段】基準発振器で生成された基準周波数を所定の基準クロックに分周する第1の分周器103と、電圧制御発振器で生成された発振周波数を所定の帰還クロックに小数点分周する第2の分周器105と、基準クロックと帰還クロックとの位相を比較する位相比較器106と、位相比較器106による比較結果に基づいて電圧制御発振器の発振周波数を制御するチャージポンプ107と、を備えた小数点分周PLL回路1において、第1の分周器103側の電源パッド1-2と、第2の分周器105側の電源パッド1-1と、位相比較器106側の電源パッド1-3と、チャージポンプ107側の電源パッド1-4とを、それぞれ別個に備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基準発振器で生成された基準周波数を所定の基準クロックに分周する第 1 の分周器と、電圧制御発振器で生成された発振周波数を所定の帰還クロックに小数点分周する第 2 の分周器と、前記基準クロックと帰還クロックとの位相を比較する位相比較器と、前記位相比較器による比較結果に基づいて前記電圧制御発振器の発振周波数を制御するチャージポンプと、を備えた小数点分周 P L L 回路において、

前記第 1 の分周器側の電源パッドと、前記第 2 の分周器側の電源パッドと、前記位相比較器側の電源パッドと、前記チャージポンプ側の電源パッドとを、それぞれ別個に備えた、ことを特徴とする小数点分周 P L L 回路。

10

【請求項 2】

請求項 1 に記載の小数点分周 P L L 回路を含む複数の P L L 回路を備えた集積回路であって、

前記小数点分周 P L L 回路の電源パッドと、他の P L L 回路の電源パッドとをそれぞれ別個に備えた、ことを特徴とする集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体チップ上に形成された小数点分周 P L L (位相同期: Phase Locked Loop) 回路および、複数の P L L 回路を含む I C (集積回路: Integrated Circuit) に関する。

20

【背景技術】

【0002】

P L L 回は、入力された基準周波数・基準クロックを元にしてフィードバック制御を行い、位相が同期した所定の周波数信号を出力する回路であり、電圧制御発振器からの発振周波数・帰還クロックを小数点分周して基準周波数と比較する小数点分周 P L L 回路が知られている(例えば、特許文献 1 参照。)。

【0003】

この P L L 回路は、図 4 に示すように、基準発振器 101 で生成された基準クロックを、第 1 のバッファ 102 を介して第 1 の分周器 103 で、所定の基準クロックに分周・生成する。一方、電圧制御発振器 (VCO: Voltage Controlled Oscillator) 109 で生成された発振周波数を、第 2 のバッファ 104 を介して第 2 の分周器 105 で、所定の帰還クロックに分周・生成する。ここで、第 2 の分周器 105 は、小数点分周 (「N」が小数点を含む数値である分周) を行うものであり、例えば、固定小数点カウンタによる分数分周器で構成されている。

30

【0004】

そして、基準クロックと帰還クロックとを位相比較器 106 で比較し、帰還クロックの位相が基準クロックの位相よりも進んでいる場合は Up 信号をチャージポンプ 107 に伝送し、帰還クロックの位相が基準クロックの位相よりも遅れている場合には、Down 信号をチャージポンプ 107 に伝送する。次に、チャージポンプ 107 は、Up 信号を受けると、設定された電流値でループフィルタ 108 に充電電流を吐き出し、Down 信号を受けると、設定された電流値でループフィルタ 108 から放電電流を吸い込む。

40

【0005】

続いて、ループフィルタ 108 は、チャージポンプ 107 による電流を積分して電圧信号に変換するとともに、平滑化処理を施して制御電圧を生成する。そして、電圧制御発振器 109 は、ループフィルタ 108 からの制御電圧に応じた周波数信号を発振・出力する。と同時に、電圧制御発振器 109 からの周波数信号が、上記のように第 2 の分周器 105 に入力される。

【0006】

50

このようにして、帰還クロックの位相が基準クロックの位相と一致するように制御電圧を増減させて、電圧制御発振器 109 からの発振周波数を調整する。これにより、電圧制御発振器 109 からの発振周波数・帰還クロックが、基準クロックの位相と一致（近接）するとともに、基準クロックの N 倍（「N」は小数点を含む数値）の周波数となるものである。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2000 - 341120 号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0008】

ところで、上記のような小数点分周 PLL 回路では、スプリアス（不要波）が発生する場合があります。従来、スプリアスを抑制・抑圧するために、ループフィルタのカットオフ周波数を低く設定・設計することで、ループフィルタでスプリアス成分を抑制していた。しかしながら、ループフィルタのカットオフ周波数を低く設定すると、ループ応答周波数が低くなり、ロックアップの時間（立ち上がり時間）が遅くなる。また、ループフィルタに使用するコンデンサの容量・サイズが大きくなり、部品実装面積も増大する、という問題があった。

【0009】

20

そこでこの発明は、ループフィルタのカットオフ周波数を低く設定することなく、スプリアスを抑制することが可能な小数点分周 PLL 回路および集積回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

本願発明者は、小数点分周 PLL 回路（妨害 PLL 回路）における電圧制御発振器の出力または小数点分周された電圧制御発振器の出力が、電源ライン経由で位相比較器やチャージポンプに侵入し、被妨害 PLL 回路の比較周波数高調波と混変調された差周波数成分（ビート周波数）が被妨害 PLL 回路に重畳するために、スプリアスが発生することを究明した。すなわち、図 4 に示すように、電圧制御発振器 109 の出力（周波数成分 f_{RF} ）が位相比較器 106 やチャージポンプ 107 に侵入し、位相比較器 106 やチャージポンプ 107 内の非線形素子で混変調された場合、次のような周波数成分が生じる。

30

$$f_{RF} \pm f_{CP} = (N + \text{FRAC} / \text{MOD}) \times f_{comp} \pm (f_{comp} + 2 \times f_{comp} + \dots N \times f_{comp} + \dots)$$

ここで、「N」は整数、「FRAC / MOD」は小数点以下の数値、「 f_{comp} 」は基準周波数を示す。また、 f_{CP} の N 次高調波に対しては、次のような周波数成分が生じる。

$$f_{sp} = (\text{FRAC} / \text{MOD}) \times f_{comp}$$

そして、チャージポンプ 107 で生じた f_{sp} で、ループフィルタ 108 で抑制しきれない成分は電圧制御発振器 109 で変調され、オフセット周波数 f_{sp} に発生するスプリアスとなるものである。このように、このスプリアスは、小数点分周（ f_{sp} ）に起因するものであり、整数分周では発生しない。

40

【0011】

このようなスプリアスを抑制するためには、妨害 PLL 回路の電圧制御発振器の出力または小数点分周された電圧制御発振器の出力が、位相比較器やチャージポンプと結合しないようにすればよい。そして、そのひとつの手段として、電源ライン間の結合量を減少させることが有効である、ことを本願発明者は実証確認した。

【0012】

そこで、上記目的を達成するために請求項 1 に記載の発明は、基準発振器で生成された基準周波数を所定の基準クロックに分周する第 1 の分周器と、電圧制御発振器で生成され

50

た発振周波数を所定の帰還クロックに小数点分周する第2の分周器と、前記基準クロックと帰還クロックとの位相を比較する位相比較器と、前記位相比較器による比較結果に基づいて前記電圧制御発振器の発振周波数を制御するチャージポンプと、を備えた小数点分周PLL回路において、前記第1の分周器側の電源パッドと、前記第2の分周器側の電源パッドと、前記位相比較器側の電源パッドと、前記チャージポンプ側の電源パッドとを、それぞれ別個に備えた、ことを特徴とする。

【0013】

請求項2に記載の発明は、請求項1に記載の小数点分周PLL回路を含む複数のPLL回路を備えた集積回路であって、前記小数点分周PLL回路の電源パッドと、他のPLL回路の電源パッドとをそれぞれ別個に備えた、ことを特徴とする。

10

【発明の効果】

【0014】

請求項1に記載の発明によれば、第1の分周器側の電源パッドと、第2の分周器側の電源パッドと、位相比較器側の電源パッドと、チャージポンプ側の電源パッドとが、それぞれ別個に設けられているため、スプリアスの要因となる周波数成分が電源ラインを經由して結合することが防止される。この結果、スプリアスを抑制することが可能となり、また、ループフィルタのカットオフ周波数を低く設定する必要がないため（ループフィルタの設計に制約を与えないため）、ロックアップ時間やコンデンサの容量・サイズなどを適正に設定・設計することが可能となる。

20

【0015】

請求項2に記載の発明によれば、小数点分周PLL回路の電源パッドと、他のPLL回路の電源パッドとがそれぞれ別個に設けられているため、請求項1に記載の発明と同様に、スプリアスの要因となる周波数成分が電源ラインを經由して結合することが防止され、スプリアスを抑制することが可能となる。

【図面の簡単な説明】

【0016】

【図1】この発明の実施の形態1に係る小数点分周PLL回路を示す概略構成図である。

【図2】この発明の実施の形態2に係る集積回路を示す概略構成図である。

【図3】この発明の実施の形態3に係る集積回路を示す概略構成図である。

【図4】小数点分周PLL回路を示す構成図である。

30

【発明を実施するための形態】

【0017】

以下、この発明を図示の実施の形態に基づいて説明する。

【0018】

（実施の形態1）

図1は、この実施の形態に係る小数点分周PLL回路1を示す概略構成図である。この小数点分周PLL回路1は、入力された基準周波数・基準クロックに対して、位相が同期したN倍（「N」は小数点を含む数値）の周波数信号を出力する回路であり、図4と同等の構成については、同一符号を付している。また、図4と同様に、基準発振器101、ループフィルタ108および電圧制御発振器109を備えているが、図1においては、図示を省略している。

40

【0019】

第1の分周器103は、第1のバッファ102を介して基準発振器101に接続され、基準発振器101で生成された基準周波数を所定の基準クロックに分周する分周器であり、第1のバッファ102とともに第2の電源パッド1-2に接続されている。第2の分周器105は、第2のバッファ104を介して電圧制御発振器109に接続され、電圧制御発振器109で生成された発振周波数を所定の帰還クロックに小数点分周する小数点分周器であり、第2のバッファ104とともに第1の電源パッド1-1に接続されている。

【0020】

位相比較器106は、基準クロックと帰還クロックとの位相を比較し、帰還クロックの

50

位相が基準クロックの位相よりも進んでいる場合はUp信号をチャージポンプ107に伝送し、帰還クロックの位相が基準クロックの位相よりも遅れている場合には、Down信号をチャージポンプ107に伝送する。この位相比較器106は、第3の電源パッド1-3に接続されている。

【0021】

チャージポンプ107は、位相比較器106からUp信号を受けると、設定された電流値でループフィルタ108に充電電流を吐き出し、Down信号を受けると、設定された電流値でループフィルタ108から放電電流を吸い込む。これにより、ループフィルタ108が制御電圧を生成し、この制御電圧に応じた周波数信号を電圧制御発振器109が発振・出力するものである。このチャージポンプ107は、第4の電源パッド1-4に接続されている。

10

【0022】

このように、第1の分周器103側の電源パッド1-2と、第2の分周器105側の電源パッド1-1と、位相比較器106側の電源パッド1-3と、チャージポンプ107側の電源パッド1-4とが、それぞれ別個に設けられ、電源がそれぞれ別個に供給されるようになっている。このため、スプリアスの要因となる周波数成分が電源ラインを經由して結合することが防止され、スプリアスを抑制することが可能となる。また、ループフィルタ108のカットオフ周波数を低く設定する必要がなく、ループフィルタ108の設計に制約がないため、ロックアップ時間やコンデンサの容量・サイズなどを適正に設定・設計することが可能となる。

20

【0023】

(実施の形態2)

図2は、この実施の形態に係る集積回路10を示す概略構成図である。この集積回路10は、小数点分周PLL回路1~3を複数備えた集積回路であり、各PLL回路1~3は、実施の形態1における小数点分周PLL回路1と同等な構成となっている。すなわち、第1の分周器103、第2の分周器105、位相比較器106、チャージポンプ107などを備え、第1のPLL回路1では、第1の分周器103側の電源パッド1-2と、第2の分周器105側の電源パッド1-1と、位相比較器106側の電源パッド1-3と、チャージポンプ107側の電源パッド1-4とが、それぞれ別個に設けられている。

【0024】

同様に、第2、第3のPLL回路2、3においても、第1の分周器103側の電源パッド2-2、3-2と、第2の分周器105側の電源パッド2-1、3-1と、位相比較器106側の電源パッド2-3、3-3と、チャージポンプ107側の電源パッド2-4、3-4とが、それぞれ別個に設けられている。

30

【0025】

このように、PLL回路1~3間において電源パッドを共有・共通とせず、それぞれ別個に電源パッド1-1~3-4が設けられている。このため、実施の形態1と同様に、スプリアスの要因となる周波数成分が電源ラインを經由して結合することが防止され、スプリアスを抑制することが可能となる。

【0026】

(実施の形態3)

図3は、この実施の形態に係る集積回路20を示す概略構成図である。この集積回路20は、実施の形態1における小数点分周PLL回路1と、2つの整数分周PLL回路4、5とを備えた集積回路である。

40

【0027】

小数点分周PLL回路1は、実施の形態1と同様に、第1の分周器103側の電源パッド1-2と、第2の分周器105側の電源パッド1-1と、位相比較器106側の電源パッド1-3と、チャージポンプ107側の電源パッド1-4とが、それぞれ別個に設けられている。

【0028】

50

整数分周 P L L 回路 4、5 は、実施の形態 1、2 の第 2 の分周器 1 0 5 に代わって、電圧制御発振器で生成された発振周波数を所定の帰還クロックに整数分周する整数分周器を備えた P L L 回路であり、上記のように、小数点分周 (f s p) に起因するスプリアスは、発生しない。このため、整数分周 P L L 回路 4、5 は、電源パッドを共有化している。

【 0 0 2 9 】

すなわち、第 5 の電源パッド 4 - 1 に両 P L L 回路 4、5 の整数分周器側が接続され、第 6 の電源パッド 4 - 2 に両 P L L 回路 4、5 の第 1 の分周器 1 0 3 側が接続されている。また、第 7 の電源パッド 4 - 3 に両 P L L 回路 4、5 の位相比較器 1 0 6 側が接続され、第 8 の電源パッド 4 - 4 に両 P L L 回路 4、5 のチャージポンプ 1 0 7 側が接続されている。

10

【 0 0 3 0 】

このように、小数点分周 P L L 回路 1 と整数分周 P L L 回路 4、5 との間で、電源パッドを共有・共通としないため、実施の形態 2 と同様に、小数点分周 P L L 回路 1 において、スプリアスの要因となる周波数成分が電源ラインを経由して結合することが防止される。この結果、スプリアスを抑制することが可能となる。一方、小数点分周に起因するスプリアスが発生しない整数分周 P L L 回路 4、5 間においては、電源パッドを共有化しているため、集積回路 2 0 の小型化、簡素化を図ることが可能となる。

【 0 0 3 1 】

以上、この発明の実施の形態について説明したが、具体的な構成は、上記の実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があっても、この発明に含まれる。例えば、上記の実施の形態 3 では、整数分周 P L L 回路 4、5 間において電源パッドを共有化しているが、それぞれ別個に電源パッドを設けてもよく、また、複数の小数点分周 P L L 回路を含む集積回路では、それぞれの小数点分周 P L L 回路で別個に電源パッドを設ければよい。すなわち、少なくとも小数点分周 P L L 回路 1 において、他の P L L 回路から独立して電源パッドを設ければよい。

20

【 符号の説明 】

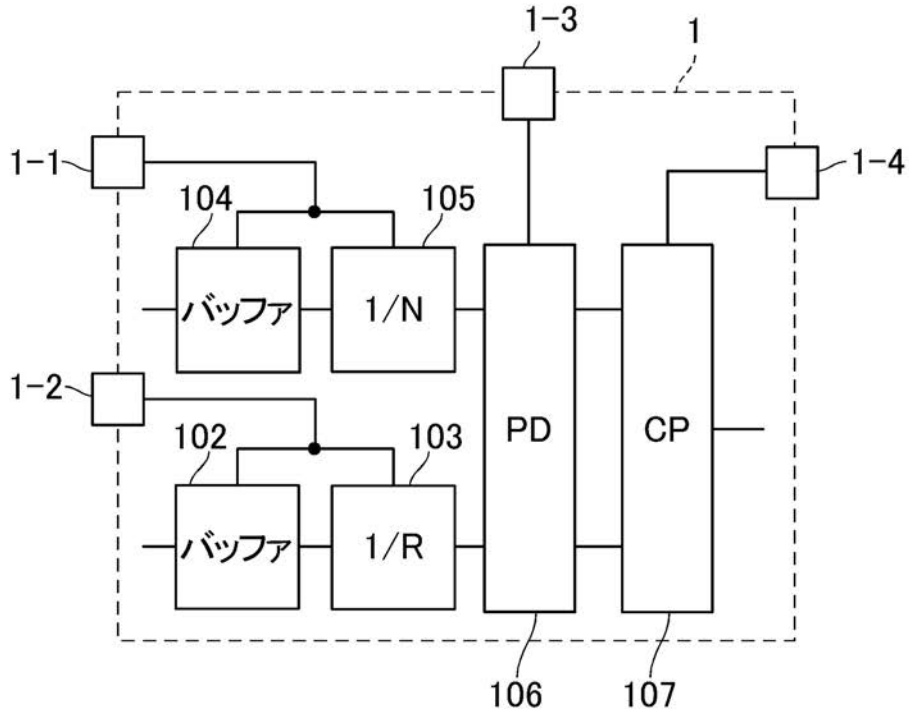
【 0 0 3 2 】

1	小数点分周 P L L 回路
1 0 1	基準発振器
1 0 3	第 1 の分周器
1 0 5	第 2 の分周器
1 0 6	位相比較器
1 0 7	チャージポンプ
1 0 8	ループフィルタ
1 0 9	電圧制御発振器
1 - 1	第 1 の電源パッド
1 - 2	第 2 の電源パッド
1 - 3	第 3 の電源パッド
1 - 4	第 4 の電源パッド

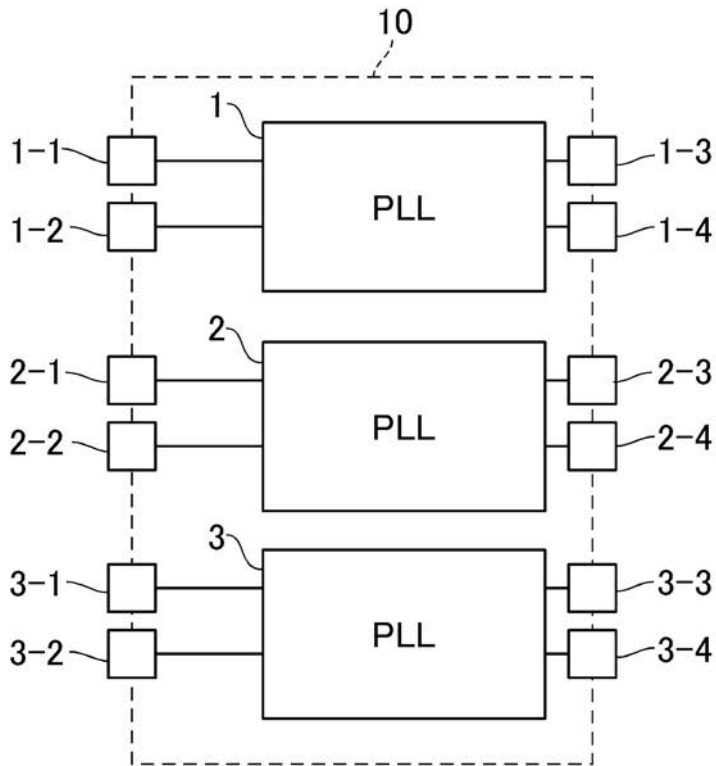
30

40

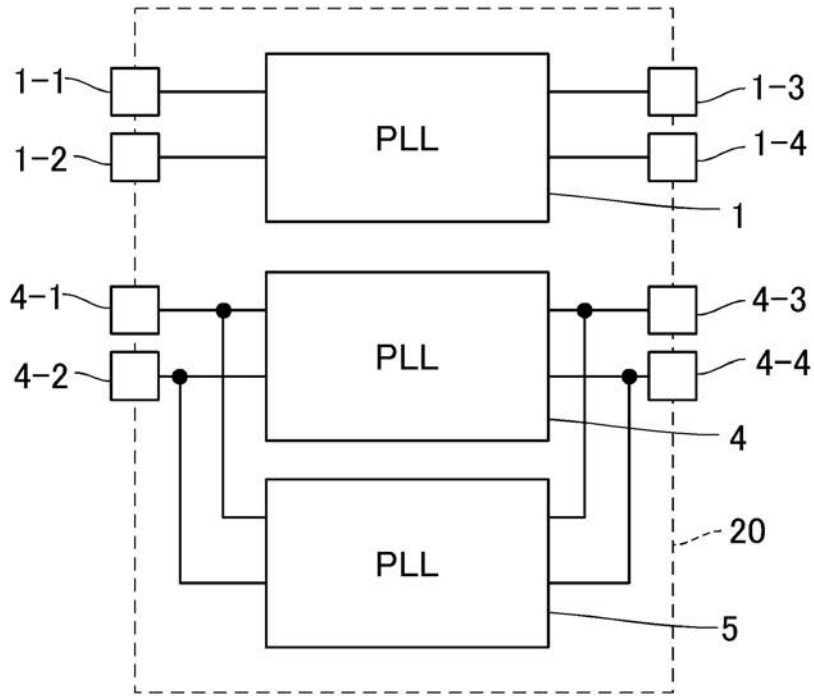
【 図 1 】



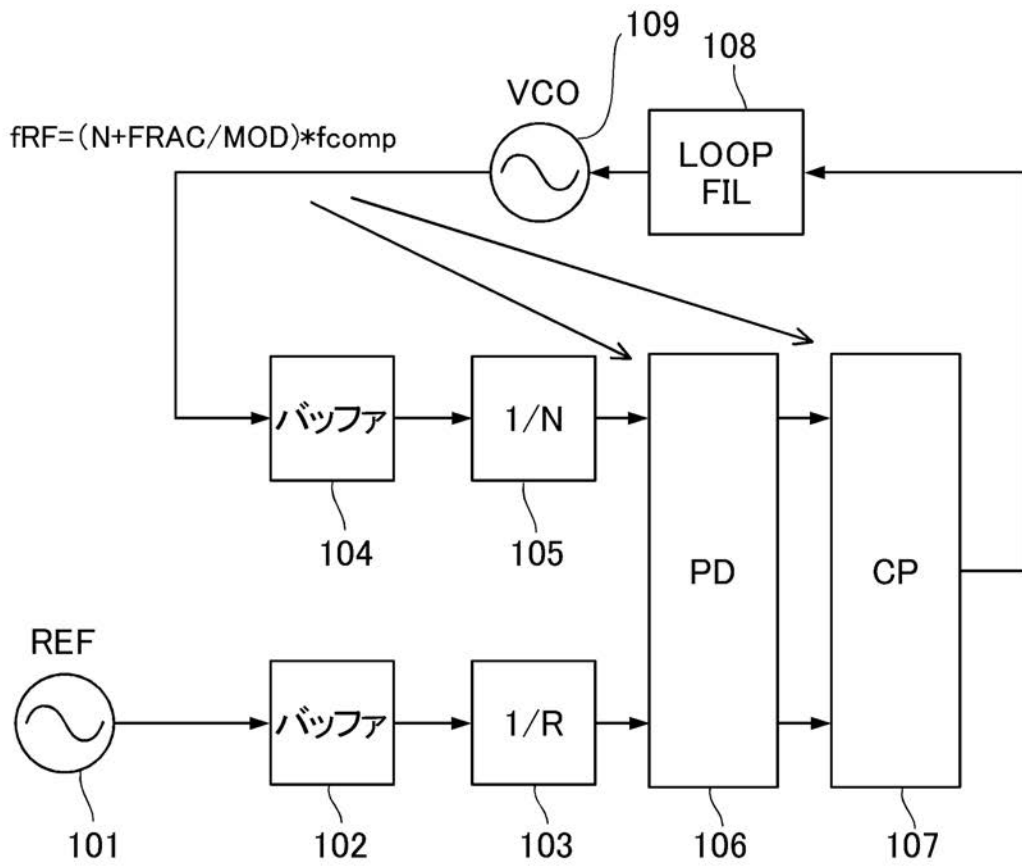
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

Fターム(参考) 5J106 AA05 CC01 CC15 CC21 CC41 CC53 DD32 GG01 KK22 KK26
KK27