

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-101464

(P2020-101464A)

(43) 公開日 令和2年7月2日(2020.7.2)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 33/02 (2006.01)	GO 1 R 33/02 A	2 G O 1 7
GO 1 N 27/72 (2006.01)	GO 1 N 27/72	2 G O 2 5
GO 1 R 33/07 (2006.01)	GO 1 R 33/07	2 G O 5 3
GO 1 R 15/20 (2006.01)	GO 1 R 33/02 V	
	GO 1 R 15/20 A	

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2018-240330 (P2018-240330)
 (22) 出願日 平成30年12月21日 (2018.12.21)

(71) 出願人 000000011
 アイシン精機株式会社
 愛知県刈谷市朝日町2丁目1番地
 (74) 代理人 110001818
 特許業務法人 R & C
 (72) 発明者 田中 智也
 愛知県刈谷市朝日町二丁目一番地 アイシン精機株式会社内
 Fターム(参考) 2G017 AA04 AB07 AC06 AD53 BA05
 BA10 BA15 CB02 CB11 CB22
 CB23
 2G025 AB02
 2G053 AB01 BA03 BA15 CA05 CB09
 DA01 DB01

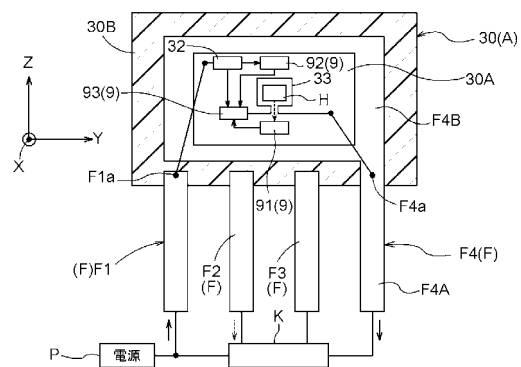
(54) 【発明の名称】 磁束検出ユニット

(57) 【要約】

【課題】 検出精度の低下を防止すると共に、出力信号のリニアリティ特性を担保可能な磁束検出ユニットを提供する。

【解決手段】 磁束検出ユニット30は、被測定対象に流れる電流により発生する磁束を検出する素子Hと、素子Hが実装された基板30Aと、素子Hに電流を供給する電源リードフレームF1と、素子Hで検出された磁束の大きさに応じて発生した出力信号が出力される出力リードフレームF2と、基板30Aが実装された実装面F4Bが形成され、接地端子F4aを含む接地リードフレームF4と、を有する導電性のリードフレームFと、を備え、基板30Aには、素子Hに供給される電流とは異なる補正電流を流す導電パターン33が設けられている。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

被測定対象に流れる電流により発生する磁束を検出する素子と、
前記素子を実装された基板と、
前記素子に電流を供給する電源リードフレームと、前記素子で検出された磁束の大きさに応じて発生した出力信号が出力される出力リードフレームと、前記基板が実装された実装面が形成され、接地端子を含む接地リードフレームと、を有する導電性のリードフレームと、を備え、
前記基板には、前記素子に供給される電流とは異なる補正電流を流す導電パターンが設けられている磁束検出ユニット。

10

【請求項 2】

前記導電パターンは、前記素子を取り囲むように設けられている請求項 1 に記載の磁束検出ユニット。

【請求項 3】

前記導電パターンに流す前記補正電流を制御する制御部をさらに備え、
前記制御部は、前記実装面に発生する渦電流を打ち消すように前記補正電流を制御する請求項 1 又は 2 に記載の磁束検出ユニット。

【請求項 4】

前記制御部は、前記素子からの前記出力信号が入力される入力部と、前記素子で検出される磁束と前記出力信号との関係である参照データを記憶した記憶部と、を有し、
前記制御部は、前記入力部に入力された現在の前記出力信号と前記記憶部に記憶された前記参照データとしての前記出力信号とを比較して、前記補正電流を制御する請求項 3 に記載の磁束検出ユニット。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、被測定対象に流れる電流により発生する磁束を検出する素子を備えた磁束検出ユニットに関する。

【背景技術】**【0002】**

従来、被測定対象に流れる電流により発生する磁束を検出する素子と、素子を実装された基板と、基板に電氣的に接続されると共に基板が実装されたリードフレームとを備えた磁束検出ユニットが知られている（例えば、特許文献 1～2 参照）。

30

【0003】

特許文献 1 には、被測定対象に流れる電流によって発生する磁束によりリードフレームに渦電流が発生することから、該渦電流を小さくするために、リードフレームにスロット（穴）を設けた技術が開示されている。このスロットにより、渦電流の閉ループを小さくすると共に渦電流の位置を移動させ、素子に対する渦電流の影響を低減し、素子における磁束の検出精度を高めることができると記載されている。

40

【0004】

特許文献 2 には、磁場の急激な変化による過渡信号を低減させるために、素子から出力される出力信号（電流）を、出力増幅器のグランドピンと信号出力ピンとの間の導電パスを含む回路ループと逆方向となる補償ループに流す技術が開示されている。この補償ループにより、出力信号のオーバーシュート又はアンダーシュートを減少させることができると記載されている。

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】特開 2018 - 9991 号公報

【特許文献 2】特開 2017 - 21043 号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1に記載の磁束検出ユニットは、渦電流をより低減させるためにスロット等の切欠きの面積を増大させる必要があり、リードフレームが特殊な形状となる。その結果、リードフレームの基板に対する実装強度が低下することから、改善の余地がある。また、特許文献2に記載の磁束検出ユニットは、過渡信号を低減させることができたとしても、単に出力信号をループさせているだけであるため、出力信号のリニアリティ特性を担保するためには改善の余地がある。

【0007】

そこで、検出精度の低下を防止すると共に、出力信号のリニアリティ特性を担保可能な磁束検出ユニットが望まれている。

【課題を解決するための手段】

【0008】

本発明に係る磁束検出ユニットの特徴構成は、被測定対象に流れる電流により発生する磁束を検出する素子と、前記素子を実装された基板と、前記素子に電流を供給する電源リードフレームと、前記素子で検出された磁束の大きさに応じて発生した出力信号が出力される出力リードフレームと、前記基板が実装された実装面が形成され、接地端子を含む接地リードフレームと、を有する導電性のリードフレームと、を備え、前記基板には、前記素子に供給される電流とは異なる補正電流を流す導電パターンが設けられている点にある。

【0009】

本構成では、素子に供給される電流とは異なる補正電流を流す導電パターンを基板に設けているので、導電パターンに流す補正電流を個別に制御することが可能となる。これにより、磁束検出ユニットに発生する渦電流に応じて補正電流の大きさを変更して、該渦電流を確実に打ち消すことができる。

【0010】

また、補正電流の大きさを出力信号に応じて変更することが可能となるため、出力信号のリニアリティ特性を担保することができる。つまり、従来のように出力信号に依存して過渡信号を低減するのではなく、補正電流を個別に制御することで、出力信号のリニアリティ特性を担保することができる。

【0011】

よって、検出精度の低下を防止すると共に、出力信号のリニアリティ特性を担保可能な磁束検出ユニットを提供できた。

【0012】

他の特徴構成は、前記導電パターンは、前記素子を取り囲むように設けられている点にある。

【0013】

本構成のように、導電パターンとして素子を取り囲むように導電パターンを設ければ、渦電流の流れる方向と逆方向に補正電流を流すことにより素子周辺の渦電流を打ち消すことが可能となるため、素子の検出精度の低下をより防止することができる。しかも、被測定対象に電流を流す前において磁束検出ユニットの検出精度を検査する場合、素子を取り囲むように設けられた導電パターンに電流を流して磁束を発生させることにより、素子の感度設定に異常がないか否かを判定することができる。

【0014】

他の特徴構成は、前記導電パターンに流す前記補正電流を制御する制御部をさらに備え、前記制御部は、前記実装面に発生する渦電流を打ち消すように前記補正電流を制御する点にある。

【0015】

磁束検出ユニットは、素子に電源から電流を供給することにより、接地リードフレーム

10

20

30

40

50

の実装面に渦電流が発生しやすい。つまり、接地リードフレームにおける電流経路が一律ではなく、この電流経路が電気抵抗となり渦電流が発生し、素子が渦電流に起因した磁束を検出することにより、素子の磁束検出精度が低下してしまう。そこで、本構成のように、実装面に発生する渦電流を打ち消すように渦電流の流れる方向と逆方向に渦電流と同じ大きさの補正電流を流すように制御すれば、渦電流に起因する検出精度の低下を効果的に防止することができる。

【 0 0 1 6 】

他の特徴構成は、前記制御部は、前記素子からの前記出力信号が入力される入力部と、前記素子で検出される磁束と前記出力信号との関係である参照データを記憶した記憶部と、を有し、前記制御部は、前記入力部に入力された現在の前記出力信号と前記記憶部に記憶された前記参照データとしての前記出力信号とを比較して、前記補正電流を制御する点にある。

10

【 0 0 1 7 】

本構成によると、出力信号のリニアリティ特性を判定する際、実際検出された出力信号を、予め記憶された参照データにおける理想的な出力信号と比較することとなる。その結果、実際検出された出力信号が参照データにおける理想的な出力信号から逸脱した場合、制御部により、理想的な出力信号の直線上に実際の出力信号が位置するように、補正電流が制御される。よって、出力信号のリニアリティ特性をリアルタイムで担保することができる。

20

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 電流センサの斜視図である。

【 図 2 】 磁束検出ユニットの概念図である。

【 図 3 】 磁束検出ユニットの制御例を示す図である。

【 図 4 】 磁束検出ユニットの制御例を示す図である。

【 図 5 】 別実施形態に係る磁束検出ユニットの概念図である。

【 図 6 】 別実施形態に係る磁束検出ユニットの概念図である。

【 発明を実施するための形態 】

【 0 0 1 9 】

以下に、本発明に係る磁束検出ユニットの実施形態について、図面に基づいて説明する。本実施形態では、磁束検出ユニットの一例として、電流センサ A に内蔵されたホール IC で構成される検出体 30 として説明する。ただし、以下の実施形態に限定されることなく、その要旨を逸脱しない範囲内で種々の変形が可能である。

30

【 0 0 2 0 】

[全体構成]

電流センサ A は、導電体 20 (被測定対象の一例) に流れる電流 (以下、「被測定電流」と言う) を測定するように構成されている。ここで、導電体 20 に被測定電流が流れる場合には、当該被測定電流の大きさに応じて導電体 20 を中心として磁界が発生する (アンペールの右手の法則)。この電流センサ A は、このような磁界において磁束を検出し、検出された磁束に基づいて導電体 20 に流れる被測定電流 (電流値) を測定する。

40

【 0 0 2 1 】

図 1 には本実施形態に係る電流センサ A の斜視図が示される。図 1 には平板状の導電体 20 が示されるが、以下では理解を容易にするために、導電体 20 の厚さ方向を X、導電体 20 が延在する方向 (延在方向) を Y とし、導電体 20 の幅方向を Z として説明する。

【 0 0 2 2 】

電流センサ A は、コア 10 と導電体 20 と検出体 30 とハウジング 40 と回路基板 K とを備えている。コア 10 は、金属磁性体からなる U 字状の平板を積層して形成されている。金属磁性体とは、軟磁性の金属であり、電磁鋼板 (珪素鋼板) やパーマロイ、パーメンジュール等が相当する。コア 10 は、このような金属磁性体の平板から打ち抜き加工により U 字状に打ち抜き、これらを積層して形成されている。

50

【 0 0 2 3 】

本実施形態におけるコア 1 0 は、第 1 の平板 1 1 と第 2 の平板 1 2 とを積層して構成されている。第 1 の平板 1 1 及び第 2 の平板 1 2 は、夫々複数用いて構成されている。

【 0 0 2 4 】

図 1 に示されるように、第 1 の平板 1 1 は、U 字状部 1 1 A と、U 字状部 1 1 A の側面 1 1 C から X 方向に沿って突出する突出部 1 1 B とを有している。U 字状部 1 1 A とは、第 1 の平板 1 1 のうち正面視が U 字状に形成される部分である。突出部 1 1 B は、U 字状部 1 1 A の側面 1 1 C のうち、X 方向に直交する面（Y Z 面に平行な面）に設けられている。このような第 1 の平板 1 1 は、U 字状部 1 1 A と突出部 1 1 B とが一体的に金属磁性体からの打ち抜き加工により形成されている。

10

【 0 0 2 5 】

第 2 の平板 1 2 は、第 1 の平板 1 1 の U 字状部 1 1 A と同形状の U 字状部 1 2 A を有している。U 字状部 1 1 A と同形状とは、外形寸法が一致していることを意味し、第 1 の平板 1 1 と第 2 の平板 1 2 とを積層した場合に、第 1 の平板 1 1 の U 字状部 1 1 A と第 2 の平板 1 2 の U 字状部 1 2 A とが Y 方向視において一致することを言う。

【 0 0 2 6 】

第 1 の平板 1 1 と第 2 の平板 1 2 とは、互いの U 字状部 1 1 A、1 2 A を一致させて第 1 の平板 1 1 が積層方向中央側に配置されるように積層されている。第 1 の平板 1 1 及び第 2 の平板 1 2 の積層面は、X Z 面に平行な面となり、積層方向は Y 方向が相当する。すなわち、図 1 に示されるように、第 2 の平板 1 2 が第 1 の平板 1 1 よりも積層方向中央側には配置されず、コア 1 0 全体を Y 方向に沿って見た場合に、第 2 の平板 1 2 / 第 1 の平板 1 1 / 第 2 の平板 1 2 の順に積層されている。

20

【 0 0 2 7 】

導電体 2 0 は、被測定電流が流される平板であり、所定の幅を有する長尺状に構成されている。このような導電体 2 0 は、コア 1 0 の U 溝の奥側に挿通されている。すなわち、本実施形態に係る導電体 2 0 は、コア 1 0 が U 字状を形成する U 溝の底部 5 2 の側に導電体 2 0 の Y Z 面と平行な一対の面と、コア 1 0 の U 溝側壁 1 3 の面とが互いに平行、且つ、コア 1 0 の積層方向（Y 方向）と被測定電流の流れ方向とを一致させて挿通されている。コア 1 0 に挿通された導電体 2 0 は、少なくともコア 1 0 の内面（U 溝側壁 1 3）から離間して配設されている。これにより、コア 1 0 と導電体 2 0 とを絶縁することが可能となる。

30

【 0 0 2 8 】

このような導電体 2 0 は、図示しない 3 相モータとこの 3 相モータに通電するインバータとを電氣的に接続するバスバーに直列接続されている。3 相モータは、ハイブリッド車両や電気自動車等の動力源に用いられる。したがって、導電体 2 0 は、当該導電体 2 0 の厚さに平行な方向（X 方向）に沿って少なくとも 3 つ並設されている。

【 0 0 2 9 】

検出体 3 0 は、コア 1 0 の U 溝の開口部 3 1 の側に、検出方向を開口部 3 1 の間隔方向（X 方向）に沿うように配置されている。開口部 3 1 とは U 溝の開口端部である。このため、検出体 3 0 は導電体 2 0 よりも U 溝の開口端部に近い側に配置されている。また、コア 1 0 の U 溝に配置された検出体 3 0 と導電体 2 0 との間は、空隙を有している。すなわち、検出体 3 0 と導電体 2 0 とは離間して設けられている。これにより、検出体 3 0 と導電体 2 0 とを絶縁することが可能となる。ここで、コア 1 0 には、導電体 2 0 に流れる電流に応じて生じた磁束が集磁される。集磁された磁束は、検出体 3 0 が配された近傍においてコア 1 0 の開口部 3 1 の間隔方向（X 方向）の磁界となる。

40

【 0 0 3 0 】

検出体 3 0 は、検出方向を X 方向に一致させて配置されている。したがって、導電体 2 0 に流れる被測定電流により形成される磁界の強さ（磁束の大きさ）を効果的に検出することが可能となる。

【 0 0 3 1 】

50

ハウジング４０は、コア１０と導電体２０と検出体３０とを支持する。本実施形態におけるハウジング４０は、コア１０と導電体２０と検出体３０とを覆う樹脂で構成されている。

【００３２】

第１の平板１１の突出部１１Ｂには、ハウジング４０により第１の平板１１及び第２の平板１２の積層方向両側から支持される積層方向支持部１６が設けられる。第１の平板１１及び第２の平板１２の積層方向とは、Ｙ方向である。コア１０は、積層方向支持部１６によりＹ方向両側から支持されているので、コア１０のＵ字状の部分に圧縮歪が生じないように構成されている。

【００３３】

また、突出部１１Ｂにおける開口奥側の位置に設けられた肩部に開口部３１の側と反対側からハウジング４０が当接することにより、Ｕ溝の開口方向に沿ってコア１０を支持する開口方向支持部１７が備えられる。突出部１１Ｂにおける開口奥側の位置とは、第１の平板１１の突出部１１ＢにおけるＵ字状部の湾曲する側の位置である。

【００３４】

第１の平板１１と第２の平板１２とを積層した場合に第１の平板１１の開口方向支持部１７と積層方向に沿って一致するように、第２の平板１２のＵ字状部１２Ａの側方にも開口方向支持部１９が設けられている。すなわち、第１の平板１１と第２の平板１２とを用いてコア１０を形成した場合に、第２の平板１２の開口方向支持部１９が第１の平板１１の開口方向支持部１７とＹ方向視において一致するように設けられている。

【００３５】

本実施形態における開口方向支持部１７及び開口方向支持部１９は、Ｕ溝の底部５２と間隔方向に沿って一致するよう構成されている。間隔方向に沿って一致するとは、Ｘ方向に底部５２と開口方向支持部１７及び開口方向支持部１９とが並んで配置され、底部５２のＺ方向の位置と、開口方向支持部１７及び開口方向支持部１９のＺ方向の位置とが一致している状態をいう。これにより、底部５２と開口方向支持部１７及び開口方向支持部１９とは開口方向の位置が同じであり、互いにモーメントが生じないので、コア１０のＵ字状の部分に圧縮歪が生じないようにすることが可能となる。

【００３６】

[検出体]

図２に示すように、検出体３０は、ホール素子等で構成される素子Ｈと、素子Ｈが中央に実装されたＩＣ基板３０Ａ（基板の一例）と、ＩＣ基板３０Ａと電氣的に接続されたりードフレームＦと、これら素子Ｈ，ＩＣ基板３０Ａ及びリードフレームＦを取り囲む樹脂部３０Ｂと、ＩＣ基板３０Ａに実装された制御部９と、を備えている。上述したように、検出体３０は、検出方向をＸ方向に一致させて配置されているので、素子Ｈの磁束検出面はＹＺ面に平行に配置されている。

【００３７】

ＩＣ基板３０Ａは、シリコンウェハ等で構成されており、後述する接地リードフレームＦ４の実装面Ｆ４Ｂに接着等により実装されている。ＩＣ基板３０Ａは、中央に素子Ｈが実装され、この素子Ｈの出力信号を増幅するための増幅回路や、バッテリーで構成される電源Ｐからの電流を素子Ｈに供給するための電源回路等の各種回路を含んでいるが図示を省略する。

【００３８】

本実施形態におけるＩＣ基板３０Ａは、素子Ｈを取り囲むように設けられた導電パターン３３を有している。この導電パターン３３には電源Ｐからの電流が供給されており、電流値（電圧値）を変換するレギュレータ３２が、素子Ｈに電流を供給する経路上（不図示）及び導電パターン３３の経路上に電氣的に接続されている。導電パターン３３は、ＩＣ基板３０Ａ上に銅の薄膜等を形成することにより実装されている。レギュレータ３２は、公知のレギュレータで構成されており、電源Ｐから供給された電流値を変換して、素子Ｈと導電パターン３３とに変換した電流を夫々流す。

10

20

30

40

50

【 0 0 3 9 】

リードフレーム F は、銅等の導電性の薄板で構成されており、電源リードフレーム F 1 と出力リードフレーム F 2 と予備リードフレーム F 3 と接地リードフレーム F 4 と、を有している。リードフレーム F は、ワイヤーボンディング等により IC 基板 3 0 A と電氣的に接続されている。なお、出力リードフレーム F 2 及び予備リードフレーム F 3 と電氣的に接続されたワイヤーは図示を省略している。

【 0 0 4 0 】

電源リードフレーム F 1 は、素子 H に電流を供給するために、電源 P と IC 基板 3 0 A との間で電氣的に接続されている。電源リードフレーム F 1 は、素子 H に電流を流す電源端子 F 1 a を含んでおり、この電源端子 F 1 a を導電パターン 3 3 に電流（補正電流）を流す補正電流入力端子と兼用している。本実施形態では、電源端子 F 1 a と補正電流入力端子とを兼用し、レギュレータ 3 2 を分岐点として、レギュレータ 3 2 から素子 H までの電源回路（不図示）とレギュレータ 3 2 から導電パターン 3 3 までの補正電流入力回路とを並列回路で構成し、電源リードフレーム F 1 に印加される所定電圧（例えば 5 V）に応じて夫々電流が流れるように構成している。つまり、IC 基板 3 0 A には、素子 H に供給される電流とは異なる補正電流を流す導電パターン 3 3 が設けられている。

10

【 0 0 4 1 】

出力リードフレーム F 2 は、素子 H が検出した磁束の大きさに応じて出力された出力信号（出力電圧）を回路基板 K に伝達（出力）する。この出力信号は IC 基板 3 0 A の増幅回路により増幅されており、後述する制御部 9 の入力部 9 1 に入力される。

20

【 0 0 4 2 】

予備リードフレーム F 3 は、回路基板 K と電氣的に接続されていないリードフレーム F である。なお、予備リードフレーム F 3 を省略して、リードフレーム F を、電源リードフレーム F 1 と出力リードフレーム F 2 と接地リードフレーム F 4 との 3 つで構成しても良い。

【 0 0 4 3 】

接地リードフレーム F 4 は、素子 H をグランド接続するための接地端子 F 4 a を含む長尺状のリード部 F 4 A と、IC 基板 3 0 A が実装された実装面 F 4 B とを有している。本実施形態では、導電パターン 3 3 をグランド接続するための補正電流接地端子を、接地端子 F 4 a と兼用している。実装面 F 4 B は、素子 H の表面積よりも大きな表面積を有しており、IC 基板 3 0 A を支持している。IC 基板 3 0 A は、接地リードフレーム F 4 の実装面 F 4 B の中央部分に実装されている。

30

【 0 0 4 4 】

樹脂部 3 0 B は、素子 H が実装された IC 基板 3 0 A と、ワイヤーボンディング等により IC 基板 3 0 A と電氣的に接続されたリードフレーム F の一端と、をインサート成形により封入する樹脂で構成されている。つまり、IC 基板 3 0 A は外部から視認できず、樹脂部 3 0 B 及びリードフレーム F が外部から視認可能に構成されている。

【 0 0 4 5 】

制御部 9 は、IC 基板 3 0 A に実装されている。この制御部 9 は、入力部 9 1 と記憶部 9 2 と補正電流制御部 9 3 とを有している。なお、制御部 9 をマイコンで構成して、IC 基板 3 0 A に対して信号のやり取りを実行しても良い。

40

【 0 0 4 6 】

入力部 9 1 には、素子 H からの出力信号が入力される。つまり、素子 H が検出した磁束の大きさに応じて出力されたリアルタイムの出力信号が、入力部 9 1 に入力される。

【 0 0 4 7 】

記憶部 9 2 は、素子 H が検出した磁束の大きさに応じて発生する出力信号に関する参照データが記憶されている。参照データとは、素子 H が検出した磁束の大きさ（磁束密度）と出力信号としての出力電圧との関係を示すデータであり、磁束の変化量に比例して出力電圧が直線状に変化するリニアリティ特性を有している（図 3 参照）。この参照データは、予め作成されたデータであり、検出体 3 0 の個体差を反映した固有の値に設定されてい

50

る。

【 0 0 4 8 】

補正電流制御部 9 3 は、公知のコンパレータやレギュレータ等で構成されている。記憶部 9 2 に記憶する参照データを作成するにあたり、検出体 3 0 を電流センサ A に組み込む前において、補正電流制御部 9 3 により制御された電流を導電パターン 3 3 に流す。その結果、導電パターン 3 3 に流れる電流に応じて発生する磁束量が変化し、この変化する磁束量に応じて発生する素子 H の出力電圧が入力部 9 1 に入力される。これにより、図 3 に示すように、磁束密度と出力電圧との関係を示す参照データを、検出体 3 0 の個体差を反映して取得することができる。また、検出体 3 0 を電流センサ A に組み込んだ後においては、導電体 2 0 に電流が流れていないときに、補正電流制御部 9 3 が導電パターン 3 3 に流す電流を制御することで、検出体 3 0 が正常に機能しているか否かを判定することができる。

10

【 0 0 4 9 】

ところで、電流センサ A は、素子 H に電源 P から電流の供給を開始するときに、接地リードフレーム F 4 の実装面 F 4 B に渦電流が発生しやすい。つまり、接地リードフレーム F 4 における電流経路が一律ではなく、この電流経路が電気抵抗となり渦電流が発生し、素子 H が渦電流に起因した磁束を検出することにより、素子 H の磁束検出精度が低下してしまう。

【 0 0 5 0 】

そこで、本実施形態における補正電流制御部 9 3 は、接地リードフレーム F 4 の実装面 F 4 B に発生する渦電流を打ち消すように、渦電流の流れる方向と逆方向且つ同じ大きさの補正電流を導電パターン 3 3 に流す制御を行う。この補正電流制御部 9 3 は、実装面 F 4 B に発生する渦電流を打ち消すように補正電流を制御するので、実装面 F 4 B に発生した渦電流に起因する検出精度の低下を効果的に防止することができる。

20

【 0 0 5 1 】

さらに、本実施形態における補正電流制御部 9 3 は、入力部 9 1 に入力された現在の出力信号と記憶部 9 2 に記憶された参照データとしての出力信号とをコンパレータ等で比較して、現在の出力信号が参照データの出力信号に近付くように、レギュレータ等で電圧調整された補正電流を導電パターン 3 3 に流す制御を実行する。具体的には、図 4 に示すように、補正電流制御部 9 3 は、入力部 9 1 に入力された現在の出力信号の勾配を一点鎖線として取得し、一点鎖線の勾配が参照データの出力信号における直線勾配に近付くように補正電流を導電パターン 3 3 に流す制御を実行する。図 4 の例では、プラスの出力電圧の場合、時計回りに補正電流を流すことにより、参照データの出力信号における直線勾配から外れた出力信号が、該直線勾配上になるように補正される。

30

【 0 0 5 2 】

このように、補正電流制御部 9 3 が出力信号のリニアリティ特性を判定する際、実際検出された出力信号を、予め記憶された参照データにおける理想的な出力信号と比較することになる。その結果、実際検出された出力信号が参照データにおける理想的な出力信号から逸脱した場合、補正電流制御部 9 3 により、理想的な出力信号の直線上に実際の出力信号が位置するように、補正電流が制御される。よって、出力信号のリニアリティ特性をリアルタイムで担保することができる。

40

【 0 0 5 3 】

[その他の実施形態]

(1) 図 5 に示すように、導電パターン 3 3 を素子 H の周囲の一部のみに設けても良い。この場合、導電パターン 3 3 の配置に設計自由度が高まるため、I C 基板 3 0 A に実装される増幅回路等の他の回路と干渉しないように導電パターン 3 3 を設けることが容易となる。

(2) 図 6 に示すように、予備リードフレーム F 3 は、レギュレータ 3 2 の作動を制御するための制御信号を伝達する制御用のリードフレーム F として構成しても良い。この場合、制御部 9 が回路基板 K に実装されることとなり、磁気検出ユニットは、検出体 3 0 と、

50

回路基板 K とで構成される。また、素子 H に電源リードフレーム F 1 から供給された電流を変換するレギュレータとは別に、制御部 9 により制御されるレギュレータ 3 2 が IC 基板 3 0 A に実装されることとなる。レギュレータ 3 2 が三端子レギュレータの場合は、補正電流制御部 9 3 による制御信号に基づきレギュレータ 3 2 の可変抵抗の抵抗値を変化させ、電源リードフレーム F 1 から供給された電流を所定値に変換可能に構成されている。なお、予備リードフレーム F 3 は、検出体 3 0 の 4 つのリードフレーム F のうち、2 つのリードフレーム F 2 , F 3 の 1 つを用いた例を図示しているが、新たに制御用のインプットピンを追加しても良い。

【 0 0 5 4 】

(3) 上述した実施形態における制御部 9 の補正電流制御部 9 3 にレギュレータを設けなくても良い。この場合でも、予め設定された所定電流を導電パターン 3 3 に流すことにより、素子 H に電源 P から電流を供給したとき、接地リードフレーム F 4 の実装面 F 4 B に流れる渦電流を打ち消すことができる。

(4) 上述した実施形態における検出体 3 0 は、電源リードフレーム F 1 に設けた電源端子 F 1 a を補正電流入力端子として構成したが、電源リードフレーム F 1 に補正電流入力端子を別に設けても良い。また、補正電流入力端子が設けられた別のリードフレームを備えても良い。この場合、レギュレータ 3 2 は、素子 H に供給される電流値を変換するためだけに用い、導電パターン 3 3 に流す補正電流の電流値は、補正電流制御部 9 3 に含まれるレギュレータにより制御しても良い。

(5) 上述した磁気検出ユニットは、電流センサ A 以外の各種センサに用いることができる。

【産業上の利用可能性】

【 0 0 5 5 】

本発明の磁束検出ユニットは、導電体に流れる電流を測定する電流センサ等に用いることが可能である。

【符号の説明】

【 0 0 5 6 】

9 : 制御部
 2 0 : 導電体 (被測定対象)
 3 0 : 検出体 (磁気検出ユニット)
 3 0 A : IC 基板 (基板)
 3 3 : 導電パターン
 9 1 : 入力部
 9 2 : 記憶部
 A : 電流センサ
 F : リードフレーム
 F 1 : 電源リードフレーム
 F 2 : 出力リードフレーム
 F 4 : 接地リードフレーム
 F 4 B : 実装面
 F 4 a : 接地端子
 H : 素子
 P : 電源

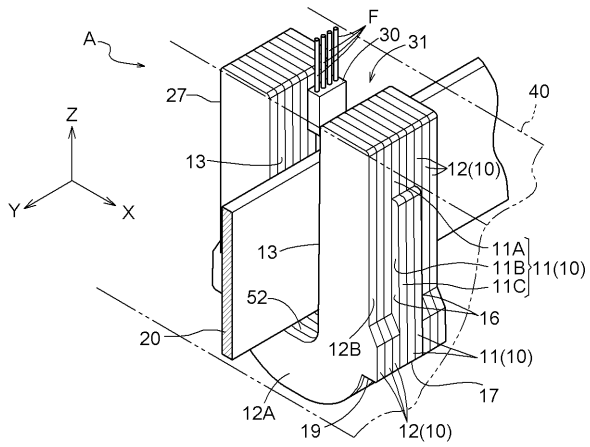
10

20

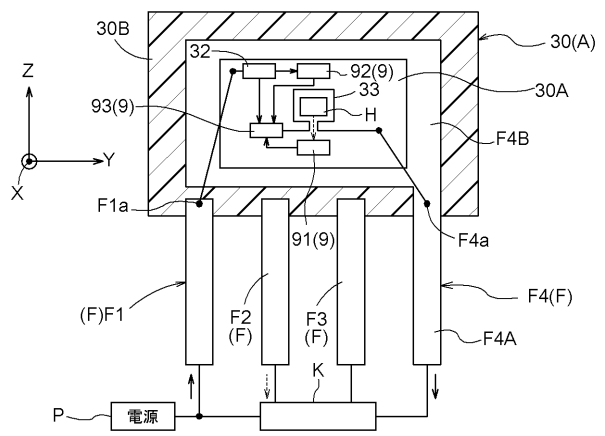
30

40

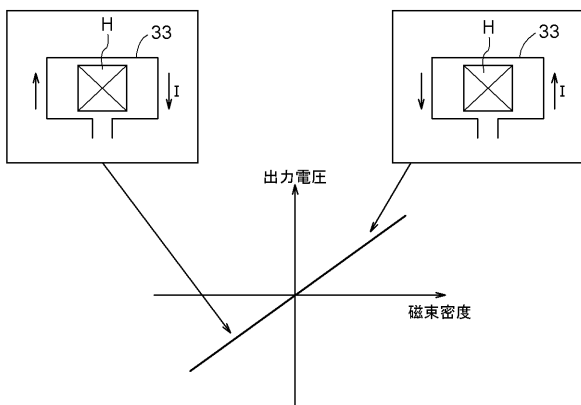
【図 1】



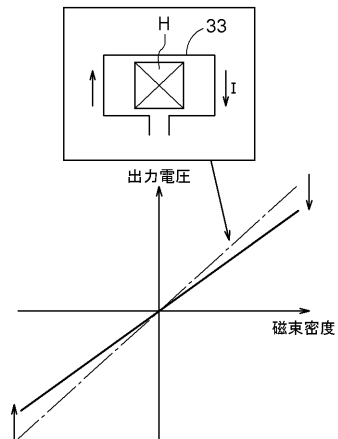
【図 2】



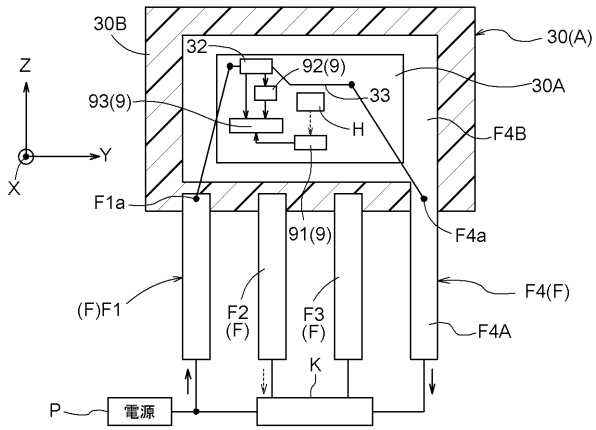
【図 3】



【図 4】



【図 5】



【図 6】

