(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0125004
(43) 공개일자 2021년10월15일

(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2006.01) *G06N 3/04* (2006.01)
G11C 11/405 (2006.01)
(52) CPC특허분류
G06N 3/063 (2013.01)
G06N 3/04 (2013.01)
(21) 출원번호 10-2021-7026023
(22) 출원일자(국제) 2020년02월03일
심사청구일자 없음
(85) 번역문제출일자 2021년08월17일
(86) 국제출원번호 PCT/IB2020/050821
(87) 국제공개번호 WO 2020/165685
국제공개일자 2020년08월20일
(30) 우선권주장
JP-P-2019-025723 2019년02월15일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
기무라 하지메
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
구로카와 요시유키
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 17 항

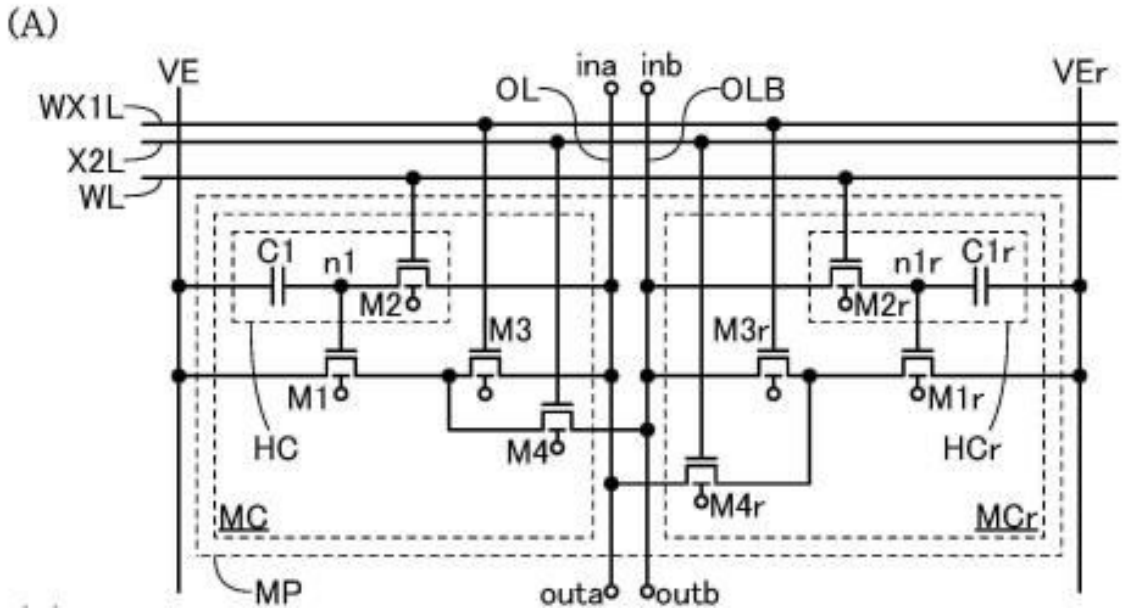
(54) 발명의 명칭 **반도체 장치 및 전자 기기**

(57) 요 약

적은 소비 전력으로 적화 연산(product-sum operation)을 할 수 있는 반도체 장치를 제공한다. 제 1 회로, 제 2 회로를 가지는 반도체 장치로서, 제 1 회로는 제 1 유지부와 제 1 트랜지스터를 가지고, 제 2 회로는 제 2 유지부와 제 2 트랜지스터를 가진다. 제 1 회로, 제 2 회로는 각각 제 1 입력 배선, 제 2 입력 배선, 제 1 배선,

(뒷면에 계속)

대 표 도



및 제 2 배선에 전기적으로 접속된다. 제 1 유지부는 제 1 트랜지스터에 흐르는 제 1 전류를 유지하는 기능을 가지고, 제 2 유지부는 제 2 트랜지스터에 흐르는 제 2 전류를 유지하는 기능을 가진다. 또한 제 1 전류, 제 2 전류는 제 1 데이터에 따라 결정된다. 제 1 입력 배선, 제 2 입력 배선에 제 2 데이터에 따른 전위가 입력됨으로써, 제 1 회로는 제 1 배선 및 제 2 배선 중 한쪽에 전류를 출력하고, 제 2 회로는 제 1 배선 및 제 2 배선 중 다른 쪽에 전류를 출력한다. 제 1 회로, 제 2 회로가 제 1 배선 또는 제 2 배선에 출력하는 전류량은 제 1 데이터와 제 2 데이터에 따라 결정된다.

(52) CPC특허분류

G11C 11/405 (2013.01)

명 세 서

청구범위

청구항 1

제 1 회로와 제 2 회로를 가지는 반도체 장치로서,

상기 제 1 회로는 제 1 유지부와 제 1 구동 트랜지스터를 가지고,

상기 제 2 회로는 제 2 유지부와 제 2 구동 트랜지스터를 가지고,

상기 제 1 회로는 제 1 입력 배선, 제 2 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고,

상기 제 2 회로는 상기 제 1 입력 배선, 상기 제 2 입력 배선, 상기 제 1 배선, 및 상기 제 2 배선에 전기적으로 접속되고,

상기 제 1 유지부는 상기 제 1 배선으로부터 상기 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고,

상기 제 2 유지부는 상기 제 2 배선으로부터 상기 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고,

상기 제 1 구동 트랜지스터는 상기 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 1 전위에 따른 상기 제 1 전류를 흘리는 기능을 가지고,

상기 제 2 구동 트랜지스터는 상기 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 2 전위에 따른 상기 제 2 전류를 흘리는 기능을 가지고,

상기 제 1 회로는

상기 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 2 회로는

상기 제 1 입력 배선에 상기 제 1 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 1 전류, 상기 제 2 전류는 각각 제 1 데이터에 따른 전류량을 가지고,

상기 제 1 입력 배선, 상기 제 2 입력 배선의 각각에 입력되는 상기 제 1 레벨 전위, 상기 제 2 레벨 전위는 제 2 데이터에 따라 결정되는, 반도체 장치.

청구항 2

제 1 회로와 제 2 회로를 가지는 반도체 장치로서,

상기 제 1 회로는 제 1 유지부와 제 1 구동 트랜지스터를 가지고,

상기 제 2 회로는 제 2 유지부와 제 2 구동 트랜지스터를 가지고,

상기 제 1 회로는 제 1 입력 배선, 제 2 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고,

상기 제 2 회로는 상기 제 1 입력 배선, 상기 제 2 입력 배선, 상기 제 1 배선, 및 상기 제 2 배선에 전기적으로 접속되고,

상기 제 1 유지부는 상기 제 1 배선으로부터 상기 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고,

상기 제 2 유지부는 상기 제 2 배선으로부터 상기 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고,

상기 제 1 구동 트랜지스터는 상기 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 1 전위에 따른 상기 제 1 전류를 흘리는 기능을 가지고,

상기 제 2 구동 트랜지스터는 상기 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 2 전위에 따른 상기 제 2 전류를 흘리는 기능을 가지고,

상기 제 1 회로는

제 1 기간에 상기 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 2 회로는

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 1 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 1 전류, 상기 제 2 전류는 각각 제 1 데이터에 따른 전류량을 가지고,

상기 제 1 입력 배선, 상기 제 2 입력 배선의 각각에 입력되는 상기 제 1 레벨 전위, 상기 제 2 레벨 전위, 및 상기 제 1 기간의 길이는 제 2 데이터에 따라 결정되는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 기간은 제 2 기간과 제 3 기간을 가지고,

상기 제 1 입력 배선은 상기 제 2 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 2 입력 배선은 상기 제 2 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 출력하는 기능을 가지고,

상기 제 1 입력 배선은 상기 제 3 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 2 입력 배선은 상기 제 3 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위

또는 상기 제 2 레벨 전위를 출력하는 기능을 가지고,

상기 제 3 기간의 길이는 상기 제 2 기간의 길이의 2배인, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 용량 소자를 가지고,

상기 제 2 회로는 제 4 트랜지스터와, 제 5 트랜지스터와, 제 6 트랜지스터와, 제 2 용량 소자를 가지고,

상기 제 1 유지부는 제 1 트랜지스터와 제 1 용량 소자를 가지고,

상기 제 2 유지부는 제 4 트랜지스터와 제 2 용량 소자를 가지고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 1 용량 소자의 제 1 단자와 상기 제 1 구동 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 1 구동 트랜지스터의 제 1 단자는 상기 제 2 트랜지스터의 제 1 단자와 상기 제 3 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 1 입력 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트는 상기 제 2 입력 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 2 용량 소자의 제 1 단자와 상기 제 2 구동 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 2 구동 트랜지스터의 제 1 단자는 상기 제 5 트랜지스터의 제 1 단자와 상기 제 6 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 제 1 입력 배선에 전기적으로 접속되고,

상기 제 6 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 6 트랜지스터의 게이트는 상기 제 2 입력 배선에 전기적으로 접속되는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 회로는 제 7 트랜지스터를 가지고,

상기 제 2 회로는 제 8 트랜지스터를 가지고,

상기 제 7 트랜지스터의 제 1 단자는 상기 제 1 구동 트랜지스터의 제 1 단자와, 상기 제 2 트랜지스터의 제 1 단자와, 상기 제 3 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 7 트랜지스터의 제 2 단자는 상기 제 1 트랜지스터의 제 1 단자 및 제 2 단자 중 한쪽에 전기적으로 접속되고,

상기 제 8 트랜지스터의 제 1 단자는 상기 제 2 구동 트랜지스터의 제 1 단자와, 상기 제 5 트랜지스터의 제 1 단자와, 상기 제 6 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 8 트랜지스터의 제 2 단자는 상기 제 4 트랜지스터의 제 1 단자 및 제 2 단자 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트와, 상기 제 7 트랜지스터의 게이트와, 상기 제 8 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 용량 소자를 가지고,

상기 제 2 회로는 제 4 트랜지스터와, 제 5 트랜지스터와, 제 6 트랜지스터와, 제 2 용량 소자를 가지고,

상기 제 1 유지부는 제 1 트랜지스터와 제 1 용량 소자를 가지고,

상기 제 2 유지부는 제 4 트랜지스터와 제 2 용량 소자를 가지고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 1 용량 소자의 제 1 단자와 상기 제 1 구동 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 구동 트랜지스터의 제 1 단자는 상기 제 1 트랜지스터의 제 2 단자와, 상기 제 2 트랜지스터의 제 1 단자와, 상기 제 3 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 1 입력 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트는 상기 제 2 입력 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 2 용량 소자의 제 1 단자와 상기 제 2 구동 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 2 구동 트랜지스터의 제 1 단자는 상기 제 4 트랜지스터의 제 2 단자와, 상기 제 5 트랜지스터의 제 1 단자와, 상기 제 6 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 제 1 입력 배선에 전기적으로 접속되고,

상기 제 6 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 6 트랜지스터의 게이트는 상기 제 2 입력 배선에 전기적으로 접속되는, 반도체 장치.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 회로는 제 3 유지부와 제 3 구동 트랜지스터를 가지고,

상기 제 2 회로는 제 4 유지부와 제 4 구동 트랜지스터를 가지고,

상기 제 1 회로는 제 3 배선에 전기적으로 접속되고,

상기 제 2 회로는 상기 제 3 배선에 전기적으로 접속되고,

상기 제 3 유지부는 상기 제 1 배선으로부터 상기 제 3 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 3 전류에 따른 제 3 전위를 유지하는 기능을 가지고,

상기 제 4 유지부는 상기 제 2 배선으로부터 상기 제 4 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 4 전류에 따른 제 4 전위를 유지하는 기능을 가지고,

상기 제 3 구동 트랜지스터는 상기 제 3 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 3 전위에 따른 상기 제 3 전류를 흘리는 기능을 가지고,

상기 제 4 구동 트랜지스터는 상기 제 4 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 4 전위에 따른 상기 제 4 전류를 흘리는 기능을 가지고,

상기 제 3 배선에 입력되는 신호에 따라 상기 제 1 배선 및 상기 제 2 배선 중 한쪽에 흐르는 상기 제 1 전류를 상기 제 3 전류로 전환하고 또한 상기 제 1 배선 및 상기 제 2 배선 중 다른 쪽에 흐르는 상기 제 2 전류를 상기 제 4 전류로 전환하는 기능을 가지는, 반도체 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

제 3 회로와, 제 4 회로와, 제 5 회로를 가지고,

상기 제 3 회로는

상기 제 1 배선을 통하여 상기 제 1 회로에 상기 제 1 데이터에 따른 상기 제 1 전류를 공급하는 기능과,

상기 제 2 배선을 통하여 상기 제 2 회로에 상기 제 1 데이터에 따른 상기 제 2 전류를 공급하는 기능을 가지고,

상기 제 4 회로는

상기 제 2 데이터에 따라 상기 제 1 입력 배선에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 입력하는 기능과,

상기 제 2 데이터에 따라 상기 제 2 입력 배선에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 입력하는 기능을 가지고,

상기 제 5 회로는 상기 제 1 배선 및 상기 제 2 배선의 각각으로부터 흐르는 전류를 비교하여 상기 제 5 회로의 출력 단자로부터 상기 제 1 데이터와 상기 제 2 데이터의 곱에 따른 전위를 출력하는 기능을 가지는, 반도체 장치.

청구항 9

제 1 회로와 제 2 회로를 가지는 반도체 장치로서,

상기 제 1 회로는 제 1 유지부와, 제 1 구동 트랜지스터와, 제 3 구동 트랜지스터를 가지고,

상기 제 2 회로는 제 2 유지부와, 제 2 구동 트랜지스터와, 제 4 구동 트랜지스터를 가지고,

상기 제 1 회로는 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고,

상기 제 2 회로는 상기 제 1 입력 배선, 상기 제 2 입력 배선, 상기 제 3 입력 배선, 상기 제 4 입력 배선, 상기 제 1 배선, 및 상기 제 2 배선에 전기적으로 접속되고,

상기 제 1 유지부는 상기 제 1 배선으로부터 상기 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고,

상기 제 2 유지부는 상기 제 2 배선으로부터 상기 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고,

상기 제 1 구동 트랜지스터는 상기 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 1 전위에 따른 상기 제 1 전류를 흘리는 기능을 가지고,

상기 제 2 구동 트랜지스터는 상기 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 2 전위에 따른 상기 제 2 전류를 흘리는 기능을 가지고,

상기 제 3 구동 트랜지스터는 상기 제 3 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 1 전위에 따른 상기 제 3 전류를 흘리는 기능을 가지고,

상기 제 4 구동 트랜지스터는 상기 제 4 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 2 전위에 따른 상기 제 4 전류를 흘리는 기능을 가지고,

상기 제 1 회로는

상기 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 제 2 레벨 전위가 입력되었을

때 상기 제 1 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능과,

상기 제 3 입력 배선에 상기 제 1 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 3 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 3 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 3 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 3 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 3 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 2 회로는

상기 제 1 입력 배선에 상기 제 1 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능과,

상기 제 3 입력 배선에 상기 제 1 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 4 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 3 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 4 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 3 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 4 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 1 전류, 상기 제 2 전류, 상기 제 3 전류, 상기 제 4 전류는 각각 제 1 데이터에 따른 전류량을 가지고,

상기 제 1 입력 배선, 상기 제 2 입력 배선, 상기 제 3 입력 배선, 상기 제 4 입력 배선의 각각에 입력되는 상기 제 1 레벨 전위, 상기 제 2 레벨 전위는 제 2 데이터에 따라 결정되는, 반도체 장치.

청구항 10

제 1 회로와 제 2 회로를 가지는 반도체 장치로서,

상기 제 1 회로는 제 1 유지부와, 제 1 구동 트랜지스터와, 제 3 구동 트랜지스터를 가지고,

상기 제 2 회로는 제 2 유지부와, 제 2 구동 트랜지스터와, 제 4 구동 트랜지스터를 가지고,

상기 제 1 회로는 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고,

상기 제 2 회로는 상기 제 1 입력 배선, 상기 제 2 입력 배선, 상기 제 3 입력 배선, 상기 제 4 입력 배선, 상기 제 1 배선, 및 상기 제 2 배선에 전기적으로 접속되고,

상기 제 1 유지부는 상기 제 1 배선으로부터 상기 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고,

상기 제 2 유지부는 상기 제 2 배선으로부터 상기 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고,

상기 제 1 구동 트랜지스터는 상기 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 1 전위에 따

른 상기 제 1 전류를 흘리는 기능을 가지고,

상기 제 2 구동 트랜지스터는 상기 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 2 전위에 따른 상기 제 2 전류를 흘리는 기능을 가지고,

상기 제 3 구동 트랜지스터는 상기 제 3 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 1 전위에 따른 상기 제 3 전류를 흘리는 기능을 가지고,

상기 제 4 구동 트랜지스터는 상기 제 4 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 2 전위에 따른 상기 제 4 전류를 흘리는 기능을 가지고,

상기 제 1 회로는

제 1 기간에 상기 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능과,

제 1 기간에 상기 제 3 입력 배선에 상기 제 1 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 3 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 3 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 3 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 3 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 3 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 2 회로는

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 1 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 2 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능과,

상기 제 1 기간에 상기 제 3 입력 배선에 상기 제 1 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 4 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 3 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 4 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 3 입력 배선에 상기 제 2 레벨 전위가 입력되고 또한 상기 제 4 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 4 전류를 상기 제 1 배선 및 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 1 전류, 상기 제 2 전류, 상기 제 3 전류, 상기 제 4 전류는 각각 제 1 데이터에 따른 전류량을 가지고,

상기 제 1 입력 배선, 상기 제 2 입력 배선, 상기 제 3 입력 배선, 상기 제 4 입력 배선의 각각에 입력되는 상기 제 1 레벨 전위, 상기 제 2 레벨 전위, 및 상기 제 1 기간의 길이는 제 2 데이터에 따라 결정되는, 반도체 장치.

청구항 11

제 10 항에 있어서,

상기 제 1 기간은 제 2 기간과 제 3 기간을 가지고,

상기 제 1 입력 배선은 상기 제 2 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 2 입력 배선은 상기 제 2 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 3 입력 배선은 상기 제 2 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 4 입력 배선은 상기 제 2 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 1 입력 배선은 상기 제 3 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 2 입력 배선은 상기 제 3 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 3 입력 배선은 상기 제 3 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 4 입력 배선은 상기 제 3 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 3 기간의 길이는 상기 제 2 기간의 길이의 2배인, 반도체 장치.

청구항 12

제 9 항 내지 제 11 항 중 어느 한 항에 있어서,

제 3 회로와, 제 4 회로와, 제 5 회로를 가지고,

상기 제 3 회로는

상기 제 1 배선을 통하여 상기 제 1 회로에 상기 제 1 데이터에 따른 상기 제 1 전류를 공급하는 기능과,

상기 제 2 배선을 통하여 상기 제 2 회로에 상기 제 1 데이터에 따른 상기 제 2 전류를 공급하는 기능을 가지고,

상기 제 4 회로는

상기 제 1 입력 배선에, 상기 제 2 데이터에 따라 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 입력하는 기능과,

상기 제 2 입력 배선에, 상기 제 2 데이터에 따라 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 입력하는 기능과,

상기 제 3 입력 배선에, 상기 제 2 데이터에 따라 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 입력하는 기능과,

상기 제 4 입력 배선에, 상기 제 2 데이터에 따라 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 입력하는 기능을 가지고,

상기 제 5 회로는 상기 제 1 배선 및 상기 제 2 배선의 각각으로부터 흐르는 전류를 비교하여 상기 제 5 회로의 출력 단자로부터 상기 제 1 데이터와 상기 제 2 데이터의 곱에 따른 전위를 출력하는 기능을 가지는, 반도체 장치.

청구항 13

제 1 회로와 제 2 회로를 가지는 반도체 장치로서,

상기 제 1 회로는 제 1 유지부와 제 1 구동 트랜지스터를 가지고,

상기 제 2 회로는 제 2 유지부와 제 2 구동 트랜지스터를 가지고,

상기 제 1 회로는 제 1 입력 배선 및 제 1 배선에 전기적으로 접속되고,

상기 제 2 회로는 상기 제 1 입력 배선 및 제 2 배선에 전기적으로 접속되고,

상기 제 1 유지부는 상기 제 1 배선으로부터 상기 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고,

상기 제 2 유지부는 상기 제 2 배선으로부터 상기 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고,

상기 제 1 구동 트랜지스터는 상기 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 1 전위에 따른 상기 제 1 전류를 흘리는 기능을 가지고,

상기 제 2 구동 트랜지스터는 상기 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 2 전위에 따른 상기 제 2 전류를 흘리는 기능을 가지고,

상기 제 1 회로는

상기 제 1 입력 배선에 제 1 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 입력 배선에 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선에 출력하지 않는 기능을 가지고,

상기 제 2 회로는

상기 제 1 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 1 전류, 상기 제 2 전류는 각각 제 1 데이터에 따른 전류량을 가지고,

상기 제 1 입력 배선, 상기 제 2 입력 배선의 각각에 입력되는 상기 제 1 레벨 전위, 상기 제 2 레벨 전위는 제 2 데이터에 따라 결정되는, 반도체 장치.

청구항 14

제 1 회로와 제 2 회로를 가지는 반도체 장치로서,

상기 제 1 회로는 제 1 유지부와 제 1 구동 트랜지스터를 가지고,

상기 제 2 회로는 제 2 유지부와 제 2 구동 트랜지스터를 가지고,

상기 제 1 회로는 제 1 입력 배선 및 제 1 배선에 전기적으로 접속되고,

상기 제 2 회로는 상기 제 1 입력 배선 및 제 2 배선에 전기적으로 접속되고,

상기 제 1 유지부는 상기 제 1 배선으로부터 상기 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고,

상기 제 2 유지부는 상기 제 2 배선으로부터 상기 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고,

상기 제 1 구동 트랜지스터는 상기 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 1 전위에 따른 상기 제 1 전류를 흘리는 기능을 가지고,

상기 제 2 구동 트랜지스터는 상기 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 상기 제 2 전위에 따른 상기 제 2 전류를 흘리는 기능을 가지고,

상기 제 1 회로는

제 1 기간에 상기 제 1 입력 배선에 제 1 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 제 2 레벨 전위가 입력되었을 때 상기 제 1 전류를 상기 제 1 배선에 출력하지 않는 기능을 가지고,

상기 제 2 회로는

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 1 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 2 배선에 출력하는 기능과,

상기 제 1 기간에 상기 제 1 입력 배선에 상기 제 2 레벨 전위가 입력되었을 때 상기 제 2 전류를 상기 제 2 배선에 출력하지 않는 기능을 가지고,

상기 제 1 전류, 상기 제 2 전류는 각각 제 1 데이터에 따른 전류량을 가지고,

상기 제 1 입력 배선, 상기 제 2 입력 배선의 각각에 입력되는 상기 제 1 레벨 전위, 상기 제 2 레벨 전위는 제 2 데이터에 따라 결정되는, 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 제 1 기간은 제 2 기간과 제 3 기간을 가지고,

상기 제 1 입력 배선은 상기 제 2 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 1 입력 배선은 상기 제 3 기간에서 상기 제 1 회로 및 상기 제 2 회로의 양쪽에 상기 제 1 레벨 전위 또는 상기 제 2 레벨 전위를 인가하는 기능을 가지고,

상기 제 3 기간의 길이는 상기 제 2 기간의 길이의 2배인, 반도체 장치.

청구항 16

제 13 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 용량 소자를 가지고,

상기 제 2 회로는 제 4 트랜지스터와, 제 5 트랜지스터와, 제 2 용량 소자를 가지고,

상기 제 1 유지부는 제 1 트랜지스터와 제 1 용량 소자를 가지고,

상기 제 2 유지부는 제 4 트랜지스터와 제 2 용량 소자를 가지고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 1 용량 소자의 제 1 단자와 상기 제 1 구동 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 1 구동 트랜지스터의 제 1 단자는 상기 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 2 단자는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 1 입력 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 2 용량 소자의 제 1 단자와 상기 제 2 구동 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 2 구동 트랜지스터의 제 1 단자는 상기 제 5 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 5 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 제 1 입력 배선에 전기적으로 접속되는, 반도체 장치.

청구항 17

전자 기기로서,

제 1 항 내지 제 16 항 중 어느 한 항에 따른 반도체 장치와 하우징을 가지고,

상기 반도체 장치에 의하여 신경망의 연산을 수행하는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 더 구체적으로 본 명세서에 개시되는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 신호 처리 장치, 프로세서, 전자 기기, 시스템, 이들의 구동 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 일례로 들 수 있다.

배 경 기 술

[0003] 현재, 인간의 뇌의 메커니즘을 모방한 집적 회로의 개발이 활발히 진행되고 있다. 상기 집적 회로에는 뇌의 메커니즘이 전자 회로로서 제공되어 있고, 인간의 뇌의 "뉴런"과 "시냅스"에 상당하는 회로를 가진다. 그러므로 이와 같은 집적 회로를 "뉴로모픽"이나 "브레인모픽"(brain morphic)이나 "브레인 인스파이어"(brain inspire)라고 할 경우도 있다. 상기 집적 회로는 비노이만형 아키텍처를 가지고, 처리 속도의 증가에 따라 소비 전력이 높아지는 노이만형 아키텍처와 비교하여 매우 낮은 소비 전력으로 병렬 처리를 수행할 수 있는 것으로 기대된다.

[0004] "뉴런"과 "시냅스"를 가지는 신경 회로망을 모방한 정보 처리 모델은 인공 신경망(ANN)이라고 불린다. 예를 들어 비특허문헌 1 및 비특허문헌 2에는 SRAM(Static Random Access Memory)을 사용하여 인공 신경망을 구성한 연산 장치에 대하여 개시되어 있다.

선행기술문헌

비특허문헌

[0005] (비특허문헌 0001) M. Kang et al., "IEEE Journal Of Solid-State Circuits", 2018, Volume 53, No.2, pp. 642-655.

(비특허문헌 0002) J. Zhang et al., "IEEE Journal Of Solid-State Circuits", 2017, Volume 52, No.4, pp. 915-924.

발명의 내용

해결하려는 과제

[0006] 인공 신경망에서는, 2개의 뉴런을 서로 결합하는 시냅스의 결합 강도(가중 계수라고 하는 경우가 있음)와, 2개의 뉴런 사이에서 전달되는 신호를 곱하는 계산이 수행된다. 특히 계층형 인공 신경망에서는, 제 1 층의 복수의 제 1 뉴런과, 제 2 층의 제 2 뉴런 중 하나 사이에서의 각 시냅스의 결합 강도와, 제 1 층의 복수의 제 1 뉴런으로부터 제 2 층의 제 2 뉴런 중 하나에 입력되는 각 신호를 곱하고 더할 필요가 있고, 인공 신경망의 규모에 따라, 예를 들어 상기 결합 강도의 수, 상기 신호를 나타내는 파라미터의 수가 결정된다. 즉 인공 신경망은 계층의 수, 뉴런의 수 등이 많아질수록 "뉴런" 및 "시냅스" 각각에 상당하는 회로의 수가 많아져 연산량도 방대해지는 경우가 있다.

[0007] 칩을 구성하는 회로의 수가 많아지면 소비 전력이 높아지고, 장치의 구동 시에 발생하는 발열량도 커진다. 특

히 발열량이 높아질수록 칩에 포함되는 회로 소자의 특성에 영향이 나타나기 때문에, 칩을 구성하는 회로는 온도로 인한 영향을 받기 어려운 회로 소자를 가지는 것이 바람직하다. 또한 칩에 포함되는 트랜지스터나 전류원 등의 특성에 편차가 있으면 연산 결과에도 편차가 발생한다.

[0008] 본 발명의 일 형태는 계층형 인공 신경망이 구축된 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 낮은 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 환경 온도의 영향을 받기 어려운 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 트랜지스터의 특성 편차의 영향을 받기 어려운 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 전류원의 특성 편차의 영향을 받기 어려운 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.

[0009] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

[0010] (1)

[0011] 본 발명의 일 형태는 제 1 회로와 제 2 회로를 가지는 반도체 장치로서, 제 1 회로는 제 1 유지부와 제 1 구동 트랜지스터를 가지고, 제 2 회로는 제 2 유지부와 제 2 구동 트랜지스터를 가지고, 제 1 회로는 제 1 입력 배선, 제 2 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고, 제 2 회로는 제 1 입력 배선, 제 2 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고, 제 1 유지부는 제 1 배선으로부터 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고, 제 2 유지부는 제 2 배선으로부터 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고, 제 1 구동 트랜지스터는 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 1 전위에 따른 제 1 전류를 흘리는 기능을 가지고, 제 2 구동 트랜지스터는 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 2 전위에 따른 제 2 전류를 흘리는 기능을 가지고, 제 1 회로는 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 1 전류를 제 2 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능을 가지고, 제 2 회로는 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 2 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 2 전류를 제 1 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능을 가지고, 제 1 전류, 제 2 전류는 각각 제 1 데이터에 따른 전류량을 가지고, 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선의 각각에 입력되는 제 1 레벨 전위, 제 2 레벨 전위는 제 2 데이터에 따라 결정되는, 반도체 장치이다.

[0012] (2)

[0013] 또는 본 발명의 일 형태는 제 1 회로와 제 2 회로를 가지는 반도체 장치로서, 제 1 회로는 제 1 유지부와 제 1 구동 트랜지스터를 가지고, 제 2 회로는 제 2 유지부와 제 2 구동 트랜지스터를 가지고, 제 1 회로는 제 1 입력 배선, 제 2 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고, 제 2 회로는 제 1 입력 배선, 제 2 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고, 제 1 유지부는 제 1 배선으로부터 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고, 제 2 유지부는 제 2 배선으로부터 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고, 제 1 구동 트랜지스터는 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 1 전위에 따른 제 1 전류를 흘리는 기능을 가지고, 제 2 구동 트랜지스터는 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 2 전위에 따른 제 2 전류를 흘리는 기능을 가지고, 제 1 회로는 제 1 기간에 제 1 입력 배선에 제 1 레

벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 1 전류를 제 2 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능을 가지고, 제 2 회로는 제 1 기간에 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 2 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 2 전류를 제 1 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능을 가지고, 제 1 전류, 제 2 전류는 각각 제 1 데이터에 따른 전류량을 가지고, 제 1 입력 배선, 제 2 입력 배선의 각각에 입력되는 제 1 레벨 전위, 제 2 레벨 전위, 및 제 1 기간의 길이는 제 2 데이터에 따라 결정되는, 반도체 장치이다.

[0014] (3)

[0015] 또는 본 발명의 일 형태는 상기 (2)의 구성에 있어서, 제 1 기간은 제 2 기간과 제 3 기간을 가지고, 제 1 입력 배선은 제 2 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 2 입력 배선은 제 2 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 출력하는 기능을 가지고, 제 1 입력 배선은 제 3 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 2 입력 배선은 제 3 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 출력하는 기능을 가지고, 제 3 기간의 길이는 제 2 기간의 길이의 2배인, 반도체 장치이다.

[0016] (4)

[0017] 또는 본 발명의 일 형태는 상기 (1) 내지 (3) 중 어느 하나의 구성에 있어서, 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 용량 소자를 가지고, 제 2 회로는 제 4 트랜지스터와, 제 5 트랜지스터와, 제 6 트랜지스터와, 제 2 용량 소자를 가지고, 제 1 유지부는 제 1 트랜지스터와 제 1 용량 소자를 가지고, 제 2 유지부는 제 4 트랜지스터와 제 2 용량 소자를 가지고, 제 1 트랜지스터의 제 1 단자는 제 1 용량 소자의 제 1 단자와 제 1 구동 트랜지스터의 게이트에 전기적으로 접속되고, 제 1 트랜지스터의 제 2 단자는 제 1 배선에 전기적으로 접속되고, 제 1 구동 트랜지스터의 제 1 단자는 제 2 트랜지스터의 제 1 단자와 제 3 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터의 제 2 단자는 제 1 배선에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 제 1 입력 배선에 전기적으로 접속되고, 제 3 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 제 3 트랜지스터의 게이트는 제 2 입력 배선에 전기적으로 접속되고, 제 4 트랜지스터의 제 1 단자는 제 2 용량 소자의 제 1 단자와 제 2 구동 트랜지스터의 게이트에 전기적으로 접속되고, 제 4 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 제 2 구동 트랜지스터의 제 1 단자는 제 5 트랜지스터의 제 1 단자와 제 6 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 5 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 제 5 트랜지스터의 게이트는 제 1 입력 배선에 전기적으로 접속되고, 제 6 트랜지스터의 제 2 단자는 제 1 배선에 전기적으로 접속되고, 제 6 트랜지스터의 게이트는 제 2 입력 배선에 전기적으로 접속되는, 반도체 장치이다.

[0018] (5)

[0019] 또는 본 발명의 일 형태는 상기 (4)의 구성에 있어서, 제 1 회로는 제 7 트랜지스터를 가지고, 제 2 회로는 제 8 트랜지스터를 가지고, 제 7 트랜지스터의 제 1 단자는 제 1 구동 트랜지스터의 제 1 단자와, 제 2 트랜지스터의 제 1 단자와, 제 3 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 7 트랜지스터의 제 2 단자는 제 1 트랜지스터의 제 1 단자 및 제 2 단자 중 한쪽에 전기적으로 접속되고, 제 8 트랜지스터의 제 1 단자는 제 2 구동 트랜지스터의 제 1 단자와, 제 5 트랜지스터의 제 1 단자와, 제 6 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 8 트랜지스터의 제 2 단자는 제 4 트랜지스터의 제 1 단자 및 제 2 단자 중 한쪽에 전기적으로 접속되고, 제 1 트랜지스터의 게이트는 제 4 트랜지스터의 게이트와, 제 7 트랜지스터의 게이트와, 제 8 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치이다.

[0020] (6)

[0021] 또는 본 발명의 일 형태는 상기 (1) 내지 (3) 중 어느 하나의 구성에 있어서, 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 1 용량 소자를 가지고, 제 2 회로는 제 4 트랜지스터와, 제 5 트랜

지스터와, 제 6 트랜지스터와, 제 2 용량 소자를 가지고, 제 1 유지부는 제 1 트랜지스터와 제 1 용량 소자를 가지고, 제 2 유지부는 제 4 트랜지스터와 제 2 용량 소자를 가지고, 제 1 트랜지스터의 제 1 단자는 제 1 용량 소자의 제 1 단자와 제 1 구동 트랜지스터의 게이트에 전기적으로 접속되고, 제 1 구동 트랜지스터의 제 1 단자는 제 1 트랜지스터의 제 2 단자와, 제 2 트랜지스터의 제 1 단자와, 제 3 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터의 제 2 단자는 제 1 배선에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 제 1 입력 배선에 전기적으로 접속되고, 제 3 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 제 3 트랜지스터의 게이트는 제 2 입력 배선에 전기적으로 접속되고, 제 4 트랜지스터의 제 1 단자는 제 2 용량 소자의 제 1 단자와 제 2 구동 트랜지스터의 게이트에 전기적으로 접속되고, 제 2 구동 트랜지스터의 제 1 단자는 제 4 트랜지스터의 제 2 단자와, 제 5 트랜지스터의 제 1 단자와, 제 6 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 5 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 제 5 트랜지스터의 게이트는 제 1 입력 배선에 전기적으로 접속되고, 제 6 트랜지스터의 제 2 단자는 제 1 배선에 전기적으로 접속되고, 제 6 트랜지스터의 게이트는 제 2 입력 배선에 전기적으로 접속되는, 반도체 장치이다.

[0022] (7)

[0023] 또는 본 발명의 일 형태는 상기 (1) 내지 (3) 중 어느 하나의 구성에 있어서, 제 1 회로는 제 3 유지부와 제 3 구동 트랜지스터를 가지고, 제 2 회로는 제 4 유지부와 제 4 구동 트랜지스터를 가지고, 제 1 회로는 제 3 배선에 전기적으로 접속되고, 제 2 회로는 제 3 배선에 전기적으로 접속되고, 제 3 유지부는 제 1 배선으로부터 제 3 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 3 전류에 따른 제 3 전위를 유지하는 기능을 가지고, 제 4 유지부는 제 2 배선으로부터 제 4 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 4 전류에 따른 제 4 전위를 유지하는 기능을 가지고, 제 3 구동 트랜지스터는 제 3 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 3 전위에 따른 제 3 전류를 흘리는 기능을 가지고, 제 4 구동 트랜지스터는 제 4 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 4 전위에 따른 제 4 전류를 흘리는 기능을 가지고, 제 3 배선에 입력되는 신호에 따라 제 1 배선 및 제 2 배선 중 한쪽에 흐르는 제 1 전류를 제 3 전류로 전환하고 또한 제 1 배선 및 제 2 배선 중 다른 쪽에 흐르는 제 2 전류를 제 4 전류로 전환하는 기능을 가지는, 반도체 장치이다.

[0024] (8)

[0025] 또는 본 발명의 일 형태는 상기 (1) 내지 (7) 중 어느 하나의 구성에 있어서, 제 3 회로와, 제 4 회로와, 제 5 회로를 가지고, 제 3 회로는 제 1 배선을 통하여 제 1 회로에 제 1 데이터에 따른 제 1 전류를 공급하는 기능과, 제 2 배선을 통하여 제 2 회로에 제 1 데이터에 따른 제 2 전류를 공급하는 기능을 가지고, 제 4 회로는 제 2 데이터에 따라 제 1 입력 배선에 제 1 레벨 전위 또는 제 2 레벨 전위를 입력하는 기능과, 제 2 데이터에 따라 제 2 입력 배선에 제 1 레벨 전위 또는 제 2 레벨 전위를 입력하는 기능을 가지고, 제 5 회로는 제 1 배선 및 제 2 배선의 각각으로부터 흐르는 전류를 비교하여 제 5 회로의 출력 단자로부터 제 1 데이터와 제 2 데이터의 곱에 따른 전위를 출력하는 기능을 가지는, 반도체 장치이다.

[0026] (9)

[0027] 또는 본 발명의 일 형태는 제 1 회로와 제 2 회로를 가지는 반도체 장치로서, 제 1 회로는 제 1 유지부와, 제 1 구동 트랜지스터와, 제 3 구동 트랜지스터를 가지고, 제 2 회로는 제 2 유지부와, 제 2 구동 트랜지스터와, 제 4 구동 트랜지스터를 가지고, 제 1 회로는 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고, 제 2 회로는 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고, 제 1 유지부는 제 1 배선으로부터 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고, 제 2 유지부는 제 2 배선으로부터 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고, 제 1 구동 트랜지스터는 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 1 전위에 따른 제 1 전류를 흘리는 기능을 가지고, 제 2 구동 트랜지스터는 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 2 전위에 따른 제 2 전류를 흘리는 기능을 가지고, 제 3 구동 트랜지스터는 제 3 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 1 전위에 따른 제 3 전류를 흘리는 기능을 가지고, 제 4 구동 트랜지스터는 제 4 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 2 전위에 따른 제 4 전류를 흘리는 기능을 가지고, 제 1 회로는 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 1 전류를 제 2 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선

및 제 2 배선에 출력하지 않는 기능과, 제 3 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 3 전류를 제 1 배선에 출력하는 기능과, 제 3 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 3 전류를 제 2 배선에 출력하는 기능과, 제 3 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 3 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능을 가지고, 제 2 회로는 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 2 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 2 전류를 제 1 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능과, 제 3 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 4 전류를 제 2 배선에 출력하는 기능과, 제 3 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 4 전류를 제 1 배선에 출력하는 기능과, 제 3 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 4 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능을 가지고, 제 1 전류, 제 2 전류, 제 3 전류, 제 4 전류는 각각 제 1 데이터에 따른 전류량을 가지고, 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선의 각각에 입력되는 제 1 레벨 전위, 제 2 레벨 전위는 제 2 데이터에 따라 결정되는, 반도체 장치이다.

[0028] (10)

[0029] 또는 본 발명의 일 형태는 제 1 회로와 제 2 회로를 가지는 반도체 장치로서, 제 1 회로는 제 1 유지부와, 제 1 구동 트랜지스터와, 제 3 구동 트랜지스터를 가지고, 제 2 회로는 제 2 유지부와, 제 2 구동 트랜지스터와, 제 4 구동 트랜지스터를 가지고, 제 1 회로는 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고, 제 2 회로는 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선, 제 1 배선, 및 제 2 배선에 전기적으로 접속되고, 제 1 유지부는 제 1 배선으로부터 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고, 제 2 유지부는 제 2 배선으로부터 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고, 제 1 구동 트랜지스터는 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 1 전위에 따른 제 1 전류를 흘리는 기능을 가지고, 제 2 구동 트랜지스터는 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 2 전위에 따른 제 2 전류를 흘리는 기능을 가지고, 제 3 구동 트랜지스터는 제 3 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 1 전위에 따른 제 3 전류를 흘리는 기능을 가지고, 제 4 구동 트랜지스터는 제 4 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 2 전위에 따른 제 4 전류를 흘리는 기능을 가지고, 제 1 회로는 제 1 기간에 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 1 전류를 제 2 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능과, 제 1 기간에 제 3 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 3 전류를 제 1 배선에 출력하는 기능과, 제 1 기간에 제 3 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 3 전류를 제 2 배선에 출력하는 기능과, 제 1 기간에 제 3 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 3 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능을 가지고, 제 2 회로는 제 1 기간에 제 1 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 2 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 2 전류를 제 1 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 2 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능과, 제 1 기간에 제 3 입력 배선에 제 1 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 4 전류를 제 2 배선에 출력하는 기능과, 제 1 기간에 제 3 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 4 전류를 제 1 배선에 출력하는 기능과, 제 1 기간에 제 3 입력 배선에 제 2 레벨 전위가 입력되고 또한 제 4 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 4 전류를 제 1 배선 및 제 2 배선에 출력하지 않는 기능을 가지고, 제 1 전류, 제 2 전류, 제 3 전류, 제 4 전류는 각각 제 1 데이터에 따른 전류량을 가지고, 제 1 입력 배선, 제 2 입력 배선, 제 3 입력 배선, 제 4 입력 배선의 각각에 입력되는 제 1 레벨 전위, 제 2 레벨 전위, 및 제 1 기간의 길이는 제 2 데이터에 따라 결정되는, 반도체 장치이다.

[0030] (11)

[0031] 또는 본 발명의 일 형태는 상기 (10)의 구성에 있어서, 제 1 기간은 제 2 기간과 제 3 기간을 가지고, 제 1 입력 배선은 제 2 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 2 입력 배선은 제 2 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 3 입력 배선은 제 2 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 4 입력 배선은 제 2 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 1 입력 배선은 제 3 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 2 입력 배선은 제 3 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 3 입력 배선은 제 3 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 4 입력 배선은 제 3 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 3 기간의 길이는 제 2 기간의 길이의 2배인, 반도체 장치이다.

[0032] (12)

[0033] 또는 본 발명의 일 형태는 상기 (9) 내지 (11) 중 어느 하나의 구성에 있어서, 제 3 회로와, 제 4 회로와, 제 5 회로를 가지고, 제 3 회로는 제 1 배선을 통하여 제 1 회로에 제 1 데이터에 따른 제 1 전류를 공급하는 기능과, 제 2 배선을 통하여 제 2 회로에 제 1 데이터에 따른 제 2 전류를 공급하는 기능을 가지고, 제 4 회로는 제 1 입력 배선에 제 2 데이터에 따라 제 1 레벨 전위 또는 제 2 레벨 전위를 입력하는 기능과, 제 2 입력 배선에 제 2 데이터에 따라 제 1 레벨 전위 또는 제 2 레벨 전위를 입력하는 기능과, 제 3 입력 배선에 제 2 데이터에 따라 제 1 레벨 전위 또는 제 2 레벨 전위를 입력하는 기능과, 제 4 입력 배선에 제 2 데이터에 따라 제 1 레벨 전위 또는 제 2 레벨 전위를 입력하는 기능을 가지고, 제 5 회로는 제 1 배선 및 제 2 배선의 각각으로부터 흐르는 전류를 비교하여 제 5 회로의 출력 단자로부터 제 1 데이터와 제 2 데이터의 곱에 따른 전위를 출력하는 기능을 가지는, 반도체 장치이다.

[0034] (13)

[0035] 또는 본 발명의 일 형태는 제 1 회로와 제 2 회로를 가지는 반도체 장치로서, 제 1 회로는 제 1 유지부와 제 1 구동 트랜지스터를 가지고, 제 2 회로는 제 2 유지부와 제 2 구동 트랜지스터를 가지고, 제 1 회로는 제 1 입력 배선 및 제 1 배선에 전기적으로 접속되고, 제 2 회로는 제 1 입력 배선 및 제 2 배선에 전기적으로 접속되고, 제 1 유지부는 제 1 배선으로부터 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고, 제 2 유지부는 제 2 배선으로부터 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고, 제 1 구동 트랜지스터는 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 1 전위에 따른 제 1 전류를 흘리는 기능을 가지고, 제 2 구동 트랜지스터는 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 2 전위에 따른 제 2 전류를 흘리는 기능을 가지고, 제 1 회로는 제 1 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선에 출력하지 않는 기능을 가지고, 제 2 회로는 제 1 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 2 전류를 제 2 배선에 출력하는 기능과, 제 1 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 2 배선에 출력하지 않는 기능을 가지고, 제 1 전류, 제 2 전류는 각각 제 1 데이터에 따른 전류량을 가지고, 제 1 입력 배선, 제 2 입력 배선의 각각에 입력되는 제 1 레벨 전위, 제 2 레벨 전위는 제 2 데이터에 따라 결정되는, 반도체 장치이다.

[0036] (14)

[0037] 또는 본 발명의 일 형태는 제 1 회로와 제 2 회로를 가지는 반도체 장치로서, 제 1 회로는 제 1 유지부와 제 1 구동 트랜지스터를 가지고, 제 2 회로는 제 2 유지부와 제 2 구동 트랜지스터를 가지고, 제 1 회로는 제 1 입력 배선 및 제 1 배선에 전기적으로 접속되고, 제 2 회로는 제 1 입력 배선 및 제 2 배선에 전기적으로 접속되고, 제 1 유지부는 제 1 배선으로부터 제 1 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 1 전류에 따른 제 1 전위를 유지하는 기능을 가지고, 제 2 유지부는 제 2 배선으로부터 제 2 구동 트랜지스터의 소스-드레인 사이에 흐르는 제 2 전류에 따른 제 2 전위를 유지하는 기능을 가지고, 제 1 구동 트랜지스터는 제 1 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 1 전위에 따른 제 1 전류를 흘리는 기능을 가지고, 제 2 구동 트랜지스터는 제 2 구동 트랜지스터의 소스-드레인 사이에서, 유지된 제 2 전위에 따른 제 2 전류를 흘리는 기능을 가지고, 제 1 회로는 제 1 기간에 제 1 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선에

출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 1 전류를 제 1 배선에 출력하지 않는 기능을 가지고, 제 2 회로는 제 1 기간에 제 1 입력 배선에 제 1 레벨 전위가 입력되었을 때 제 2 전류를 제 2 배선에 출력하는 기능과, 제 1 기간에 제 1 입력 배선에 제 2 레벨 전위가 입력되었을 때 제 2 전류를 제 2 배선에 출력하지 않는 기능을 가지고, 제 1 전류, 제 2 전류는 각각 제 1 데이터에 따른 전류량을 가지고, 제 1 입력 배선, 제 2 입력 배선의 각각에 입력되는 제 1 레벨 전위, 제 2 레벨 전위는 제 2 데이터에 따라 결정되는, 반도체 장치이다.

[0038] (15)

[0039] 또는 본 발명의 일 형태는 상기 (14)의 구성에 있어서, 제 1 기간은 제 2 기간과 제 3 기간을 가지고, 제 1 입력 배선은 제 2 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 1 입력 배선은 제 3 기간에서 제 1 회로 및 제 2 회로의 양쪽에 제 1 레벨 전위 또는 제 2 레벨 전위를 인가하는 기능을 가지고, 제 3 기간의 길이는 제 2 기간의 길이의 2배인, 반도체 장치이다.

[0040] (16)

[0041] 또는 본 발명의 일 형태는 상기 (13) 내지 (15) 중 어느 하나의 구성에 있어서, 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 1 용량 소자를 가지고, 제 2 회로는 제 4 트랜지스터와, 제 5 트랜지스터와, 제 2 용량 소자를 가지고, 제 1 유지부는 제 1 트랜지스터와 제 1 용량 소자를 가지고, 제 2 유지부는 제 4 트랜지스터와 제 2 용량 소자를 가지고, 제 1 트랜지스터의 제 1 단자는 제 1 용량 소자의 제 1 단자와 제 1 구동 트랜지스터의 게이트에 전기적으로 접속되고, 제 1 트랜지스터의 제 2 단자는 제 1 배선에 전기적으로 접속되고, 제 1 구동 트랜지스터의 제 1 단자는 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터의 제 2 단자는 제 1 배선에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 제 1 입력 배선에 전기적으로 접속되고, 제 4 트랜지스터의 제 1 단자는 제 2 용량 소자의 제 1 단자와 제 2 구동 트랜지스터의 게이트에 전기적으로 접속되고, 제 4 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 제 2 구동 트랜지스터의 제 1 단자는 제 5 트랜지스터의 제 1 단자에 전기적으로 접속되고, 제 5 트랜지스터의 제 2 단자는 제 2 배선에 전기적으로 접속되고, 제 5 트랜지스터의 게이트는 제 1 입력 배선에 전기적으로 접속되는, 반도체 장치이다.

[0042] (17)

[0043] 또는 본 발명의 일 형태는 상기 (1) 내지 (16) 중 어느 하나의 반도체 장치와 하우징을 가지고, 반도체 장치에 의하여 신경망의 연산을 수행하는, 전자 기기이다.

[0044] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 이 회로를 가지는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 가진 칩이나, 패키지에 칩을 수납한 전자 부품은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기 등은 그 자체가 반도체 장치인 경우가 있고, 반도체 장치를 가지는 경우가 있다.

[0045] 또한 본 명세서 등에 X와 Y가 접속된다고 기재되는 경우에는 X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 기재되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 도면 또는 문장에 기재되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0046] X와 Y가 전기적으로 접속되는 경우의 일례로서는 X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 스위치는 온, 오프가 제어되는 기능을 가진다. 즉 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가진다.

[0047] X와 Y가 기능적으로 접속되는 경우의 일례로서는 X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로가 개재(介在)되어도,

X로부터 출력된 신호가 Y로 전달되는 경우에는 X와 Y는 기능적으로 접속되어 있는 것으로 한다.

[0048] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는 X와 Y가 전기적으로 접속되는 경우(즉 X와 Y 사이에 다른 소자 또는 다른 회로가 개재되어 접속되는 경우)와, X와 Y가 기능적으로 접속되는 경우(즉 X와 Y 사이에 다른 회로가 개재되어 기능적으로 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉 X와 Y 사이에 다른 소자 또는 다른 회로가 개재되지 않고 접속되는 경우)를 포함하는 것으로 한다. 즉 전기적으로 접속된다고 명시적으로 기재되는 경우에는 단순히 접속된다고만 명시적으로 기재되는 경우와 같은 것으로 한다.

[0049] 또한 예를 들어 "X와, Y와, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0050] 또한 회로도상 독립된 구성요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성요소가 복수의 구성요소의 기능을 겸비하는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능의 양쪽의 구성요소의 기능을 겸비한다. 따라서, 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0051] 또한 본 명세서 등에서 "저항 소자"란, 저항값을 가지는 회로 소자, 배선 등으로 한다. 그러므로 본 명세서 등에서 "저항 소자"는 저항값을 가지는 배선, 소스-드레인 사이에 전류가 흐르는 트랜지스터, 다이오드, 코일 등을 포함하는 것으로 한다. 그러므로 "저항 소자"라는 용어는 "저항", "부하", "저항값을 가지는 영역" 등의 용어로 바꿔 말할 수 있고, 반대로 "저항", "부하", "저항값을 가지는 영역"이라는 용어는 "저항 소자" 등의 용어로 바꿔 말할 수 있다. 저항값은 예를 들어 바람직하게는 1mΩ 이상 10Ω 이하, 더 바람직하게는 5mΩ 이상 5Ω 이하, 더욱 바람직하게는 10mΩ 이상 1Ω 이하로 할 수 있다. 또한 예를 들어 1Ω 이상 1×10^{9}Ω 이하로 하여도 좋다.

[0052] 또한 본 명세서 등에서 "용량 소자"란, 정전 용량의 값을 가지는 회로 소자, 정전 용량의 값을 가지는 배선의 영역, 기생 용량, 트랜지스터의 게이트 용량 등으로 한다. 그러므로 본 명세서 등에서 "용량 소자"는 한 쌍의 전극과, 상기 전극 사이에 포함되는 유전체를 포함하는 회로 소자뿐만 아니라, 배선과 배선 사이에 생기는 기생 용량, 트랜지스터의 소스 및 드레인 중 한쪽과 게이트 사이에 발생하는 게이트 용량 등을 포함하는 것으로 한다. 또한 "용량 소자", "기생 용량", "게이트 용량" 등이라는 용어는 "용량" 등의 용어로 바꿔 말할 수 있고, 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", "게이트 용량" 등의 용어로 바꿔 말할 수 있다. 또한 "용량"의 "한 쌍의 전극"이라는 용어는 "한 쌍의 도전체", "한 쌍의 도전 영역", "한 쌍의 영역" 등으로 바꿔 말할 수 있다. 또한 정전 용량의 값은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0053] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 가진다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스나 드레인이라는 용어는 바꿔 말할 수 있는 것으로 한다. 또한 본 명세서 등에서는, 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(또는 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 가지는 경우가 있다. 이 경우 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 "게이트"와 "백 게이트"라는 용어는 서로 바꿀 수 있는 경우가

있다. 또한 트랜지스터가 3개 이상의 게이트를 가지는 경우, 본 명세서 등에서는 각 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부르는 경우가 있다.

[0054] 또한 본 명세서 등에서 노드는 회로 구성이나 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.

[0055] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바꿔 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바꿔 말할 수 있다. 그라운드 전위는 반드시 0V를 뜻하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위에 따라서는 배선 등에 인가되는 전위를 변화시키는 경우가 있다.

[0056] 또한 "전류"란 전하의 이동 현상(전기 전도)을 말하고, 예를 들어 "양의 하전체(荷電體)의 전기 전도가 발생하고 있다"라는 기재는, "그 반대 방향으로 음의 하전체의 전기 전도가 발생하고 있다"로 바꿔 말할 수 있다. 그러므로 본 명세서 등에서 "전류"란 특별히 언급하지 않는 한, 캐리어의 이동에 따른 전하의 이동 현상(전기 전도)을 말하는 것으로 한다. 여기서 캐리어란 전자, 정공, 음이온, 양이온, 착이온 등이 있고, 전류가 흐르는 시스템(예를 들어 반도체, 금속, 전해액, 진공 중 등)에 따라 캐리어가 다르다. 또한 배선 등에서의 "전류의 방향"은 양의 캐리어가 이동하는 방향이고, 양의 전류량으로 기재한다. 바꿔 말하면 음의 캐리어가 이동하는 방향은 전류의 방향과 반대 방향이고, 음의 전류량으로 표현된다. 따라서 본 명세서 등에서 전류의 양과 음(또는 전류의 방향)에 대하여 언급하지 않는 경우, "소자(A)로부터 소자(B)로 전류가 흐른다" 등의 기재는 "소자(B)로부터 소자(A)로 전류가 흐른다" 등으로 바꿔 말할 수 있는 것으로 한다. 또한 "소자(A)에 전류가 입력된다" 등의 기재는 "소자(A)로부터 전류가 출력된다" 등으로 바꿔 말할 수 있는 것으로 한다.

[0057] 또한 본 명세서 등에서 "제 1", "제 2", "제 3"이라는 서수사는 구성요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성요소의 수를 한정하는 것이 아니다. 또한 구성요소의 순서를 한정하는 것이 아니다. 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성요소가 다른 실시형태 또는 청구범위에서는 생략될 수도 있다.

[0058] 또한 본 명세서 등에서 "위에", "아래에" 등의 배치를 나타내는 용어는 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 위치하는 절연체"로 바꿔 말할 수 있다.

[0059] 또한 "위"나 "아래"라는 용어는, 구성요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접촉된 것을 한정하는 것은 아니다. 예를 들어 "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접촉되어 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성요소를 포함하는 것을 제외하지 않는다.

[0060] 또한 본 명세서 등에서 "막", "층" 등의 용어는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 "막", "층" 등의 용어를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어 "도전층" 또는 "도전막"이라는 용어를 "도전체"라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연층", "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.

[0061] 또한 본 명세서 등에서 "전극", "배선", "단자" 등의 용어는, 이들 구성요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극"이나 "배선"이라는 용어는, 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선"이나 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는, 복수의 "전극", "배선", "단자" 등이 일체가 되어 형성되어 있는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", "단자" 등의 용어는 경우에 따라 "영역" 등의 용어로 치환되는 경우가 있다.

[0062] 또한 본 명세서 등에서 "배선", "신호선", "전원선" 등의 용어는, 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 "배선"이

라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선", "전원선" 등의 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선" 등의 용어는 "신호선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 등의 용어는 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되는 "전위"라는 용어를 경우 또는 상황에 따라 "신호" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호" 등의 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.

[0063] 본 명세서 등에서 반도체의 불순물이란 예를 들어 반도체층을 구성하는 주성분 이외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함됨으로써, 예를 들어 반도체에 DOS(Density of States)가 형성되거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 것 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 주성분 이외의 전이 금속 등이 있고, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 구체적으로는 반도체가 실리콘층인 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 15족 원소 등이 있다.

[0064] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다. 일례로서는 전기적 스위치, 기계적 스위치 등을 사용할 수 있다. 즉 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.

[0065] 전기적 스위치의 일례로서는 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0066] 기계적 스위치의 일례로서는 MEMS(Micro Electro Mechanical Systems) 기술을 사용한 스위치가 있다. 그 스위치는 기계적으로 동작시킬 수 있는 전극을 가지고, 그 전극의 움직임에 따라 도통과 비도통을 제어하여 동작한다.

[0067] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

발명의 효과

[0068] 본 발명의 일 형태에 의하여 계층형 인공 신경망이 구축된 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 환경 온도의 영향을 받기 어려운 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 트랜지스터의 특성 편차의 영향을 받기 어려운 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 전류원의 특성 편차의 영향을 받기 어려운 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 반도체 장치 등을 제공할 수 있다.

[0069] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 위에서 열거한 효과를 가지지 않는 경우도 있다.

도면의 간단한 설명

[0070] 도 1의 (A), (B)는 계층형 신경망을 설명하는 도면이다.

도 2는 반도체 장치의 구성예를 나타낸 회로도이다.

도 3은 반도체 장치의 구성예를 나타낸 회로도이다.

도 4는 반도체 장치의 구성예를 나타낸 회로도이다.

도 5의 (A), (B), (C), (D), (E), (F)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 6의 (A), (B), (C), (D), (E), (F)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 7은 반도체 장치의 구성예를 나타낸 회로도이다.

도 8의 (A), (B), (C)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 9의 (A), (B), (C), (D), (E), (F)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 10은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 11은 반도체 장치의 구성예를 나타낸 회로도이다.

도 12는 반도체 장치의 구성예를 나타낸 회로도이다.

도 13은 반도체 장치의 구성예를 나타낸 회로도이다.

도 14는 반도체 장치의 구성예를 나타낸 회로도이다.

도 15의 (A), (B), (C)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 16의 (A), (B)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 17의 (A), (B), (C)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 18의 (A), (B), (C)는 반도체 장치의 동작예를 설명하는 타이밍 차트이다.

도 19의 (A), (B), (C)는 반도체 장치의 동작예를 설명하는 타이밍 차트이다.

도 20의 (A), (B), (C)는 반도체 장치의 동작예를 설명하는 타이밍 차트이다.

도 21의 (A), (B)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 22의 (A), (B)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 23의 (A), (B)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 24는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 25는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 26은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 27은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 28은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 29는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 30의 (A), (B)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 31은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 32는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 33은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 34는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 35는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 36은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 37은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 38은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 39는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 40은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 41의 (A), (B), (C)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 42는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 43은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 44는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 45는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 46은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 47의 (A), (B)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 48의 (A), (B), (C)는 반도체 장치의 동작예를 설명하는 타이밍 차트이다.

도 49의 (A), (B), (C)는 반도체 장치의 동작예를 설명하는 타이밍 차트이다.

도 50은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 51은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 52는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 53은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 54의 (A), (B)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 55의 (A), (B), (C)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 56의 (A), (B)는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 57은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 58은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 59는 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 60은 반도체 장치가 가지는 회로의 구성예를 나타낸 회로도이다.

도 61은 반도체 장치의 구성을 설명하는 단면 모식도이다.

도 62는 반도체 장치의 구성을 설명하는 단면 모식도이다.

도 63의 (A), (B), (C)는 반도체 장치의 구성을 설명하는 단면 모식도이다.

도 64의 (A), (B)는 트랜지스터의 구성예를 설명하는 단면 모식도이다.

도 65는 반도체 장치의 구성예를 설명하는 단면 모식도이다.

도 66의 (A), (B)는 트랜지스터의 구성예를 설명하는 단면 모식도이다.

도 67은 반도체 장치의 구성예를 설명하는 단면 모식도이다.

도 68의 (A)는 용량 소자의 구성예를 나타낸 상면도이고, 도 68의 (B), (C)는 용량 소자의 구성예를 나타낸 단면 사시도이다.

도 69의 (A)는 용량 소자의 구성예를 나타낸 상면도이고, 도 69의 (B)는 용량 소자의 구성예를 나타낸 단면도이고, 도 69의 (C)는 용량 소자의 구성예를 나타낸 단면 사시도이다.

도 70의 (A)는 반도체 웨이퍼의 일례를 나타낸 사시도이고, 도 70의 (B)는 칩의 일례를 나타낸 사시도이고, 도

70의 (C), (D)는 전자 부품의 일례를 나타낸 사시도이다.

도 71은 전자 기기의 일례를 나타낸 사시도이다.

도 72의 (A), (B), (C)는 전자 기기의 일례를 나타낸 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0071] 인공 신경망(이하 신경망이라고 부름)에서, 시냅스의 결합 강도는 신경망에 기존의 정보를 공급함으로써 변화될 수 있다. 이와 같이, 신경망에 기존의 정보를 공급하여 결합 강도를 결정하는 처리를 "학습"이라고 하는 경우가 있다.

[0072] 또한 "학습"을 수행한(결합 강도를 결정한) 신경망에 대하여 어떠한 정보를 공급함으로써, 그 결합 강도에 기초하여 새로운 정보를 출력할 수 있다. 이와 같이, 신경망에서, 공급된 정보와 결합 강도에 기초하여 새로운 정보를 출력하는 처리를 "추론" 또는 "인지"라고 하는 경우가 있다.

[0073] 신경망의 모델로서는 예를 들어 홉필드형, 계층형 등을 들 수 있다. 특히 다층 구조로 한 신경망을 "심층 신경망"(DNN)이라고 부르고, 심층 신경망에 의한 기계 학습을 "심층 학습"이라고 부르는 경우가 있다.

[0074] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. 즉 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 가지는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor), 줄여서 OS라고 할 수 있다. 또한 OS 트랜지스터라고 기재하는 경우에는 금속 산화물 또는 산화물 반도체를 가지는 트랜지스터로 바꿔 말할 수 있다.

[0075] 또한 본 명세서 등에서 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.

[0076] 또한 본 명세서 등에서 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는 구성예를 서로 적절히 조합할 수 있다.

[0077] 또한 어떤 하나의 실시형태에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 할 수 있다.

[0078] 또한 실시형태에서 설명하는 내용이란, 각 실시형태에서 다양한 도면을 참조하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.

[0079] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.

[0080] 본 명세서에 기재되는 실시형태에 대하여 도면을 참조하여 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 사시도 등에서 도면의 명확성을 위하여 일부 구성요소의 기재를 생략하는 경우가 있다.

[0081] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 이들을 특별히 구별할 필요가 있는 경우에는 부호에 "_1", "[n]", "[m, n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다.

[0082] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.

[0083] 또한 본 명세서 등에서 In:Ga:Zn=4:2:3 또는 그 근방이란, 원자수의 총합에 대하여 In이 4인 경우, Ga이 1 이상 3 이하(1≤Ga≤3)이고, Zn이 2 이상 4.1 이하(2≤Zn≤4.1)로 한다. 또한 In:Ga:Zn=5:1:6 또는 그 근방이란, 원자수의 총합에 대하여 In이 5인 경우, Ga이 0.1보다 크고 2 이하(0.1<Ga≤2)이고, Zn이 5 이상 7 이하(5≤Zn≤7)로 한다. 또한 In:Ga:Zn=1:1:1 또는 그 근방이란, 원자수의 총합에 대하여 In이 1인 경우, Ga이 0.1보다 크고 2 이하(0.1<Ga≤2)이고, Zn이 0.1보다 크고 2 이하(0.1<Zn≤2)로 한다. 또한 In:Ga:Zn=5:1:3 또는 그 근방이란, 원자수의 총합에 대하여 In이 5인 경우, Ga이 0.5 이상 1.5 이하(0.5≤Ga≤1.5)이고, Zn이 2 이상 4.1 이하(2≤Zn≤4.1)로 한다. 또한 In:Ga:Zn=10:1:3 또는 그 근방이란, 원자수의 총합에 대하여 In이 10인 경우, Ga이 0.5 이상 1.5 이하(0.5≤Ga≤1.5)이고, Zn이 2 이상 4.1 이하(2≤Zn≤4.1)로 한다. 또한 In:Zn=2:1 또는 그 근방이란, 원자수의 총합에 대하여 In이 1인 경우, Zn은 0.25보다 크고 0.75 이하(0.25<Zn≤0.75)로 한다. 또한 In:Zn=5:1 또는 그 근방이란, 원자수의 총합에 대하여 In이 1인 경우, Zn은 0.12보다 크고 0.25 이하(0.12<Zn≤0.25)로 한다. 또한 In:Zn=10:1 또는 그 근방이란, 원자수의 총합에 대하여 In이 1인 경우, Zn은 0.07보다 크고 0.12 이하(0.07<Zn≤0.12)로 한다.

[0084] (실시형태 1)

[0085] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치인 신경망의 연산을 수행하는 연산 회로에 대하여 설명한다.

[0086] <계층형 신경망>

[0087] 우선, 계층형 신경망에 대하여 설명한다. 계층형 신경망은 일례로서, 하나의 입력층과, 하나 또는 복수의 중간층(은닉층)과, 하나의 출력층을 가지고, 총 3개 이상의 층으로 구성된다. 도 1의 (A)에 나타낸 계층형 신경망(100)은 그 일례를 나타낸 것이고, 신경망(100)은 제 1 층 내지 제 R 층(여기서 R는 4 이상의 정수(整數)로 할 수 있음)을 가진다. 특히 제 1 층은 입력층에 상당하고, 제 R 층은 출력층에 상당하고, 이들 외의 층은 중간층에 상당한다. 또한 도 1의 (A)에는, 중간층으로서 제 (k-1) 층, 제 k 층(여기서 k는 3 이상 R-1 이하의 정수임)을 도시하고, 그 외의 중간층에 대해서는 생략하여 도시하였다.

[0088] 신경망(100)의 각 층은 하나 또는 복수의 뉴런을 가진다. 도 1의 (A)에서, 제 1 층은 뉴런($N_1^{(1)}$) 내지 뉴런($N_p^{(1)}$)(여기서 p는 1 이상의 정수임)을 가지고, 제 (k-1) 층은 뉴런($N_1^{(k-1)}$) 내지 뉴런($N_m^{(k-1)}$)(여기서 m은 1 이상의 정수임)을 가지고, 제 k 층은 뉴런($N_1^{(k)}$) 내지 뉴런($N_n^{(k)}$)(여기서 n은 1 이상의 정수임)을 가지고, 제 R 층은 뉴런($N_1^{(R)}$) 내지 뉴런($N_q^{(R)}$)(여기서 q는 1 이상의 정수임)을 가진다.

[0089] 또한 도 1의 (A)에는, 뉴런($N_1^{(1)}$), 뉴런($N_p^{(1)}$), 뉴런($N_1^{(k-1)}$), 뉴런($N_m^{(k-1)}$), 뉴런($N_1^{(k)}$), 뉴런($N_n^{(k)}$), 뉴런($N_1^{(R)}$), 뉴런($N_q^{(R)}$)에 더하여, 제 (k-1) 층의 뉴런($N_i^{(k-1)}$)(여기서 i는 1 이상 m 이하의 정수임), 제 k 층의 뉴런($N_j^{(k)}$)(여기서 j는 1 이상 n 이하의 정수임)도 도시하고, 그 외의 뉴런에 대해서는 생략하여 도시하였다.

[0090] 다음으로 앞의 층의 뉴런으로부터 다음의 층의 뉴런으로의 신호의 전달, 및 각 뉴런에서 입출력되는 신호에 대하여 설명한다. 또한 본 설명에서는, 제 k 층의 뉴런($N_j^{(k)}$)에 주목하였다.

[0091] 도 1의 (B)에는, 제 k 층의 뉴런($N_j^{(k)}$)과, 뉴런($N_j^{(k)}$)에 입력되는 신호와, 뉴런($N_j^{(k)}$)으로부터 출력되는 신호를 나타내었다.

[0092] 구체적으로, 제 (k-1) 층의 뉴런($N_1^{(k-1)}$) 내지 뉴런($N_m^{(k-1)}$)의 각 출력 신호인 $z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$이, 뉴런($N_j^{(k)}$)에 출력된다. 그리고 뉴런($N_j^{(k)}$)은 $z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$에 따라 $z_j^{(k)}$를 생성하고, $z_j^{(k)}$를 출력 신호로서 제 (k+1) 층(미도시)의 각 뉴런에 출력한다.

[0093] 앞의 층의 뉴런으로부터 다음의 층의 뉴런에 입력되는 신호는 그 뉴런들을 접속하는 시냅스의 결합 강도(이하 가중 계수라고 부름)에 의하여, 신호 전달의 정도가 결정된다. 신경망(100)에서는, 앞의 층의 뉴런으로부터 출력된 신호에, 대응하는 가중 계수를 곱하여 다음의 층의 뉴런에 입력한다. i를 1 이상 m 이하의 정수로 하고,

제 (k-1) 층의 뉴런($N_i^{(k-1)}$)과 제 k 층의 뉴런($N_j^{(k)}$) 사이의 시냅스의 가중 계수를 $w_i^{(k-1)}{}_j^{(k)}$로 한 경우, 제 k 층의 뉴런($N_j^{(k)}$)에 입력되는 신호는 식(1.1)과 같이 나타낼 수 있다.

[0094] [수학식 1]

[0095] $$w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \quad \cdots(1.1)$$

[0096] 즉 제 (k-1) 층의 뉴런($N_1^{(k-1)}$) 내지 뉴런($N_m^{(k-1)}$) 각각으로부터, 제 k 층의 뉴런($N_j^{(k)}$)에 신호가 전달될 때, 이 신호인 $z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$에는 각 신호에 대응하는 가중 계수($w_1^{(k-1)}{}_j^{(k)}$ 내지 $w_m^{(k-1)}{}_j^{(k)}$)를 곱한다. 그래서 제 k 층의 뉴런($N_j^{(k)}$)에는 $w_1^{(k-1)}{}_j^{(k)} \cdot z_1^{(k-1)}$ 내지 $w_m^{(k-1)}{}_j^{(k)} \cdot z_m^{(k-1)}$이 입력된다. 이때 제 k 층의 뉴런($N_j^{(k)}$)에 입력되는 신호의 총합($u_j^{(k)}$)은 식(1.2)과 같이 나타내어진다.

[0097] [수학식 2]

[0098] $$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \quad \cdots(1.2)$$

[0099] 또한 가중 계수($w_1^{(k-1)}{}_j^{(k)}$ 내지 $w_m^{(k-1)}{}_j^{(k)}$)와 뉴런의 신호($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)의 적화(product-sum)의 결과에는 편향으로서 바이어스를 더하여도 좋다. 바이어스를 b로 하였을 때, 식(1.2)은 다음 식과 같이 재구성할 수 있다.

[0100] [수학식 3]

[0101] $$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} + b \quad \cdots(1.3)$$

[0102] 뉴런($N_j^{(k)}$)은 $u_j^{(k)}$에 따라 출력 신호($z_j^{(k)}$)를 생성한다. 여기서 뉴런($N_j^{(k)}$)으로부터의 출력 신호($z_j^{(k)}$)를 다음 식과 같이 정의한다.

[0103] [수학식 4]

[0104] $$z_j^{(k)} = f(u_j^{(k)}) \quad \cdots(1.4)$$

[0105] 함수($f(u_j^{(k)})$)는 계층형 신경망에서의 활성화 함수이고, 계단 함수, 선형 램프 함수, 시그모이드 함수 등을 사용할 수 있다. 또한 활성화 함수는 모든 뉴런에서 동일하여도 좋고, 또는 상이하여도 좋다. 또한 뉴런의 활성화 함수는 층마다 동일하여도 좋고, 상이하여도 좋다.

[0106] 또한 각 층의 뉴런이 출력하는 신호, 가중 계수(w), 또는 바이어스(b)는 아날로그값이어도 좋고, 디지털값이어도 좋다. 디지털값으로서는 예를 들어 2치(値)로 하여도 좋고, 3치로 하여도 좋다. 더 큰 비트수의 값이어도 좋다. 일례로서, 아날로그값인 경우, 예를 들어 활성화 함수로서 선형 램프 함수, 시그모이드 함수 등을 사용하면 좋다. 2치의 디지털값인 경우, 예를 들어 출력을 -1 또는 1, 혹은 0 또는 1로 하는 계단 함수를 사용하면 좋다. 또한 각 층의 뉴런이 출력하는 신호는 3치 이상으로 하여도 좋고, 예를 들어 3치를 출력하는 활성화 함수로서는 3치 이상, 예를 들어 출력이 -1, 0, 또는 1인 계단 함수, 혹은 0, 1, 또는 2인 계단 함수 등을 사용하면 좋다. 또한 예를 들어 5치를 출력하는 활성화 함수로서는 출력이 -2, -1, 0, 1, 또는 2인 계단 함수 등을 사용하여도 좋다. 각 층의 뉴런이 출력하는 신호, 가중 계수(w), 및 바이어스(b) 중 적어도 하나에 디지털값을 사용함으로써 회로 규모를 작게 하는 것, 소비 전력을 저감하는 것, 또는 연산 속도를 빠르게 하는 것 등이 가능하게 된다. 또한 각 층의 뉴런이 출력하는 신호, 가중 계수(w), 및 바이어스(b) 중 적어도 하나에 아날로그값을 사용함으로써 연산 정확도의 향상이 가능하게 된다.

[0107] 신경망(100)은 제 1 층(입력층)에 입력 신호가 입력됨으로써, 제 1 층(입력층)부터 마지막 층(출력층)까지의 각 층에서 순차적으로, 앞의 층으로부터 입력된 신호에 기초하여 식(1.1), 식(1.2)(또는 식(1.3)), 식(1.4)을 사용

하여 출력 신호를 생성하고, 이 출력 신호를 다음의 층에 출력하는 동작을 수행한다. 마지막 층(출력층)으로부터 출력된 신호가 신경망(100)에 의하여 계산된 결과에 상당한다.

[0108] <연산 회로의 구성예>

[0109] 여기서는, 상술한 신경망(100)에서 식(1.2)(또는 식(1.3)) 및 식(1.4)의 연산을 수행할 수 있는 연산 회로의 예에 대하여 설명한다. 또한 이 연산 회로에서, 일례로서 신경망(100)의 시냅스 회로의 가중 계수를 2치("-1", "+1"의 조합, 또는 "0", "+1"의 조합 등), 3치("-1", "0", "1"의 조합 등), 또는 4치 이상의 다치(多値)(5치의 경우, "-2", "-1", "0", "1", "2"의 조합 등)으로 하고, 뉴런의 활성화 함수를 2치("-1", "+1"의 조합, 또는 "0", "+1"의 조합 등), 3치("-1", "0", "1"의 조합 등), 4치 이상의 다치(4치의 경우, "0", "1", "2", "3"의 조합 등)을 출력하는 함수로 한다. 또한 본 명세서 등에서 가중 계수와, 앞의 층의 뉴런으로부터 다음의 층의 뉴런에 입력되는 신호의 값(연산값이라고 부르는 경우가 있음)에 대하여 그 중 어느 한쪽을 제 1 데이터라고 부르고, 다른 쪽을 제 2 데이터라고 부르는 경우가 있다. 또한 신경망(100)의 시냅스 회로의 가중 계수나 연산값은 디지털값에 한정되지 않고, 적어도 한쪽에 아날로그값을 사용할 수도 있다.

[0110] 도 2에 나타낸 연산 회로(110)는, 일례로서 어레이부(ALP)와, 회로(ILD)와, 회로(WLD)와, 회로(XLD)와, 회로(AFP)를 가지는, 반도체 장치이다. 연산 회로(110)는 도 1의 (A), (B)에서의 제 k 층의 뉴런($N_1^{(k)}$) 내지 뉴런($N_n^{(k)}$)에 입력되는 신호($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)를 처리하여, 뉴런($N_1^{(k)}$) 내지 뉴런($N_n^{(k)}$) 각각으로부터 출력되는 신호($z_1^{(k)}$ 내지 $z_n^{(k)}$)를 생성하는 회로이다.

[0111] 또한 연산 회로(110) 전체 또는 그 일부를 신경망이나 AI 외의 용도로 사용하여도 좋다. 예를 들어 그래픽용 계산이나 과학 계산 등에서 적화 연산(product-sum operation) 처리나 행렬 연산 처리를 수행하는 경우에, 연산 회로(110) 전체 또는 그 일부를 사용하여 처리를 수행하여도 좋다. 즉 AI용 계산뿐만 아니라, 일반적인 계산을 위하여 연산 회로(110) 전체 또는 그 일부를 사용하여도 좋다.

[0112] 회로(ILD)는 일례로서, 배선(IL[1]) 내지 배선(IL[n])과, 배선(ILB[1]) 내지 배선(ILB[n])에 전기적으로 접속된다. 회로(WLD)는 일례로서, 배선(WLS[1]) 내지 배선(WLS[m])에 전기적으로 접속된다. 회로(XLD)는 일례로서, 배선(XLS[1]) 내지 배선(XLS[m])에 전기적으로 접속된다. 회로(AFP)는 일례로서, 배선(OL[1]) 내지 배선(OL[n])과, 배선(OLB[1]) 내지 배선(OLB[n])에 전기적으로 접속된다.

[0113] <<어레이부(ALP)>>

[0114] 어레이부(ALP)는 일례로서 m×n개의 회로(MP)를 가진다. 회로(MP)는 일례로서 어레이부(ALP) 내에서 m행 n열의 매트릭스상으로 배치된다. 또한 도 2에서는 i행 j열(여기서 i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수임)에 위치하는 회로(MP)를 회로(MP[i, j])라고 표기한다. 다만 도 2에는 회로(MP[1, 1]), 회로(MP[m, 1]), 회로(MP[i, j]), 회로(MP[1, n]), 회로(MP[m, n])만 도시하고, 그 외의 회로(MP)에 대해서는 생략하여 도시하였다.

[0115] 회로(MP[i, j])는 일례로서, 배선(IL[j])과, 배선(ILB[j])과, 배선(WLS[i])과, 배선(XLS[i])과, 배선(OL[j])과, 배선(OLB[j])에 전기적으로 접속된다.

[0116] 회로(MP[i, j])는 일례로서, 뉴런($N_i^{(k-1)}$)과 뉴런($N_j^{(k)}$) 사이의 가중 계수(제 1 데이터 및 제 2 데이터 중 한쪽이라고 부르는 경우가 있음. 여기서는 제 1 데이터라고 부름)를 유지하는 기능을 가진다. 구체적으로는 회로(MP[i, j])는 배선(IL[j]) 및 배선(ILB[j])으로부터 입력되는 제 1 데이터(가중 계수)에 따른 정보(예를 들어 전위, 저항값, 전류값 등)를 유지한다. 또한 회로(MP[i, j])는 뉴런($N_i^{(k-1)}$)으로부터 출력되는 신호($z_i^{(k-1)}$)(제 1 데이터 및 제 2 데이터 중 다른 쪽이라고 부르는 경우가 있음. 여기서는 제 2 데이터라고 부름)와 제 1 데이터의 곱을 출력하는 기능을 가진다. 구체적인 예로서, 회로(MP[i, j])는 배선(XLS[i])으로부터 제 2 데이터($z_i^{(k-1)}$)가 입력됨으로써 제 1 데이터와 제 2 데이터의 곱에 따른 정보(예를 들어 전류, 전압 등), 또는 제 1 데이터와 제 2 데이터의 곱에 관련한 정보(예를 들어 전류, 전압 등)를 배선(OL[j]) 및 배선(OLB[j])에 출력한다. 또한 배선(IL[j]) 및 배선(ILB[j])이 배치되는 경우의 예를 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 배선(IL[j]) 및 배선(ILB[j]) 중 어느 한쪽만이 배치되어도 좋다.

[0117] <<회로(ILD)>>

[0118] 회로(ILD)는 일례로서, 배선(IL[1]) 내지 배선(IL[n])과, 배선(ILB[1]) 내지 배선(ILB[n])을 통하여 회로(MP[1, 1]) 내지 회로(MP[m, n]) 각각에 대하여 가중 계수인 제 1 데이터($w_1^{(k-1)}{}_1^{(k)}$ 내지 $w_m^{(k-1)}{}_n^{(k)}$)에 대응하는 정보(예를 들어 전위, 저항값, 전류값 등)를 입력하는 기능을 가진다. 구체적인 예로서는 회로(ILD)가 회로(MP[i, j])에 대하여 가중 계수인 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 대응하는 정보(예를 들어 전위, 저항값, 또는 전류값 등)를 배선(IL[j]), 배선(ILB[j])을 통하여 공급한다.

[0119] <<회로(XLD)>>

[0120] 회로(XLD)는 일례로서, 배선(XLS[1]) 내지 배선(XLS[n])을 통하여 회로(MP[1, 1]) 내지 회로(MP[m, n]) 각각에 대하여 뉴런($N_1^{(k-1)}$) 내지 뉴런($N_m^{(k)}$)으로부터 출력된 연산값에 상당하는 제 2 데이터($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)를 공급하는 기능을 가진다. 구체적으로, 회로(XLD)는 회로(MP[i, 1]) 내지 회로(MP[i, n])에 대하여 뉴런($N_i^{(k-1)}$)으로부터 출력된 제 2 데이터($z_i^{(k-1)}$)에 대응하는 정보(예를 들어 전위, 전류값 등)를 배선(XLS[i])을 통하여 공급한다. 또한 배선(XLS[i])이 배치되는 경우의 예를 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 도 2의 연산 회로(110)에 있어서, 배선(XLS[i])을 복수의 배선으로 하여도 좋다. 구체적인 예로서, 도 3에는 연산 회로(110)의 회로(MP[i, j])에 전기적으로 접속된 배선(XLS[i])을 배선(X1L), 배선(X2L)의 두 배선으로 변경한 구성을 가지는 연산 회로(120)를 나타내었다. 또한 배선(XLS[i])이 배치되는 경우의 예를 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 배선(XLS[i]) 외에, 예를 들어 배선(XLS[i])에 입력되는 신호의 반전 신호를 송신하는 배선이 별도로 배치되어도 좋다.

[0121] <<회로(WLD)>>

[0122] 회로(WLD)는 일례로서, 회로(ILD)로부터 입력되는 제 1 데이터에 따른 정보(예를 들어 전위, 저항값, 전류값 등)의 기록 대상인 회로(MP)를 선택하는 기능을 가진다. 예를 들어 어레이부(ALP)의 i행째에 위치하는 회로(MP[i, 1]) 내지 회로(MP[i, n])에 정보(예를 들어 전위, 저항값, 전류값 등)를 기록하는 경우, 회로(WLD)는 예를 들어 회로(MP[i, 1]) 내지 회로(MP[i, n])에 포함되는 기록용 스위칭 소자를 온 상태 또는 오프 상태로 하기 위한 신호를 배선(WLS[i])에 공급하고, i행째 외의 회로(MP)에 포함되는 기록용 스위칭 소자를 오프 상태로 하는 전위를 배선(WLS)에 공급하면 좋다. 또한 배선(WLS[i])이 배치되는 경우의 예를 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 배선(WLS[i]) 외에, 예를 들어 배선(WLS[i])에 입력되는 신호의 반전 신호를 송신하는 배선이 별도로 배치되어도 좋다.

[0123] 또한 도 2의 연산 회로(110)에서는 배선(WLS[i])이 배치되는 구성예를 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 배선(WLS[i])을 복수의 배선으로 변경하여도 좋다. 또한 예를 들어 도 3의 연산 회로(120)의 배선(X1L[i])을, 회로(MP[i, 1]) 내지 회로(MP[i, n])에 정보를 기록하기 위한 선택 신호선으로서 겸용하여도 좋다. 구체적으로는 도 4에 나타낸 연산 회로(130)와 같이, 연산 회로(120)의 배선(X1L[i])을 배선(WX1L[i])으로 하고, 배선(WX1L)이 회로(WLD)와 회로(XLD)에 전기적으로 접속되어도 좋다. 또한 배선(WX1L[i])에, 회로(MP[i, 1]) 내지 회로(MP[i, n])에 포함되는 기록용 스위칭 소자를 온 상태 또는 오프 상태로 하기 위한 신호를 회로(WLD)로부터 공급하는 경우, 회로(XLD)는 회로(XLD)와 배선(WX1L) 사이를 비도통 상태로 하는 기능을 가지는 것이 바람직하다. 또한 배선(WX1L[i])을 통하여, 뉴런($N_1^{(k-1)}$) 내지 뉴런($N_m^{(k)}$)으로부터 출력된 연산값에 상당하는 제 2 데이터($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)의 신호를 회로(WLD)로부터 회로(MP[i, 1]) 내지 회로(MP[i, n])에 공급하는 경우, 회로(WLD)는 회로(WLD)와 배선(WX1L) 사이를 비도통 상태로 하는 기능을 가지는 것이 바람직하다.

[0124] <<회로(AFP)>>

[0125] 회로(AFP)는 일례로서, 회로(ACTF[1]) 내지 회로(ACTF[n])를 가진다. 회로(ACTF[j])는 일례로서, 배선(OL[j])과 배선(OLB[j]) 각각에 전기적으로 접속된다. 회로(ACTF[j])는 일례로서, 배선(OL[j])과 배선(OLB[j])으로부터 입력되는 각 정보(예를 들어 전위, 전류값 등)에 따른 신호를 생성한다. 일례로서, 배선(OL[j])과 배선(OLB[j])으로부터 입력되는 각 정보(예를 들어 전위, 전류값 등)를 비교하여, 그 비교 결과에 따른 신호를 생성한다. 상기 신호는 뉴런($N_j^{(k)}$)으로부터 출력되는 신호($z_j^{(k)}$)에 상당한다. 즉 회로(ACTF[1]) 내지 회로(ACTF[n])는 일례로서, 상술한 신경망의 활성화 함수의 연산을 수행하는 회로로서 기능한다. 다만 본 발명의

일 형태는 이에 한정되지 않는다. 예를 들어 회로(ACTF[1]) 내지 회로(ACTF[n])는 아날로그 신호를 디지털 신호로 변환하는 기능을 가져도 좋다. 또는 예를 들어 회로(ACTF[1]) 내지 회로(ACTF[n])는 아날로그 신호를 증폭하여 출력하는 기능, 즉 출력 임피던스를 변환하는 기능을 가져도 좋다. 또는 예를 들어, 회로(ACTF[1]) 내지 회로(ACTF[n])는 전류나 전하를 전압으로 변환하는 기능을 가져도 좋다. 또는 예를 들어, 회로(ACTF[1]) 내지 회로(ACTF[n])는 배선(OL[j])이나 배선(OLB[j])의 전위를 초기화하는 기능을 가져도 좋다.

[0126] 또한 도 2 내지 도 4의 각각에 나타낸 연산 회로(110), 연산 회로(120), 연산 회로(130)에서는 회로(ACTF)가 배치되는 경우의 예를 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 회로(AFP)에는 회로(ACTF)가 배치되지 않아도 된다.

[0127] 다음으로 회로(ACTF[1]) 내지 회로(ACTF[n])에 대하여 설명한다. 회로(ACTF[1]) 내지 회로(ACTF[n])는 일례로서, 도 5의 (A)에 나타낸 회로 구성으로 할 수 있다. 도 5의 (A)는 일례로서, 배선(OL[j]), 배선(OLB[j])으로부터 입력된 전류에 따라 신호($z_j^{(k)}$)를 생성하는 회로를 나타낸 것이다. 구체적으로, 도 5의 (A)에는 2치로 나타내어지는 출력 신호($z_j^{(k)}$)를 출력하는 활성화 함수의 연산 회로의 일례를 나타내었다.

[0128] 도 5의 (A)에서, 회로(ACTF[j])는 저항 소자(RE), 저항 소자(REB), 콤퍼레이터(CMP)를 가진다. 저항 소자(RE), 저항 소자(REB)는 전류를 전압으로 변환하는 기능을 가진다. 따라서 전류를 전압으로 변환하는 기능을 가지는 소자 또는 회로이면 저항 소자에 한정되지 않는다. 배선(OL[j])은 저항 소자(RE)의 제 1 단자와 콤퍼레이터(CMP)의 제 1 입력 단자에 전기적으로 접속되고, 배선(OLB[j])은 저항 소자(REB)의 제 1 단자와 콤퍼레이터(CMP)의 제 2 입력 단자에 전기적으로 접속된다. 또한 저항 소자(RE)의 제 2 단자는 배선(VAL)에 전기적으로 접속되고, 저항 소자(REB)의 제 2 단자는 배선(VAL)에 전기적으로 접속된다. 또한 저항 소자(RE)의 제 2 단자와 저항 소자(REB)의 제 2 단자는 동일한 배선에 접속되어도 좋다. 또는 전위가 같은 다른 배선에 접속되어도 좋다.

[0129] 저항 소자(RE), 저항 소자(REB) 각각의 저항값은 서로 같은 것이 바람직하다. 예를 들어 저항 소자(RE), 저항 소자(REB) 각각의 저항값의 차이는 바람직하게는 10% 이내이고, 더 바람직하게는 5% 이내이다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 경우 또는 상황에 따라 저항 소자(RE), 저항 소자(REB) 각각의 저항값은 서로 다른 값으로 하여도 좋다.

[0130] 배선(VAL)은 일례로서, 정전압을 인가하는 배선으로서 기능한다. 상기 정전압으로서는 예를 들어 고레벨 전위인 VDD, 저레벨 전위인 VSS, 접지 전위(GND) 등으로 할 수 있다. 또한 상기 정전압은 회로(MP)의 구성에 따라 적절히 설정하는 것이 바람직하다. 또한 예를 들어 배선(VAL)에는 정전압이 아니라 펄스 신호가 공급되어도 좋다.

[0131] 저항 소자(RE)의 제 1 단자와 제 2 단자 사이의 전압은 배선(OL[j])으로부터 흐르는 전류에 따라 결정된다. 그러므로 콤퍼레이터(CMP)의 제 1 입력 단자에는 저항 소자(RE)의 저항값과 상기 전류에 따른 전압이 입력된다. 마찬가지로, 저항 소자(REB)의 제 1 단자와 제 2 단자 사이의 전압은 배선(OLB[j])으로부터 흐르는 전류에 따라 결정된다. 그러므로 콤퍼레이터(CMP)의 제 2 입력 단자에는 저항 소자(REB)의 저항값과 상기 전류에 따른 전압이 입력된다.

[0132] 콤퍼레이터(CMP)는 일례로서, 제 1 입력 단자, 제 2 입력 단자 각각에 입력된 전압을 비교하여, 그 비교 결과에 따라 콤퍼레이터(CMP)의 출력 단자로부터 신호를 출력하는 기능을 가진다. 예를 들어 콤퍼레이터(CMP)는 제 1 입력 단자에 입력된 전압보다 제 2 입력 단자에 입력된 전압이 높은 경우에 고레벨 전위를 콤퍼레이터(CMP)의 출력 단자로부터 출력하고, 제 2 입력 단자에 입력된 전압보다 제 1 입력 단자에 입력된 전압이 높은 경우에 저레벨 전위를 콤퍼레이터(CMP)의 출력 단자로부터 출력할 수 있다. 즉 콤퍼레이터(CMP)의 출력 단자로부터 출력되는 전위는 고레벨 전위와 저레벨 전위의 두 가지이므로, 회로(ACTF[j])가 출력하는 출력 신호($z_j^{(k)}$)는 2치로 할 수 있다. 예를 들어 콤퍼레이터(CMP)의 출력 단자로부터 출력되는 고레벨 전위, 저레벨 전위 각각은 출력 신호($z_j^{(k)}$)로서 "+1", "-1"과 대응할 수 있다. 또한 경우에 따라서는, 콤퍼레이터(CMP)의 출력 단자로부터 출력되는 고레벨 전위, 저레벨 전위 각각은 출력 신호($z_j^{(k)}$)로서 "+1", "0"과 대응하여도 좋다.

[0133] 또한 도 5의 (A)의 회로(ACTF[j])에서는, 저항 소자(RE), 저항 소자(REB)를 사용하였지만, 전류를 전압으로 변환하는 기능을 가지는 소자 또는 회로이면 저항 소자에 한정되지 않는다. 그러므로 도 5의 (A)의 회로

(ACTF[j])의 저항 소자(RE), 저항 소자(REB)는 다른 회로 소자로 변경할 수 있다. 예를 들어 도 5의 (B)에 나타낸 회로(ACTF[j])는 도 5의 (A)의 회로(ACTF[j])에 포함되는 저항 소자(RE), 저항 소자(REB)를 용량 소자(CE), 용량 소자(CEB)로 변경한 회로이고, 도 5의 (A)의 회로(ACTF[j])와 거의 같은 동작을 수행할 수 있다. 또한 용량 소자(CE), 용량 소자(CEB) 각각의 정전 용량값은 서로 같은 것이 바람직하다. 예를 들어 용량 소자(CE), 용량 소자(CEB) 각각의 정전 용량값의 차이는 바람직하게는 10% 이내이고, 더 바람직하게는 5% 이내이다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 또한 용량 소자(CE), 용량 소자(CEB)에 축적된 전하를 초기화하는 회로가 제공되어도 좋다. 예를 들어 용량 소자(CE)와 병렬로 스위치가 제공되어도 좋다. 즉 스위치의 제 2 단자가 배선(VAL)과 접속되고, 스위치의 제 1 단자가 용량 소자(CE)의 제 1 단자, 배선(OL[j]), 및 콤퍼레이터(CMP)의 제 1 입력 단자와 접속되어도 좋다. 또는 스위치의 제 2 단자가 배선(VAL)과 상이한 배선에 접속되고, 스위치의 제 1 단자가 용량 소자(CE)의 제 1 단자, 배선(OL[j]), 및 콤퍼레이터(CMP)의 제 1 입력 단자와 접속되어도 좋다. 또한 도 5의 (C)에 나타낸 회로(ACTF[j])는 도 5의 (A)의 회로(ACTF[j])에 포함되는 저항 소자(RE), 저항 소자(REB)를 다이오드 소자(DE), 다이오드 소자(DEB)로 변경한 회로이고, 도 5의 (A)의 회로(ACTF[j])와 거의 같은 동작을 수행할 수 있다. 다이오드 소자(DE), 다이오드 소자(DEB)의 방향(애노드와 캐소드의 접속 부분)은 배선(VAL)의 전위의 크기에 따라 적절히 변경하는 것이 바람직하다.

[0134] 또한 도 5의 (A) 내지 (C)의 회로(ACTF[j])에 포함되는 콤퍼레이터(CMP)는 일례로서, 연산 증폭기(OP)로 변경할 수 있다. 도 5의 (D)에 나타낸 회로(ACTF[j])는 도 5의 (A)의 회로(ACTF[j])의 콤퍼레이터(CMP)를 연산 증폭기(OP)로 변경한 회로도를 나타낸 것이다.

[0135] 또한 도 5의 (B)의 회로(ACTF[j])에 스위치(SO1a), 스위치(SO1b)를 제공하여도 좋다. 이로써 회로(ACTF[j])는 용량 소자(CE), 용량 소자(CEB) 각각에 배선(OL[j]), 배선(OLB[j])으로부터 입력된 전류에 따른 전위를 유지할 수 있다. 그 구체적인 회로의 일례로서, 도 5의 (E)에 나타낸 바와 같이, 스위치(SO1a)의 제 1 단자에 배선(OL[j])이 전기적으로 접속되고, 스위치(SO1a)의 제 2 단자에 용량 소자(CE)의 제 1 단자와 콤퍼레이터(CMP)의 제 1 입력 단자가 전기적으로 접속되고, 스위치(SO1b)의 제 1 단자에 배선(OLB[j])이 전기적으로 접속되고, 스위치(SO1b)의 제 2 단자에 용량 소자(CEB)의 제 1 단자와 콤퍼레이터(CMP)의 제 2 입력 단자가 전기적으로 접속된 구성으로 하면 좋다. 도 5의 (E)의 회로(ACTF[j])에서, 콤퍼레이터(CMP)의 제 1 입력 단자, 제 2 입력 단자 각각에 대한 배선(OL[j]), 배선(OLB[j])의 전위의 입력은, 스위치(SO1a), 스위치(SO1b) 각각을 온 상태로 함으로써 수행할 수 있다. 또한 그 후, 스위치(SO1a), 스위치(SO1b) 각각을 오프 상태로 함으로써, 콤퍼레이터(CMP)의 제 1 입력 단자, 제 2 입력 단자 각각에 입력된 전위를 용량 소자(CE), 용량 소자(CEB)에 유지할 수 있다. 또한 스위치(SO1a), 스위치(SO1b)로서는 예를 들어 아날로그 스위치, 트랜지스터 등의 전기적인 스위치를 적용할 수 있다. 또한 스위치(SO1a), 스위치(SO1b)로서는 예를 들어 기계적인 스위치를 적용하여도 좋다. 또한 스위치(SO1a), 스위치(SO1b)에 트랜지스터를 적용하는 경우, 상기 트랜지스터는 OS 트랜지스터, 또는 채널 형성 영역에 실리콘을 가지는 트랜지스터(이하 Si 트랜지스터라고 부름)로 할 수 있다. 또는 스위치(SO1a), 스위치(SO1b) 각각을 온 상태로 하는 기간을 제어함으로써, 용량 소자(CE), 용량 소자(CEB)의 전압값을 제어할 수 있다. 예를 들어 용량 소자(CE), 용량 소자(CEB)를 흐르는 전류값이 큰 경우, 스위치(SO1a), 스위치(SO1b) 각각을 온 상태로 하는 기간을 짧게 함으로써, 용량 소자(CE), 용량 소자(CEB)의 전압값이 지나치게 커지는 것을 방지할 수 있다.

[0136] 또한 도 5의 (A) 내지 (C), (E)의 회로(ACTF[j])에 포함되는 콤퍼레이터(CMP)는, 예를 들어 초퍼형 콤퍼레이터로 할 수 있다. 도 5의 (F)에 나타낸 콤퍼레이터(CMP)는 초퍼형 콤퍼레이터이고, 콤퍼레이터(CMP)는 스위치(SO2a), 스위치(SO2b), 스위치(SO3)와, 용량 소자(CC)와, 인버터 회로(INV3)를 가진다. 또한 스위치(SO2a), 스위치(SO2b), 스위치(SO3)는 상술한 스위치(SO1a), 스위치(SO1b)와 마찬가지로 기계적인 스위치, OS 트랜지스터, Si 트랜지스터 등의 트랜지스터로 할 수 있다.

[0137] 스위치(SO2a)의 제 1 단자는 단자(VinT)에 전기적으로 접속되고, 스위치(SO2b)의 제 1 단자는 단자(VrefT)에 전기적으로 접속되고, 스위치(SO2a)의 제 2 단자는 스위치(SO2b)의 제 2 단자와, 용량 소자(CC)의 제 1 단자에 전기적으로 접속된다. 용량 소자(CC)의 제 2 단자는 인버터 회로(INV3)의 입력 단자와, 스위치(SO3)의 제 1 단자에 전기적으로 접속된다. 단자(VoutT)는 인버터 회로(INV3)의 출력 단자와, 스위치(SO3)의 제 2 단자에 전기적으로 접속된다.

[0138] 단자(VinT)는 콤퍼레이터(CMP)에 입력 전위를 입력하기 위한 단자로서 기능하고, 단자(VrefT)는 콤퍼레이터(CMP)에 참조 전위를 입력하기 위한 단자로서 기능하고, 단자(VoutT)는 콤퍼레이터(CMP)로부터 출력 전위를 출력하기 위한 단자로서 기능한다. 또한 단자(VinT)는 도 5의 (A) 내지 (C), (E)의 콤퍼레이터(CMP)의 제 1 단자 및 제 2 단자 중 한쪽에 대응하고, 단자(VrefT)는 도 5의 (A) 내지 (C), (E)의 콤퍼레이터(CMP)의 제 1 단자 및

제 2 단자 중 다른 쪽에 대응할 수 있다.

[0139] 도 5의 (A) 내지 (E)의 회로(ACTF[j])는 2치로 나타내어지는 출력 신호($z_j^{(k)}$)를 출력하는 활성화 함수의 연산 회로이지만, 회로(ACTF[j])는 출력 신호($z_j^{(k)}$)를 3치 이상, 또는 아날로그값으로서 출력하는 구성으로 하여도 좋다.

[0140] 도 6의 (A) 내지 (F)는, 배선(OL[j]), 배선(OLB[j])으로부터 입력된 전류에 따라 신호($z_j^{(k)}$)를 생성하는 회로이고, 3치로 나타내어지는 출력 신호($z_j^{(k)}$)를 출력하는 활성화 함수의 연산 회로의 일례를 나타낸 것이다.

[0141] 도 6의 (A)에 나타낸 회로(ACTF[j])는 저항 소자(RE), 저항 소자(REB), 콤퍼레이터(CMPa), 콤퍼레이터(CMPb)를 가진다. 배선(OL[j])은 저항 소자(RE)의 제 1 단자와 콤퍼레이터(CMPa)의 제 1 입력 단자에 전기적으로 접속되고, 배선(OLB[j])은 저항 소자(REB)의 제 1 단자와 콤퍼레이터(CMPb)의 제 1 입력 단자에 전기적으로 접속된다. 또한 콤퍼레이터(CMPa)의 제 2 입력 단자와 콤퍼레이터(CMPb)의 제 2 입력 단자는 배선(VrefL)에 전기적으로 접속된다. 또한 저항 소자(RE)의 제 2 단자는 배선(VAL)에 전기적으로 접속되고, 저항 소자(REB)의 제 2 단자는 배선(VAL)에 전기적으로 접속된다.

[0142] 배선(VrefL)은 정전압(V_{ref})을 인가하는 전압선으로서 기능하고, V_{ref}는 예를 들어 GND 이상 VDD 이하인 것이 바람직하다. 또한 상황에 따라 V_{ref}는 GND 미만의 전위, 또는 VDD보다 높은 전위로 하여도 좋다. V_{ref}는 콤퍼레이터(CMPa), 콤퍼레이터(CMPb)에서의 참조 전위(비교용 전위)로서 취급된다.

[0143] 저항 소자(RE)의 제 1 단자와 제 2 단자 사이의 전압은 배선(OL[j])으로부터 흐르는 전류에 따라 결정된다. 그러므로 콤퍼레이터(CMPa)의 제 1 입력 단자에는 저항 소자(RE)의 저항값과 상기 전류에 따른 전압이 입력된다. 마찬가지로, 저항 소자(REB)의 제 1 단자와 제 2 단자 사이의 전압은 배선(OLB[j])으로부터 흐르는 전류에 따라 결정된다. 그러므로 콤퍼레이터(CMPb)의 제 1 입력 단자에는 저항 소자(REB)의 저항값과 상기 전류에 따른 전압이 입력된다.

[0144] 콤퍼레이터(CMPa)는 제 1 입력 단자, 제 2 입력 단자 각각에 입력된 전압을 비교하여, 그 비교 결과에 따라 콤퍼레이터(CMPa)의 출력 단자로부터 신호를 출력한다. 예를 들어 콤퍼레이터(CMPa)는 제 1 입력 단자에 입력된 전압보다 제 2 입력 단자에 입력된 전압(V_{ref})이 높은 경우에 고레벨 전위를 콤퍼레이터(CMPa)의 출력 단자로부터 출력하고, 제 2 입력 단자에 입력된 전압(V_{ref})보다 제 1 입력 단자에 입력된 전압이 높은 경우에 저레벨 전위를 콤퍼레이터(CMPa)의 출력 단자로부터 출력할 수 있다.

[0145] 콤퍼레이터(CMPb)는 콤퍼레이터(CMPa)와 마찬가지로, 제 1 입력 단자, 제 2 입력 단자 각각에 입력된 전압을 비교하여, 그 비교 결과에 따라 콤퍼레이터(CMPb)의 출력 단자로부터 신호를 출력한다. 예를 들어 콤퍼레이터(CMPb)는 제 1 입력 단자에 입력된 전압보다 제 2 입력 단자에 입력된 전압(V_{ref})이 높은 경우에 고레벨 전위를 콤퍼레이터(CMPb)의 출력 단자로부터 출력하고, 제 2 입력 단자에 입력된 전압(V_{ref})보다 제 1 입력 단자에 입력된 전압이 높은 경우에 저레벨 전위를 콤퍼레이터(CMPb)의 출력 단자로부터 출력할 수 있다.

[0146] 이때 콤퍼레이터(CMPa), 콤퍼레이터(CMPb) 각각의 출력 단자로부터 출력된 전위에 따라 3치의 출력 신호($z_j^{(k)}$)를 나타낼 수 있다. 예를 들어 콤퍼레이터(CMPa)의 출력 단자로부터 고레벨 전위가 출력되고 콤퍼레이터(CMPb)의 출력 단자로부터 저레벨 전위가 출력된 경우, 출력 신호($z_j^{(k)}$)를 "+1"로 하고, 콤퍼레이터(CMPa)의 출력 단자로부터 저레벨 전위가 출력되고 콤퍼레이터(CMPb)의 출력 단자로부터 고레벨 전위가 출력된 경우, 출력 신호($z_j^{(k)}$)를 "-1"로 하고, 콤퍼레이터(CMPa)의 출력 단자로부터 저레벨 전위가 출력되고 콤퍼레이터(CMPb)의 출력 단자로부터 저레벨 전위가 출력된 경우, 출력 신호($z_j^{(k)}$)를 "+0"으로 할 수 있다.

[0147] 또한 회로(ACTF[j])는 도 6의 (A)에 나타낸 회로 구성에 한정되지 않고, 상황에 따라 변경할 수 있다. 예를 들어 도 6의 (A)의 회로(ACTF[j])에서, 콤퍼레이터(CMPa), 콤퍼레이터(CMPb)의 2개의 출력 결과를 하나의 신호로서 통합하고자 하는 경우, 회로(ACTF[j])에 변환 회로(TRF)를 제공하면 좋다. 도 6의 (B)의 회로(ACTF[j])는 도 6의 (A)의 회로(ACTF[j])에 변환 회로(TRF)를 제공한 구성예이고, 콤퍼레이터(CMPa), 콤퍼레이터(CMPb) 각각

의 출력 단자는 변환 회로(TRF)의 입력 단자에 전기적으로 접속된다. 변환 회로(TRF)의 구체적인 예로서, 디지털 아날로그 변환 회로(이 경우, 신호($z_j^{(k)}$)는 아날로그값임) 등으로 할 수 있다.

[0148] 또한 예를 들어 도 6의 (A)에서, 콤퍼레이터(CMPa), 콤퍼레이터(CMPb) 각각의 제 2 입력 단자에 전기적으로 접속되는 배선(VrefL)을 배선(Vref1L), 배선(Vref2L)과 같은 별개의 배선으로 변경하여도 좋다. 도 6의 (C)의 회로(ACTF[j])는, 도 6의 (A)의 회로(ACTF[j])에 포함되는 콤퍼레이터(CMPa)의 제 2 단자가 배선(VrefL)이 아니라 배선(Vref1L)과 전기적으로 접속되고, 콤퍼레이터(CMPb)의 제 2 단자가 배선(VrefL)이 아니라 배선(Vref2L)과 전기적으로 접속된 구성을 가진다. 배선(Vref1L)과 배선(Vref2L)에 입력되는 전위를 서로 다른 값으로 함으로써, 콤퍼레이터(CMPa)와 콤퍼레이터(CMPb)에서의 참조 전위를 따로따로 설정할 수 있다.

[0149] 또한 예를 들어 도 6의 (A) 내지 (C)의 회로(ACTF[j])와 다른 구성으로서, 증폭 회로 또는 임피던스 변환 회로 등을 사용하여도 좋다. 예를 들어 도 6의 (D)에 나타낸 회로(ACTF[j])를 도 2의 연산 회로(110)의 회로(AFP)에 적용할 수 있다. 도 6의 (D)의 회로(ACTF[j])는 저항 소자(RE), 저항 소자(REB), 연산 증폭기(OPa), 연산 증폭기(OPb)를 가지고, 증폭 회로로서 기능한다.

[0150] 배선(OL[j])은 저항 소자(RE)의 제 1 단자와 연산 증폭기(OPa)의 비반전 입력 단자에 전기적으로 접속되고, 배선(OLB[j])은 저항 소자(REB)의 제 1 단자와 연산 증폭기(OPb)의 비반전 입력 단자에 전기적으로 접속된다. 또한 연산 증폭기(OPa)의 반전 입력 단자는 연산 증폭기(OPa)의 출력 단자에 전기적으로 접속되고, 연산 증폭기(OPb)의 반전 입력 단자는 연산 증폭기(OPb)의 출력 단자에 전기적으로 접속된다. 또한 저항 소자(RE)의 제 2 단자는 배선(VAL)에 전기적으로 접속되고, 저항 소자(REB)의 제 2 단자는 배선(VAL)에 전기적으로 접속된다.

[0151] 즉 도 6의 (D)의 회로(ACTF[j])에 포함되는 연산 증폭기(OPa), 연산 증폭기(OPb)는 전압 폴로어의 접속 구성이다. 이에 의하여, 연산 증폭기(OPa)의 출력 단자로부터 출력되는 전위는 연산 증폭기(OPa)의 비반전 입력 단자에 입력된 전위와 거의 같게 되고, 연산 증폭기(OPb)의 출력 단자로부터 출력되는 전위는 연산 증폭기(OPb)의 비반전 입력 단자에 입력된 전위와 거의 같게 된다. 이 경우 출력 신호($z_j^{(k)}$)는 2개의 아날로그값으로서 회로(ACTF[j])로부터 출력된다. 또한 연산 증폭기(OPa)의 출력 단자와 연산 증폭기(OPb)의 출력 단자를 콤퍼레이터(CMP)의 입력 단자에 각각 접속하여도 좋다. 그리고 콤퍼레이터(CMP)로부터의 출력을 출력 신호($z_j^{(k)}$)로 하여도 좋다.

[0152] 또한 예를 들어 도 6의 (A) 내지 (D)의 회로(ACTF[j])와 다른 구성으로서, 적분 회로 또는 전류 전압 변환 회로 등을 사용하여도 좋다. 또한 연산 증폭기를 사용하여 적분 회로 또는 전류 전압 변환 회로를 구성하여도 좋다. 일례로서, 도 6의 (E)에 나타낸 회로(ACTF[j])를 도 2의 연산 회로(110)의 회로(AFP)에 적용할 수 있다. 도 6의 (E)의 회로(ACTF[j])는 연산 증폭기(OPa), 연산 증폭기(OPb), 부하 소자(LEa), 부하 소자(LEb)를 가진다.

[0153] 배선(OL[j])은 연산 증폭기(OPa)의 제 1 입력 단자(예를 들어 반전 입력 단자)와 부하 소자(LEa)의 제 1 단자에 전기적으로 접속되고, 배선(OLB[j])은 연산 증폭기(OPb)의 제 1 입력 단자(예를 들어 반전 입력 단자)와 부하 소자(LEb)의 제 1 단자에 전기적으로 접속된다. 또한 연산 증폭기(OPa)의 제 2 입력 단자(예를 들어 비반전 입력 단자)는 배선(Vref1L)에 전기적으로 접속되고, 연산 증폭기(OPb)의 제 2 입력 단자(예를 들어 비반전 입력 단자)는 배선(Vref2L)에 전기적으로 접속된다. 부하 소자(LEa)의 제 2 단자는 연산 증폭기(OPa)의 출력 단자에 전기적으로 접속되고, 부하 소자(LEa)의 제 2 단자는 연산 증폭기(OPb)의 출력 단자에 전기적으로 접속된다.

[0154] 또한 여기서 배선(Vref1L), 배선(Vref2L)은 서로 같은 전압 또는 상이한 전압을 공급하는 배선으로서 기능한다. 따라서 배선(Vref1L)과 배선(Vref2L)은 하나의 배선으로서 통합할 수 있는 경우가 있다.

[0155] 도 6의 (E)의 회로(ACTF[j])에서, 부하 소자(LEa), 부하 소자(LEb)를 예를 들어 저항 소자, 용량 소자로 할 수 있다. 특히 부하 소자(LEa), 부하 소자(LEb)로서 용량 소자를 사용함으로써, 연산 증폭기(OPa)와 부하 소자(LEa), 연산 증폭기(OPb)와 부하 소자(LEb)는 각각 적분 회로로서 기능한다. 즉 배선(OL[j]) 또는 배선(OLB[j])에 흐르는 전류량에 따라 각 용량 소자(부하 소자(LEa), 부하 소자(LEb))에 전하가 축적된다. 즉 배선(OL[j]), 배선(OLB[j])으로부터 흐르는 전류는 적분 회로에 의하여 적분된 전류량이 전압으로 변환되고, 신호($z_j^{(k)}$)로서 출력된다. 또한 연산 증폭기(OPa)의 출력 단자와 연산 증폭기(OPb)의 출력 단자를 콤퍼레이터(CMP)의 입력 단자에 각각 접속하여도 좋다. 그리고 콤퍼레이터(CMP)로부터의 출력을 출력 신호($z_j^{(k)}$)로 하여도 좋다. 또한 부하 소자(LEa), 부하 소자(LEb)의 용량 소자에 축적된 전하를 초기화하는 회로가 제공되어도

좋다. 예를 들어 부하 소자(LEa)(용량 소자)와 병렬로 스위치가 제공되어도 좋다. 즉 스위치의 제 2 단자가 연산 증폭기(OPa)의 출력 단자에 접속되고, 스위치의 제 1 단자가 배선(OL[j]) 및 연산 증폭기(OPa)의 제 1 입력 단자(예를 들어 반전 입력 단자)에 접속되어도 좋다.

[0156] 또한 도 6의 (E)의 회로(ACTF[j])에서, 배선(OL[j]), 배선(OLB[j])으로부터 흐르는 전류를 전압으로 변환하여 출력하고자 하는 경우, 부하 소자(LEa), 부하 소자(LEb)로서는 용량 소자 외에 저항 소자를 사용할 수 있다.

[0157] 또한 예를 들어, 도 6의 (A) 내지 (E)의 회로(ACTF[j])와 다른 구성으로서, 도 6의 (F)에 나타낸 회로(ACTF[j])를 도 2의 연산 회로(110)의 회로(AFP)에 적용할 수 있다. 도 4의 (F)의 회로(ACTF[j])는 저항 소자(RE), 저항 소자(REB), 아날로그 디지털 변환 회로(ADCa), 아날로그 디지털 변환 회로(ADCb)를 가진다.

[0158] 배선(OL[j])은 아날로그 디지털 변환 회로(ADCa)의 입력 단자와 저항 소자(RE)의 제 1 단자에 전기적으로 접속되고, 배선(OLB[j])은 아날로그 디지털 변환 회로(ADCb)의 입력 단자와 저항 소자(REB)의 제 1 단자에 전기적으로 접속된다. 저항 소자(RE)의 제 2 단자는 배선(VAL)에 전기적으로 접속되고, 저항 소자(REB)의 제 2 단자는 배선(VAL)에 전기적으로 접속된다.

[0159] 도 6의 (F)의 회로(ACTF[j])에서, 배선(OL[j]), 배선(OLB[j])으로부터 흐르는 전류에 따라 저항 소자(RE), 저항 소자(REB) 각각의 제 1 단자의 전위가 결정된다. 그리고 회로(ACTF[j])는 아날로그값인 상기 전위를 아날로그 디지털 변환 회로(ADCa), 아날로그 디지털 변환 회로(ADCb)에 의하여 2치 또는 3치 이상(예를 들어 256치 등)의 디지털값으로 변환하고, 신호($z_j^{(k)}$)로서 출력하는 기능을 가진다.

[0160] 또한 도 6의 (A) 내지 (F)에 나타낸 저항 소자(RE), 저항 소자(REB)는 도 5의 (B), (C)와 마찬가지로, 용량 소자(CE), 용량 소자(CEB), 또는 다이오드 소자(DE), 다이오드 소자(DEB)로 변경할 수 있다. 특히 도 6의 (A) 내지 (F)에 나타낸 저항 소자(RE), 저항 소자(REB)를 용량 소자(CE), 용량 소자(CEB)로 변경한 경우, 도 5의 (E)와 마찬가지로 스위치(S01a), 스위치(S01b)를 더 제공함으로써, 배선(OL[j]), 배선(OLB[j])으로부터 입력된 전위를 유지할 수 있다.

[0161] 또한 도 2 내지 도 4의 각각에 나타낸 연산 회로(110), 연산 회로(120), 연산 회로(130)에서는 배선(IL), 배선(ILB), 배선(OL), 배선(OLB)이 배치되는 경우의 예를 나타내었지만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 연산 회로(110), 연산 회로(120), 연산 회로(130)는 각각, 배선(IL)과 배선(OL)을 하나의 배선으로서 통합하고 또한 배선(ILB)과 배선(OLB)을 하나의 배선으로서 통합한 구성으로 하여도 좋다. 도 7에는 그 구체적인 구성을 나타내었다. 도 7에 나타낸 연산 회로(140)는 전환 회로(TW[1]) 내지 전환 회로(TW[n])를 가진다.

[0162] 전환 회로(TW[1]) 내지 전환 회로(TW[n])는 각각 단자(TSa)와, 단자(TSaB)와, 단자(TSb)와, 단자(TSbB)와, 단자(TSc)와, 단자(TScB)를 가진다.

[0163] 단자(TSa)는 배선(OL[j])에 전기적으로 접속되고, 단자(TSbB)는 회로(ILD)에 전기적으로 접속되고, 단자(TSc)는 회로(ACTF[i])에 전기적으로 접속된다. 단자(TSaB)는 배선(OLB[j])에 전기적으로 접속되고, 단자(TSbB)는 회로(ILD)에 전기적으로 접속되고, 단자(TScB)는 회로(ACTF[j])에 전기적으로 접속된다.

[0164] 전환 회로(TW[j])는, 단자(TSa)와, 단자(TSb) 및 단자(TSc) 중 한쪽 사이를 도통 상태로 하고, 단자(TSa)와, 단자(TSb) 및 단자(TSc) 중 다른 쪽 사이를 비도통 상태로 하는 기능을 가진다. 또한 전환 회로(TW[j])는, 단자(TSaB)와, 단자(TSbB) 및 단자(TScB) 중 한쪽 사이를 도통 상태로 하고, 단자(TSaB)와, 단자(TSbB) 및 단자(TScB) 중 다른 쪽 사이를 비도통 상태로 하는 기능을 가진다.

[0165] 즉 회로(MP[1, j]) 내지 회로(MP[m, j]) 중 어느 하나에 가중 계수인 제 1 데이터($w_1{}^{(k-1)}{}_1^{(k)}$ 내지 $w_m{}^{(k-1)}{}_n^{(k)}$)에 대응하는 정보(예를 들어 전위, 저항값, 전류값 등)를 입력하고자 하는 경우, 전환 회로(TW[j])에서 단자(TSa)와 단자(TSb) 사이를 도통 상태로 하고 또한 단자(TSaB)와 단자(TSbB) 사이를 도통 상태로 함으로써, 회로(ILD)로부터 배선(OL[j]), 배선(OLB[j])에 제 1 데이터($w_1{}^{(k-1)}{}_1^{(k)}$ 내지 $w_m{}^{(k-1)}{}_n^{(k)}$)에 대응하는 정보(예를 들어 전위, 저항값, 전류값 등)를 공급할 수 있다.

[0166] 또한 회로(ACTF[j])가, 회로(MP[1, j]) 내지 회로(MP[m, j])에 의하여 계산된, 가중 계수와 뉴런의 신호의 적화(식(1.2))의 결과를 취득하고자 하는 경우, 전환 회로(TW[j])에서 단자(TSa)와 단자(TSc) 사이를 도통 상태로 하고 또한 단자(TSaB)와 단자(TScB) 사이를 도통 상태로 함으로써, 배선(OL[j]), 배선(OLB[j])으로부터 회로(ACTF[j])에 적화의 결과에 따른 정보(예를 들어 전위, 전류값 등)를 공급할 수 있다. 또한

회로(ACTF[j])에서, 입력된 적화의 결과에서 활성화 함수의 값이 계산되어, 뉴런의 출력 신호로서 신호($z_j^{(k)}$)를 얻을 수 있다.

[0167] 다음으로 연산 회로(140)에 포함되는 전환 회로(TW[j])와, 회로(ILD)에 대하여 설명한다. 도 8의 (A)에는 연산 회로(140)에 적용할 수 있는 전환 회로(TW[j])와, 회로(ILD)의 구성예를 나타내었다. 또한 도 8의 (A)에서는 전환 회로(TW[j])와 회로(ILD)의 전기적인 접속의 구성을 나타내기 위하여 배선(OL[j])과, 배선(OLB[j])과, 회로(AFP)도 도시하였다.

[0168] 전환 회로(TW[j])는 일례로서, 스위치(SWI)와, 스위치(SWIB)와, 스위치(SWO)와, 스위치(SWOB)와, 스위치(SWL)와, 스위치(SWLB)와, 스위치(SWH)와, 스위치(SWHB)를 가진다.

[0169] 회로(ILD)는 일례로서 전류원 회로(ISC)를 가진다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 전류원 회로(ISC) 대신에 전압원 회로를 배치하여도 좋다. 전류원 회로(ISC)는 배선(OL[j]) 및/또는 배선(OLB[j])에 대하여, 회로(MP)에 입력하는 가중 계수(제 1 데이터)에 따른 전류를 흘리는 기능을 가진다. 또한 전류원 회로(ISC)는, 배선(OL[j])을 위한 회로와 배선(OLB[j])을 위한 회로를 다른 회로로 하고 적어도 하나씩 배치하여도 좋다. 또는 도 8의 (A)에 나타낸 바와 같이, 배선(OL[j]) 및 배선(OLB[j])으로 이루어지는 한 쌍의 배선은 적어도 하나의 전류원 회로(ISC)를 가져도 좋다.

[0170] 또한 전류원 회로(ISC)는 하나 또는 복수의 정전류원을 가지고, 도 8의 (A)에서는 일례로서, 복수의 정전류원으로서 정전류원 회로(ISC1)와, 정전류원 회로(ISC2)와, 정전류원 회로(ISC3)를 가진다. 또한 전류원 회로(ISC)는 일례로서, 복수의 정전류원을 선택하기 위하여 복수의 스위치를 가지고, 도 8의 (A)에서는 복수의 스위치로서 스위치(SWC1)와, 스위치(SWC2)와, 스위치(SWC3)를 가진다. 또한 전류원 회로(ISC)가 하나의 정전류원만을 가지는 경우, 정전류원 회로(ISC)는 스위치를 가지지 않아도 된다. 또는 정전류원 회로(ISC1)와, 정전류원 회로(ISC2)와, 정전류원 회로(ISC3)가 각각 전류를 출력할지 여부를 제어하는 기능을 가지는 경우에는 스위치(SWC1)와, 스위치(SWC2)와, 스위치(SWC3)는 제공하지 않아도 된다.

[0171] 또한 배선(OL[j]), 배선(OLB[j])의 각각에 흘리는 전류는 도 8의 (A)에 나타낸 바와 같이, 같은 전류원 회로(ISC)에서 생성되는 것이 바람직하다. 배선(OL[j]), 배선(OLB[j])의 각각에 흘리는 전류를 다른 전류원 회로에서 생성하는 경우, 트랜지스터의 제작 공정 시 등을 기인으로 상기 트랜지스터의 특성 편차가 발생할 수 있어, 다른 전류원 회로 간에서는 성능에 차이가 날 수 있다. 한편 같은 전류원 회로를 사용하는 경우에는 배선(OL[j])과 배선(OLB[j])에 같은 크기의 전류를 공급할 수 있어, 연산 정확도를 향상시킬 수 있다.

[0172] 또한 도 8의 (A)에서 설명하는 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB), 스위치(SWC1), 스위치(SWC2), 스위치(SWC3)로서는 예를 들어, 스위치(SO1a) 및 스위치(SO1b)와 마찬가지로, 아날로그 스위치, 트랜지스터 등의 전기적인 스위치, 기계적인 스위치 등을 적용할 수 있다.

[0173] 전환 회로(TW[j])의 일례에 있어서, 단자(TSa)는 스위치(SWI)의 제 1 단자와, 스위치(SWO)의 제 1 단자와, 스위치(SWL)의 제 1 단자와, 스위치(SWH)의 제 1 단자에 전기적으로 접속된다. 단자(TSaB)는 스위치(SWIB)의 제 1 단자와, 스위치(SWOB)의 제 1 단자와, 스위치(SWLB)의 제 1 단자와, 스위치(SWHB)의 제 1 단자에 전기적으로 접속된다. 스위치(SWI)의 제 2 단자는 단자(TSb1)에 전기적으로 접속된다. 스위치(SWIB)의 제 2 단자는 단자(TSbB1)에 전기적으로 접속된다. 스위치(SWO)의 제 2 단자는 단자(TSc)에 전기적으로 접속된다. 스위치(SWOB)의 제 2 단자는 단자(TScB)에 전기적으로 접속된다. 스위치(SWL)의 제 2 단자는 단자(TSb2)에 전기적으로 접속된다. 스위치(SWLB)의 제 2 단자는 단자(TSbB2)에 전기적으로 접속된다. 스위치(SWH)의 제 2 단자는 단자(TSb3)에 전기적으로 접속된다. 스위치(SWHB)의 제 2 단자는 단자(TSbB3)에 전기적으로 접속된다.

[0174] 도 8의 (A)에 도시된 단자(TSb1), 단자(TSb2), 단자(TSb3)는 도 7에 도시된 단자(TSb)에 상당한다. 또한 도 8의 (A)에 도시된 단자(TSbB1), 단자(TSbB2), 단자(TSbB3)는 도 7에 도시된 단자(TSbB)에 상당한다.

[0175] 회로(ILD)에 포함되는 전류원 회로(ISC)에서, 단자(TSb1)는 스위치(SWC1)의 제 1 단자와, 스위치(SWC2)의 제 1 단자와, 스위치(SWC3)의 제 1 단자에 전기적으로 접속된다. 또한 단자(TSbB1)는 스위치(SWC1)의 제 1 단자와, 스위치(SWC2)의 제 1 단자와, 스위치(SWC3)의 제 1 단자에 전기적으로 접속된다. 스위치(SWC1)의 제 2 단자는 정전류원 회로(ISC1)의 출력 단자에 전기적으로 접속되고, 스위치(SWC2)의 제 2 단자는 정전류원 회로(ISC2)의 출력 단자에 전기적으로 접속되고, 스위치(SWC3)의 제 2 단자는 정전류원 회로(ISC3)의 출력 단자에 전기적으로 접속된다. 정전류원 회로(ISC1)의 입력 단자와, 정전류원 회로(ISC2)의 입력 단자와, 정전류원 회로(ISC3)의

입력 단자는 각각 배선(VSO)에 전기적으로 접속된다.

[0176] 또한 도 8의 (A)에서는, 정전류원 회로(ISC1), 정전류원 회로(ISC2), 정전류원 회로(ISC3)는 각각 출력 단자가 각각의 스위치의 단자에 전기적으로 접속되고, 입력 단자가 배선(VSO)에 전기적으로 접속되는 구성이 되어 있지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 정전류원 회로(ISC1), 정전류원 회로(ISC2), 정전류원 회로(ISC3)는 각각 입력 단자가 각각의 스위치의 단자에 전기적으로 접속되고, 출력 단자가 배선(VSO)에 전기적으로 접속되는 구성으로 하여도 좋다. 또한 회로(MP)로부터 전류를 출력하기 전에 배선(OL[j]), 배선(OLB[j])의 전위를 초기화하기 위하여 배선(VCN2)을 배치하여도 좋다. 배선(VCN2)은 스위치(SWH)를 통하여 배선(OL[j])과 접속된다. 또한 배선(VCN2)은 스위치(SWHB)를 통하여 배선(OLB[j])과 접속된다. 배선(VCN2)은 배선(VCN)과는 다른 전위를 공급할 수 있다. 예를 들어 배선(VCN)에 VSS 또는 접지 전위가 공급되어 있는 경우에는 배선(VCN2)에는 VDD 등이 공급된다. 이에 의하여 회로(MP)로부터 출력되는 전류에 따라, 배선(OL[j]) 및 배선(OLB[j])의 전위를 변화시킬 수 있다.

[0177] 정전류원 회로(ISC1), 정전류원 회로(ISC2), 정전류원 회로(ISC3)의 구체적인 구성예를 도 8의 (B) 및 (C)에 나타내었다. 도 8의 (B)에 나타낸 정전류원 회로(ISC1)(정전류원 회로(ISC2), 정전류원 회로(ISC3))는 p채널형 트랜지스터를 가지고, 상기 트랜지스터의 제 1 단자는 배선(VSO)에 전기적으로 접속되고, 상기 트랜지스터의 제 2 단자는 스위치(SWC1)(스위치(SWC2), 스위치(SWC3))의 제 2 단자에 전기적으로 접속되고, 상기 트랜지스터의 게이트는 배선(VB)에 전기적으로 접속된다. 또한 도 8의 (C)에 나타낸 정전류원 회로(ISC1)(정전류원 회로(ISC2), 정전류원 회로(ISC3))는 n채널형 트랜지스터를 가지고, 상기 트랜지스터의 제 1 단자는 배선(VSO)에 전기적으로 접속되고, 상기 트랜지스터의 제 2 단자는 스위치(SWC1)(스위치(SWC2), 스위치(SWC3))의 제 2 단자에 전기적으로 접속되고, 상기 트랜지스터의 게이트는 배선(VB)에 전기적으로 접속된다. 도 8의 (B) 및 (C) 각각의 정전류원 회로(ISC1)(정전류원 회로(ISC2), 정전류원 회로(ISC3))에 있어서, 배선(VB)은 각 트랜지스터의 게이트에 바이어스 전압을 입력하기 위한 배선으로서 기능한다. 또한 배선(VB)에 펄스 신호를 공급하여도 좋다. 이에 의하여 각각의 정전류원 회로로부터 전류를 출력할지 여부를 제어할 수 있다. 이 경우, 스위치(SWC1)와, 스위치(SWC2)와, 스위치(SWC3)는 제공하지 않아도 된다. 또는 배선(VB)에 아날로그 전압을 공급하여도 좋다. 이에 의하여 정전류원 회로로부터 아날로그 전류를 공급할 수 있다.

[0178] 배선(VSO)은 정전류원 회로(ISC1), 정전류원 회로(ISC2), 정전류원 회로(ISC3)의 각각에 대하여 정전압을 공급하는 배선으로서 기능한다. 예를 들어 회로(ILD)로부터 전환 회로(TW[j])를 통하여 배선(OL) 또는 배선(OLB)에 전류를 공급하는 경우, 상기 정전압으로서는 접지 전위보다 높은 전위(예를 들어 VDD 등)로 하는 것이 바람직하고, 또한 도 8의 (B)에 나타낸 정전류원 회로(ISC1)(정전류원 회로(ISC2), 정전류원 회로(ISC3))를 사용하는 것이 바람직하다. 또한 예를 들어 회로(ILD)로부터 전환 회로(TW[j])를 통하여 배선(OL) 또는 배선(OLB)에 전류를 공급하는 경우, 상기 정전압으로서는 접지 전위보다 높으며 상기 고레벨 전위보다 낮은 전위, 접지 전위 등으로 하는 것이 바람직하고, 또한 도 8의 (C)에 나타낸 정전류원 회로(ISC1)(정전류원 회로(ISC2), 정전류원 회로(ISC3))를 사용하는 것이 바람직하다. 또한 본 명세서에 있어서, 회로(ILD)로부터 전환 회로(TW[j])를 통하여 배선(OL) 또는 배선(OLB)에 흐르는 전류를 양의 전류라고 기재하는 경우가 있다. 그러므로 배선(OL) 또는 배선(OLB)으로부터 전환 회로(TW[j])를 통하여 회로(ILD)에 흐르는 전류를 음의 전류라고 기재하는 경우가 있다.

[0179] 또한 정전류원 회로(ISC1)가 흘리는 전류를 I_{ut}로 하였을 때, 일례로서는 정전류원 회로(ISC2)가 흘리는 전류는 $2I_{ut}$로 하는 것이 바람직하고, 정전류원 회로(ISC3)가 흘리는 전류는 $4I_{ut}$로 하는 것이 바람직하다. 즉 전류원 회로(ISC)가 P개(P는 1 이상의 정수임)의 정전류원을 가지는 경우, p번째(p는 1 이상 P 이하의 정수임)의 정전류원이 흘리는 전류는 $2^{(p-1)} \times I_{ut}$로 하는 것이 바람직하다. 이러한 식으로 전류원 회로(ISC)로부터 흐르는 전류의 크기를 변경할 수 있다.

[0180] 예를 들어 전류원 회로(ISC)의 정전류원의 개수를 3개(P=3)로 한다. 배선(OL[j])에 I_{ut}의 전류를 흘리고자 하는 경우에는, 스위치(SWI)를 온 상태로, 스위치(SWIB)를 오프 상태로 하면서 스위치(SWC1)를 온 상태로 하고 스위치(SWC2), 스위치(SWC3)를 오프 상태로 하면 좋다. 또한 배선(OL[j])에 $5I_{ut}$의 전류를 흘리고자 하는 경우에는, 스위치(SWC1), 스위치(SWC3)를 온 상태로 하고 스위치(SWC2)를 오프 상태로 하면 좋다. 즉 전류원 회로(ISC)로부터 출력되는 전류는 8치("0", "I_{ut}", "$2I_{ut}$", "$3I_{ut}$", "$4I_{ut}$", "$5I_{ut}$", "$6I_{ut}$", "$7I_{ut}$") 중 어느 하나로 할 수 있다. 또한 8치보다 큰 값의 전류를 출력하고자 하는 경우에는 정전류원의 개수를 4개 이상으로 하면 좋다. 또한 마찬가지로, 스위치(SWI)를 오프 상태로, 스위치(SWIB)를 온 상태로 함으로써 배선(OLB[j])에 8치

중 어느 하나의 전류를 흘릴 수 있다. 또한 전류원 회로(ISC)로부터 전류의 출력을 하지 않는 경우, 전류원 회로(ISC)의 스위치(SWC1) 내지 스위치(SWC3)를 오프 상태로 하지 않고, 전환 회로(TW)의 스위치(SWI), 스위치(SWIB)를 오프 상태로 하여도 좋다. 이와 같이 복수의 정전류원을 배치함으로써 DA 변환을 용이하게 실현할 수 있다. 또한 전류원 회로를 1개만 배치하고, 아날로그적으로 출력되는 전류값을 변경하도록 동작시켜도 좋다.

[0181] 또한 회로(ILD)에 있어서, 단자(TSb2)는 배선(VCN)에 전기적으로 접속되고, 단자(TSbB2)는 배선(VCN)에 전기적으로 접속된다.

[0182] 배선(VCN)은 배선(OL[j]) 및/또는 배선(OLB[j])에 대하여 정전압을 공급하는 배선으로서 기능한다. 예를 들어 회로(ILD)로부터 전환 회로(TW[j])를 통하여 배선(OL) 또는 배선(OLB)에 전류(양의 전류)를 공급하는 경우, 배선(VCN)이 인가하는 정전압으로서는 저레벨 전위(예를 들어 VSS 등)로 하는 것이 바람직하다. 또한 예를 들어 배선(OL) 또는 배선(OLB)으로부터 전환 회로(TW[j])를 통하여 회로(ILD)에 전류(음의 전류)를 공급하는 경우, 배선(VCN)이 인가하는 정전위로서는 고레벨 전위로 하는 것이 바람직하다. 또한 후술하는 도 42 내지 도 45 등에 나타낸 바와 같이, 용량 소자(C3)가 트랜지스터(M1) 등의 소스 단자에 접속되고, 그 소스 단자가 전원선 등에 접속되지 않은 경우에 있어서, 회로(ILD)로부터 전환 회로(TW[j])를 통하여 배선(OL) 또는 배선(OLB)에 양의 전류를 공급하는 경우, 배선(VCN)이 인가하는 정전압으로서는 고레벨 전위(예를 들어 VDD 등)로 하는 것이 바람직하다. 즉 배선(VCN)으로부터 정전압을 공급할 때, 용량 소자(C3)의 양쪽 단자의 전위차가 0에 가까워지도록 하는 것이 바람직하다. 바꿔 말하면 회로(MC)로부터 전류가 출력되지 않게 되는 전위를 배선(VCN)에 공급하는 것이 바람직하다.

[0183] 또한 회로(ILD)에 있어서, 단자(TSb3)는 배선(VCN2)에 전기적으로 접속되고, 단자(TSbB3)는 배선(VCN2)에 전기적으로 접속된다.

[0184] 배선(VCN2)은 배선(OL[j]) 및/또는 배선(OLB[j])에 대하여 정전압을 공급하는 배선으로서 기능한다. 예를 들어 회로(ILD)로부터 전환 회로(TW[j])를 통하여 배선(OL) 또는 배선(OLB)에 전류(양의 전류)를 공급하는 경우, 배선(VCN)이 인가하는 정전압으로서는 고레벨 전위(예를 들어 VDD 등)로 하는 것이 바람직하다. 또한 예를 들어 배선(OL) 또는 배선(OLB)으로부터 전환 회로(TW[j])를 통하여 회로(ILD)에 전류(음의 전류)를 공급하는 경우, 배선(VCN)이 인가하는 정전위로서는 저레벨 전위로 하는 것이 바람직하다.

[0185] 전환 회로(TW[j])는 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 각각 온 상태 또는 오프 상태로 전환함으로써, 배선(OL[j]) 및 배선(OLB[j])과 도통 상태가 되는 회로를 변경할 수 있다.

[0186] 여기서 회로(MP)에 입력되는 가중 계수에 대하여 설명한다.

[0187] 회로(MP)에 양의 가중 계수를 입력하고자 하는 경우, 배선(OL[j])에 상기 가중 계수에 따른 전류를 입력하고, 배선(OLB[j])에 배선(VCN)이 인가하는 정전위를 입력하면 좋다. 일례로서는 전류원 회로(ISC)와 배선(OL[j]) 사이를 도통 상태로 하고, 전류원 회로(ISC)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 회로(AFP)와 배선(OL[j]) 사이를 비도통 상태로 하고, 회로(AFP)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 배선(VCN)과 배선(OL[j]) 사이를 비도통 상태로 하고, 배선(VCN)과 배선(OLB[j]) 사이를 도통 상태로 하고, 배선(VCN2)과 배선(OL[j]) 사이를 비도통 상태로 하고, 배선(VCN2)과 배선(OLB[j]) 사이를 비도통 상태로 하면 좋다. 즉 전환 회로(TW[j])에 있어서, 스위치(SWI), 스위치(SWLB)를 온 상태로 하고, 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 스위치(SWH), 스위치(SWHB)를 각각 오프 상태로 하면 좋다. 이에 의하여 전류원 회로(ISC)와 배선(OL[j]) 사이가 도통 상태가 되므로, 전류원 회로(ISC)로부터 배선(OL[j])을 통하여 회로(MP)에 전류를 흘릴 수 있다. 또한 전류원 회로(ISC)의 정전류원의 개수를 P개로 하였을 때, 상기 전류는 2^{P}-1치 중 어느 하나가 된다(제로 전류를 포함하지 않음). 회로(MP)에 입력되는 양의 가중 계수는 상기 전류에 따라 결정되기 때문에, 상기 가중 계수는 2^{P}-1치 중 어느 하나로 할 수 있다. 또한 배선(VCN)과 배선(OLB[j]) 사이가 도통 상태가 되므로, 배선(OLB[j])에는 배선(VCN)으로부터의 정전압이 입력된다.

[0188] 또한 회로(MP)에 음의 가중 계수를 입력하고자 하는 경우, 배선(OLB[j])에 상기 가중 계수에 따른 전류를 입력하고, 배선(OL[j])에 배선(VCN)이 인가하는 정전위를 입력하면 좋다. 일례로서는 전류원 회로(ISC)와 배선(OL[j]) 사이를 비도통 상태로 하고, 전류원 회로(ISC)와 배선(OLB[j]) 사이를 도통 상태로 하고, 회로(AFP)와 배선(OL[j]) 사이를 비도통 상태로 하고, 회로(AFP)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 배선(VCN)과 배선(OL[j]) 사이를 도통 상태로 하고, 배선(VCN)과 배선(OLB[j]) 사이를 비도통 상태로 하고, 배선(VCN2)과 배선(OL[j]) 사이를 비도통 상태로 하고, 배선(VCN2)과 배선(OLB[j]) 사이를 비도통 상태로 하면 좋다. 즉 전환

회로(TW[j])에 있어서, 스위치(SWIB), 스위치(SWL)를 온 상태로 하고, 스위치(SWI), 스위치(SWO), 스위치(SWOB), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 각각 오프 상태로 하면 좋다. 이에 의하여 전류원 회로(ISC)와 배선(OLB[j]) 사이가 도통 상태가 되므로, 전류원 회로(ISC)로부터 배선(OLB[j])을 통하여 회로(MP)에 전류를 흘릴 수 있다. 또한 전류원 회로(ISC)의 정전류원의 개수를 P개로 하였을 때, 상기 전류는 2^{P}-1치 중 어느 하나가 된다(제로 전류를 포함하지 않음). 회로(MP)에 입력되는 음의 가중 계수는 상기 전류에 따라 결정되기 때문에, 상기 가중 계수는 2^{P}-1치 중 어느 하나로 할 수 있다. 또한 배선(VCN)과 배선(OL[j]) 사이가 도통 상태가 되므로, 배선(OL[j])에는 배선(VCN)으로부터의 정전압이 입력된다.

[0189] 또한 회로(MP)에 0의 가중 계수를 입력하고자 하는 경우, 배선(OL[j]), 배선(OLB[j])의 각각에 배선(VCN)이 인가하는 정전위를 입력하면 좋다. 일례로서는 전류원 회로(ISC)와 배선(OL[j]) 사이를 비도통 상태로 하고, 전류원 회로(ISC)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 회로(AFP)와 배선(OL[j]) 사이를 비도통 상태로 하고, 회로(AFP)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 배선(VCN)과 배선(OL[j]) 사이를 도통 상태로 하고, 배선(VCN)과 배선(OLB[j]) 사이를 도통 상태로 하고, 배선(VCN2)과 배선(OL[j]) 사이를 비도통 상태로 하고, 배선(VCN2)과 배선(OLB[j]) 사이를 비도통 상태로 하면 좋다. 즉 전환 회로(TW[j])에 있어서, 스위치(SWL), 스위치(SWLB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB)를 각각 오프 상태로 하면 좋다. 이에 의하여 배선(VCN)과 배선(OL[j]) 사이가 도통 상태가 되고, 배선(VCN)과 배선(OLB[j]) 사이가 도통 상태가 되므로, 배선(OL[j]), 배선(OLB[j])에는 배선(VCN)으로부터의 정전압이 입력된다.

[0190] 즉 전류원 회로(ISC)의 정전류원의 개수를 P개로 함으로써 회로(MP)에 입력할 수 있는 가중 계수의 개수(양의 가중 계수, 음의 가중 계수, 0의 가중 계수의 합계)는 2^{P+1}-1개가 된다.

[0191] 다음으로 회로(MP)로부터 회로(AFP)에 정보(예를 들어 전위, 전류 등)를 공급하는 경우에 대하여 설명한다.

[0192] 회로(MP)로부터 회로(AFP)에 정보(예를 들어 전위, 전류 등)를 공급하기 전에는 배선(OL[j]), 배선(OLB[j])을 소정의 전위로 해두는 것이 바람직하다. 예를 들어 회로(AFP)로부터 배선(OL) 또는 배선(OLB)을 통하여 회로(MP)에 양의 전류가 흐르는 경우, 소정의 전위로서는 고레벨 전위가 좋다. 또한 예를 들어 회로(MP)로부터 배선(OL) 또는 배선(OLB)을 통하여 회로(AFP)에 양의 전류가 흐르는 경우, 소정의 전위로서는 저레벨 전위가 좋다. 그러므로 회로(MP)로부터 회로(AFP)에 정보(예를 들어 전위, 전류 등)를 공급하기 전에는, 일례로서 전류원 회로(ISC)와 배선(OL[j]) 사이를 비도통 상태로 하고, 전류원 회로(ISC)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 회로(AFP)와 배선(OL[j]) 사이를 비도통 상태로 하고, 회로(AFP)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 배선(VCN)과 배선(OL[j]) 사이를 비도통 상태로 하고, 배선(VCN)과 배선(OLB[j]) 사이를 비도통 상태로 하고, 배선(VCN2)과 배선(OL[j]) 사이를 도통 상태로 하고, 배선(VCN2)과 배선(OLB[j]) 사이를 도통 상태로 하면 좋다. 즉 전환 회로(TW[j])에 있어서, 스위치(SWH), 스위치(SWHB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 스위치(SWLB)를 각각 오프 상태로 하면 좋다. 이에 의하여 배선(OL[j])과 배선(VCN2) 사이가 도통 상태가 되고, 배선(OLB[j])과 배선(VCN2) 사이가 도통 상태가 되므로, 배선(OL), 배선(OLB)에는 배선(VCN2)으로부터의 정전압이 입력된다.

[0193] 회로(MP[i, j])로부터 회로(AFP)에 정보(예를 들어 전위, 전류 등)를 공급할 때에는, 일례로서 전류원 회로(ISC)와 배선(OL[j]) 사이를 비도통 상태로 하고, 전류원 회로(ISC)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 회로(AFP)와 배선(OL[j]) 사이를 도통 상태로 하고, 회로(AFP)와 배선(OLB[j]) 사이를 도통 상태로 하고, 배선(VCN)과 배선(OL[j]) 사이를 비도통 상태로 하고, 배선(VCN)과 배선(OLB[j]) 사이를 비도통 상태로 하고, 배선(VCN2)과 배선(OL[j]) 사이를 비도통 상태로 하고, 배선(VCN2)과 배선(OLB[j]) 사이를 비도통 상태로 하면 좋다. 즉 전환 회로(TW[j])에 있어서, 스위치(SWO), 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 각각 오프 상태로 하면 좋다. 이에 의하여 회로(AFP)와 회로(MP[i, j]) 사이가 도통 상태가 되므로, 회로(MP[i, j])로부터 회로(AFP)에 정보(예를 들어 전위, 전류 등)를 공급할 수 있다.

[0194] <<회로(MP)>>

[0195] 다음으로 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140)에 포함되는 회로(MP[i, j])의 구성예에 대하여 설명한다.

[0196] 도 9의 (A)는 연산 회로(140)에 적용할 수 있는 회로(MP[i, j])의 구성예를 나타낸 것이고, 회로(MP[i, j])는 일례로서 회로(MC)와 회로(MCr)를 가진다. 회로(MC) 및 회로(MCr)는 회로(MP)에서 가중 계수와 뉴런의 입력 신

호(연산값)의 곱을 계산하는 회로이다. 회로(MC)는 회로(MCr)와 같은 구성 또는 회로(MCr)와 상이한 구성으로 할 수 있다. 그러므로 회로(MCr)에서는 회로(MC)와 구별하기 위하여 부호에 "r"를 붙였다. 또한 회로(MCr)에 포함되는 후술하는 회로 소자의 부호에도 "r"를 붙였다.

[0197] 회로(MC)는 일례로서, 유지부(HC)를 가지고, 회로(MCr)는 유지부(HCr)를 가진다. 유지부(HC) 및 유지부(HCr)는 각각 정보(예를 들어 전위, 저항값, 전류값 등)를 유지하는 기능을 가진다. 또한 회로(MP[i, j])에 설정되는 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)는 유지부(HC) 및 유지부(HCr) 각각에서 유지되는 정보(예를 들어 전위, 저항값, 전류값 등)에 따라 결정된다. 그러므로 유지부(HC) 및 유지부(HCr) 각각은 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 각 정보(예를 들어 전위, 저항값, 전류값 등)를 공급하는 배선(OL[j]) 및 배선(OLB[j])에 전기적으로 접속된다.

[0198] 도 9의 (A)에 있어서, 회로(MP[i, j])는 배선(VE[j])과 배선(VEr[j])에 전기적으로 접속된다. 배선(VE[j]), 배선(VEr[j])은 정전압을 공급하는 배선으로서 기능한다. 또한 배선(VE[j])은 회로(MC)를 통하여 배선(OL)으로부터의 전류를 배출하는 배선으로서도 기능한다. 또한 배선(VEr[j])은 회로(MCr)를 통하여 배선(OLB)으로부터의 전류를 배출하는 배선으로서도 기능한다.

[0199] 도 9의 (A)에 나타낸 배선(WL[i])은 도 7에서의 배선(WL[i])에 상당한다. 배선(WL[i])은 유지부(HC) 및 유지부(HCr) 각각에 전기적으로 접속된다. 회로(MP[i, j])에 포함되는 유지부(HC) 및 유지부(HCr)에 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 정보(예를 들어 전위, 저항값, 전류값 등)를 기록할 때 배선(WL[i])에 소정의 전위를 공급함으로써 배선(OL[j])과 유지부(HC) 사이를 도통 상태로 하고, 배선(OLB[j])과 유지부(HCr) 사이를 도통 상태로 한다. 그리고 배선(OL[j]), 배선(OLB[j]) 각각에 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 전위 등을 공급함으로써, 유지부(HC) 및 유지부(HCr) 각각에 상기 전위 등을 입력할 수 있다. 그 후, 배선(WL[i])에 소정의 전위를 공급하여, 배선(OL[j])과 유지부(HC) 사이를 비도통 상태로 하고, 배선(OLB[j])과 유지부(HCr) 사이를 비도통 상태로 한다. 그리고 유지부(HC) 및 유지부(HCr) 각각에 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 각 전류 등이 유지된다.

[0200] 예를 들어 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1", "0", "1"의 3치 중 어느 것인 경우에 대하여 생각한다. 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "1"인 경우, 일례로서 배선(OL[j])으로부터 회로(MC)를 통하여 배선(VE[j])에 "1"에 따른 전류가 흐르도록, 유지부(HC)에는 소정의 전위가 유지되고, 또한 배선(OLB[j])으로부터 회로(MCr)를 통하여 배선(VEr[j])에 전류가 흐르지 않도록, 유지부(HCr)에는 전위(V_0)가 유지된다. 또한 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1"인 경우, 일례로서 배선(OL[j])으로부터 회로(MC)를 통하여 배선(VE[j])에 전류가 흐르지 않도록, 유지부(HC)에는 전위(V_0)가 유지되고, 또한 배선(OLB[j])으로부터 회로(MCr)를 통하여 배선(VEr[j])에 "-1"에 따른 전류가 흐르도록, 유지부(HCr)에는 소정의 전위가 유지된다. 그리고 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "0"인 경우, 일례로서 배선(OL[j])으로부터 회로(MC)를 통하여 배선(VE[j])에 전류가 흐르지 않도록, 유지부(HC)에 전위(V_0)가 유지되고, 또한 배선(OLB[j])으로부터 회로(MC)를 통하여 배선(VEr[j])에 전류가 흐르지 않도록, 유지부(HCr)에 전위(V_0)가 유지된다. 또한 전위(V_0)는 도 8의 설명에 있어서 배선(VCN)이 인가하는 전위로 할 수 있다.

[0201] 또한 다른 예로서, 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 아날로그값인 경우, 구체적으로는 "음의 아날로그값", "0", 또는 "양의 아날로그값"인 경우에 대하여 생각한다. 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "양의 아날로그값"인 경우, 일례로서 배선(OL[j])으로부터 회로(MC)를 통하여 배선(VE[j])에 "양의 아날로그값 "에 따른 아날로그 전류가 흐르도록, 유지부(HC)에는 소정의 전위가 유지되고, 또한 배선(OLB[j])으로부터 회로(MCr)를 통하여 배선(VEr[j])에 전류가 흐르지 않도록, 유지부(HCr)에는 전위(V_0)가 유지된다. 또한 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "음의 아날로그값"인 경우, 일례로서 배선(OL[j])으로부터 회로(MC)를 통하여 배선(VE[j])에 전류가 흐르지 않도록, 유지부(HC)에는 전위(V_0)가 유지되고, 또한 배선(OLB[j])으로부터 회로(MCr)를 통하여 배선(VEr[j])에 "음의 아날로그값 "에 따른 아날로그 전류가 흐르도록, 유지부(HCr)에는 소정의 전위가 유지된다. 그리고 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "

0"인 경우, 일례로서 배선(OL[j])으로부터 회로(MC)를 통하여 배선(VE[j])에 전류가 흐르지 않도록, 유지부(HC)에 전위(V_0)가 유지되고, 또한 배선(OLB[j])으로부터 회로(MC)를 통하여 배선(VEr[j])에 전류가 흐르지 않도록, 유지부(HCr)에 전위(V_0)가 유지된다. 또한 전위(V_0)는 상술의 예와 마찬가지로, 도 8의 설명에 있어서 배선(VCN)이 인가하는 전위로 할 수 있다.

[0202] 또한 일례로서, 회로(MC)는 유지부(HC)에 유지된 정보(예를 들어 전위, 저항값, 또는 전류값 등)에 따른 전류 등을 배선(OL[j]) 및 배선(OLB[j]) 중 한쪽에 출력하는 기능을 가지고, 회로(MCr)는 유지부(HCr)에 유지된 정보(예를 들어 전위, 저항값, 또는 전류값 등)에 따른 전류 등을 배선(OL[j]) 및 배선(OLB[j]) 중 다른 쪽에 출력하는 기능을 가진다. 예를 들어 유지부(HC)에 제 1 전위가 유지되어 있는 경우 회로(MC)는 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VE)에 제 1 전류값을 가지는 전류를 흘리고, 유지부(HC)에 제 2 전위가 유지되어 있는 경우 회로(MC)는 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VE)에 제 2 전류값을 가지는 전류를 흘리는 것으로 한다. 마찬가지로 유지부(HCr)에 제 1 전위가 유지되어 있는 경우 회로(MCr)는 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VEr)에 제 1 전류값을 가지는 전류를 흘리고, 유지부(HCr)에 제 2 전위가 유지되어 있는 경우 회로(MCr)는 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VE)에 제 2 전류값을 가지는 전류를 흘리는 것으로 한다. 또한 제 1 전류값, 제 2 전류값 각각의 크기는 제 1 데이터($w_i{}^{(k-1)}{}_j{}^{(k)}$)의 값에 따라 결정된다. 일례로서 제 1 전류값은 제 2 전류값보다 큰 경우도 있고, 또는 작은 경우도 있다. 또한 일례로서는 제 1 전류값 및 제 2 전류값 중 한쪽은 제로 전류, 즉 전류값이 0인 경우도 있다. 또는 제 1 전류값을 가지는 전류와 제 2 전류값을 가지는 전류는 전류가 흐르는 방향이 다른 경우도 있다.

[0203] 특히 예를 들어, 제 1 데이터($w_i{}^{(k-1)}{}_j{}^{(k)}$)가 "-1", "0", "1"의 3치 중 어느 것인 경우, 제 1 전류값 및 제 2 전류값 중 한쪽이 0이 되도록 회로(MC), 회로(MCr)를 구성하는 것이 바람직하다. 또한 제 1 데이터($w_i{}^{(k-1)}{}_j{}^{(k)}$)가 아날로그값, 예를 들어 "음의 아날로그값", "0", 또는 "양의 아날로그값"인 경우에는, 제 1 전류값 또는 제 2 전류값도 일례로서는 아날로그값이 될 수 있다.

[0204] 또한 배선(OL[j]) 또는 배선(OLB[j])으로부터 회로(MC)를 통하여 배선(VE)에 흘리는 전류와, 배선(OL[j]) 또는 배선(OLB[j])으로부터 회로(MCr)를 통하여 배선(VEr)에 흘리는 전류를 같게 하는 경우, 트랜지스터의 제작 공정 등을 기인으로 상기 트랜지스터의 특성에 편차가 발생할 수 있기 때문에, 회로(MC)에 유지하는 전위와 회로(MCr)에 유지하는 전위는 같게 되지 않을 경우가 있다. 본 발명의 일 형태의 반도체 장치는 트랜지스터의 특성에 편차가 있어도, 배선(OL[j]) 또는 배선(OLB[j])으로부터 회로(MC)를 통하여 배선(VE)에 흘리는 전류량을, 배선(OL[j]) 또는 배선(OLB[j])으로부터 회로(MCr)를 통하여 배선(VEr)에 흘리는 전류량과 거의 같게 할 수 있다.

[0205] 또한 본 명세서 등에서 유지부(HC) 및 유지부(HCr)에 유지된 정보(예를 들어 전위, 저항값, 또는 전류값 등)에 따른 전류 또는 전압 등은 양의 전류 또는 전압 등으로 하여도 좋고, 음의 전류 또는 전압 등으로 하여도 좋고, 제로 전류 또는 제로 전압 등으로 하여도 좋고, 양과 음과 0이 혼재되어 있어도 좋다. 즉 예를 들어 상술한 "유지부(HC)에 유지된 정보(예를 들어 전위, 저항값, 또는 전류값 등)에 따른 전류 또는 전압 등을 배선(OL[j]) 및 배선(OLB[j]) 중 한쪽에 출력하는 기능을 가지고, 회로(MCr)는 유지부(HCr)에 유지된 정보(예를 들어 전위, 저항값, 또는 전류값 등)에 따른 전류 또는 전압 등을 배선(OL[j]) 및 배선(OLB[j]) 중 다른 쪽에 출력하는 기능을 가진다"라는 기재는 "유지부(HC)에 유지된 정보(예를 들어 전위, 저항값, 또는 전류값 등)에 따른 전류, 전압 등을 배선(OL[j]) 및 배선(OLB[j]) 중 한쪽으로부터 배출하는 기능을 가지고, 회로(MCr)는 유지부(HCr)에 유지된 정보(예를 들어 전위, 저항값, 또는 전류값 등)에 따른 전류, 전압 등을 배선(OL[j]) 및 배선(OLB[j]) 중 다른 쪽으로부터 배출하는 기능을 가진다"라는 기재로 바꿔 말할 수 있다.

[0206] 도 9의 (A)에 나타낸 배선(X1L[i]) 및 배선(X2L[i])은 도 7에서의 배선(XLS[i])에 상당한다. 또한 회로(MP[i, j])에 입력되는 제 2 데이터($z_i{}^{(k-1)}$)는 일례로서 배선(X1L[i]) 및 배선(X2L[i]) 각각의 전위 또는 전류 등에 따라 결정된다. 그러므로 회로(MC) 및 회로(MCr)에는 예를 들어 배선(X1L[i]) 및 배선(X2L[i])을 통하여 제 2 데이터($z_i{}^{(k-1)}$)에 따른 각 전위가 입력된다.

[0207] 회로(MC)는 배선(OL[j])과 배선(OLB[j])에 전기적으로 접속되고, 회로(MCr)는 배선(OL[j])과 배선(OLB[j])에 전기적으로 접속된다. 회로(MC) 및 회로(MCr)는 일례로서, 배선(X1L[i]) 및 배선(X2L[i])에 입력된 전위 또는 전류 등에 따라 배선(OL[j]) 및 배선(OLB[j])에 제 1 데이터($w_i{}^{(k-1)}{}_j{}^{(k)}$)와 제 2 데이터($z_i{}^{(k-1)}$)의 곱에 따른 전류

또는 전위 등을 출력한다. 구체적인 예로서, 회로(MC), 회로(MCr)로부터의 전류의 출력 대상은 배선(X1L[i]) 및 배선(X2L[i])의 전위에 따라 결정된다. 예를 들어 회로(MC) 및 회로(MCr)는, 회로(MC)로부터 출력되는 전류가 배선(OL[j]) 및 배선(OLB[j]) 중 한쪽에 흐르고, 회로(MCr)로부터 출력되는 전류가 배선(OL[j]) 및 배선(OLB[j]) 중 다른 쪽에 흐르는 회로 구성을 가진다. 즉 회로(MC), 회로(MCr)로부터 출력된 각 전류는 동일한 배선이 아니라, 서로 다른 배선에 흐른다. 또한 일례로서, 회로(MC) 및 회로(MCr)로부터 배선(OL[j]) 및 배선(OLB[j]) 중 어느 쪽에도 전류가 흐르지 않는 경우도 있다.

[0208] 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "-1", "0", "1"의 3치 중 어느 것인 경우에 대하여 생각한다. 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 회로(MP)는 회로(MC)와 배선(OL[j]) 사이를 도통 상태로 하고, 회로(MCr)와 배선(OLB[j]) 사이를 도통 상태로 한다. 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "-1"인 경우, 회로(MP)는 회로(MC)와 배선(OLB[j]) 사이를 도통 상태로 하고, 회로(MCr)와 배선(OL[j]) 사이를 도통 상태로 한다. 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "0"인 경우, 회로(MC) 및 회로(MCr) 각각이 출력한 전류를 배선(OL[j]) 및 배선(OLB[j]) 중 어느 쪽에도 흘리지 않도록 하기 위하여, 회로(MP)는 회로(MC)와 배선(OL[j]) 사이, 및 회로(MC)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 회로(MCr)와 배선(OL[j]) 사이, 및 회로(MC)와 배선(OLB[j]) 사이를 비도통 상태로 한다.

[0209] 이상의 동작을 통합시킨 경우의 예를 나타낸다. 제 1 데이터($w_{ij}^{(k-1)(k)}$)가 "1"인 경우에는 회로(MC)를 통하여 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VE[j])에 전류가 흐르는 경우가 있고, 회로(MCr)를 통하여 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VEr[j])에 전류가 흐르지 않는다. 제 1 데이터($w_{ij}^{(k-1)(k)}$)가 "-1"인 경우에는 회로(MC)를 통하여 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VE[j])에 전류가 흐르지 않고, 회로(MCr)를 통하여 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VEr[j])에 전류가 흐르는 경우가 있다. 그리고 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우에는 회로(MC)와 배선(OL[j]) 사이, 및 회로(MCr)와 배선(OLB[j]) 사이가 도통 상태가 된다. 제 2 데이터($z_i^{(k-1)}$)가 "-1"인 경우에는 회로(MC)와 배선(OLB[j]) 사이, 및 회로(MCr)와 배선(OL[j]) 사이가 도통 상태가 된다. 이로써 제 1 데이터($w_{ij}^{(k-1)(k)}$)와 제 2 데이터($z_i^{(k-1)}$)의 곱이 양의 값인 경우에는, 회로(MCr)를 통하여 배선(OL[j])으로부터 배선(VE[j])에 전류가 흐르거나 또는 회로(MCr)를 통하여 배선(OL[j])으로부터 배선(VEr[j])에 전류가 흐른다. 제 1 데이터($w_{ij}^{(k-1)(k)}$)와 제 2 데이터($z_i^{(k-1)}$)의 곱이 음의 값인 경우에는, 회로(MCr)를 통하여 배선(OL[j])으로부터 배선(VEr[j])에 전류가 흐르거나 또는 회로(MC)를 통하여 배선(OLB[j])으로부터 배선(VE[j])에 전류가 흐른다. 제 1 데이터($w_{ij}^{(k-1)(k)}$)와 제 2 데이터($z_i^{(k-1)}$)의 곱이 0의 값인 경우에는, 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VE[j])에 전류가 흐르지 않고, 배선(OL[j]) 또는 배선(OLB[j])으로부터 배선(VEr[j])에 전류가 흐르지 않는다.

[0210] 상술한 예를 구체적인 예로서 나타내면, 제 1 데이터($w_{ij}^{(k-1)(k)}$)가 "1"이고 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 예를 들어 회로(MC)로부터 배선(OL[j])에 제 1 전류값을 가지는 전류(I1[i, j])가 흐르고, 회로(MCr)로부터 배선(OLB[j])에 제 2 전류값을 가지는 전류(I2[i, j])가 흐른다. 이때 제 2 전류값의 크기는 일례로서 0이다. 제 1 데이터($w_{ij}^{(k-1)(k)}$)가 "-1"이고 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 예를 들어 회로(MC)로부터 배선(OL[j])에 제 2 전류값을 가지는 전류(I1[i, j])가 흐르고, 회로(MCr)로부터 배선(OLB[j])에 제 1 전류값을 가지는 전류(I2[i, j])가 흐른다. 이때 제 2 전류값의 크기는 일례로서 0이다. 제 1 데이터($w_{ij}^{(k-1)(k)}$)가 "0"이고 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 회로(MC)로부터 배선(OL[j])에 제 2 전류값을 가지는 전류(I1[i, j])가 흐르고, 회로(MCr)로부터 배선(OLB[j])에 제 2 전류값을 가지는 전류(I2[i, j])가 흐른다. 이때 제 2 전류값의 크기는 일례로서 0이다.

[0211] 또한 제 1 데이터($w_{ij}^{(k-1)(k)}$)가 "1"이고 제 2 데이터($z_i^{(k-1)}$)가 "-1"인 경우, 회로(MC)로부터 배선(OLB[j])에 제 1 전류값을 가지는 전류(I1[i, j])가 흐르고, 회로(MCr)로부터 배선(OL[j])에 제 2 전류값을 가지는 전류(I2[i,

j])가 흐른다. 이때 제 2 전류값의 크기는 일례로서 0이다. 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1"이고 제 2 데이터($z_i^{(k-1)}$)가 "-1"인 경우, 회로(MC)로부터 배선(OLB[j])에 제 2 전류값을 가지는 전류(I1[i, j])가 흐르고, 회로(MCr)로부터 배선(OL[j])에 제 1 전류값을 가지는 전류(I2[i, j])가 흐른다. 이때 제 2 전류값의 크기는 일례로서 0이다. 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "0"이고 제 2 데이터($z_i^{(k-1)}$)가 "-1"인 경우, 회로(MC)로부터 배선(OLB[j])에 제 2 전류값을 가지는 전류(I1[i, j])가 흐르고, 회로(MCr)로부터 배선(OL[j])에 제 2 전류값을 가지는 전류(I2[i, j])가 흐른다. 이때 제 2 전류값의 크기는 일례로서 0이다.

[0212] 또한 제 2 데이터($z_i^{(k-1)}$)가 "0"인 경우, 일례로서 회로(MC)와 배선(OL[j]) 사이, 및 회로(MC)와 배선(OLB[j]) 사이가 비도통 상태가 된다. 마찬가지로, 회로(MCr)와 배선(OL[j]) 사이, 및 회로(MCr)와 배선(OLB[j]) 사이가 비도통 상태가 된다. 그러므로 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 어떤 값이어도, 회로(MC) 및 회로(MCr)로부터 배선(OL[j]) 및 배선(OLB[j])에 전류가 출력되지 않는다.

[0213] 이와 같이, 일례로서 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)와 제 2 데이터($z_i^{(k-1)}$)의 곱의 값이 양의 값인 경우에는 회로(MC) 및 회로(MCr) 중 어느 것으로부터 배선(OL[j])에 전류가 흐른다. 이때 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 양의 값인 경우에는 회로(MC)로부터 배선(OL[j])에 전류가 흐르고, 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 음의 값인 경우에는 회로(MCr)로부터 배선(OL[j])에 전류가 흐른다. 한편, 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)와 제 2 데이터($z_i^{(k-1)}$)의 곱의 값이 음의 값인 경우에는 회로(MC) 및 회로(MCr) 중 어느 것으로부터 배선(OLB[j])에 전류가 흐른다. 이때 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 양의 값인 경우에는 회로(MC)로부터 배선(OLB[j])에 전류가 흐르고, 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 음의 값인 경우에는 회로(MCr)로부터 배선(OLB[j])에 전류가 흐른다. 그러므로 배선(OL[j])에 접속된 복수의 회로(MC) 또는 회로(MCr)로부터 출력된 전류의 총합이 배선(OL[j])에 흐르게 된다. 즉 배선(OL[j])에서는 양의 값의 합인 값의 전류가 흐르게 된다. 한편, 배선(OLB[j])에 접속된 복수의 회로(MC) 또는 회로(MCr)로부터 출력된 전류의 총합이 배선(OLB[j])에 흐르게 된다. 즉 배선(OLB[j])에서는 음의 값의 합인 값의 전류가 흐르게 된다. 상술한 바와 같은 동작의 결과, 배선(OL[j])에 흐르는 총전류값, 즉 양의 값의 총합과, 배선(OLB[j])에 흐르는 총전류값, 즉 음의 값의 총합을 이용함으로써, 적화 연산 처리를 수행할 수 있다. 예를 들어 배선(OL[j])에 흐르는 총전류값이, 배선(OLB[j])에 흐르는 총전류값보다 큰 경우에는 적화 연산의 결과가 양의 값이 된다고 판단할 수 있다. 배선(OL[j])에 흐르는 총전류값이, 배선(OLB[j])에 흐르는 총전류값보다 작은 경우에는 적화 연산의 결과가 음의 값이 된다고 판단할 수 있다. 배선(OL[j])에 흐르는 총전류값과 배선(OLB[j])에 흐르는 총전류값이 대략 같은 값인 경우에는 적화 연산의 결과가 0의 값이 된다고 판단할 수 있다.

[0214] 또한 제 2 데이터($z_i^{(k-1)}$)가 "-1", "0", "1" 중 어느 2치, 예를 들어 "-1", "1"의 2치인 경우, 또는 "0", "1"의 2치인 경우에도, 마찬가지로 동작시킬 수 있다. 마찬가지로, 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1", "0", "1" 중 어느 2치, 예를 들어 "-1", "1"의 2치인 경우, 또는 "0", "1"의 2치인 경우에도, 마찬가지로 동작시킬 수 있다.

[0215] 또한 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)는 아날로그값 또는 다중 비트(다치)의 디지털값이어도 좋다. 구체적인 예로서는 "-1" 대신에 "음의 아날로그값"으로 하고, "1" 대신에 "양의 아날로그값"으로 하여도 좋다. 이 경우 회로(MC) 또는 회로(MCr)로부터 흐르는 전류의 크기도, 일례로서 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)의 값의 절댓값에 따른 아날로그값이다.

[0216] 다음으로 도 9의 (A)의 회로(MP[i, j])의 변형예에 대하여 설명한다. 또한 회로(MP[i, j])의 변형예에 대해서는 도 9의 (A)의 회로(MP[i, j])와 상이한 부분을 주로 설명하고, 도 9의 (A)의 회로(MP[i, j])와 공통되는 부분에 대해서는 설명을 생략하는 경우가 있다.

[0217] 도 9의 (B)에 나타낸 회로(MP[i, j])는, 배선(WL)을 배선(WX1L)으로 변경한 구성을 가진다. 즉 도 9의 (B)의 회로(MP[i, j])에 있어서, 배선(WX1L)과 배선(WL)은, 배선(OL[j])과 유지부(HC) 사이의 도통 상태와 비도통 상태의 전환과, 배선(OLB[j])과 유지부(HCr) 사이의 도통 상태와 비도통 상태의 전환을 수행하기 위하여 소정의

전위를 공급하는 배선으로서 기능한다. 또한 도 9의 (B)의 회로(MP[i, j])에 있어서, 배선(X1L)과 배선(X2L)은, 회로(MP[i, j])에 입력되는 제 2 데이터($z_i^{(k-1)}$)에 따른 전류, 전압 등을 인가하는 배선으로서 기능한다.

[0218] 도 9의 (B)의 회로(MP[i, j])를, 도 13에 나타낸 연산 회로(130)와 같이 배선(WX1L)을 가지는 연산 회로, 및 도 7에 나타낸 연산 회로(140)와 같이 배선(IL), 배선(ILB)을 가지지 않는 연산 회로에 적용할 수 있다. 구체적으로는 도 9의 (B)의 회로(MP[i, j])를 도 11에 나타낸 연산 회로(150)의 회로(MP[i, j])에 적용할 수 있다.

[0219] 다음으로 도 9의 (B)와는 다른, 도 9의 (A)의 회로(MP[i, j])의 변형예에 대하여 설명한다. 도 9의 (C)에 나타낸 회로(MP[i, j])는 도 9의 (A)의 회로(MP[i, j])의 변형예이다. 도 9의 (C)의 회로(MP[i, j])는 도 9의 (A)의 회로(MP[i, j])와 마찬가지로, 회로(MC)와 회로(MCr)를 가진다. 다만 도 9의 (C)의 회로(MP[i, j])는 회로(MCr)에 유지부(HCr)가 포함되지 않는 점에서 도 9의 (A)의 회로(MP[i, j])와 상이하다.

[0220] 또한 회로(MCr)는 유지부(HCr)를 가지지 않기 때문에, 도 9의 (C)의 회로(MP[i, j])를 적용한 연산 회로는 유지부(HCr)에 유지되는 전위를 공급하기 위한 배선(ILB[j])을 가지지 않아도 된다. 이에 더하여, 회로(MCr)는 배선(WL[i])에 전기적으로 접속되지 않아도 된다.

[0221] 도 9의 (C)의 회로(MP[i, j])에서, 회로(MC)에 포함되는 유지부(HC)는 회로(MCr)에 전기적으로 접속된다. 즉 도 9의 (C)의 회로(MP[i, j])는 회로(MCr)와 회로(MC)가 서로 유지부(HC)를 공유하는 구성을 가진다. 일례로서, 유지부(HC)에 유지된 신호를 반전시킨 신호를 유지부(HC)로부터 회로(MCr)에 공급할 수 있다. 이로써 회로(MC)와 회로(MCr)가 상이하게 동작할 수 있게 된다. 또는 회로(MC)와 회로(MCr)에서 내부의 회로 구성이 상이하도록 함으로써, 결과적으로 유지부(HC)에 유지된 동일한 신호에 대하여 회로(MC)와 회로(MCr)에서 출력되는 전류의 크기가 상이하도록 할 수도 있다. 여기서 유지부(HC)에 제 1 데이터($w_{i\ j}^{(k-1)\ (k)}$)에 따른 전위를 유지하고, 제 2 데이터($z_i^{(k-1)}$)에 따른 전위를 배선(X1L[i]) 및 배선(X2L[i])에 공급함으로써, 회로(MP[i, j])는 배선(OL[j]) 및 배선(OLB[j])에 제 1 데이터($w_{i\ j}^{(k-1)\ (k)}$)와 제 2 데이터($z_i^{(k-1)}$)의 곱에 따른 전류를 출력할 수 있다.

[0222] 또한 도 9의 (C)의 회로(MP)를 적용한 연산 회로(110)는, 도 12에 나타낸 연산 회로(160)의 회로 구성으로 변경할 수 있다. 연산 회로(160)는 도 2의 연산 회로(110)에서 배선(ILB[1]) 내지 배선(ILB[m])을 제외한 구성을 가진다.

[0223] 도 9의 (D)에 나타낸 회로(MP[i, j])는 도 9의 (A)의 회로(MP[i, j])의 변형예이고, 구체적으로는 도 12의 연산 회로(160)에 적용할 수 있는 회로(MP[i, j])의 구성예이다. 도 9의 (D)의 회로(MP[i, j])는 도 9의 (A)의 회로(MP[i, j])와 마찬가지로, 회로(MC)와 회로(MCr)를 가진다. 다만 도 9의 (D)의 회로(MP[i, j])와 도 9의 (A)의 회로(MP[i, j])는 전기적으로 접속되는 배선의 구성이 상이하다.

[0224] 도 9의 (D)에 나타낸 배선(W1L[i]) 및 배선(W2L[i])은 도 12에서의 배선(WLS[i])에 상당한다. 배선(W1L[i])은 유지부(HC)에 전기적으로 접속되고, 배선(W2L[i])은 유지부(HCr)에 전기적으로 접속된다.

[0225] 또한 배선(IL[j])은 유지부(HC)와 유지부(HCr)에 전기적으로 접속된다.

[0226] 도 9의 (D)의 회로(MP[i, j])에서, 유지부(HC)와 유지부(HCr) 각각에서 상이한 정보(예를 들어 전압, 저항값, 전류 등)를 유지하는 경우, 유지부(HC)와 유지부(HCr)에 대한 정보의 유지 동작은 동시가 아니라 순차적으로 수행하는 것이 바람직하다. 예를 들어 회로(MP[i, j])의 제 1 데이터($w_{i\ j}^{(k-1)\ (k)}$)를, 유지부(HC)에 제 1 정보, 유지부(HCr)에 제 2 정보를 유지함으로써, 표현할 수 있는 경우에 대하여 생각한다. 우선, 배선(W1L[i]) 및 배선(W2L[i]) 각각에 소정의 전위를 인가하여, 유지부(HC)와 배선(IL[j]) 사이를 도통 상태로 하고 유지부(HCr)와 배선(IL[j]) 사이를 비도통 상태로 한다. 다음으로 배선(IL[j])에 제 1 정보에 따른 전류, 전압 등을 공급함으로써, 유지부(HC)에 제 1 정보를 공급할 수 있다. 그 후에, 배선(W1L[i]) 및 배선(W2L[i]) 각각에 소정의 전위를 인가하여, 유지부(HC)와 배선(IL[j]) 사이를 비도통 상태로 하고 유지부(HCr)와 배선(IL[j]) 사이를 도통 상태로 한다. 그리고 배선(IL[j])에 제 2 정보에 따른 전류, 전압 등을 공급함으로써, 유지부(HCr)에 제 2 정보를 공급할 수 있다. 이에 의하여 회로(MP[i, j])는 제 1 데이터로서 $w_{i\ j}^{(k-1)\ (k)}$를 설정할 수 있다.

[0227] 또한 유지부(HC)와 유지부(HCr) 각각에 거의 같은 정보(예를 들어 전압, 저항값, 전류 등)를 유지하는 경우(회

로(MP[i, j])의 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 유지부(HC)와 유지부(HCr) 각각에 거의 같은 정보를 유지함으로써 설정되는 경우), 유지부(HC)와 배선(IL[j]) 사이가 도통 상태가 되고 유지부(HCr)와 배선(IL[j]) 사이가 도통 상태가 되도록, 배선(W1L[i]) 및 배선(W2L[i]) 각각에 소정의 전위를 인가하고, 그 후에 배선(IL[j])으로부터 유지부(HC) 및 유지부(HCr)에 대하여 상기 정보에 따른 전류, 전압 등을 공급하면 좋다.

[0228] 도 9의 (D)의 회로(MP[i, j])는, 유지부(HC) 및 유지부(HCr)에 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 전위를 유지하고, 제 2 데이터($z_i^{(k-1)}$)에 따른 전위를 배선(X1L[i]) 및 배선(X2L[i])에 공급함으로써, 도 9의 (A)의 회로(MP[i, j])와 마찬가지로 배선(OL[j]) 및 배선(OLB[j])에 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)와 제 2 데이터($z_i^{(k-1)}$)의 곱에 따른 전류를 출력할 수 있다.

[0229] 도 9의 (E)에 나타낸 회로(MP[i, j])는 도 9의 (D)의 회로(MP[i, j])의 변형예이다. 도 9의 (E)의 회로(MP[i, j])는 도 9의 (D)의 회로(MP[i, j])와 마찬가지로, 회로(MC)와 회로(MCr)를 가진다. 다만 도 9의 (E)의 회로(MP[i, j])와 도 9의 (D)의 회로(MP[i, j])는 전기적으로 접속되는 배선의 구성이 상이하다.

[0230] 구체적으로는 도 9의 (E)의 회로(MP)는 도 9의 (D)의 회로(MP)에 배선(ILB[j])을 추가하고, 또한 도 9의 (D)의 회로(MP)에 전기적으로 접속된 배선(W1L[i]), 배선(W2L[i])을 배선(WL[i])으로 변경한 구성이다.

[0231] 도 9의 (E)의 회로(MP)에서 배선(IL[j])은 유지부(HC)에 전기적으로 접속되고, 배선(ILB[j])은 유지부(HCr)에 전기적으로 접속된다. 즉 도 9의 (D)의 회로(MP)에서 배선(IL[j])은 정보(예를 들어 전압, 저항값, 전류 등)에 따른 전류, 전압 등을 유지부(HC)와 유지부(HCr)의 각각에 공급하는 배선으로서 기능하지만, 도 9의 (E)의 회로(MP)에서 배선(IL[j])은 정보에 따른 전류, 전압 등을 유지부(HC)에 공급하는 배선으로서 기능하고, 배선(ILB[j])은 정보에 따른 전류, 전압 등을 유지부(HC)에 공급하는 배선으로서 기능한다.

[0232] 또한 도 9의 (E)의 회로(MP)에서는 유지부(HC) 및 유지부(HCr)에 각각 배선(IL[j]) 및 배선(ILB[j])이 전기적으로 접속되어 있기 때문에, 유지부(HC) 및 유지부(HCr)의 각각에 정보(예를 들어 전압, 저항값, 전류 등)에 따른 전류, 전압 등을 동시에 공급할 수 있다. 그러므로 유지부(HC)와 배선(IL[j]) 사이의 도통 상태와 비도통 상태의 전환과, 유지부(HCr)와 배선(ILB[j]) 사이의 도통 상태와 비도통 상태의 전환을 동시에 수행할 수 있다. 도 9의 (D)의 회로(MP)에서는, 유지부(HC)와 배선(IL[j]) 사이의 도통 상태와 비도통 상태의 전환을 제어하는 배선으로서 배선(W1L)을 도시하고, 유지부(HCr)와 배선(ILB[j]) 사이의 도통 상태와 비도통 상태의 전환을 제어하는 배선으로서 배선(W2L)을 도시하였지만, 도 9의 (E)의 회로(MP)에서는 배선(W1L)과 배선(W2L)을 통합한 배선으로서 배선(WL[i])을 도시하였다.

[0233] 또한 도 9의 (E)의 회로(MP)는 예를 들어 도 2의 연산 회로(110), 도 3의 연산 회로(120)에 적용할 수 있다.

[0234] 도 9의 (F)에 나타낸 회로(MP[i, j])는 도 9의 (A)의 회로(MP[i, j])의 변형예이다. 도 9의 (F)의 회로(MP[i, j])는 도 9의 (A)의 회로(MP[i, j])와 마찬가지로, 회로(MC)와 회로(MCr)를 가진다. 다만 도 9의 (F)의 회로(MP[i, j])는, 회로(MC)가 배선(OLB[j])에 전기적으로 접속되지 않는 점과 회로(MCr)가 배선(OL[j])에 전기적으로 접속되지 않는 점에서 도 9의 (A)의 회로(MP[i, j])와 상이하다.

[0235] 도 9의 (F)에 나타낸 배선(WL[i])은 유지부(HC)와 유지부(HCr)에 전기적으로 접속된다. 또한 도 9의 (F)에 나타낸 배선(XL[i])은 회로(MC)와 회로(MCr)에 전기적으로 접속된다.

[0236] 도 9의 (F)의 회로(MP[i, j])는 후술하는 바와 같이, 회로(MC)가 배선(OLB[j])에 전기적으로 접속되지 않고, 회로(MCr)가 배선(OL[j])에 전기적으로 접속되지 않는다. 즉 도 9의 (F)의 회로(MP[i, j])는 도 9의 (A) 내지 (E)의 회로(MP[i, j])와 달리, 회로(MC)로부터 출력된 전류는 배선(OLB[j])에 흐르지 않고, 회로(MCr)로부터 출력된 전류는 배선(OL[j])에 흐르지 않는 구성이다.

[0237] 그러므로 도 9의 (F)의 회로(MP[i, j])는 제 2 데이터($z_i^{(k-1)}$)가 "0" 또는 "1"의 2치인 경우에, 연산 회로에 적용되는 것이 바람직하다. 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 회로(MP)는 회로(MC)와 배선(OL[j]) 사이를 도통 상태로 하고, 회로(MCr)와 배선(OLB[j]) 사이를 도통 상태로 한다. 또한 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "0"인 경우, 회로(MC) 및 회로(MCr) 각각이 출력한 전류를 배선(OL[j]) 및 배선(OLB[j]) 중 어느 쪽에도 흘리지 않도록 하기 위하여, 회로(MP)는 회로(MC)와 배선(OL[j]) 사이, 및 회로(MC)와 배선(OLB[j]) 사이

를 비도통 상태로 하고, 회로(MCr)와 배선(OL[j]) 사이, 및 회로(MCr)와 배선(OLB[j]) 사이를 비도통 상태로 한다.

[0238] 도 9의 (F)의 회로(MP[i, j])가 연산 회로(110)에 적용됨으로써, 일례로서 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1", "0", "1"의 3치 중 어느 것이고 제 2 데이터($z_i^{(k-1)}$)가 "0", "1"의 2치인 경우에서의 연산을 수행할 수 있다. 또한 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1", "0", "1" 중 어느 2치, 예를 들어 "-1", "1"의 2치인 경우, 또는 "0", "1"의 2치인 경우에도 동작시킬 수 있다. 또한 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)는 아날로그값 또는 다중 비트(다치)의 디지털값이어도 좋다. 구체적인 예로서는 "-1" 대신에 "음의 아날로그값"으로 하고, "1" 대신에 "양의 아날로그값"으로 하여도 좋다. 이 경우 회로(MC) 또는 회로(MCr)로부터 흐르는 전류의 크기도, 일례로서 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)의 값의 절댓값에 따른 아날로그값이다.

[0239] 도 10에 나타낸 회로(MP[i, j])는 도 9의 (A)와 마찬가지로, 배선(OL[j]) 및 배선(OLB[j])에 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)와 제 2 데이터($z_i^{(k-1)}$)의 곱에 따른 전류를 출력할 수 있는 회로이다. 또한 도 10의 회로(MP[i, j])는 예를 들어 도 2의 연산 회로(110)에 적용할 수 있다.

[0240] 도 10의 회로(MP[i, j])는 회로(MC)와 회로(MCr)에 더하여 트랜지스터(MZ)를 가진다.

[0241] 트랜지스터(MZ)의 제 1 단자는 회로(MC)의 제 1 단자와 회로(MCr)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(MZ)의 제 2 단자는 배선(VL)에 전기적으로 접속된다. 트랜지스터(MZ)의 게이트는 배선(XL[i])에 전기적으로 접속된다.

[0242] 배선(VL)은 일례로서, 정전압을 인가하는 배선으로서 기능한다. 상기 정전압은 회로(MP[i, j])나 연산 회로(110) 등의 구성에 따라 결정하는 것이 바람직하다. 상기 정전압으로서는 예를 들어 고레벨 전위인 VDD, 저레벨 전위인 VSS, 접지 전위 등으로 할 수 있다.

[0243] 또한 도 10에 나타낸 배선(WL[i])은 도 2의 연산 회로(110)에서의 배선(WLS[i])에 상당한다. 배선(WL[i])은 유지부(HC)와 유지부(HCr)에 전기적으로 접속된다.

[0244] 또한 배선(OL[j])은 회로(MC)의 제 2 단자에 전기적으로 접속된다. 또한 배선(OLB[j])은 회로(MCr)의 제 2 단자에 전기적으로 접속된다.

[0245] 또한 배선(IL[j])은 유지부(HC)에 전기적으로 접속되고, 배선(ILB[j])은 유지부(HCr)에 전기적으로 접속된다.

[0246] 도 10의 회로(MP[i, j])에서, 유지부(HC)와 유지부(HCr) 각각에서 제 1 데이터에 따른 전위를 유지하는 경우의 동작에 대해서는 도 9의 (A)의 회로(MP[i, j])에서의 제 1 데이터에 따른 전위를 유지하는 동작에 대한 설명을 참조한다.

[0247] 도 10의 회로(MP[i, j])에서, 회로(MC)는 회로(MC)의 제 1 단자에 배선(VL)에 의하여 인가되는 정전압이 공급되는 경우에, 유지부(HC)에 유지된 전위에 따른 전류를 회로(MC)의 제 1 단자와 제 2 단자 사이에 흘리는 기능을 가진다. 또한 회로(MCr)는 회로(MC)의 제 1 단자에 배선(VL)에 의하여 인가되는 정전압이 공급되는 경우에, 유지부(HCr)에 유지된 전위에 따른 전류를 회로(MCr)의 제 1 단자와 제 2 단자 사이에 흘리는 기능을 가진다. 즉 회로(MP[i, j])의 유지부(HC), 유지부(HCr) 각각에 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 전위가 유지됨으로써, 회로(MC)의 제 1 단자와 제 2 단자 사이에 흐르는 전류량과, 회로(MCr)의 제 1 단자와 제 2 단자 사이에 흐르는 전류량을 결정할 수 있다. 또한 회로(MC)(회로(MCr))의 제 1 단자에 배선(VL)에 의하여 인가되는 정전압이 공급되지 않은 경우, 회로(MC)(회로(MCr))는 예를 들어 회로(MC)(회로(MCr))의 제 1 단자와 제 2 단자 사이에 전류를 흘리지 않는 것으로 하여도 좋다.

[0248] 예를 들어 유지부(HC), 유지부(HCr) 각각에 "1"의 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 전위가 유지되어 있는 경우, 회로(MC)에 배선(VL)에 의하여 인가되는 정전압이 공급됨으로써, 회로(MC)는 회로(MC)의 제 1 단자와 제 2 단자 사이에 소정의 전류를 흘린다. 그러므로 회로(MC)와 배선(OL) 사이에 전류가 흐른다. 또한 이때 회로(MCr)는 회로(MCr)의 제 1 단자와 제 2 단자 사이에 전류를 흘리지 않는 것으로 한다. 그러므로 회로(MCr)와 배선(OLB)

사이에 전류는 흐르지 않는다. 또한 예를 들어 유지부(HC), 유지부(HCr) 각각에 "-1"의 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 전위가 유지되어 있는 경우, 회로(MC)에 배선(VL)에 의하여 인가되는 정전압이 공급됨으로써, 회로(MCr)는 회로(MCr)의 제 1 단자와 제 2 단자 사이에 소정의 전류를 흘린다. 그러므로 회로(MCr)와 배선(OLB) 사이에 전류가 흐른다. 또한 이때 회로(MC)는 회로(MC)의 제 1 단자와 제 2 단자 사이에 전류를 흘리지 않는 것으로 한다. 그러므로 회로(MC)와 배선(OL) 사이에 전류는 흐르지 않는다. 또한 예를 들어 유지부(HC), 유지부(HCr) 각각에 "0"의 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 전위가 유지되어 있는 경우, 회로(MC) 및 회로(MCr)에 배선(VL)의 정전압이 공급될지 여부에 상관없이 회로(MC)는 회로(MC)의 제 1 단자와 제 2 단자 사이에 전류를 흘리지 않고, 회로(MCr)는 회로(MCr)의 제 1 단자와 제 2 단자 사이에 전류를 흘리지 않는다. 즉 회로(MC)와 배선(OL) 사이에 전류가 흐르지 않고, 회로(MCr)와 배선(OLB) 사이에 전류는 흐르지 않는다.

[0249] 또한 도 10의 회로(MP[i, j])에서, 유지부(HC), 유지부(HCr)에 유지되는 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)에 따른 전위의 구체적인 예에 대해서는 도 9의 (A)의 회로(MP[i, j])의 기재를 참조한다. 또한 도 10의 회로(MP[i, j])에서, 유지부(HC), 유지부(HCr)는 도 9의 (A)의 회로(MP[i, j])와 마찬가지로, 전위가 아니라 전류, 저항값 등의 정보를 유지하는 기능을 가지고, 회로(MC), 회로(MCr)는 상기 정보에 따른 전류를 흘리는 기능을 가져도 좋다.

[0250] 도 10에 나타낸 배선(XL[i])은 도 2의 연산 회로(110)에서의 배선(XLS[i])에 상당한다. 또한 회로(MP[i, j])에 입력되는 제 2 데이터($z_i^{(k-1)}$)는 일례로서 배선(XL[i])의 전위, 전류 등에 따라 결정된다. 그러므로 트랜지스터(MZ)의 게이트에는 예를 들어 배선(XL[i])을 통하여 제 2 데이터($z_i^{(k-1)}$)에 따른 전위가 입력된다.

[0251] 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "0", "1"의 2치 중 어느 것인 경우에 대하여 생각한다. 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 배선(XL[i])에는 고레벨 전위가 인가되는 것으로 한다. 이때 트랜지스터(MZ)가 온 상태가 되기 때문에, 회로(MP)는 배선(VL)과 회로(MC)의 제 1 단자 사이를 도통 상태로 하고, 배선(VL)과 회로(MCr)의 제 1 단자 사이를 도통 상태로 한다. 즉 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 회로(MC)와 회로(MCr)에 배선(VL)으로부터의 정전압이 인가된다. 또한 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "0"인 경우, 배선(XL[i])에는 저레벨 전위가 인가되는 것으로 한다. 이때 회로(MP)는 회로(MC)와 배선(OLB[j]) 사이를 비도통 상태로 하고, 회로(MCr)와 배선(OL[j]) 사이를 비도통 상태로 한다. 즉 제 2 데이터($z_i^{(k-1)}$)가 "0"인 경우, 회로(MC)와 회로(MCr)에 배선(VL)으로부터의 정전압이 인가되지 않는다.

[0252] 여기서 예를 들어, 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "1"이고, 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 회로(MC)와 배선(OL) 사이에 전류가 흐르고, 회로(MCr)와 배선(OLB) 사이에 전류가 흐르지 않는 결과가 된다. 또한 예를 들어 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1"이고, 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 회로(MC)와 배선(OL) 사이에 전류가 흐르지 않고, 회로(MCr)와 배선(OLB) 사이에 전류가 흐르는 결과가 된다. 또한 예를 들어 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "0"이고, 제 2 데이터($z_i^{(k-1)}$)가 "1"인 경우, 회로(MC)와 배선(OL) 사이 및 회로(MCr)와 배선(OLB) 사이에 전류가 흐르지 않는 결과가 된다. 또한 예를 들어 제 2 데이터($z_i^{(k-1)}$)가 "0"인 경우, 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1", "0", "1" 중 어느 것이어도 회로(MC)와 배선(OL) 사이 및 회로(MCr)와 배선(OLB) 사이에 전류가 흐르지 않는 결과가 된다.

[0253] 즉 도 10의 회로(MP[i, j])는 도 9의 (F)의 회로(MP[i, j])와 마찬가지로, 일례로서 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1", "0", "1"의 3치 중 어느 것이고 제 2 데이터($z_i^{(k-1)}$)가 "0", "1"의 2치인 경우에서의 연산을 수행할 수 있다. 또한 도 9의 (F)의 회로(MP[i, j])와 마찬가지로, 도 10의 회로(MP[i, j])는 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)가 "-1", "0", "1" 중 어느 2치, 예를 들어 "-1", "1"의 2치인 경우, 또는 "0", "1"의 2치인 경우에도 동작시킬 수

있다. 또한 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)는 아날로그값 또는 다중 비트(다치)의 디지털값이어도 좋다. 구체적인 예로서는 "-1" 대신에 "음의 아날로그값"으로 하고, "1" 대신에 "양의 아날로그값"으로 하여도 좋다. 이 경우 회로(MC) 또는 회로(MCr)로부터 흐르는 전류의 크기도, 일례로서 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)의 값의 절댓값에 따른 아날로그값이다.

[0254] <연산 회로의 동작예>

[0255] 다음으로 도 7의 연산 회로(140)의 동작예에 대하여 설명한다. 또한 본 동작예의 설명에서는 일례로서 도 13에 나타낸 연산 회로(140)를 사용한다.

[0256] 도 13의 연산 회로(140)는, 도 7의 연산 회로(140)의 j열째에 위치하는 회로에 주목하여 도시된 것이다. 즉 도 13의 연산 회로(140)는, 도 1의 (A)에 나타낸 신경망(100)에서의 뉴런($N_j^{(k)}$)에 입력되는 뉴런($N_1^{(k-1)}$) 내지 뉴런($N_m^{(k-1)}$)으로부터의 신호($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)와 가중 계수($w_1^{(k-1)}{}_j^{(k)}$ 내지 $w_m^{(k-1)}{}_j^{(k)}$)의 적화 연산과, 상기 적화 연산의 결과를 사용한 활성화 함수의 연산을 수행하는 회로에 상당한다. 또한 도 13의 연산 회로(110)의 어레이부(ALP)에 포함되는 회로(MP)는 도 9의 (B)의 회로(MP)가 적용된 것으로 한다.

[0257] 우선, 연산 회로(140)에서 회로(MP[1, j]) 내지 회로(MP[m, j])에 제 1 데이터($w_1^{(k-1)}{}_j^{(k)}$ 내지 $w_m^{(k-1)}{}_j^{(k)}$)가 설정된다. 제 1 데이터($w_i^{(k-1)}{}_j^{(k)}$)의 설정 방법으로서, 회로(WLD)에 의하여 배선(WLS[1]) 내지 배선(WLS[m])에 순차적으로 소정의 전위를 입력하여, 회로(MP[1, j]) 내지 회로(MP[m, j])를 순차적으로 선택하고, 선택된 회로(MP)에 포함되는 회로(MC) 및 회로(MCr) 각각의 유지부(HC) 및 유지부(HCr)에 대하여 회로(ILD)로부터 전환 회로(TW[j]), 배선(OL[j]), 배선(OLB[j])을 통하여 제 1 데이터에 따른 전위, 전류 등을 공급한다. 그리고 전위, 전류 등의 공급 후에, 회로(WLD)에 의하여 회로(MP[1, j]) 내지 회로(MP[m, j]) 각각의 선택을 해제함으로써, 회로(MP[1, j]) 내지 회로(MP[m, j]) 각각이 가지는 회로(MC) 및 회로(MCr) 각각의 유지부(HC) 및 유지부(HCr)에, 제 1 데이터($w_1^{(k-1)}{}_j^{(k)}$ 내지 $w_m^{(k-1)}{}_j^{(k)}$)에 따른 전위, 전류 등을 유지할 수 있다. 일례로서, 제 1 데이터($w_1^{(k-1)}{}_j^{(k)}$ 내지 $w_m^{(k-1)}{}_j^{(k)}$) 각각이 양의 값인 경우에는 유지부(HC)에 그 양의 값에 따른 값을 입력하고, 유지부(HCr)에 0에 상당하는 값을 입력한다. 한편, 제 1 데이터($w_1^{(k-1)}{}_j^{(k)}$ 내지 $w_m^{(k-1)}{}_j^{(k)}$) 각각이 음의 값인 경우에는 유지부(HC)에 0에 상당하는 값을 입력하고, 유지부(HCr)에 음의 값의 절댓값에 따른 값을 입력한다.

[0258] 다음으로 회로(XLD)에 의하여, 배선(X1L[1]) 내지 배선(X1L[m]), 배선(X2L[1]) 내지 배선(X2L[m]) 각각에 제 2 데이터($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)를 공급한다. 구체적인 일례로서, 배선(X1L[i]) 및 배선(X2L[i])에 제 2 데이터($z_1^{(k-1)}$)가 공급된다. 또한 배선(X1L[i]) 및 배선(X2L[i])은 도 7에 나타낸 연산 회로(140)의 배선(XLS[i])에 상당한다.

[0259] 회로(MP[1, j]) 내지 회로(MP[m, j]) 각각에 입력되는 제 2 데이터($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)에 따라, 회로(MP[1, j]) 내지 회로(MP[m, j])에 포함되는 회로(MC) 및 회로(MCr)와 배선(OL[j]) 및 배선(OLB[j]) 사이의 도통 상태가 결정된다. 구체적인 예로서, 회로(MP[i, j])는 제 2 데이터($z_i^{(k-1)}$)에 따라, "회로(MC)와 배선(OL[j]) 사이가 도통되고, 회로(MCr)와 배선(OLB[j]) 사이가 도통되는" 상태와, "회로(MC)와 배선(OLB[j]) 사이가 도통되고, 회로(MCr)와 배선(OL[j]) 사이가 도통되는" 상태와, "회로(MC) 및 회로(MCr)는 각각, 배선(OL[j]) 및 배선(OLB[j])과 비도통이 되는" 상태 중 어느 하나가 된다. 일례로서, 제 2 데이터($z_1^{(k-1)}$)가 양의 값인 경우에는 배선(X1L[1])에, 회로(MC)와 배선(OL[j]) 사이가 도통 상태가 되고, 회로(MCr)와 배선(OLB[j]) 사이가 도통 상태가 될 수 있는 값을 입력한다. 그리고 배선(X2L[1])에는 회로(MC)와 배선(OLB[j]) 사이가 비도통 상태가 되고, 회로(MCr)와 배선(OL[j]) 사이가 비도통 상태가 될 수 있는 값을 입력한다. 그리고 제 2 데이터($z_1^{(k-1)}$)가 음의 값인 경우에는 배선(X1L[1])에, 회로(MC)와 배선(OLB[j]) 사이가 도통 상태가 되고, 회로(MCr)와 배선(OL[j]) 사이가 도통 상태가 될 수 있는 값을 입력한다. 그리고 배선(X2L[1])에는 회로(MC)와 배선(OL[j]) 사이가 비도통 상태가 되고, 회로(MCr)와 배선(OLB[j]) 사이가 비도통 상태가 될 수 있는 값을 입력한다. 그리고

제 2 데이터($z_1^{(k-1)}$)가 0의 값인 경우에는 배선(X1L[1])에, 회로(MC)와 배선(OLB[j]) 사이가 비도통 상태가 되고, 회로(MCr)와 배선(OL[j]) 사이가 비도통 상태가 될 수 있는 값을 입력한다. 그리고 배선(X2L[1])에는 회로(MC)와 배선(OL[j]) 사이가 비도통 상태가 되고, 회로(MCr)와 배선(OLB[j]) 사이가 비도통 상태가 될 수 있는 값을 입력한다.

[0260] 회로(MP[i, j])에 입력되는 제 2 데이터($z_i^{(k-1)}$)에 따라, 회로(MP[i, j])에 포함되는 회로(MC) 및 회로(MCr)와 배선(OL[j]) 및 배선(OLB[j]) 사이의 도통 상태 또는 비도통 상태가 결정되어, 회로(MC) 및 회로(MCr)와 배선(OL[j]) 및 배선(OLB[j]) 사이에서 전류의 입출력이 수행된다. 또한 상기 전류량은 회로(MP[i, j])에 설정된 제 1 데이터($w_{i\ j}^{(k-1)\ (k)}$) 및/또는 제 2 데이터($z_i^{(k-1)}$)에 따라 결정된다.

[0261] 예를 들어 회로(MP[i, j])에서 배선(OL[j])으로부터 회로(MC) 또는 회로(MCr)에 흐르는 전류를 I[i, j]로 하고, 배선(OLB[j])으로부터 회로(MC) 또는 회로(MCr)에 흐르는 전류를 I_B[i, j]로 한다. 그리고 회로(ACTF[j])로부터 배선(OL[j])에 흐르는 전류를 I_{out}[j]로 하고, 배선(OLB[j])으로부터 회로(ACTF[j])에 흐르는 전류를 I_{Bout}[j]로 하면, I_{out}[j] 및 I_{Bout}[j]는 다음 식과 같이 나타낼 수 있다.

[0262] [수학식 5]

$$I_{out}[j] = \sum_{i=1}^{m} I[i,j] \quad \cdots(1.5)$$

$$I_{Bout}[j] = \sum_{i=1}^{m} I_B[i,j] \quad \cdots(1.6)$$

[0263]

[0264] 회로(MP[i, j])에서, 일례로서 제 1 데이터($w_{i\ j}^{(k-1)\ (k)}$)가 "+1"인 경우, 회로(MC)가 I(+1)를 배출하고, 회로(MCr)가 I(-1)를 배출하는 것으로 하고, 제 1 데이터($w_{i\ j}^{(k-1)\ (k)}$)가 "-1"인 경우, 회로(MC)가 I(-1)를 배출하고, 회로(MCr)가 I(+1)를 배출하는 것으로 하고, 제 1 데이터($w_{i\ j}^{(k-1)\ (k)}$)가 "0"인 경우, 회로(MC)가 I(-1)를 배출하고, 회로(MCr)가 I(-1)를 배출하는 것으로 한다.

[0265] 또한 회로(MP[i, j])는 제 2 데이터($z_i^{(k-1)}$)가 "+1"인 경우에, "회로(MC)와 배선(OL[j]) 사이가 도통되고, 회로(MCr)와 배선(OLB[j]) 사이가 도통되고, 회로(MC)와 배선(OLB[j]) 사이가 비도통이 되고, 회로(MCr)와 배선(OL[j]) 사이가 비도통이 되는" 상태이고, 제 2 데이터($z_i^{(k-1)}$)가 "-1"인 경우에, "회로(MC)와 배선(OLB[j]) 사이가 도통되고, 회로(MCr)와 배선(OL[j]) 사이가 도통되고, 회로(MC)와 배선(OL[j]) 사이가 비도통이 되고, 회로(MCr)와 배선(OLB[j]) 사이가 비도통이 되는" 상태이고, 제 2 데이터($z_i^{(k-1)}$)가 "0"인 경우에, "회로(MC)와 배선(OL[j]) 사이, 및 회로(MC)와 배선(OLB[j]) 사이가 비도통이 되고, 회로(MCr)와 배선(OL[j]) 사이, 및 회로(MCr)와 OLB[j] 사이가 비도통이 되는" 상태인 것으로 한다.

[0266] 이때 회로(MP[i, j])에서 배선(OL[j])으로부터 회로(MC) 또는 회로(MCr)에 흐르는 전류(I[i, j])와, 배선(OLB[j])으로부터 회로(MC) 또는 회로(MCr)에 흐르는 전류(I_B[i, j])는 이하의 표에 나타내는 바와 같다. 또한 경우에 따라서는 I(-1)의 전류량이 0이 되도록 회로(MP[i, j])를 구성하여도 좋다. 또한 전류(I[i, j])는 회로(MC) 또는 회로(MCr)로부터 배선(OL[j])에 흐르는 전류이어도 좋다. 마찬가지로, 전류(I_B[i, j])는 회로(MC) 또는 회로(MCr)로부터 배선(OLB[j])에 흐르는 전류이어도 좋다.

[0267] [표 1]

$W_i^{(k-1)}{}_j^{(k)}$	$z_i^{(k-1)}$	I[i, j]	I_B[i, j]
0	+1	I(-1)	I(-1)
+1	+1	I(+1)	I(-1)
-1	+1	I(-1)	I(+1)
0	-1	I(-1)	I(-1)
+1	-1	I(-1)	I(+1)
-1	-1	I(+1)	I(-1)
0	0	0	0
+1	0	0	0
-1	0	0	0

[0268]

[0269] 그리고 배선(OL[j]) 및 배선(OLB[j]) 각각으로부터 흐르는 I_{out}[j] 및 I_{Bout}[j] 각각이 회로(ACTF[j])에 입력됨으로써, 회로(ACTF[j])는 일례로서 I_{out}[j] 및 I_{Bout}[j]의 비교 등을 수행한다. 회로(ACTF[j])는 일례로서 상기 비교 결과에 따라, 뉴런($N_j^{(k)}$)이 제 (k+1) 층의 뉴런에 송신하는 신호($z_j^{(k)}$)를 출력한다.

[0270] 도 13의 연산 회로(140)에 의하여, 일례로서 뉴런($N_j^{(k)}$)에 입력되는 뉴런($N_1^{(k-1)}$) 내지 뉴런($N_m^{(k-1)}$)으로부터의 신호($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)와 가중 계수($w_1{}_j^{(k-1)}{}^{(k)}$ 내지 $w_m{}_j^{(k-1)}{}^{(k)}$)의 적화 연산과, 상기 적화 연산의 결과를 사용한 활성화 함수의 연산을 수행할 수 있다. 또한 도 13의 연산 회로의 어레이부(ALP)에서, n열의 회로(MP)를 제공함으로써, 도 7의 연산 회로(140)와 동등한 회로를 구성할 수 있다. 즉 도 7의 연산 회로(140)에 의하여, 뉴런($N_1^{(k)}$) 내지 뉴런($N_n^{(k)}$) 각각에서의 적화 연산과, 상기 적화 연산의 결과를 사용한 활성화 함수의 연산을 동시에 수행할 수 있다.

[0271] <<연산 회로에 포함되는 회로 등의 변경예>>

[0272] 상술한 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 연산 회로(160)는 각각 식(1.2)의 연산이 아니라 식(1.3)의 연산을 수행하는 회로로 변경할 수 있다. 식(1.3)은 식(1.2)의 적화의 결과에 바이어스를 더한 연산에 상당한다. 그러므로 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 연산 회로(160)의 각각에서, 배선(OL) 및 배선(OLB)에 바이어스의 값을 공급하는 회로를 제공하여도 좋다.

[0273] 도 14에 나타낸 연산 회로(170)는 도 11의 연산 회로(150)의 어레이부(ALP)에 회로(BS[1]) 내지 회로(BS[n])가 추가된 회로 구성이다.

[0274] 회로(BS[j])는 배선(OL[j])과, 배선(OLB[j])과, 배선(WLBS)과, 배선(WXBS)에 전기적으로 접속된다.

[0275] 배선(WLBS)은, 도 2의 연산 회로(110) 등의 배선(WLS[1]) 내지 배선(WLS[m]), 도 7의 연산 회로(140) 등의 배선(WL[1]) 내지 배선(WL[m])과 마찬가지로, 회로(BS[1]) 내지 회로(BS[n])에 포함되는 기록용 스위칭 소자를 온 상태 또는 오프 상태로 하기 위한 신호를 공급하는 배선으로서 기능한다. 그러므로 배선(WLBS)은 회로(WLD)에 전기적으로 접속됨으로써 회로(WLD)로부터 배선(WLBS)에 대하여 상기 신호를 공급할 수 있다.

[0276] 배선(WXBS)은, 도 2의 연산 회로(110) 등의 배선(XLS[1]) 내지 배선(XLS[m])과 마찬가지로, 뉴런($N_i^{(k-1)}$)으로부터 출력된 제 2 데이터($z_i^{(k-1)}$)에 대응하는 정보(예를 들어 전위, 전류값 등)를 회로(BS[1]) 내지 회로(BS[n])에 공급하는 배선으로서 기능한다. 그러므로 배선(WXBS)은 회로(XLD)에 전기적으로 접속됨으로써 회로(XLD)로부터 배선(WXBS)에 대하여 상기 정보를 공급할 수 있다.

[0277] 또한 배선(WXBS)을, 도 7의 연산 회로(140) 등의 배선(WX1L[1]) 내지 배선(WX1L[n])과 마찬가지로, 회로(BS[1]) 내지 회로(BS[n])에 정보를 기록하기 위한 선택 신호선으로서 겸용하여도 좋다. 도 14의 연산 회로

(170)에서는, 배선(WXBS)이 회로(WLD)에 전기적으로 접속되는 예를 나타내었다. 이와 같은 구성을 가지는 경우, 회로(WLD)는 배선(WLBS), 배선(WXBS)의 각각에 회로(BS[1]) 내지 회로(BS[n])에 포함되는 기록용 스위칭 소자를 온 상태 또는 오프 상태로 하기 위한 신호를 공급할 수 있다.

[0278] 연산 회로(170)의 어레이부(ALP)의 j열에서 회로(MP[1, j]) 내지 회로(MP[m, j])로부터 배선(OL[j]) 또는 배선(OLB[j])에 흐르는 전류량은 각각 식(1.5), 식(1.6)과 같이 나타낼 수 있다. 또한 배선(OL[j]), 배선(OLB[j])은 각각 회로(BS[j])에 전기적으로 접속되어 있기 때문에, 회로(BS[j])로부터 배선(OL[j])에 흐르는 전류를 $I_{BIAS}[j]$로, 회로(BS[j])로부터 배선(OLB[j])에 흐르는 전류를 $I_{BIASB}[j]$로 하였을 때, 식(1.5), 식(1.6)은 각각 다음 식과 같이 재구성할 수 있다.

[0279] [수학식 6]

$$I_{out}[j] = \sum_{i=1}^{m} I[i,j] + I_{BIAS}[j] \quad \cdots(1.7)$$

$$I_{Bout}[j] = \sum_{i=1}^{m} I_B[i,j] + I_{BIASB}[j] \quad \cdots(1.8)$$

[0280]

[0281] 이에 의하여 식(1.3)의 연산으로서 바이어스가 포함되는 $I_{out}[j]$ 및 $I_{Bout}[j]$를 생성할 수 있다. 또한 바이어스가 포함된 $I_{out}[j]$ 및 $I_{Bout}[j]$가 회로(ACTF[j])에 입력됨으로써, 바이어스가 더해진, 뉴런($N_j^{(k)}$)으로부터의 출력 신호($z_j^{(k)}$)를 생성할 수 있다.

[0282] 도 14의 연산 회로(170)에 있어서, 회로(BS[1]) 내지 회로(BS[n])를 어레이부(ALP)에 대하여 1행 제공한 구성으로 하였지만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 회로(BS[1]) 내지 회로(BS[n])를 어레이부(ALP)에 대하여 2행 이상 제공하여도 좋다.

[0283] 상술한 어레이부(ALP), 회로(ILD), 회로(WLD), 회로(XLD), 회로(AFP), 회로(MP), 전환 회로(TW) 등의 각각에 포함되는 트랜지스터의 일부 또는 전부는 일례로서 OS 트랜지스터인 것이 바람직하다. 예를 들어 트랜지스터의 오프 전류를 낮게 하는 것이 바람직한 경우, 구체적인 예로서, 용량 소자 등에 축적된 전하를 유지하는 기능을 가지는 트랜지스터를 OS 트랜지스터로 하는 것이 바람직하다. 특히 상기 트랜지스터로서 OS 트랜지스터를 적용하는 경우, OS 트랜지스터는 특히 실시형태 4에 기재하는 트랜지스터의 구조인 것이 더 바람직하다. OS 트랜지스터의 채널 형성 영역에 포함되는 금속 산화물은 예를 들어, 인듐, 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석), 아연에서 선택되는 하나 또는 복수의 재료로 할 수 있다. 특히 인듐, 갈륨, 아연으로 이루어지는 금속 산화물은 밴드 갭이 높고, 진성(I형이라고도 함) 또는 실질적으로 진성인 반도체이고, 상기 금속 산화물의 캐리어 농도는 $1X10^{18}cm^{-3}$ 이하인 것이 바람직하고, $1X10^{17}cm^{-3}$ 미만인 것이 더 바람직하고, $1X10^{16}cm^{-3}$ 미만인 것이 더욱 바람직하고, $1X10^{13}cm^{-3}$ 미만인 것이 더더욱 바람직하고, $1X10^{12}cm^{-3}$ 미만인 것이 나아가 더더욱 바람직하다. 또한 상기 금속 산화물이 채널 형성 영역에 포함되는 OS 트랜지스터의 오프 전류는 채널 폭 1㎛당 10aA($1X10^{-17}A$) 이하, 바람직하게는 채널 폭 1㎛당 1aA($1X10^{-18}A$) 이하, 더 바람직하게는 채널 폭 1㎛당 10zA($1X10^{-20}A$) 이하, 더욱 바람직하게는 채널 폭 1㎛당 1zA($1X10^{-21}A$) 이하, 더욱더 바람직하게는 채널 폭 1㎛당 100yA($1X10^{-22}A$) 이하로 할 수 있다. 또한 상기 OS 트랜지스터는 금속 산화물의 캐리어 농도가 낮기 때문에, OS 트랜지스터의 온도가 변화된 경우에도 오프 전류는 낮게 유지된다. 예를 들어 OS 트랜지스터의 온도가 150℃인 경우에도 오프 전류를 채널 폭 1㎛당 100zA로 할 수도 있다.

[0284] 다만 본 발명의 일 형태는 상기에 한정되지 않고, 어레이부(ALP), 회로(ILD), 회로(WLD), 회로(XLD), 회로(AFP), 회로(MP), 전환 회로(TW) 등에 포함되는 트랜지스터는 OS 트랜지스터가 아니어도 좋다. OS 트랜지스터 외에는, 일례로서 채널 형성 영역에 실리콘을 포함하는 트랜지스터(이하 Si 트랜지스터라고 부름)로 하여도 좋다. 또한 실리콘으로서는 예를 들어 단결정 실리콘, 수소화 비정질 실리콘, 미결정 실리콘, 또는 다결정 실리콘 등을 사용할 수 있다. 또한 OS 트랜지스터, Si 트랜지스터 외의 트랜지스터로서는 예를 들어 Ge 등의 반도체를 활성층으로 한 트랜지스터, ZnSe, CdS, GaAs, InP, GaN, SiGe 등의 화합물 반도체를 활성층으로 한 트랜지스터, 카본 나노 튜브를 활성층으로 한 트랜지스터, 유기 반도체를 활성층으로 한 트랜지스터 등을 사용할 수 있다.

[0285] 또한 OS 트랜지스터의 반도체층의 금속 산화물에서는, 인듐을 포함하는 금속 산화물(예를 들어 In 산화물) 또는 아연을 포함하는 금속 산화물(예를 들어 Zn 산화물)로 n형 반도체를 제작하는 것이 가능하지만, p형 반도체는 이동도 및 신뢰성의 면에서 제작하기 어려운 경우도 있다. 그러므로 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 연산 회로(160), 연산 회로(170)는 어레이부(ALP), 회로(ILD), 회로(WLD), 회로(XLD), 회로(AFP), 회로(MP) 등에 포함되는 n채널형 트랜지스터로서 OS 트랜지스터를 적용하고, p채널형 트랜지스터로서 Si 트랜지스터를 적용한 구성으로 하여도 좋다.

[0286] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0287] (실시형태 2)

[0288] 본 실시형태에서는 실시형태 1에서 설명한 회로(MP)의 구체적인 구성예에 대하여 설명한다.

[0289] 또한 실시형태 1에서는 회로(MP)의 부호에 어레이부(ALP) 내에서의 위치를 나타내는 [1, 1], [i, j], [m, n] 등을 부기하였지만, 본 실시형태에서는 특별히 언급되지 않는 한, 회로(MP)의 부호에 대한 [1, 1], [i, j], [m, n] 등의 기재를 생략한다.

[0290] <구성예 1>

[0291] 우선, 도 9의 (B)의 회로(MP)에 적용할 수 있는 회로의 구성예에 대하여 설명한다. 도 15의 (A)에 나타낸 회로(MP)는 도 9의 (B)의 회로(MP)의 구성의 일례이고, 도 15의 (A)의 회로(MP)에 포함되는 회로(MC)는 일례로서 트랜지스터(M1) 내지 트랜지스터(M4)와 용량 소자(C1)를 가진다. 또한 예를 들어 트랜지스터(M2)와 용량 소자(C1)로 유지부(HC)가 구성된다.

[0292] 도 9의 (B)의 회로(MP)에서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다.

[0293] 도 15의 (A)에 도시된 트랜지스터(M1) 내지 트랜지스터(M4)는, 일례로서 채널의 상하에 게이트를 가지는 멀티게이트 구조의 n채널형 트랜지스터이고, 트랜지스터(M1) 내지 트랜지스터(M4) 각각은 제 1 게이트와 제 2 게이트를 가진다. 특히 일례로서는 트랜지스터(M3)의 크기와 트랜지스터(M4)의 크기는 같은 것이 바람직하다. 다만 본 명세서 등에서 편의상, 일례로서 제 1 게이트를 게이트(프런트 게이트라고 기재하는 경우가 있음)로서, 제 2 게이트를 백 게이트로서 구별하여 기재하지만, 제 1 게이트와 제 2 게이트는 서로 바꿀 수 있다. 그러므로 본 명세서 등에서 "게이트"라는 용어는 "백 게이트"라는 용어와 바꿔 기재할 수 있다. 마찬가지로, "백 게이트"라는 용어는 "게이트"라는 용어와 바꿔 기재할 수 있다. 구체적인 예로서, "게이트는 제 1 배선에 전기적으로 접속되고, 백 게이트는 제 2 배선에 전기적으로 접속된다"와 같은 접속 구성은 "백 게이트는 제 1 배선에 전기적으로 접속되고, 게이트는 제 2 배선에 전기적으로 접속된다"와 같은 접속 구성으로 바꿀 수 있다. 예를 들어 도 15의 (B)에 나타낸 바와 같이, 트랜지스터(M1)의 백 게이트가 용량 소자(C1)의 제 1 단자와 트랜지스터(M2)의 제 1 단자에 전기적으로 접속되는 구성으로 하여도 좋다.

[0294] 또한 본 발명의 일 형태의 반도체 장치는, 트랜지스터의 백 게이트의 접속 구성에 의존하지 않는다. 도 15의 (A)에 도시된 트랜지스터(M1) 내지 트랜지스터(M4)에서는, 백 게이트가 도시되고 상기 백 게이트의 접속 구성에 대해서는 도시되지 않았지만, 상기 백 게이트의 전기적인 접속 대상은 설계 단계에서 결정할 수 있다. 예를 들어 백 게이트를 가지는 트랜지스터에서, 그 트랜지스터의 온 전류를 높이기 위하여 게이트와 백 게이트를 전기적으로 접속하여도 좋다. 즉 예를 들어 트랜지스터(M2)의 게이트와 백 게이트를 전기적으로 접속하여도 좋다. 또한 예를 들어 백 게이트를 가지는 트랜지스터에서, 그 트랜지스터의 문턱 전압을 변동시키기 위하여, 또는 그 트랜지스터의 오프 전류를 작게 하기 위하여, 외부 회로 등과 전기적으로 접속되는 배선을 제공하고 상기 외부 회로 등에 의하여 트랜지스터의 백 게이트에 전위를 인가하여도 좋다. 또한 이는 도 15의 (A)뿐만 아니라, 명세서의 다른 부분에 기재되는 트랜지스터 또는 다른 도면에 도시된 트랜지스터에 대해서도 마찬가지이다.

[0295] 또한 본 발명의 일 형태의 반도체 장치는 상기 반도체 장치에 포함되는 트랜지스터의 구조에 의존하지 않는다. 예를 들어 도 15의 (A)에 도시된 트랜지스터(M1) 내지 트랜지스터(M4)는, 도 15의 (C)에 나타낸 바와 같이 백 게이트를 가지지 않는 구성, 즉 싱글 게이트 구조의 트랜지스터로 하여도 좋다. 또한 일부의 트랜지스터는 백 게이트를 가지는 구성이고, 다른 일부의 트랜지스터는 백 게이트를 가지지 않는 구성이어도 좋다. 또한 이는 도 15의 (A)에 나타낸 회로도뿐만 아니라, 명세서의 다른 부분에 기재되는 트랜지스터 또는 다른 도면에 도시된 트랜지스터에 대해서도 마찬가지이다.

[0296] 또한 본 명세서 등에서 트랜지스터로서 다양한 구조의 트랜지스터를 사용할 수 있다. 따라서 사용하는 트랜지

스터의 종류에 한정은 없다. 트랜지스터의 일례로서는 단결정 실리콘을 가지는 트랜지스터 또는 비정질 실리콘, 다결정 실리콘, 미결정(마이크로 크리스털, 나노 크리스털, 세미 어모퍼스라고도 함) 실리콘 등으로 대표되는 비단결정 반도체막을 가지는 트랜지스터 등을 사용할 수 있다. 또는 이들 반도체를 박막화한 박막 트랜지스터(TFT) 등을 사용할 수 있다. TFT를 사용하는 경우, 다양한 장점이 있다. 예를 들어 단결정 실리콘의 경우보다 낮은 온도에서 제조할 수 있기 때문에, 제조 비용의 삭감 또는 제조 장치의 대형화를 도모할 수 있다. 제조 장치를 크게 할 수 있기 때문에, 대형 기판 위에 제조할 수 있다. 그러므로 동시에 다수의 표시 장치를 제조할 수 있기 때문에, 낮은 비용으로 제조할 수 있다. 또는 제조 온도가 낮기 때문에, 내열성이 낮은 기판을 사용할 수 있다. 그러므로 투광성을 가지는 기판 위에 트랜지스터를 제조할 수 있다. 또는 투광성을 가지는 기판 위의 트랜지스터를 사용하여, 표시 소자에서의 광의 투과를 제어할 수 있다. 또는 트랜지스터의 막 두께가 얇기 때문에 트랜지스터를 형성하는 막의 일부는 광을 투과시킬 수 있다. 그러므로 개구율을 향상시킬 수 있다.

[0297] 또한 트랜지스터의 일례로서는 화합물 반도체(예를 들어 SiGe, GaAs 등) 또는 산화물 반도체(예를 들어 Zn-O, In-Ga-Zn-O, In-Zn-O, In-Sn-O(ITO), Sn-O, Ti-O, Al-Zn-Sn-O(AZTO), In-Sn-Zn-O 등) 등을 가지는 트랜지스터를 사용할 수 있다. 또는 이들 화합물 반도체, 또는 이들 산화물 반도체를 박막화한 박막 트랜지스터 등을 사용할 수 있다. 이들에 의하여, 제조 온도를 낮출 수 있으므로, 예를 들어 실온에서 트랜지스터를 제조하는 것이 가능해진다. 그 결과, 내열성이 낮은 기판, 예를 들어 플라스틱 기판 또는 필름 기판 등에 직접 트랜지스터를 형성할 수 있다. 또한 이들 화합물 반도체 또는 산화물 반도체를 트랜지스터의 채널 부분에 사용할 뿐만 아니라, 그 외의 용도로 사용할 수도 있다. 예를 들어 이러한 화합물 반도체 또는 산화물 반도체를 배선, 저항 소자, 화소 전극, 또는 투광성을 가지는 전극 등으로서 사용할 수 있다. 이들을 트랜지스터와 동시에 성막 또는 형성하는 것이 가능하기 때문에, 비용을 저감할 수 있다.

[0298] 또한 트랜지스터의 일례로서는 잉크젯법 또는 인쇄법을 사용하여 형성한 트랜지스터 등을 사용할 수 있다. 이로써 실온에서 제조하거나, 저진공도에서 제조하거나, 또는 대형 기판 위에 제조하는 것이 가능하다. 따라서 마스크(레티클)를 사용하지 않아도 제조가 가능해지기 때문에, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 또는 레지스트를 사용하지 않고 제조하는 것이 가능하므로, 재료비가 저렴해지고 공정 수를 삭감할 수 있다. 또는 필요한 부분에만 막을 부착시키는 것이 가능하므로, 전체면에 성막한 후에 에칭하는 제조 방법보다 재료가 낭비되지 않아 비용을 저감할 수 있다.

[0299] 또한 트랜지스터의 일례로서는 유기 반도체나 카본 나노 튜브를 가지는 트랜지스터 등을 사용할 수 있다. 이들에 의하여, 휠 수 있는 기판 위에 트랜지스터를 형성할 수 있다. 유기 반도체나 카본 나노 튜브를 가지는 트랜지스터를 사용한 장치는, 충격에 강하게 할 수 있다.

[0300] 또한 트랜지스터로서는 그 외에도 다양한 구조의 트랜지스터를 사용할 수 있다. 예를 들어 트랜지스터로서 MOS형 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터 등을 사용할 수 있다. 트랜지스터로서 MOS형 트랜지스터를 사용함으로써, 트랜지스터의 크기를 작게 할 수 있다. 따라서 다수의 트랜지스터를 탑재할 수 있다. 트랜지스터로서 바이폴라 트랜지스터를 사용함으로써, 큰 전류를 흘릴 수 있다. 따라서 고속으로 회로를 동작시킬 수 있다. 또한 MOS형 트랜지스터와 바이폴라 트랜지스터를 하나의 기판에 혼재시켜 형성하여도 좋다. 이로써 저소비 전력, 소형화, 고속 동작 등을 실현할 수 있다.

[0301] 또한 트랜지스터의 일례로서는 활성층의 상하에 게이트 전극이 배치된 구조의 트랜지스터를 적용할 수 있다. 활성층의 상하에 게이트 전극이 배치된 구조로 함으로써, 복수의 트랜지스터가 병렬로 접속된 회로 구성이 된다. 따라서 채널 형성 영역이 증대하기 때문에 전류값의 증가를 도모할 수 있다. 또는 활성층의 상하에 게이트 전극이 배치된 구조로 함으로써, 공핍층(空乏層)이 생기기 쉬워져 S값의 개선을 도모할 수 있다.

[0302] 또한 트랜지스터의 일례로서는 활성층 위에 게이트 전극이 배치된 구조, 활성층 아래에 게이트 전극이 배치된 구조, 스태거 구조, 역 스태거(inverted staggered) 구조, 채널 영역을 복수의 영역으로 나눈 구조, 활성층이 병렬로 접속된 구조, 또는 활성층이 직렬로 접속된 구조 등의 트랜지스터를 사용할 수 있다. 또는 트랜지스터는 플레이너형, FIN(핀)형, TRI-GATE형(트라이 게이트형), 톱 게이트형, 보텀 게이트형, 더블 게이트형(채널의 상하에 게이트가 배치됨) 등 다양한 구조로 할 수 있다.

[0303] 또한 트랜지스터의 일례로서는 활성층(또는 그 일부)에 소스 전극이나 드레인 전극이 중첩되는 구조의 트랜지스터를 사용할 수 있다. 활성층(또는 그 일부)에 소스 전극이나 드레인 전극이 중첩되는 구조로 함으로써, 활성층의 일부에 전하가 쌓임으로써 동작이 불안정해지는 것을 방지할 수 있다.

[0304] 또한 트랜지스터의 일례로서는 LDD 영역을 제공한 구조를 적용할 수 있다. LDD 영역을 제공함으로써, 오프 전류의 저감, 또는 트랜지스터의 내압 향상(신뢰성의 향상)을 도모할 수 있다. 또는 LDD 영역을 제공함으로써, 포화 영역에서 동작할 때, 드레인과 소스 사이의 전압이 변화되어도, 드레인 전류가 그다지 변화되지 않고, 기울기가 평평한 전압·전류 특성을 얻을 수 있다.

[0305] 예를 들어 본 명세서 등에서는 다양한 기판을 사용하여 트랜지스터를 형성할 수 있다. 기판의 종류는 특정한 것에 한정되지 않는다. 그 기판의 일례로서는 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 사파이어 유리 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·포일을 가지는 기판, 텅스텐 기판, 텅스텐·포일을 가지는 기판, 가요성 기판, 접합 필름, 섬유상 재료를 포함하는 종이, 또는 기재 필름 등이 있다. 유리 기판의 일례로서는 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리, 또는 소다 석회 유리 등이 있다. 가요성 기판, 접합 필름, 기재 필름 등의 일례로서는 이하의 것을 들 수 있다. 예를 들어 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에터설폰(PES), 폴리테트라플루오로에틸렌(PTFE)으로 대표되는 플라스틱이 있다. 또는 일례로서는 아크릴 등의 합성 수지 등이 있다. 또는 일례로서는 폴리프로필렌, 폴리에스터, 폴리플루오린화 바이닐, 또는 폴리염화 바이닐 등이 있다. 또는 일례로서는 폴리아마이드, 폴리이미드, 아라미드, 에폭시 수지, 무기 증착 필름, 또는 종이류 등이 있다. 특히 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제작함으로써, 특성, 사이즈, 또는 형상 등의 편차가 적고, 전류 능력이 높고, 사이즈가 작은 트랜지스터를 제작할 수 있다. 이러한 트랜지스터로 회로를 구성하면, 회로의 저소비 전력화 또는 회로의 고집적화를 도모할 수 있다.

[0306] 또한 기판으로서 가요성 기판을 사용하고, 가요성 기판 위에 트랜지스터를 직접 형성하여도 좋다. 또는 기판과 트랜지스터 사이에 박리층을 제공하여도 좋다. 박리층은, 그 위에 반도체 장치를 일부 또는 전부 완성시킨 후에 기판으로부터 분리하고 다른 기판에 전재하기 위하여 사용할 수 있다. 이때 트랜지스터를 내열성이 낮은 기판이나 가요성 기판에도 전재할 수 있다. 또한 상술한 박리층에는, 예를 들어 텅스텐막과 산화 실리콘막과의 무기막의 적층 구조의 구성이나, 기판 위에 폴리이미드 등의 유기 수지막이 형성된 구성 등을 사용할 수 있다.

[0307] 즉 한 기판을 사용하여 트랜지스터를 형성한 후, 다른 기판으로 트랜지스터를 전치하고, 다른 기판 위에 트랜지스터를 배치하여도 좋다. 트랜지스터가 전치되는 기판의 일례로서는 상술한 트랜지스터가 형성될 수 있는 기판에 더하여, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(견(絹), 면(綿), 마(麻)), 합성 섬유(나일론, 폴리우레탄, 폴리에스터), 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스터) 등을 포함함), 피혁 기판, 또는 고무 기판 등이 있다. 이들 기판을 사용함으로써, 특성이 좋은 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 파괴되기 어려운 장치의 제작, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

[0308] 또한 소정의 기능을 실현시키기 위하여 필요한 회로 모두를 동일한 기판(예를 들어 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판 등)에 형성하는 것이 가능하다. 이와 같이 하여, 부품 수의 삭감에 의한 비용의 저감, 또는 회로 부품과의 접속점의 수의 저감에 의한 신뢰성의 향상을 도모할 수 있다.

[0309] 또한 소정의 기능을 실현시키기 위하여 필요한 회로 모두를 동일한 기판에 형성하지 않는 것이 가능하다. 즉 소정의 기능을 실현시키기 위하여 필요한 회로의 일부는 한 기판에 형성하고, 소정의 기능을 실현시키기 위하여 필요한 회로의 다른 일부는 다른 기판에 형성하는 것이 가능하다. 예를 들어 소정의 기능을 실현시키기 위하여 필요한 회로의 일부는 유리 기판에 형성하고, 소정의 기능을 실현시키기 위하여 필요한 회로의 다른 일부는 단결정 기판(또는 SOI 기판)에 형성하는 것이 가능하다. 그리고 소정의 기능을 실현시키기 위하여 필요한 회로의 다른 일부가 형성되는 단결정 기판(IC칩이라고도 함)을 COG(Chip On Glass)에 의하여 유리 기판에 접속하고, 유리 기판에 그 IC칩을 배치하는 것이 가능하다. 또는 IC칩을 TAB(Tape Automated Bonding), COF(Chip On Film), SMT(Surface Mount Technology), 또는 인쇄 기판 등을 사용하여 유리 기판과 접속하는 것이 가능하다. 이와 같이 회로의 일부가 화소부와 동일한 기판에 형성되어 있는 것에 의하여, 부품 수의 삭감에 의한 비용의 저감, 또는 회로 부품과의 접속점의 수의 저감에 의한 신뢰성의 향상을 도모할 수 있다. 특히 구동 전압이 큰 부분의 회로, 또는 구동 주파수가 높은 부분의 회로 등은, 소비 전력이 높아지는 경우가 많다. 따라서 이러한 회로를 화소부와는 다른 기판(예를 들어 단결정 기판)에 형성하여, IC칩을 구성한다. 이 IC칩을 사용함으로써, 소비 전력의 증가를 방지할 수 있다.

[0310] 도 15의 (A)의 회로(MP)에서, 트랜지스터(M1)의 제 1 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M1)의 제 2 단자는 트랜지스터(M3)의 제 1 단자와 트랜지스터(M4)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M1)의 게이트는 용량 소자(C1)의 제 1 단자와 트랜지스터(M2)의 제 1 단자에 전기적으로 접속된다. 용량

소자(C1)의 제 2 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M2)의 제 2 단자는 배선(OL)에 전기적으로 접속된다. 트랜지스터(M2)의 게이트는 배선(WL)에 전기적으로 접속된다. 트랜지스터(M3)의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M3)의 게이트는 배선(WX1L)에 전기적으로 접속된다. 트랜지스터(M4)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4)의 게이트는 배선(X2L)에 전기적으로 접속된다.

[0311] 회로(MCr)에서, 회로(MC)와 상이한 접속 구성에 대하여 설명한다. 트랜지스터(M3r)의 제 2 단자는 배선(OL)이 아니라 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4r)의 제 2 단자는 배선(OLB)이 아니라 배선(OL)에 전기적으로 접속된다. 트랜지스터(M1r)의 제 1 단자와 용량 소자(C1r)의 제 1 단자는 배선(VEr)에 전기적으로 접속된다.

[0312] 또한 도 16의 (A)에 나타낸 바와 같이, 트랜지스터(M1)의 제 1 단자는 배선(VE)이 아니라 다른 배선(VLm)에 전기적으로 접속되어도 좋다. 또한 마찬가지로, 트랜지스터(M1r)의 제 1 단자는 배선(VEr)이 아니라 다른 배선(VEmr)에 전기적으로 접속되어도 좋다. 또한 도 15의 (A)뿐만 아니라 다른 도면의 회로도에서도, 트랜지스터(M1)의 제 1 단자가 배선(VE)이 아니라 다른 배선(VEm)에 전기적으로 접속되는 구성 및/또는 트랜지스터(M1r)의 제 1 단자가 배선(VEr)이 아니라 다른 배선(VEmr)에 전기적으로 접속되는 구성으로 하여도 좋다.

[0313] 또한 도 15의 (A)에 나타낸 유지부(HC)에서, 트랜지스터(M1)의 게이트와, 용량 소자(C1)의 제 1 단자와, 트랜지스터(M2)의 제 1 단자의 전기적 접속점을 노드(n1)로 하였다.

[0314] 유지부(HC)는 실시형태 1에서 설명한 바와 같이, 일례로서 제 1 데이터에 따른 전위를 유지하는 기능을 가진다. 도 15의 (A)의 회로(MC)에 포함되는 유지부(HC)에 대한 상기 전위의 유지는, 트랜지스터(M2) 및 트랜지스터(M3)를 온 상태로 하였을 때, 배선(OL)으로부터 전위를 입력하고 용량 소자(C1)에 기록하고, 그 후에 트랜지스터(M2)를 오프 상태로 함으로써 수행된다. 이로써 노드(n1)의 전위를 제 1 데이터에 따른 전위로서 유지할 수 있다. 이때 배선(OL)으로부터 전류를 입력하고, 그 전류의 크기에 따른 크기의 전위를 용량 소자(C1)에 유지할 수 있다. 그러므로 트랜지스터(M1)의 전류 특성 편차의 영향을 저감할 수 있다.

[0315] 또한 트랜지스터(M1)는 노드(n1)의 전위를 장시간 유지하기 때문에, 오프 전류가 적은 트랜지스터를 적용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터로서는 예를 들어 OS 트랜지스터를 사용할 수 있다. 또한 트랜지스터(M1)로서 백 게이트를 가지는 트랜지스터를 적용하고, 백 게이트에 저레벨 전위를 인가하여 문턱 전압을 플러스 측으로 시프트시킴으로써 오프 전류를 적게 하는 구성으로 하여도 좋다.

[0316] 후술하는 동작예에서, 회로(MP)에 입출력되는 전류에 대하여 간단하게 설명하기 위하여, 도 15의 (A)에 나타낸 배선(OL)의 양쪽 단부를 각각 노드(ina), 노드(outa)로 하고, 배선(OLB)의 양쪽 단부를 각각 노드(inb), 노드(outb)로 한다.

[0317] 배선(VE)은 일례로서, 정전압을 공급하는 배선으로서 기능한다. 상기 정전압으로서는, 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 또는 트랜지스터(M4r)가 n채널형 트랜지스터인 경우, 및/또는 도 8에 있어서 배선(VSO)이 인가하는 전위가 고레벨 전위인 경우에는, 예를 들어 저레벨 전위인 VSS, 접지 전위, 또는 이들 외의 저레벨 전위 등으로 할 수 있다. 또한 배선(VEm), 배선(VEr), 배선(VLmr)은 각각, 배선(VE)과 마찬가지로, 정전압을 공급하는 전압선으로서 기능하고, 상기 정전압으로서는 저레벨 전위인 VSS, VSS 이외의 저레벨 전위, 접지 전위 등으로 할 수 있다. 또한 상기 정전압으로서는 고레벨 전위인 VDD로 하여도 좋다. 이 경우, 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 연산 회로(160)의 회로(ACTF[1]) 내지 회로(ACTF[n])로서 도 5의 (A) 내지 (E), 도 6의 (A) 내지 (D), (F) 중 어느 것을 적용한 경우, 회로(ACTF[1]) 내지 회로(ACTF[n])에 전기적으로 접속된 배선(VAL)이 인가하는 정전압은 배선(VE), 배선(VEr)이 인가하는 전위(VDD)보다 높은 전위로 하는 것이 바람직하다.

[0318] 또한 배선(VE), 배선(VEm), 배선(VEr), 및 배선(VEmr)의 각각이 공급하는 정전압은 서로 달라도 좋고, 일부 또는 모두가 동일하여도 좋다. 또한 배선 각각이 공급하는 전압이 동일한 경우에는, 그 배선들을 선택하여 동일한 배선으로 하여도 좋다. 예를 들어 배선(VE), 배선(VEm), 배선(VEr), 및 배선(VEmr)의 각각이 인가하는 정전압이 거의 같은 경우에는, 도 16의 (B)의 회로(MP)와 같이, 배선(VEm), 배선(VEr), 및 배선(VEmr)은 배선(VE)과 동일한 배선으로 할 수 있다. 또는 예를 들어, 배선(VL) 및 배선(VLr)의 각각이 인가하는 정전압이 거의 같은 경우, 배선(VL)과 배선(VLr)을 하나의 동일한 배선으로 할 수 있다. 또는 예를 들어, 배선(VLs), 배선(VLsr)의 각각이 인가하는 정전압이 거의 같은 경우, 배선(VLs)과 배선(VLsr)을 하나의 동일한 배선으로 할 수 있다. 마찬가지로 도 16의 (A)에서도, 예를 들어, 배선(VL)과 배선(VLr)을 하나의 동일한 배선으로 하고, 배선

(VLm)과 배선(VLmr)을 하나의 동일한 배선으로 하여도 좋다. 또는 예를 들어, 배선(VL)과 배선(VLmr)을 하나의 동일한 배선으로 하고, 배선(VLm)과 배선(VLr)을 하나의 동일한 배선으로 하여도 좋다.

[0319] 또한 도 15의 (A)의 회로(MP)의 구성은 상황에 따라 변경할 수 있다. 예를 들어 도 17의 (A)에 나타낸 바와 같이, 도 15의 (A)의 회로(MP)의 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 트랜지스터(M4r)를 각각 p채널형 트랜지스터인 트랜지스터(M1p), 트랜지스터(M1pr), 트랜지스터(M3p), 트랜지스터(M3pr), 트랜지스터(M4p), 트랜지스터(M4pr)로 바꿔도 좋다. 트랜지스터(M3p), 트랜지스터(M3pr), 트랜지스터(M4p), 트랜지스터(M4pr)로서는 일례로서, SOI(Silicon On Insulator) 구조의 p채널형 트랜지스터를 적용할 수 있다. 또한 이 경우, 배선(VE) 및 배선(VEr)이 인가하는 정전압은 고레벨 전위인 VDD로 하는 것이 바람직하다. 또한 이 경우에 더하여, 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 및 연산 회로(160)의 회로(ACTF[1]) 내지 회로(ACTF[n])로서, 도 5의 (A) 내지 (E), 도 6의 (A) 내지 (D), (F) 중 어느 것이 적용된 경우, 회로(ACTF[1]) 내지 회로(ACTF[n])에 전기적으로 접속된 배선(VAL)이 인가하는 정전압은 접지 전위 또는 VSS로 하는 것이 바람직하다. 이와 같이, 배선의 전위를 변경한 경우에는 전류가 흐르는 방향도 변경된다.

[0320] 또한 마찬가지로, 트랜지스터(M2)도 p채널형 트랜지스터로 바꿔도 좋다.

[0321] 또한 예를 들어, 도 17의 (B)에 나타낸 바와 같이, 도 15의 (A)의 회로(MP)의 트랜지스터(M4), 트랜지스터(M4r)를 각각 p채널형 트랜지스터인 트랜지스터(M4p), 트랜지스터(M4pr)로 바꿔도 좋다. 또한 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4p), 트랜지스터(M4pr) 각각의 게이트에 접속되는 배선을 배선(WXL)으로서 하나로 통합함으로써, 회로(MP)는 0 이외의 제 1 데이터(예를 들어 가중 계수 등)를 유지할 수 있다.

[0322] 또한 예를 들어, 도 17의 (C)에 나타낸 바와 같이, 도 15의 (A)의 회로(MP)의 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 트랜지스터(M4r)를 각각 아날로그 스위치(AS3), 아날로그 스위치(AS4), 아날로그 스위치(AS3r), 아날로그 스위치(AS4r)로 바꿔도 좋다. 또한 도 17의 (C)에는 아날로그 스위치(AS3), 아날로그 스위치(AS4), 아날로그 스위치(AS3r), 및 아날로그 스위치(AS4r)를 동작시키기 위하여 배선(WX1LB) 및 배선(X2LB)도 도시하였다. 배선(WX1LB)은 아날로그 스위치(AS3) 및 아날로그 스위치(AS3r)에 전기적으로 접속되고, 배선(X2LB)은 아날로그 스위치(AS4) 및 아날로그 스위치(AS4r)에 전기적으로 접속된다. 배선(WX1LB)에는 배선(WX1L)에 입력되는 신호의 반전 신호가 입력되고, 배선(X2LB)에는 배선(X2L)에 입력되는 신호의 반전 신호가 입력된다. 또한 배선(WX1L)과 배선(X2L)을 하나의 배선으로서 통합하고, 또한 배선(WX1LB)과 배선(X2LB)을 하나의 배선으로서 통합하여도 좋다(미도시). 또한 일례로서는, 아날로그 스위치(AS3), 아날로그 스위치(AS4), 아날로그 스위치(AS3r), 및 아날로그 스위치(AS4r)는 n채널형 트랜지스터와 p채널형 트랜지스터를 사용한 CMOS 구성으로 하여도 좋다.

[0323] 또한 도 15의 (A) 내지 (C), 도 16의 (A) 내지 (C)에 나타낸 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r)의 크기, 예를 들어 채널 길이 및 채널 폭은 같은 것이 바람직하다. 이와 같은 회로 구성으로 함으로써 효율적으로 레이아웃할 수 있을 가능성이 있다. 또한 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r)에 흐르는 전류를 일치시킬 수 있을 가능성이 있다. 또한 마찬가지로, 도 15의 (A) 내지 (C), 도 16의 (A) 내지 (C)에 나타낸 트랜지스터(M1)와 트랜지스터(M1r)의 크기는 같은 것이 바람직하다. 또한 마찬가지로, 도 15의 (A) 내지 (C), 도 16의 (A) 내지 (C)에 나타낸 트랜지스터(M2)와 트랜지스터(M2r)의 크기는 같은 것이 바람직하다. 또한 마찬가지로, 도 16의 (C)에 나타낸 트랜지스터(M1p)와 트랜지스터(M1pr)의 크기는 같은 것이 바람직하다. 또한 마찬가지로, 도 16의 (C)에 나타낸 트랜지스터(M3p)와, 트랜지스터(M3pr)와, 트랜지스터(M4p)와, 트랜지스터(M4pr)의 크기는 같은 것이 바람직하다.

[0324] <<동작예>>

[0325] 다음으로 도 15의 (A)에 나타낸 회로(MP)의 동작예에 대하여 설명한다. 도 18 내지 도 20은 회로(MP)의 동작예를 나타낸 타이밍 차트이고, 각각 배선(WL), 배선(WX1L), 배선(X2L), 노드(n1), 노드(n1r)의 전위의 변동을 나타낸다. 또한 도 18 내지 도 20에 기재된 high는 고레벨 전위를 나타내고, low는 저레벨 전위를 나타낸다. 또한 본 동작예에 있어서, 배선(OL)으로부터 노드(outa)에(또는 노드(outa)로부터 배선(OL)에) 출력되는 전류량을 I_{OL}로 하였다. 또한 배선(OLB)으로부터 노드(outb)에(또는 노드(outb)로부터 배선(OLB)에) 출력되는 전류량을 I_{OLB}로 하였다. 도 18 내지 도 20에 나타낸 타이밍 차트에는 I_{OL}, I_{OLB}의 변화량도 도시하였다.

[0326] 또한 본 동작예에서는 배선(VE), 배선(VEm), 배선(VEr), 및 배선(VEmr)이 인가하는 정전압은 VSS(저레벨 전위)으로 한다. 이 경우 도 8에 있어서, 배선(VSO)에는 고레벨 전위가 인가되고, 배선(VSO)으로부터 전환 회로

(TW), 배선(OL)을 통하여 배선(VE) 또는 배선(VEr)에 전류가 흐르게 된다. 마찬가지로, 배선(VSO)으로부터 전환 회로(TW), 배선(OLB)을 통하여 배선(VE) 또는 배선(VEr)에 전류가 흐르게 된다.

[0327] 또한 본 동작예에서는 도 8에 있어서, 배선(VCN)이 인가하는 전위를 VSS로 한다. 배선(VCN)과 트랜지스터(M1)의 제 2 단자 사이를 도통 상태로 함으로써 트랜지스터(M1)의 제 2 단자에는 VSS가 인가된다. 자세한 사항에 대해서는 후술하지만, 이때 트랜지스터(M1)의 게이트의 전위도 VSS가 되기 때문에 트랜지스터(M1)는 오프 상태가 된다. 마찬가지로 배선(VCN)과 트랜지스터(M1r)의 제 2 단자 사이를 도통 상태로 함으로써 트랜지스터(M1r)의 제 2 단자와 게이트의 전위는 VSS가 되기 때문에 트랜지스터(M1r)는 오프 상태가 된다.

[0328] 도 15의 (A)에 나타낸 회로(MP)에 있어서, 트랜지스터(M2) 및 트랜지스터(M3)가 온 상태일 때, 트랜지스터(M1)는 다이오드 접속의 구성이 된다. 그러므로 배선(OL)으로부터 회로(MC)에 전류가 흐를 때, 트랜지스터(M1)의 제 2 단자의 전위와 트랜지스터(M1)의 게이트의 전위는 거의 같게 된다. 상기 전위는 배선(OL)으로부터 회로(MC)에 흐르는 전류량과 트랜지스터(M1)의 제 1 단자의 전위(여기서는 VSS) 등에 따라 결정된다. 여기서, 트랜지스터(M1)의 게이트의 전위를 용량 소자(C1)에 유지하고, 그 후에 트랜지스터(M2)를 오프 상태로 함으로써, 트랜지스터(M1)는 트랜지스터(M1)의 게이트의 전위에 따른 전류를 흘리는 전류원으로서 기능한다. 그러므로 트랜지스터(M1)의 전류 특성 편차의 영향을 저감할 수 있다.

[0329] 예를 들어 트랜지스터(M2) 및 트랜지스터(M3)가 온인 상태에서 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 I_1의 전류량이 흘렀을 때, 트랜지스터(M1)의 게이트(노드(n1))의 전위는 V_1이 되는 것으로 한다. 여기서, 트랜지스터(M2)를 오프 상태로 함으로써 V_1은 유지부(HC)에 의하여 유지된다. 이에 의하여 트랜지스터(M1)는 트랜지스터(M1)의 제 1 단자의 전위(VSS)와 트랜지스터(M1)의 게이트의 전위(V_1)에 따른 전류인 I_1을 트랜지스터(M1)의 소스-드레인 사이에 흘릴 수 있다. 본 명세서 등에서는 이와 같은 동작을, "트랜지스터(M1)는, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량이 I_1로 설정되었다", "트랜지스터(M1)는, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량이 I_1로 프로그래밍되었다" 등이라고 기재한다.

[0330] 본 동작예에서는 배선(OL)으로부터 회로(MC)에 흐르는 전류량을 0, I_1, I_2의 3가지로 한다. 그러므로 트랜지스터(M1)에 설정되는 전류량은 0, I_1, I_2의 3가지가 된다. 예를 들어 유지부(HC)에 유지된, 트랜지스터(M1)의 게이트의 전위가 VSS일 때, 트랜지스터(M1)의 제 1 단자, 제 2 단자 각각의 전위도 VSS이기 때문에, 트랜지스터(M1)의 문턱 전압이 0보다 높으면 트랜지스터(M1)는 오프 상태가 된다. 그러므로 트랜지스터(M1)의 소스-드레인 사이에 전류는 흐르지 않기 때문에, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량은 0으로 설정되어 있다고 할 수 있다. 또한 예를 들어 유지부(HC)에 유지된, 트랜지스터(M1)의 게이트의 전위가 V_1일 때, 트랜지스터(M1)의 문턱 전압이 V_1-VSS보다 낮으면 트랜지스터(M1)는 온 상태가 된다. 이때 트랜지스터(M1)에 흐르는 전류량을 I_1로 한다. 그러므로 트랜지스터(M1)의 게이트의 전위가 V_1일 때, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량은 I_1로 설정되어 있다고 할 수 있다. 또한 예를 들어 유지부(HC)에 유지된, 트랜지스터(M1)의 게이트의 전위가 V_2일 때, 트랜지스터(M1)의 문턱 전압이 V_2-VSS보다 낮으면 트랜지스터(M1)는 온 상태가 된다. 이때 트랜지스터(M1)에 흐르는 전류량을 I_2로 한다. 그러므로 트랜지스터(M1)의 게이트의 전위가 V_2일 때, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량은 I_2로 설정되어 있다고 할 수 있다.

[0331] 또한 I_1의 전류량은 0보다 크고 I_2보다 작은 것으로 한다. 또한 전위(V_1)는 VSS보다 높고 V_2보다 낮은 것으로 한다. 또한 트랜지스터(M1)의 문턱 전압은 0보다 높고 V_1-VSS보다 낮은 것으로 한다. 또한 I_1은 예를 들어 도 8의 설명에서의 정전류원 회로(ISC1)가 생성하는 I_{ut}로 바꿀 수 있고, I_2는 예를 들어 도 8의 설명에서의 정전류원 회로(ISC2)가 생성하는 $2I_{ut}$로 바꿀 수 있다.

[0332] 또한 동작예를 설명하기 전에, 회로(MP)가 유지하는 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 다음과 같이 정의한다. 유지부(HC)의 노드(n1)에 VSS가 유지되고 유지부(HCr)의 노드(n1r)에 VSS가 유지되어 있을 때, 회로(MP)는 제 1 데이터(가중 계수)로서 "0"을 유지하는 것으로 한다. 유지부(HC)의 노드(n1)에 V_1이 유지되고 유지부(HCr)의 노드(n1r)에 VSS가 유지되어 있을 때, 회로(MP)는 제 1 데이터(가중 계수)로서 "+1"을 유지하는 것으로 한다. 유지부(HC)의 노드(n1)에 V_2가 유지되고 유지부(HCr)의 노드(n1r)에 VSS가 유지되어 있을 때, 회로(MP)는 제 1 데이터(가중 계수)로서 "+2"를 유지하는 것으로 한다. 유지부(HC)의 노드(n1)에 VSS가 유지되고

유지부(HCr)의 노드(n1r)에 V_1이 유지되어 있을 때, 회로(MP)는 제 1 데이터(가중 계수)로서 "-1"을 유지하는 것으로 한다. 유지부(HC)의 노드(n1)에 VSS가 유지되고 유지부(HCr)의 노드(n1r)에 V_2가 유지되어 있을 때, 회로(MP)는 제 1 데이터(가중 계수)로서 "-2"를 유지하는 것으로 한다.

[0333] 또한 회로(MP)에 입력되는 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값(연산값)으로 함)을 일례로서 다음과 같이 정의한다. 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 인가되어 있을 때, 회로(MP)에는 제 2 데이터(뉴런의 신호의 값)로서 "+1"이 입력되는 것으로 한다. 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위가 인가되어 있을 때, 회로(MP)에는 제 2 데이터(뉴런의 신호의 값)로서 "-1"이 입력되는 것으로 한다. 배선(WX1L)에 저레벨 전위, 배선(X2L)에 저레벨 전위가 인가되어 있을 때, 회로(MP)에는 제 2 데이터(뉴런의 신호의 값)로서 "0"이 입력되는 것으로 한다. 또한 일례로서 고레벨 전위는, VDD 혹은 VDD보다 10% 이상 또는 20% 이상 높은 전위로 한다.

[0334] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M1) 및 트랜지스터(M1r)는 온 상태일 때 최종적으로 포화 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 포화 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 공급되는 전압의 진폭값을 작게 하기 위하여, 트랜지스터(M1) 및 트랜지스터(M1r)는 선형 영역에서 동작하여도 좋다. 또한 제 1 데이터(가중 계수)를 아날로그값으로 하는 경우에는, 제 1 데이터(가중 계수)의 크기에 따라, 예를 들어 트랜지스터(M1) 및 트랜지스터(M1r)는 선형 영역에서 동작하는 경우와, 포화 영역에서 동작하는 경우가 혼재되어 있어도 좋다.

[0335] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r)는 온 상태일 때는 포화 영역에서 동작하여도 좋고, 또한 선형 영역에서 동작하는 경우와, 포화 영역에서 동작하는 경우가 혼재되어 있어도 좋다.

[0336] 이하에서, 제 1 데이터(예를 들어 이하에서는 가중 계수로 함) 및 제 2 데이터(예를 들어 이하에서는 뉴런의 신호의 값(연산값) 등)가 각각 가질 수 있는 값의 조합마다 회로(MP)의 동작예를 설명한다.

[0337] [조건 1]

[0338] 우선 일례로서, 제 1 데이터(가중 계수)가 "0"이고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))가 "+1"인 경우에 대하여 생각한다. 도 18의 (A)는 이 경우에서의 회로(MP)의 타이밍 차트이다.

[0339] 시각 T1부터 시각 T2까지에서는, 유지부(HC) 및 유지부(HCr)에 초기의 전위가 유지된다. 도 18의 (A)에서는, 예를 들어 노드(n1), 노드(n1r)에 초기의 전위로서 전위(VSS)보다 높은 전위가 유지되는 것으로 한다.

[0340] 또한 배선(WL), 배선(WX1L), 배선(X2L)에는 저레벨 전위가 인가된다. 이에 의하여 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r) 각각의 게이트에는 저레벨 전위가 입력되기 때문에, 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r)는 각각 오프 상태가 된다.

[0341] 시각 T2부터 시각 T3까지에서는, 배선(WL)과 배선(WX1L)에는 고레벨 전위가 인가된다. 이에 의하여 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 트랜지스터(M3r) 각각의 게이트에는 고레벨 전위가 입력되기 때문에, 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 및 트랜지스터(M3r)는 각각 온 상태가 된다.

[0342] 또한 도 18의 (A)에는 도시하지 않았지만, 배선(OL) 및 배선(OLB)의 각각에는 초기화 전위로서 V_{ini}가 인가된다. 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 및 트랜지스터(M3r)는 각각 온 상태이기 때문에, 유지부(HC)의 노드(n1) 및 유지부(HCr)의 노드(n1r) 각각의 전위는 V_{ini}가 된다. 즉 시각 T2부터 시각 T3까지에서는 유지부(HC)의 노드(n1) 및 유지부(HCr)의 노드(n1r) 각각의 전위의 초기화가 수행된다.

[0343] 또한 초기화 전위의 V_{ini}로서는 예를 들어 접지 전위로 하는 것이 바람직하다. 또한 초기화 전위의 V_{ini}로서는 VSS, 접지 전위보다 높은 전위, 또는 접지 전위보다 낮은 전위로 하여도 좋다. 또한 배선(OL) 및 배선(OLB)의 각각에 인가하는 초기화 전위(V_{ini})는 서로 다른 전위로 하여도 좋다. 또한 배선(OL) 및 배선(OLB)의 각각에 초

기화 전위(V_{ini})를 입력하지 않아도 된다. 또한 반드시 시각 T2부터 시각 T3까지 기간을 제공할 필요는 없다. 또는 반드시 시각 T2부터 시각 T3까지에서 초기화를 수행할 필요는 없다.

[0344] 시각 T3부터 시각 T4까지에서는, 배선(OL)으로부터 회로(MC)에 전위(VSS)가 입력되고, 배선(OLB)으로부터 회로(MCr)에 전위(VSS)가 입력된다. 이는 도 8에 있어서, 스위치(SWL) 및 스위치(SWLB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 함으로써 수행된다. 이에 의하여 유지부(HC)의 노드(n1)의 전위는 VSS가 되고, 유지부(HCr)의 노드(n1r)의 전위는 VSS가 된다. 이에 의하여 회로(MC)에 있어서, 트랜지스터(M1)는 전류량으로서 0이 흐르도록 설정되기 때문에, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않는다. 또한 회로(MCr)에 있어서, 트랜지스터(M1r)는 전류량으로서 0이 흐르도록 설정되기 때문에, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다. 바꿔 말하면 시각 T3부터 시각 T4까지에서, 트랜지스터(M1), 트랜지스터(M1r)는 오프 상태가 되기 때문에, 배선(OL)과 배선(VE) 사이는 비도통 상태가 되고, 배선(OLB)과 배선(VEr) 사이는 비도통 상태가 된다.

[0345] 시각 T4부터 시각 T5까지에서는, 배선(WL)과 배선(WX1L)에는 저레벨 전위가 인가된다. 이에 의하여 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 트랜지스터(M3r) 각각의 게이트에는 저레벨 전위가 입력되기 때문에, 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 트랜지스터(M3r)는 각각 오프 상태가 된다. 트랜지스터(M2), 트랜지스터(M2r)가 오프 상태가 됨으로써, 유지부(HC)의 노드(n1)의 전위(VSS)가 유지되고, 유지부(HCr)의 노드(n1r)의 전위(VSS)가 유지된다. 또한 트랜지스터(M3)가 오프 상태가 됨으로써 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않게 된다. 또한 마찬가지로, 트랜지스터(M3r)가 오프 상태가 됨으로써 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않게 된다. 또한 시각 T4부터 시각 T5까지에서, 도 8의 (A)에 나타낸 스위치(SWH) 및 스위치(SWHB)를 온으로 하여, 배선(OL) 및 배선(OLB)의 전위를 초기화하여도 좋다. 배선(OL) 및 배선(OLB)의 전위를 초기화함으로써, 시각 T5 이후에 있어서 회로(MP)로부터 출력되는 전류에 의하여 배선(OL) 및 배선(OLB)의 전위를 변화시킬 수 있다.

[0346] 시각 T1부터 시각 T5까지의 동작에 의하여, 회로(MP)의 제 1 데이터(가중 계수)로서 "0"이 설정된다. 또한 회로(MP)에 제 1 데이터(가중 계수)가 설정된 후에는, 도 8에 있어서 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 및 스위치(SWLB)를 오프 상태로 하여도 좋다. 또한 회로(MP)에 가중 계수가 설정된 후에, 스위치(SWH) 및 스위치(SWHB)를 온 상태로 하여, 배선(OL) 및 배선(OLB)의 전위를 초기화하여도 좋다. 배선(OL) 및 배선(OLB)의 전위를 초기화한 후에는, 스위치(SWH) 및 스위치(SWHB)를 오프 상태로 하여도 좋다.

[0347] 시각 T5 이후에 있어서, 회로(MP)로의 뉴런의 신호(연산값) "+1"의 입력으로서, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 이때 트랜지스터(M3) 및 트랜지스터(M3r) 각각의 게이트에 고레벨 전위가 입력되고, 트랜지스터(M4) 및 트랜지스터(M4r) 각각의 게이트에 저레벨 전위가 입력된다. 그러므로 트랜지스터(M3) 및 트랜지스터(M3r)는 각각 온 상태가 되고, 트랜지스터(M4) 및 트랜지스터(M4r)는 각각 오프 상태가 된다. 즉 이 동작에 의하여, 회로(MC)와 배선(OL) 사이, 및 회로(MCr)와 배선(OLB) 사이가 도통 상태가 되고, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 비도통 상태가 된다.

[0348] 이때 도 8에 있어서, 스위치(SWO), 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 한다. 또한 트랜지스터(M1)는 오프 상태이기 때문에(전류량으로서 0이 흐르도록 설정되어 있기 때문에), 회로(MC)에 있어서 배선(OL), 및 배선(OLB)으로부터 배선(VE)까지 사이에 전류는 흐르지 않는다. 마찬가지로 트랜지스터(M1r)는 오프 상태이기 때문에(전류량으로서 0이 흐르도록 설정되어 있기 때문에), 회로(MCr)에 있어서 배선(OL), 및 배선(OLB)으로부터 배선(VEr)까지 사이에 전류는 흐르지 않는다. 이러한 식으로 함으로써, 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL}) 및 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})는 시각 T5 전후로 변화되지 않는다. 그러므로 회로(AFP)와 배선(OL) 사이에 전류(I_{OL})는 흐르지 않고, 또한 회로(AFP)와 배선(OLB) 사이에 전류(I_{OLB})는 흐르지 않는다.

[0349] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "0"으로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "+1"로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "0"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL}) 및 전류(I_{OLB})가 각각 변화되지 않는 경우에 대응한다. 또한 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는, 도 8에 있어서 회로

(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0350] 또한 제 1 데이터(예를 들어 가중 계수 등)는 한번 입력하고 나면 그 값을 갱신하지 않고, 제 2 데이터(뉴런의 신호의 값 또는 연산값 등)만을 변경함으로써, 복수의 적화 연산 처리를 수행하여도 좋다. 이 경우 제 1 데이터(가중 계수)의 갱신이 불필요하게 되기 때문에 소비 전력을 저감할 수 있다. 또한 제 1 데이터(가중 계수)의 갱신을 줄이기 위해서는 제 1 데이터(가중 계수)를 장기간 유지할 필요가 있다. 이때 예를 들어 OS 트랜지스터를 사용하면, 오프 전류가 낮은 것을 이용하여 제 1 데이터(가중 계수)를 장기간 유지하는 것이 가능하게 된다.

[0351] [조건 2]

[0352] 다음으로 일례로서 제 1 데이터(가중 계수)가 "+1"이고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))가 "+1"인 경우에 대하여 생각한다. 도 18의 (B)는 이 경우에서의 회로(MP)의 타이밍 차트이다.

[0353] 시각 T1부터 시각 T3까지의 동작에 대해서는 조건 1의 시각 T1부터 시각 T3까지의 동작과 같기 때문에 조건 1의 시각 T1부터 시각 T3까지의 동작에 대한 설명을 참조한다.

[0354] 시각 T3부터 시각 T4까지에서는, 배선(OL)으로부터 회로(MC)에 전류량으로서 I_1이 입력되고, 배선(OLB)으로부터 회로(MCr)에 전위(VSS)가 입력된다. 이는 도 8에 있어서, 스위치(SWI) 및 스위치(SWLB)를 온 상태로 하고, 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 함으로써 수행된다. 이에 의하여 유지부(HC)의 노드(n1)의 전위는 V_1이 되고, 유지부(HCr)의 노드(n1r)의 전위는 VSS가 된다. 이에 의하여 회로(MC)에 있어서, 트랜지스터(M1)는 전류량으로서 I_1이 흐르도록 설정되기 때문에, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류량으로서 I_1이 흐른다. 또한 회로(MCr)에 있어서, 트랜지스터(M1r)는 전류량으로서 0이 흐르도록 설정되기 때문에, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다.

[0355] 시각 T4부터 시각 T5까지에서는, 배선(WL)과 배선(WX1L)에는 저레벨 전위가 인가된다. 이에 의하여 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 및 트랜지스터(M3r) 각각의 게이트에는 저레벨 전위가 입력되기 때문에, 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 및 트랜지스터(M3r)는 각각 오프 상태가 된다. 트랜지스터(M2) 및 트랜지스터(M2r)가 오프 상태가 됨으로써, 유지부(HC)의 노드(n1)의 전위(V_1)가 유지되고, 유지부(HCr)의 노드(n1r)의 전위(VSS)가 유지된다. 또한 트랜지스터(M3)가 오프 상태가 됨으로써 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않게 된다. 또한 마찬가지로, 트랜지스터(M3r)가 오프 상태가 됨으로써 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않게 된다. 또한 시각 T4부터 시각 T5까지에서, 도 8의 (A)에 나타낸 스위치(SWH) 및 스위치(SWHB)를 온으로 하여, 배선(OL) 및 배선(OLB)의 전위를 초기화하여도 좋다. 배선(OL) 및 배선(OLB)의 전위를 초기화함으로써, 시각 T5 이후에 있어서 회로(MP)로부터 출력되는 전류에 의하여 배선(OL) 및 배선(OLB)의 전위를 변화시킬 수 있다.

[0356] 시각 T1부터 시각 T5까지의 동작에 의하여, 회로(MP)의 제 1 데이터(가중 계수)로서 "+1"이 설정된다. 또한 회로(MP)에 제 1 데이터(가중 계수)가 설정된 후에는, 도 8에 있어서 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 스위치(SWLB)를 오프 상태로 하여도 좋다. 또한 회로(MP)에 제 1 데이터(가중 계수)가 설정된 후에, 스위치(SWH) 및 스위치(SWHB)를 온 상태로 하여, 배선(OL) 및 배선(OLB)의 전위를 초기화하여도 좋다. 배선(OL) 및 배선(OLB)의 전위를 초기화한 후에는, 스위치(SWH) 및 스위치(SWHB)를 오프 상태로 하여도 좋다.

[0357] 시각 T5 이후에 있어서, 회로(MP)로의 제 2 데이터(뉴런의 신호의 값(연산값)) "+1"의 입력으로서, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 이때 트랜지스터(M3) 및 트랜지스터(M3r) 각각의 게이트에 고레벨 전위가 입력되고, 트랜지스터(M4) 및 트랜지스터(M4r) 각각의 게이트에 저레벨 전위가 입력된다. 그러므로 트랜지스터(M3) 및 트랜지스터(M3r)는 각각 온 상태가 되고, 트랜지스터(M4) 및 트랜지스터(M4r)는 각각 오프 상태가 된다. 즉 이 동작에 의하여, 회로(MC)와 배선(OL) 사이, 및 회로(MCr)와 배선(OLB) 사이가 도통 상태가 되고, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 비도통 상태가 된다.

[0358] 이때 도 8에 있어서, 스위치(SWO) 및 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 한다. 회로(MC)에 있어서, 트랜지스터(M3)가 온 상태이고, 또한 트랜지스터(M1r)가 온 상태이기 때문에(전류량으로서 I_1이 흐르도록 설정되어 있기 때문에), 배선(OL)으로부터 배선(VE)까지 사

이에 전류가 흐른다. 또한 회로(MC)에 있어서, 트랜지스터(M4)가 오프 상태이기 때문에, 배선(OLB)으로부터 배선(VE)까지 사이에 전류는 흐르지 않는다. 한편, 회로(MCr)에 있어서, 트랜지스터(M3r)가 온 상태이지만, 트랜지스터(M1)가 오프 상태이기 때문에(전류량으로서 0이 흐르도록 설정되어 있기 때문에), 배선(OLB)으로부터 배선(VEr)까지 사이에 전류는 흐르지 않는다. 또한 회로(MCr)에 있어서, 트랜지스터(M4r)가 오프 상태이기 때문에, 배선(OL)으로부터 배선(VEr)까지 사이에 전류는 흐르지 않는다. 이러한 식으로 함으로써, 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL})는 시각 T5 경과 후에 I_1 증가되고, 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})는 시각 T5 전후로 변화되지 않는다. 그러므로 회로(AFP)와 배선(OL) 사이에 전류량(I_1)의 전류(I_{OL})가 흐르고, 또한 회로(AFP)와 배선(OLB) 사이에 전류(I_{OLB})는 흐르지 않는다.

[0359] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "+1"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)를 "+1"로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "+1"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "+1"이 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL})가 I_1 증가하고, 전류(I_{OLB})가 변화되지 않는 경우에 대응한다. 또한 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "+1"이 되는 결과는, 도 8에 있어서 회로(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0360] 또한 본 조건의 시각 T3부터 시각 T4까지에서, 예를 들어 배선(OL)으로부터 회로(MC)에 흐르는 전류를 I_1이 아니라 I_2로 설정함으로써 유지부(HC)에 V_2를 유지할 수 있다. 이에 의하여 회로(MP)의 제 1 데이터(가중 계수)로서 "+2"가 설정된다. 제 1 데이터(가중 계수)를 "+2"로 하고, 회로(MP)에 입력되는 뉴런의 신호를 "+1"로 함으로써, 식(1.1)에서 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "+2"가 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "+2"가 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL})가 I_2 증가하고, 전류(I_{OLB})가 변화되지 않는 경우에 대응한다. 이러한 식으로, 회로(MCr)에 있어서 유지부(HCr)에 VSS를 유지하고, 또한 회로(MC)에 있어서 전류량(I_1) 이외를 설정함으로써, 회로(MP)의 제 1 데이터(가중 계수)로서 "+1" 이외의 양의 값을 설정할 수 있다.

[0361] [조건 3]

[0362] 다음으로 일례로서 제 1 데이터(가중 계수)(w)가 "-1"이고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))가 "+1"인 경우에 대하여 생각한다. 도 18의 (C)는 이 경우에서의 회로(MP)의 타이밍 차트이다.

[0363] 시각 T1부터 시각 T3까지의 동작에 대해서는 조건 1의 시각 T1부터 시각 T3까지의 동작과 같기 때문에 조건 1의 시각 T1부터 시각 T3까지의 동작에 대한 설명을 참조한다.

[0364] 시각 T3부터 시각 T4까지에서는, 배선(OL)으로부터 회로(MC)에 전위(VSS)가 입력되고, 배선(OLB)으로부터 회로(MCr)에 전류량으로서 I_1이 입력된다. 이는 도 8에 있어서, 스위치(SWIB) 및 스위치(SWL)를 온 상태로 하고, 스위치(SWI), 스위치(SWO), 스위치(SWOB), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 함으로써 수행된다. 이에 의하여 유지부(HC)의 노드(n1)의 전위는 VSS가 되고, 유지부(HCr)의 노드(n1r)의 전위는 V_1이 된다. 이에 의하여 회로(MCr)에 있어서, 트랜지스터(M1)는 전류량으로서 0이 흐르도록 설정되기 때문에, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않는다. 또한 회로(MCr)에 있어서, 트랜지스터(M1r)는 전류량으로서 I_1이 흐르도록 설정되기 때문에, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류량으로서 I_1이 흐른다.

[0365] 시각 T4부터 시각 T5까지에서는, 배선(WL)과 배선(WX1L)에는 저레벨 전위가 인가된다. 이에 의하여 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 및 트랜지스터(M3r) 각각의 게이트에는 저레벨 전위가 입력되기 때문에, 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M3), 및 트랜지스터(M3r)는 각각 오프 상태가 된다. 트랜지스터(M2) 및 트랜지스터(M2r)가 오프 상태가 됨으로써, 유지부(HC)의 노드(n1)의 전위(VSS)가 유지되고, 유지부(HCr)의 노드(n1r)의 전위(V_1)가 유지된다. 또한 트랜지스터(M3)가 오프 상태가 됨으로써 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않게 된다. 또한 마찬가지로, 트랜지스터(M3r)가 오프 상태가 됨으로써 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않게 된다. 또한 시각 T4부터 시각 T5까지에서, 도 8의 (A)에 나타낸 스위치(SWH) 및 스위치(SWHB)를 온으로 하여, 배선(OL) 및 배선(OLB)의 전위를 초기화하여도 좋다. 배선(OL) 및 배선(OLB)의 전위를 초기화함으로써, 시각 T5 이후에 있어서 회로(MP)로부터

출력되는 전류에 의하여 배선(OL) 및 배선(OLB)의 전위를 변화시킬 수 있다.

[0366] 시각 T1부터 시각 T5까지의 동작에 의하여, 회로(MP)의 제 1 데이터(가중 계수)로서 "-1"이 설정된다. 또한 회로(MP)에 제 1 데이터(가중 계수)가 설정된 후에는, 도 8에 있어서 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 및 스위치(SWLB)를 오프 상태로 하여도 좋다. 또한 회로(MP)에 제 1 데이터(가중 계수)가 설정된 후에, 스위치(SWH) 및 스위치(SWHB)를 온 상태로 하여, 배선(OL) 및 배선(OLB)의 전위를 초기화하여도 좋다. 배선(OL) 및 배선(OLB)의 전위를 초기화한 후에는, 스위치(SWH) 및 스위치(SWHB)를 오프 상태로 하여도 좋다.

[0367] 시각 T5 이후에 있어서, 회로(MP)로의 제 2 데이터(뉴런의 신호의 값(연산값)) "+1"의 입력으로서, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 이때 트랜지스터(M3) 및 트랜지스터(M3r) 각각의 게이트에 고레벨 전위가 입력되고, 트랜지스터(M4) 및 트랜지스터(M4r) 각각의 게이트에 저레벨 전위가 입력된다. 그러므로 트랜지스터(M3) 및 트랜지스터(M3r)는 각각 온 상태가 되고, 트랜지스터(M4) 및 트랜지스터(M4r)는 각각 오프 상태가 된다. 즉 이 동작에 의하여, 회로(MC)와 배선(OL) 사이, 및 회로(MCr)와 배선(OLB) 사이가 도통 상태가 되고, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 비도통 상태가 된다.

[0368] 이때 도 8에 있어서, 스위치(SWO) 및 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 한다. 회로(MC)에 있어서, 트랜지스터(M3)가 온 상태이지만, 트랜지스터(M1)가 오프 상태이기 때문에(전류량으로서 0이 흐르도록 설정되어 있기 때문에), 배선(OL)으로부터 배선(VE)까지 사이에 전류가 흐르지 않는다. 또한 회로(MC)에 있어서, 트랜지스터(M4)가 오프 상태이기 때문에, 배선(OLB)으로부터 배선(VE)까지 사이에 전류는 흐르지 않는다. 한편, 회로(MCr)에 있어서, 트랜지스터(M3r)가 온 상태이고, 또한 트랜지스터(M1r)가 온 상태이기 때문에(전류량으로서 I_1이 흐르도록 설정되어 있기 때문에), 배선(OLB)으로부터 배선(VEr)까지 사이에 전류가 흐른다. 또한 회로(MCr)에 있어서, 트랜지스터(M4r)가 오프 상태이기 때문에, 배선(OL)으로부터 배선(VEr)까지 사이에 전류는 흐르지 않는다. 이러한 식으로 함으로써, 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL})는 시각 T5 전후로 변화되지 않고, 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})는 시각 T5 경과 후에 I_1 증가한다. 그러므로 회로(AFP)와 배선(OL) 사이에 전류(I_{OL})는 흐르지 않고, 또한 회로(AFP)와 배선(OLB) 사이에 전류량(I_1)의 전류(I_{OLB})가 흐른다.

[0369] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "-1"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "+1"로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "-1"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "-1"이 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL})가 변화되지 않고, 전류(I_{OLB})는 I_1 증가되는 경우에 대응한다. 또한 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "-1"이 되는 결과는, 도 8에 있어서 회로(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0370] 또한 본 조건의 시각 T3부터 시각 T4까지에서, 예를 들어 배선(OLB)으로부터 회로(MCr)에 흐르는 전류를 I_1이 아니라 I_2로 설정함으로써 유지부(HCr)에 V_2를 유지할 수 있다. 이에 의하여 회로(MP)의 제 1 데이터(가중 계수)로서 "-2"가 설정된다. 제 1 데이터(가중 계수)를 "-2"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)를 "+1"로 함으로써, 식(1.1)에서 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "-2"가 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "-2"가 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL})가 변화되지 않고, 전류(I_{OLB})가 I_2 증가되는 경우에 대응한다. 이러한 식으로, 회로(MC)에 있어서 유지부(HC)에 VSS를 유지하고, 또한 회로(MCr)에 있어서 전류량으로서 I_1 이외를 설정함으로써, 회로(MP)의 가중 계수로서 "+1" 이외의 양의 값을 설정할 수 있다.

[0371] [조건 4]

[0372] 본 조건에서는 일례로서, 제 1 데이터(가중 계수)를 "0"으로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "-1"로 하는 경우의 회로(MP)의 동작에 대하여 생각한다. 도 19의 (A)는 이 경우에서의 회로(MP)의 타이밍 차트이다.

[0373] 시각 T1부터 시각 T5까지의 동작에 대해서는 조건 1의 시각 T1부터 시각 T5까지의 동작과 같기 때문에 조건 1의

시각 T1부터 시각 T5까지의 동작에 대한 설명을 참조한다.

[0374] 시각 T5 이후에 있어서, 회로(MP)로의 제 2 데이터(뉴런의 신호의 값(연산값)) "-1"의 입력으로서, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위가 입력된다. 이때 트랜지스터(M3) 및 트랜지스터(M3r) 각각의 게이트에 저레벨 전위가 입력되고, 트랜지스터(M4) 및 트랜지스터(M4r) 각각의 게이트에 고레벨 전위가 입력된다. 그러므로 트랜지스터(M3) 및 트랜지스터(M3r)는 각각 오프 상태가 되고, 트랜지스터(M4) 및 트랜지스터(M4r)는 각각 온 상태가 된다. 즉 이 동작에 의하여, 회로(MC)와 배선(OL) 사이, 및 회로(MCr)와 배선(OLB) 사이가 비도통 상태가 되고, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 도통 상태가 된다.

[0375] 이때 도 8에 있어서, 스위치(SWO) 및 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 및 스위치(SWLB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 한다. 또한 트랜지스터(M1)는 오프 상태이기 때문에(전류량으로서 0이 흐르도록 설정되어 있기 때문에), 회로(MC)에 있어서 배선(OL), 및 배선(OLB)으로부터 배선(VE)까지 사이에 전류는 흐르지 않는다. 즉 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL}) 및 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})는 시각 T5 전후로 변화되지 않는다. 마찬가지로 트랜지스터(M1r)는 오프 상태이기 때문에(전류량으로서 0이 흐르도록 설정되어 있기 때문에), 회로(MCr)에 있어서 배선(OL), 및 배선(OLB)으로부터 배선(VEr)까지 사이에 전류는 흐르지 않는다. 즉 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL}) 및 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})도 시각 T5 전후로 변화되지 않는다. 그러므로 회로(AFP)와 배선(OL) 사이에 전류(I_{OL})는 흐르지 않고, 또한 회로(AFP)와 배선(OLB) 사이에 전류(I_{OLB})는 흐르지 않는다.

[0376] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "0"으로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "-1"로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "0"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는, 회로(MP)의 동작에 있어서 시각 T6 이후에 전류(I_{OL}) 및 전류(I_{OLB})가 각각 변화되지 않는 경우에 대응하고, 이는 조건 1의 회로 동작의 결과와 일치한다. 또한 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는 조건 1과 마찬가지로, 도 8에 있어서 회로(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0377] [조건 5]

[0378] 본 조건에서는 일례로서, 제 1 데이터(가중 계수)를 "+1"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "-1"로 하는 경우의 회로(MP)의 동작에 대하여 생각한다. 도 19의 (B)는 이 경우에서의 회로(MP)의 타이밍 차트이다.

[0379] 시각 T1부터 시각 T5까지의 동작에 대해서는 조건 2의 시각 T1부터 시각 T5까지의 동작과 같기 때문에 조건 2의 시각 T1부터 시각 T5까지의 동작에 대한 설명을 참조한다.

[0380] 시각 T5 이후에 있어서, 회로(MP)로의 제 2 데이터(뉴런의 신호의 값(연산값)) "-1"의 입력으로서, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위가 입력된다. 이때 트랜지스터(M3) 및 트랜지스터(M3r) 각각의 게이트에 저레벨 전위가 입력되고, 트랜지스터(M4) 및 트랜지스터(M4r) 각각의 게이트에 고레벨 전위가 입력된다. 그러므로 트랜지스터(M3) 및 트랜지스터(M3r)는 각각 오프 상태가 되고, 트랜지스터(M4) 및 트랜지스터(M4r)는 각각 온 상태가 된다. 즉 이 동작에 의하여, 회로(MC)와 배선(OL) 사이, 및 회로(MCr)와 배선(OLB) 사이가 비도통 상태가 되고, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 도통 상태가 된다.

[0381] 이때 도 8에 있어서, 스위치(SWO) 및 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 한다. 회로(MC)에 있어서, 트랜지스터(M3)가 오프 상태이기 때문에, 배선(OL)으로부터 배선(VE)까지 사이에 전류는 흐르지 않는다. 또한 회로(MC)에 있어서, 트랜지스터(M4)가 온 상태이고, 또한 트랜지스터(M1r)가 온 상태이기 때문에(전류량으로서 I_1이 흐르도록 설정되어 있기 때문에), 배선(OLB)으로부터 배선(VE)까지 사이에 전류가 흐른다. 한편, 회로(MCr)에 있어서, 트랜지스터(M3r)가 오프 상태이기 때문에, 배선(OLB)으로부터 배선(VEr)까지 사이에 전류는 흐르지 않는다. 또한 회로(MCr)에 있어서, 트랜지스터(M4r)는 온 상태이지만, 트랜지스터(M1)가 오프 상태이기 때문에(전류량으로서 0이 흐르도록 설정되어 있기 때문에), 배선(OL)으로부터 배선(VEr)까지 사이에 전류가 흐르지 않는다. 이러한 식으로 함으로써, 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL})는 시각 T5 전후로 변화되지 않고, 배선(OLB)의 노드(outb)로부터 출력되는

전류(I_{OLB})는 시각 T5 경과 후에 I_1 증가한다. 그러므로 회로(AFP)와 배선(OL) 사이에 전류(I_{OL})는 흐르지 않고, 또한 회로(AFP)와 배선(OLB) 사이에 전류량(I_1)의 전류(I_{OLB})가 흐른다.

[0382] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "+1"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "-1"로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "-1"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "-1"이 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL})가 변화되지 않고, 전류(I_{OLB})는 I_1 증가되는 경우에 대응하고, 이는 조건 3의 회로 동작의 결과와 일치한다. 또한 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "-1"이 되는 결과는 조건 3과 마찬가지로, 도 8에 있어서 회로(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0383] 또한 조건 2에서도 기재한 바와 같이, 본 조건의 시각 T3부터 시각 T4까지에서, 예를 들어 배선(OL)으로부터 회로(MC)에 흐르는 전류를 I_1이 아니라 I_2로 설정하여, 유지부(HC)에 V_2를 유지하여도 좋다. 이에 의하여 회로(MP)의 제 1 데이터(가중 계수)로서 "+2"가 설정된다. 제 1 데이터(가중 계수)를 "+2"로 하고, 회로(MP)에 입력되는 뉴런의 신호를 "-1"로 함으로써, 식(1.1)에서 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "-2"가 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "-2"가 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL})가 변화되지 않고, 전류(I_{OLB})가 I_2 증가되는 경우에 대응한다. 이러한 식으로, 회로(MCr)에 있어서 유지부(HCr)에 VSS를 유지하고, 또한 회로(MC)에 있어서 전류량(I_1) 이외를 설정함으로써, 회로(MP)의 가중 계수로서 "+1" 이외의 양의 값을 설정할 수 있다.

[0384] [조건 6]

[0385] 본 조건에서는 일례로서, 제 1 데이터(가중 계수)를 "-1"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "-1"로 하는 경우의 회로(MP)의 동작에 대하여 생각한다. 도 19의 (C)는 이 경우에서의 회로(MP)의 타이밍 차트이다.

[0386] 시각 T1부터 시각 T5까지의 동작에 대해서는 조건 3의 시각 T1부터 시각 T5까지의 동작과 같기 때문에 조건 3의 시각 T1부터 시각 T5까지의 동작에 대한 설명을 참조한다.

[0387] 시각 T5 이후에 있어서, 회로(MP)로의 제 2 데이터(뉴런의 신호의 값(연산값)) "-1"의 입력으로서, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위가 입력된다. 이때 트랜지스터(M3) 및 트랜지스터(M3r) 각각의 게이트에 저레벨 전위가 입력되고, 트랜지스터(M4) 및 트랜지스터(M4r) 각각의 게이트에 고레벨 전위가 입력된다. 그러므로 트랜지스터(M3) 및 트랜지스터(M3r)는 각각 오프 상태가 되고, 트랜지스터(M4) 및 트랜지스터(M4r)는 각각 온 상태가 된다. 즉 이 동작에 의하여, 회로(MC)와 배선(OL) 사이, 및 회로(MCr)와 배선(OLB) 사이가 비도통 상태가 되고, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 도통 상태가 된다.

[0388] 이때 도 8에 있어서, 스위치(SWO) 및 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 한다. 회로(MC)에 있어서, 트랜지스터(M3)가 오프 상태이기 때문에, 배선(OL)으로부터 배선(VE)까지 사이에 전류는 흐르지 않는다. 또한 회로(MC)에 있어서, 트랜지스터(M4)가 온 상태이지만, 트랜지스터(M1)가 오프 상태이기 때문에(전류량으로서 0이 흐르도록 설정되어 있기 때문에), 배선(OLB)으로부터 배선(VE)까지 사이에 전류는 흐르지 않는다. 한편, 회로(MCr)에 있어서, 트랜지스터(M3r)가 오프 상태이기 때문에, 배선(OLB)으로부터 배선(VEr)까지 사이에 전류는 흐르지 않는다. 또한 회로(MCr)에 있어서, 트랜지스터(M4r)가 온 상태이고, 또한 트랜지스터(M1)가 온 상태이기 때문에(전류량으로서 I_1이 흐르도록 설정되어 있기 때문에), 배선(OL)으로부터 배선(VEr)까지 사이에 전류가 흐른다. 이러한 식으로 함으로써, 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL})는 시각 T5 경과 후에 I_1 증가되고, 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})는 시각 T5 전후로 변화되지 않는다. 그러므로 회로(AFP)와 배선(OL) 사이에 전류량(I_1)의 전류(I_{OL})가 흐르고, 또한 회로(AFP)와 배선(OLB) 사이에 전류(I_{OLB})는 흐르지 않는다.

[0389] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "-1"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "-1"로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "+1"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "+1"이 되는 결

과는, 회로(MP)의 동작에 있어서 시각 T6 이후에 전류(I_{OL})가 변화되고, 전류(I_{OLB})가 변화되지 않는 경우에 대응하고, 이는 조건 2의 회로 동작의 결과와 일치한다. 또한 제 1 데이터(가중 계수)와 제 1 데이터(뉴런의 신호의 값)의 곱이 "+1"이 되는 결과는 조건 2와 마찬가지로, 도 8에 있어서 회로(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0390] 또한 조건 3에서도 기재한 바와 같이, 본 조건의 시각 T3부터 시각 T4까지에서, 예를 들어 배선(OLB)으로부터 회로(MCr)에 흐르는 전류를 I_1이 아니라 I_2로 설정하여, 유지부(HC)에 V_2를 유지하여도 좋다. 이에 의하여 회로(MP)의 제 1 데이터(가중 계수)로서 "-2"가 설정된다. 제 1 데이터(가중 계수)를 "-2"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)를 "-1"로 함으로써, 식(1.1)에서 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "+2"가 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "+2"가 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL})가 변화되지 않고, 전류(I_{OLB})가 I_2 증가되는 경우에 대응한다. 이러한 식으로, 회로(MC)에 있어서 유지부(HC)에 VSS를 유지하고, 또한 회로(MCr)에 있어서 전류량(I_1) 이외를 설정함으로써, 회로(MP)의 가중 계수로서 "+1" 이외의 양의 값을 설정할 수 있다.

[0391] [조건 7]

[0392] 본 조건에서는 일례로서, 제 1 데이터(가중 계수)가 "0"이고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))가 "0"인 경우를 조건 7로 하고, 회로(MP)의 동작에 대하여 생각한다. 도 20의 (A)는 이 경우에서의 회로(MP)의 타이밍 차트이다.

[0393] 시각 T1부터 시각 T5까지의 동작에 대해서는 조건 1의 시각 T1부터 시각 T5까지의 동작과 같기 때문에 조건 1의 시각 T1부터 시각 T5까지의 동작에 대한 설명을 참조한다.

[0394] 시각 T5 이후에 있어서, 회로(MP)로의 제 2 데이터(뉴런의 신호의 값(연산값))"0"의 입력으로서, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 이때 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r) 각각의 게이트에 저레벨 전위가 입력된다. 그러므로 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r)는 각각 오프 상태가 된다. 즉 이 동작에 의하여, 회로(MC)와 배선(OL) 사이, 회로(MCr)와 배선(OLB) 사이, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 비도통 상태가 된다.

[0395] 그러므로 회로(MC)에 있어서, 트랜지스터(M1)에 흐르는 설정된 전류량에 상관없이, 배선(OL)으로부터 배선(VE) 및 배선(VEr) 중 한쪽까지 사이에 전류는 흐르지 않는다. 마찬가지로 회로(MCr)에 있어서, 트랜지스터(M1r)에 흐르는 설정된 전류량에 상관없이, 배선(OLB)으로부터 배선(VE) 및 배선(VEr) 중 다른 쪽까지 사이에도 전류는 흐르지 않는다. 즉 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL}) 및 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})는 각각 시각 T5 전후로 변화되지 않는다.

[0396] 또한 이때 도 8에 있어서, 스위치(SWO) 및 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 함으로써, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 하여도, 상술한 바와 같이 회로(AFP)와 배선(OL) 사이에 전류(I_{OL})는 흐르지 않고, 또한 회로(AFP)와 배선(OLB) 사이에 전류(I_{OLB})는 흐르지 않는다.

[0397] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "0"으로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "0"으로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "0"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL}) 및 전류(I_{OLB})가 각각 변화되지 않는 경우에 대응하고, 이는 조건 1, 조건 4의 회로 동작의 결과와 일치한다. 또한 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는 조건 1, 조건 4와 마찬가지로, 도 8에 있어서 회로(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0398] [조건 8]

[0399] 본 조건에서는 일례로서, 제 1 데이터(가중 계수)가 "+1"이고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))가 "0"인 경우를 조건 8로 하고, 회로(MP)의 동작에 대하여 생각한다. 도 20의 (B)는 이 경우에서

의 회로(MP)의 타이밍 차트이다.

[0400] 시각 T1부터 시각 T5까지의 동작에 대해서는 조건 2의 시각 T1부터 시각 T5까지의 동작과 같기 때문에 조건 2의 시각 T1부터 시각 T5까지의 동작에 대한 설명을 참조한다.

[0401] 시각 T5 이후에 있어서, 회로(MP)로의 제 2 데이터(뉴런의 신호의 값(연산값))"0"의 입력으로서, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 이때 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r) 각각의 게이트에 저레벨 전위가 입력된다. 그러므로 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r)는 각각 오프 상태가 된다. 즉 조건 7과 마찬가지로, 이 동작에 의하여, 트랜지스터(M1) 및 트랜지스터(M1r)의 각각에 흐르는 설정된 전류량에 상관없이, 회로(MC)와 배선(OL) 사이, 회로(MCr)와 배선(OLB) 사이, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 비도통 상태가 된다. 그러므로 배선(OL)으로부터 배선(VE) 및 배선(VEr) 중 한쪽까지 사이에 전류는 흐르지 않고, 또한 배선(OLB)으로부터 배선(VE) 및 배선(VEr) 중 다른 쪽까지에도 전류는 흐르지 않기 때문에, 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL}) 및 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})는 각각 시각 T5 전후로 변화되지 않는다.

[0402] 또한 이때 도 8에 있어서, 스위치(SWO) 및 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 및 스위치(SWLB)를 오프 상태로 함으로써, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 하여도, 상술한 바와 같이 회로(AFP)와 배선(OL) 사이에 전류(I_{OL})는 흐르지 않고, 또한 회로(AFP)와 배선(OLB) 사이에 전류(I_{OLB})는 흐르지 않는다.

[0403] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "+1"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "0"으로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "0"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는, 회로(MP)의 동작에 있어서 시각 T5 이후에 전류(I_{OL}) 및 전류(I_{OLB})가 각각 변화되지 않는 경우에 대응하고, 이는 조건 1, 조건 4, 조건 7의 회로 동작의 결과와 일치한다. 또한 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는 조건 1, 조건 4, 조건 7과 마찬가지로, 도 8에 있어서 회로(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0404] [조건 9]

[0405] 본 조건에서는 일례로서, 제 1 데이터(가중 계수)가 "-1"이고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))가 "0"인 경우를 조건 9로 하고, 회로(MP)의 동작에 대하여 생각한다. 도 20의 (C)는 이 경우에서의 회로(MP)의 타이밍 차트이다.

[0406] 시각 T1부터 시각 T5까지의 동작에 대해서는 조건 3의 시각 T1부터 시각 T5까지의 동작과 같기 때문에 조건 3의 시각 T1부터 시각 T5까지의 동작에 대한 설명을 참조한다.

[0407] 시각 T5 이후에 있어서, 회로(MP)로의 제 2 데이터(뉴런의 신호의 값(연산값))"0"의 입력으로서, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 이때 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r) 각각의 게이트에 저레벨 전위가 입력된다. 그러므로 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 및 트랜지스터(M4r)는 각각 오프 상태가 된다. 즉 조건 7과 마찬가지로, 이 동작에 의하여, 트랜지스터(M1) 및 트랜지스터(M1r)의 각각에 흐르는 설정된 전류량에 상관없이, 회로(MC)와 배선(OL) 사이, 회로(MCr)와 배선(OLB) 사이, 회로(MC)와 배선(OLB) 사이, 및 회로(MCr)와 배선(OL) 사이가 비도통 상태가 된다. 그러므로 배선(OL)으로부터 배선(VE) 및 배선(VEr) 중 한쪽까지 사이에 전류는 흐르지 않고, 또한 배선(OLB)으로부터 배선(VE) 및 배선(VEr) 중 다른 쪽까지에도 전류는 흐르지 않기 때문에, 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL}) 및 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})는 각각 시각 T5 전후로 변화되지 않는다.

[0408] 또한 이때 도 8에 있어서, 스위치(SWO) 및 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 및 스위치(SWHB)를 오프 상태로 함으로써, 배선(OL) 및 배선(OLB)의 각각과 회로(AFP) 사이를 도통 상태로 하여도, 상술한 바와 같이 회로(AFP)와 배선(OL) 사이에 전류(I_{OL})는 흐르지 않고, 또한 회로(AFP)와 배선(OLB) 사이에 전류(I_{OLB})는 흐르지 않는다.

[0409] 또한 본 조건에서는, 제 1 데이터(가중 계수)를 "-1"로 하고, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값(연산값))를 "0"으로 하였기 때문에, 식(1.1)을 사용하면, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱은 "0"이 된다. 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는, 회로(MP)의 동작에 있어서 시각 T6 이후에 전류(I_{OL}) 및 전류(I_{OLB})가 각각 변화되지 않는 경우에 대응하고, 이는 조건 1, 조건 4, 조건 7, 조건 8의 회로 동작의 결과와 일치한다. 또한 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 "0"이 되는 결과는 조건 1, 조건 4, 조건 7, 조건 8과 마찬가지로, 도 8에 있어서 회로(AFP)로부터 신호($z_j^{(k)}$)로서 출력된다.

[0410] 상술한 조건 1 내지 조건 9의 동작예의 결과를 이하의 표에 정리하였다. 또한 이하의 표에서는 고레벨 전위를 high라고 기재하고, 저레벨 전위를 low라고 기재한다.

[0411] [표 2]

[0412]

조건	가중 계수	n1	n1r	신호	X1L	X2L	가중 계수 × 신호	I_{OL}의 변화량	I_{OLB}의 변화량
조건 1	0	VSS	VSS	+1	high	low	0	0	0
조건 2	+1	V_1	VSS	+1	high	low	+1	I_1	0
조건 3	-1	VSS	V_1	+1	high	low	-1	0	I_1
조건 4	0	VSS	VSS	-1	low	high	0	0	0
조건 5	+1	V_1	VSS	-1	low	high	-1	0	I_1
조건 6	-1	VSS	V_1	-1	low	high	+1	I_1	0
조건 7	0	VSS	VSS	0	low	low	0	0	0
조건 8	+1	V_1	VSS	0	low	low	0	0	0
조건 9	-1	VSS	V1	0	low	low	0	0	0

[0413] 여기서는, 배선(OL) 및 배선(OLB)에 회로(MC), 회로(MCr)가 하나씩 접속되는 경우를 일례로서 나타내었다. 이에 대하여 도 2, 도 3, 도 4, 도 7, 도 11, 도 12, 도 6 등에 나타낸 바와 같이, 배선(OL) 및 배선(OLB)에 회로(MC), 회로(MCr)가 복수 개씩 접속되는 경우에는 회로(MC), 회로(MCr) 각각으로부터 출력되는 전류가 키르히호프의 전류 법칙에 기초하여 합쳐진다. 그 결과, 합의 연산이 수행된다. 즉 회로(MC), 회로(MCr)에서 곱의 연산이 수행되고, 복수의 회로(MC), 복수의 회로(MCr)로부터의 전류를 합침으로써 합의 연산이 수행된다. 이상의 결과, 적화 연산 처리가 수행된다.

[0414] 또한 회로(MP)의 동작에서, 제 1 데이터(가중 계수)를 "+1", "-1"의 2치만으로 하고, 제 2 데이터(뉴런의 신호의 값)를 "+1", "-1"의 2치만으로 하여 계산을 수행함으로써, 회로(MP)는 배타적 논리합의 부정 회로(일치 회로)와 같은 동작을 수행할 수 있다.

[0415] 또한 회로(MP)의 동작에서, 제 1 데이터(가중 계수)를 "+1", "0"의 2치만으로 하고, 제 2 데이터(뉴런의 신호의 값)를 "+1", "0"의 2치만으로 하여 계산을 수행함으로써, 회로(MP)는 논리곱 회로와 같은 동작을 수행할 수 있다.

[0416] 또한 본 동작예에서는 회로(MP)의 회로(MC), 회로(MCr)가 가지는 유지부(HC), 유지부(HCr)에 유지되는 전위를 VSS, V_1, V_2 등과 같이 다치로 하였지만 유지부(HC), 유지부(HCr)에는 2치 또는 아날로그값을 나타내는 전위를 유지하여도 좋다. 예를 들어 제 1 데이터(가중 계수)가 "양의 아날로그값"인 경우에는, 유지부(HC)의 노드(n1)에 고레벨의 아날로그 전위가 유지되고, 유지부(HCr)의 노드(n1r)에 저레벨 전위가 유지된다. 제 1 데이터(가중 계수)가 "음의 아날로그값"인 경우에는, 예를 들어 유지부(HC)의 노드(n1)에 저레벨 전위가 유지되고, 유지부(HCr)의 노드(n1r)에 고레벨의 아날로그 전위가 유지된다. 그래서 전류(I_{OL}) 및 전류(I_{OLB})의 전류 크기는 아날로그 전위에 따른 크기가 된다. 또한 유지부(HC), 유지부(HCr)에 아날로그값을 나타내는 전위를 유지하는 것은, 도 15의 (A)의 회로(MP)의 동작예에 한정되지 않고, 본 명세서 등에 나타내는 다른 회로(MP)에 대하여 수행하여도 좋다.

[0417] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0418] <구성예 2>

[0419] 다음으로 도 15의 (A) 내지 (C), 도 16의 (A), (B) 각각의 회로 구성과는 다른, 도 9의 (B)에 도시된 회로(MP)에 적용할 수 있는 회로의 구성예에 대하여 설명한다.

[0420] 도 21의 (A)에 나타낸 회로(MP)는 도 9의 (B)의 회로(MP)의 구성예를 나타낸 것이고, 도 15의 (A)의 회로(MP)와

의 차이는 트랜지스터(M2)의 제 2 단자가 배선(OL)이 아니라 트랜지스터(M1)의 제 2 단자와, 트랜지스터(M3)의 제 1 단자와, 트랜지스터(M4)의 제 1 단자에 전기적으로 접속되는 점과, 트랜지스터(M2r)의 제 2 단자가 배선(OLB)이 아니라 트랜지스터(M1r)의 제 2 단자와, 트랜지스터(M3r)의 제 1 단자와, 트랜지스터(M4r)의 제 1 단자에 전기적으로 접속되는 점이다.

[0421] 도 21의 (A)의 회로(MP)는 도 15의 (A)의 회로(MP)와 같은 식으로 동작할 수 있다.

[0422] 또한 도 9의 (B)에 도시된 회로(MP)에 적용할 수 있는, 도 21의 (A)와는 다른 회로의 구성예에 대하여 설명한다. 도 21의 (B)에 나타낸 회로(MP)는 도 9의 (B)의 회로(MP)의 구성예를 나타낸 것이고, 도 15의 (A)의 회로(MP)와의 차이는 회로(MC)에 트랜지스터(M1c)가 포함되고, 또한 트랜지스터(M4)의 제 1 단자가 트랜지스터(M1)의 제 2 단자와 트랜지스터(M3)의 제 2 단자가 아니라 트랜지스터(M1c)에 전기적으로 접속되는 점과, 회로(MCr)에 트랜지스터(M1cr)가 포함되고, 또한 트랜지스터(M4r)의 제 1 단자가 트랜지스터(M1r)의 제 2 단자와 트랜지스터(M3r)의 제 2 단자가 아니라 트랜지스터(M1cr)에 전기적으로 접속되는 점이다.

[0423] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M1c) 및 트랜지스터(M1cr)는 온 상태일 때 최종적으로 포화 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 공급되는 전압의 진폭값을 작게 하기 위하여, 트랜지스터(M1c) 및 트랜지스터(M1cr)는 선형 영역에서 동작하여도 좋다. 또한 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 아날로그값으로 하는 경우에는, 제 1 데이터(가중 계수)의 크기에 따라, 예를 들어 트랜지스터(M1c) 및 트랜지스터(M1cr)는 선형 영역에서 동작하는 경우와, 포화 영역에서 동작하는 경우가 혼재되어 있어도 좋다.

[0424] 도 21의 (B)의 회로(MP)에서, 트랜지스터(M1c)의 제 1 단자는 배선(VE)에 전기적으로 접속된다. 또한 트랜지스터(M1c)의 게이트는 트랜지스터(M1)의 게이트와, 트랜지스터(M2)의 제 1 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속된다. 또한 트랜지스터(M1c)의 제 2 단자는 트랜지스터(M4)의 제 1 단자에 전기적으로 접속된다.

[0425] 또한 도 21의 (B)의 회로(MP)에 있어서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다.

[0426] 또한 도 21의 (B)의 회로(MP)와 도 15의 (A)의 회로(MP)에서 접속 구성이 같은 부분에 대해서는 설명을 생략한다.

[0427] 도 21의 (B)의 회로(MP)에서, 트랜지스터(M3) 및 트랜지스터(M4)에 흐르는 전류는 각각 트랜지스터(M1) 및 트랜지스터(M1c)의 게이트의 전위에 따라 결정된다. 또한 일례로서, 트랜지스터(M1) 및 트랜지스터(M1c)의 크기, 예를 들어 채널 길이 및 채널 폭은 서로 같은 것이 바람직하다. 이와 같은 회로 구성으로 함으로써 효율적으로 레이아웃할 수 있을 가능성이 있다. 또한 트랜지스터(M3) 및 트랜지스터(M4)에 흐르는 전류를 일치시킬 수 있을 가능성이 있다.

[0428] 도 21의 (B)의 회로(MP)는 도 15의 (A)의 회로(MP)와 같은 식으로 동작할 수 있다.

[0429] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0430] <구성예 3>

[0431] 다음으로 도 9의 (E)에 도시된 회로(MP)에 적용할 수 있는 회로의 구성예에 대하여 설명한다.

[0432] 도 22의 (A)에 나타낸 회로(MP)는 도 9의 (E)의 회로(MP)의 구성예를 나타낸 것이고, 도 15의 (A)의 회로(MP)와의 차이는 회로(MC)에 트랜지스터(M5)가 포함되고, 또한 회로(MCr)에 트랜지스터(M5r)가 포함되는 점과, 회로(MP)가 배선(IL)과 배선(ILB)에 전기적으로 접속되는 점이다.

[0433] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M5) 및 트랜지스터(M5r)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0434] 도 22의 (A)의 회로(MP)에서, 트랜지스터(M5)의 제 1 단자는 트랜지스터(M2)의 제 2 단자와, 배선(IL)에 전기적으로 접속된다. 트랜지스터(M5)의 제 2 단자는 트랜지스터(M1)의 제 2 단자와, 트랜지스터(M3)의 제 1 단자와,

트랜지스터(M4)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M5)의 게이트는 배선(WL)에 전기적으로 접속된다.

[0435] 또한 도 22의 (A)의 회로(MP)에 있어서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다.

[0436] 또한 도 22의 (A)의 회로(MP)와 도 15의 (A)의 회로(MP)에서 접속 구성이 같은 부분에 대해서는 설명을 생략한다.

[0437] 도 22의 (A)의 회로(MP)에서, 구성예 1, 구성예 2와 마찬가지로, 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 및 트랜지스터(M4)의 크기, 예를 들어 채널 길이 및 채널 폭은 각각 트랜지스터(M1r), 트랜지스터(M2r), 트랜지스터(M3r), 및 트랜지스터(M4r)의 크기와 같은 것이 바람직하다. 이와 같은 회로 구성으로 함으로써 효율적으로 레이아웃할 수 있을 가능성이 있다. 이에 더하여, 트랜지스터(M5)와 트랜지스터(M5r)의 크기는 같은 것이 바람직하다.

[0438] 회로(MC), 회로(MCr)에 전류를 설정할 때, 배선(WL)에 고레벨 전위를 인가하여 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M5), 및 트랜지스터(M5r)를 온 상태로 한다. 또한 회로(MC) 및 회로(MCr)에 전류를 설정한 후에는 설정된 전위를 유지부(HC) 및 유지부(HCr)에 유지하기 위하여, 배선(WL)에 저레벨 전위를 인가하여 트랜지스터(M2), 트랜지스터(M2r), 트랜지스터(M5), 및 트랜지스터(M5r)를 오프 상태로 하면 좋다.

[0439] 구성예 1, 구성예 2에서 설명한 회로(MP)에서는, 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)를 송신하는 배선과, 회로(MP)에 제 1 데이터(예를 들어 여기서는 가중 계수로 함)에 따른 정보(예를 들어 전압, 전류 등)를 공급 또는 유지하기 위한 배선을 통합하여 배선(WX1L)으로 하였지만, 도 22의 회로(MP)의 구성으로 함으로써, 제 2 데이터(뉴런의 신호의 값)를 송신하는 배선을 배선(X1L)으로 하고, 회로(MP)에 제 1 데이터(가중 계수)에 따른 정보(예를 들어 전압, 전류 등)를 공급 또는 유지하기 위한 배선을 배선(WL)으로 할 수 있다. 즉 도 22의 회로(MP)는 구성예 1, 구성예 2의 회로(MP)의 배선(WX1L)을 기능마다 나눈 구성이라고 할 수 있다.

[0440] 또한 도 22의 (A)의 회로(MP)와 상이한 회로 구성을 도 22의 (B)에 나타내었다.

[0441] 도 22의 (B)에 나타낸 회로(MP)는 도 22의 (A)의 회로(MP)의 트랜지스터(M5) 및 트랜지스터(M5r) 각각의 제 1 단자의 전기적인 접속을 변경한 구성이다. 구체적으로는 도 22의 (B)의 회로(MP)에서 트랜지스터(M5)의 제 1 단자는 트랜지스터(M2)의 제 1 단자와, 트랜지스터(M1)의 게이트와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속된다.

[0442] 도 22의 (B)에 나타낸 회로(MP)의 구성으로 함으로써, 도 22의 (B)의 회로(MP)는 도 22의 (A)의 회로(MP)와 거의 같은 식으로 동작한다.

[0443] 또한 도 22의 (A) 및 (B)의 각각에 나타낸 회로(MP)에 있어서, 배선(IL)을 배선(OL)에 통합하고, 또한 배선(ILB)을 배선(OLB)에 통합한 구성으로 하여도 좋다. 예를 들어 도 22의 (A)에 나타낸 회로(MP)에 있어서, 배선(IL)을 배선(OL)에 통합하고, 또한 배선(ILB)을 배선(OLB)에 통합함으로써, 도 23의 (A)에 나타낸 회로(MP)의 구성으로 할 수 있다. 또한 예를 들어 도 22의 (B)에 나타낸 회로(MP)에 있어서, 배선(IL)을 배선(OL)에 통합하고, 또한 배선(ILB)을 배선(OLB)에 통합함으로써, 도 23의 (B)에 나타낸 회로(MP)의 구성으로 할 수 있다. 또한 도 23의 (A) 및 (B) 각각의 회로(MP)는 도 9의 (A)에 도시된 회로(MP)에 적용할 수 있는 회로 구성이고, 도 23의 (A) 및 (B) 각각의 회로(MP)의 동작에 대해서는 도 15의 (A)의 회로(MP)의 동작에 대한 설명을 참조한다.

[0444] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0445] <구성예 4>

[0446] 도 24에 나타낸 회로(MP)는 도 15의 (A)의 회로(MP)와 달리, 유지부(HC) 및 유지부(HCr)뿐만 아니라 유지부(HCs) 및 유지부(HCsr)도 가지는 회로의 일례이다.

[0447] 도 24의 회로(MP)에 포함되는 회로(MC)는 도 21의 (A)의 회로(MP)가 가지는 회로 소자에 더하여, 트랜지스터(M1s), 트랜지스터(M2s), 트랜지스터(M6), 트랜지스터(M6s), 및 용량 소자(C1s)를 가진다. 또한 도 20의 회로(MP)에 포함되는 회로(MCr)는 회로(MC)와 같은 회로 소자를 가지기 때문에, 회로(MC)의 트랜지스터(M1s), 트랜지스터(M2s), 트랜지스터(M6), 트랜지스터(M6s), 및 용량 소자(C1s)의 각각에 대응하는 트랜지스터(M1sr), 트랜지스터(M2sr), 트랜지스터(M6r), 트랜지스터(M6sr), 및 용량 소자(C1sr)를 가진다. 또한 트랜지스터(M2s)와 용

량 소자(C1s)는 유지부(HCs)에 포함되고, 트랜지스터(M2sr)와 용량 소자(C1sr)는 유지부(HCs)에 포함된다.

[0448] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M2s), 트랜지스터(M6), 트랜지스터(M6s), 트랜지스터(M6r), 트랜지스터(M6sr)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0449] 다음으로 도 24의 회로(MP)의 구성에 대하여 설명한다. 또한 도 24의 회로(MP)와 도 21의 (A)의 회로(MP)에서 구성이 같은 부분에 대해서는 설명을 생략한다.

[0450] 도 24의 회로(MP)에서, 트랜지스터(M1)의 제 2 단자는 트랜지스터(M2)의 제 2 단자와 트랜지스터(M6)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M6)의 제 2 단자는 트랜지스터(M3)의 제 1 단자와 트랜지스터(M4)의 제 2 단자에 전기적으로 접속된다. 트랜지스터(M6)의 게이트는 배선(S1L)에 전기적으로 접속된다. 트랜지스터(M1s)의 제 1 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M1s)의 제 2 단자는 트랜지스터(M6s)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M1s)의 게이트는 용량 소자(C1s)의 제 1 단자와 트랜지스터(M2s)의 제 1 단자에 전기적으로 접속된다. 용량 소자(C1s)의 제 2 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M2)의 제 2 단자는 트랜지스터(M1s)의 제 2 단자와 트랜지스터(M6s)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M6s)의 제 2 단자는 트랜지스터(M3)의 제 1 단자와 트랜지스터(M4)의 제 2 단자에 전기적으로 접속된다. 트랜지스터(M6s)의 게이트는 배선(S2L)에 전기적으로 접속된다.

[0451] 도 24의 회로(MP)에서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다.

[0452] 배선(S1L)은 트랜지스터(M6) 및 트랜지스터(M6r)를 온 상태 또는 오프 상태로 하기 위한 전위를 공급하는 전압선으로서 기능하고, 배선(S2L)은 트랜지스터(M6s) 및 트랜지스터(M6sr)를 온 상태 또는 오프 상태로 하기 위한 전위를 공급하는 전압선으로서 기능한다.

[0453] 도 24의 회로(MP)에서, 트랜지스터(M6), 트랜지스터(M6s), 트랜지스터(M6r), 및 트랜지스터(M6sr)의 크기, 예를 들어 채널 길이 및 채널 폭은 서로 같은 것이 바람직하다. 이와 같은 회로 구성으로 함으로써 효율적으로 레이아웃할 수 있을 가능성이 있다.

[0454] 예를 들어 도 11에 나타낸 연산 회로(150)에, 도 24의 회로(MP)에 나타낸 구성을 적용함으로써, 연산 회로(150)의 회로(MP)는 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 2개 유지할 수 있다. 구체적으로는 도 24의 회로(MP)에 있어서, 첫 번째 제 1 데이터(가중 계수)에 따른 전위를 회로(MC)의 유지부(HC)와 회로(MCr)의 유지부(HCr)에 유지하고, 두 번째 제 1 데이터(가중 계수)에 따른 전위를 회로(MC)의 유지부(HCs)와 회로(MC)의 유지부(HCsr)에 유지할 수 있다. 또한 도 24의 회로(MP)에 있어서, 배선(S1L) 및 배선(S2L)으로부터 인가되는 전위에 따라, 연산에 사용하는 제 1 데이터(가중 계수)를 전환할 수 있다. 예를 들어 연산 회로(150)의 회로(MP[1, j]) 내지 회로(MP[m, j])에 포함되는 각각의 유지부(HC) 및 유지부(HCr)에 제 1 데이터(가중 계수)($w_1^{(k-1)(k)}_j$ 내지 $w_m^{(k-1)(k)}_j$)에 상당하는 전위를 유지하고, 연산 회로(110)의 회로(MP[1, j]) 내지 회로(MP[m, j])에 포함되는 각각의 유지부(HCs) 및 유지부(HCsr)에 제 1 데이터(가중 계수)($w_1^{(k-1)(k)}_h$ 내지 $w_m^{(k-1)(k)}_h$)(여기서 h는 1 이상이며 j가 아닌 정수로 함)에 상당하는 전위를 유지하여, 배선(XLS[1]) 내지 배선(XLS[m])(도 24의 회로(MP)에서의 배선(WX1L) 및 배선(X2L))에 신호($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)에 따른 전위를 입력한다. 이때 배선(S1L)에 고레벨 전위를 인가하여 트랜지스터(M6) 및 트랜지스터(M6r)를 온 상태로 하고, 배선(S2L)에 저레벨 전위를 인가하여 트랜지스터(M6s) 및 트랜지스터(M6sr)를 오프 상태로 함으로써, 연산 회로(150)의 회로(MP[1, j]) 내지 회로(MP[m, j])는 가중 계수($w_1^{(k-1)(k)}_j$ 내지 $w_m^{(k-1)(k)}_j$)와 신호($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)의 적화와 활성화 함수의 연산을 수행할 수 있다. 또한 배선(S1L)에 저레벨 전위를 인가하여 트랜지스터(M6) 및 트랜지스터(M6r)를 오프 상태로 하고, 배선(S2L)에 고레벨 전위를 인가하여 트랜지스터(M6s) 및 트랜지스터(M6sr)를 온 상태로 함으로써, 연산 회로(150)의 회로(MP[1, j]) 내지 회로(MP[m, j])는 가중 계수($w_1^{(k-1)(k)}_h$ 내지 $w_m^{(k-1)(k)}_h$)와 신호($z_1^{(k-1)}$ 내지 $z_m^{(k-1)}$)의 적화와 활성화 함수의 연산을 수행할 수 있다.

[0455] 상술한 바와 같이, 연산 회로(150)에 도 24의 회로(MP)를 적용함으로써, 가중 계수를 2개 유지할 수 있고, 상기

가중 계수를 전환하여 적화와 활성화 함수의 연산을 수행할 수 있다. 도 24의 회로(MP)를 구성한 연산 회로(150)는, 예를 들어 제 k 층의 뉴런의 수가 n보다 큰 경우, 제 k 층과 다른 중간층에서의 연산을 수행하는 경우 등에 유효하다. 또한 도 24의 회로(MP)에서는, 회로(MC) 및 회로(MCr)가 가지는 유지부는 각각 2개로 하였지만 회로(MC) 및 회로(MCr)는 각각 상황에 따라 3개 이상의 유지부를 가져도 좋다.

[0456] 또한 본 발명의 일 형태의 반도체 장치에 포함되는 회로(MP)는 도 24의 회로(MP)에 한정되지 않는다. 본 발명의 일 형태의 반도체 장치의 회로(MP)는, 상황에 따라 도 24의 회로(MP)의 회로 구성을 변경할 수 있다.

[0457] 예를 들어 도 25에 나타낸 회로(MP)는 도 24의 회로(MP)를 변경한 회로 구성이다. 구체적으로 도 25의 회로(MP)는, 도 24의 회로(MP)에 트랜지스터(M3s), 트랜지스터(M4s), 트랜지스터(M3sr), 및 트랜지스터(M4sr)가 추가된 것이고, 또한 전기적인 접속이 변경되어 있다. 트랜지스터(M3s)의 제 1 단자는 트랜지스터(M6s)의 제 2 단자와 트랜지스터(M4s)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(M3s)의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M3s)의 게이트는 배선(WX1L)에 전기적으로 접속된다. 트랜지스터(M4s)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4s)의 게이트는 배선(X2L)에 전기적으로 접속된다.

[0458] 또한 도 25의 회로(MP)에서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다. 또한 회로(MCr)에 있어서, 트랜지스터(M3sr)의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M4sr)의 제 2 단자는 배선(OLB)에 전기적으로 접속된다.

[0459] 도 25의 회로(MP)에서, 트랜지스터(M3), 트랜지스터(M3s), 트랜지스터(M3r), 트랜지스터(M3sr), 트랜지스터(M4), 트랜지스터(M4s), 트랜지스터(M4r), 및 트랜지스터(M4sr)의 크기, 예를 들어 채널 길이 및 채널 폭은 서로 같은 것이 바람직하다. 이와 같은 회로 구성으로 함으로써 효율적으로 레이아웃할 수 있을 가능성이 있다.

[0460] 도 25의 회로(MP)는 도 24의 회로(MP)와 같은 동작을 수행함으로써, 제 1 데이터(가중 계수)를 2개 유지할 수 있고, 상기 제 1 데이터(가중 계수)를 전환하여 적화와 활성화 함수의 연산을 수행할 수 있다. 또한 도 25의 회로(MP)에서는, 회로(MC) 및 회로(MCr)가 가지는 유지부는 각각 2개로 하였지만 회로(MC) 및 회로(MCr)는 각각 상황에 따라 3개 이상의 유지부를 가져도 좋다.

[0461] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0462] <구성예 5>

[0463] 도 26에 나타낸 회로(MP)는, 도 21의 (A)의 회로(MP)와 달리, 회로(MC)에서 채널 폭(이하 W길이라고 호칭함)과 채널 길이(이하 L길이라고 호칭함)의 비가 다른 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)를 일례로서 가진다. 또한 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)뿐만 아니라, 더 많은 트랜지스터를 가져도 좋고, 트랜지스터(M1-3b)나 트랜지스터(M1-2b)를 가지지 않아도 된다.

[0464] 도 26의 회로(MP)에 포함되는 회로(MC)는 도 21의 (A)의 회로(MP)가 가지는 회로 소자에 더하여, 트랜지스터(M3-2b), 트랜지스터(M4-2b), 트랜지스터(M3-3b), 및 트랜지스터(M4-3b)를 더 가진다.

[0465] 본 명세서 등에 있어서, 트랜지스터(M1)와 마찬가지로, 특별히 언급되지 않는 한 트랜지스터(M1-2b) 및 트랜지스터(M1-3b)는 온 상태일 때 최종적으로 포화 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 포화 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 공급되는 전압의 진폭값을 작게 하기 위하여, 트랜지스터(M1-2b) 및 트랜지스터(M1-3b)는 선형 영역에서 동작하여도 좋다. 또한 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 아날로그값으로 하는 경우에는, 제 1 데이터(가중 계수)의 크기에 따라, 예를 들어 트랜지스터(M1-2b) 및 트랜지스터(M1-3b)는 선형 영역에서 동작하는 경우와, 포화 영역에서 동작하는 경우가 혼재되어 있어도 좋다.

[0466] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M3-2b), 트랜지스터(M4-2b), 트랜지스터(M3-3b), 및 트랜지스터(M4-3b)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0467] 다음으로 도 26의 회로(MP)의 구성에 대하여 설명한다. 또한 도 26의 회로(MP)와 도 21의 (A)의 회로(MP)에서 구성이 같은 부분에 대해서는 설명을 생략한다.

[0468] 도 26의 회로(MP)의 회로(MC)에서, 트랜지스터(M1-2b)의 제 1 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M1-2b)의 제 2 단자는 트랜지스터(M3-2b)의 제 1 단자와, 트랜지스터(M4-2b)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M1-2b)의 게이트는 트랜지스터(M2)의 제 1 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M3-2b)의 제 2 단자는 배선(OL)에 전기적으로 접속된다. 트랜지스터(M3-2b)의 게이트는 배선(X1L2b)에 전기적으로 접속된다. 트랜지스터(M4-2b)의 제 2 단자는 배선(OLB)에 전기적으로 접속된다. 트랜지스터(M4-2b)의 게이트는 배선(X2L2b)에 전기적으로 접속된다. 트랜지스터(M1-3b)의 제 1 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M1-3b)의 제 2 단자는 트랜지스터(M3-3b)의 제 1 단자와, 트랜지스터(M4-3b)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M1-3b)의 게이트는 트랜지스터(M2)의 제 1 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M3-3b)의 제 2 단자는 배선(OL)에 전기적으로 접속된다. 트랜지스터(M3-3b)의 게이트는 배선(X1L3b)에 전기적으로 접속된다. 트랜지스터(M4-3b)의 제 2 단자는 배선(OLB)에 전기적으로 접속된다. 트랜지스터(M4-3b)의 게이트는 배선(X2L3b)에 전기적으로 접속된다.

[0469] 또한 도 26의 회로(MP)에서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다. 또한 트랜지스터(M3-2br)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4-2br)의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M3-3br)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4-3br)의 제 2 단자는 배선(OL)에 전기적으로 접속된다.

[0470] 도 26의 회로(MP)에서, 트랜지스터(M3), 트랜지스터(M3-2b), 트랜지스터(M3-3b), 트랜지스터(M3r), 트랜지스터(M3-2br), 트랜지스터(M3-3br), 트랜지스터(M4), 트랜지스터(M4-2b), 트랜지스터(M4-3b), 트랜지스터(M4r), 트랜지스터(M4-2br), 및 트랜지스터(M4-3br)의 크기, 예를 들어 채널 길이 및 채널 폭은 서로 같은 것이 바람직하다. 이와 같은 회로 구성으로 함으로써 효율적으로 레이아웃할 수 있을 가능성이 있다.

[0471] 배선(X1L2b)은 트랜지스터(M3-2b) 및 트랜지스터(M3-2br)의 온 상태와 오프 상태를 전환하기 위한 배선이고, 배선(X2L2b)은 트랜지스터(M4-2b) 및 트랜지스터(M4-2br)의 온 상태와 오프 상태를 전환하기 위한 배선이고, 배선(X1L3b)은 트랜지스터(M3-3b) 및 트랜지스터(M3-3br)의 온 상태와 오프 상태를 전환하기 위한 배선이고, 배선(X2L3b)은 트랜지스터(M4-3b) 및 트랜지스터(M4-3br)의 온 상태와 오프 상태를 전환하기 위한 배선이다.

[0472] 트랜지스터(M1)의 W길이와 L길이의 비를 W/L로 하였을 때, 트랜지스터(M1-2b)의 W길이와 L길이의 비는 2XW/L로 하는 것이 바람직하고, 트랜지스터(M1-3b)의 W길이와 L길이의 비는 4XW/L로 하는 것이 바람직하다. 트랜지스터의 소스-드레인 사이에 흐르는 전류는 채널 폭/채널 길이에 비례하기 때문에, 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b)의 채널 폭/채널 길이 외의 구조, 구성 조건 등이 같은 경우, 트랜지스터(M1-2b)에 흐르는 전류는 트랜지스터(M1)에 흐르는 전류의 대략 2배가 되고, 트랜지스터(M1-3b)에 흐르는 전류는 트랜지스터(M1)에 흐르는 전류의 대략 4배가 된다. 즉 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b)에 흐르는 전류량의 비는 대략 1:2:4가 된다. 또한 도 26의 회로(MP)에 포함되는 회로(MC)가 더 많은 트랜지스터(M1), 예를 들어 Q개(Q는 4 이상의 정수로 함)의 트랜지스터를 가지는 경우에 대하여 생각한다. 첫 번째 트랜지스터를 트랜지스터(M1)로, 두 번째 트랜지스터를 트랜지스터(M1-2b)로, 세 번째 트랜지스터를 트랜지스터(M1-3b)로 하고, q번째(q는 4 이상 Q 이하의 정수로 함) 트랜지스터의 W길이와 L길이의 비를 트랜지스터(M1)의 W길이와 L길이의 비의 $2^{(q-1)}$배로 하면, 첫 번째 트랜지스터, 두 번째 트랜지스터, 세 번째 트랜지스터, q번째 트랜지스터의 각각에 흐르는 전류량의 비는 $1:2:4:2^{(q-1)}$가 된다. 즉 도 26의 회로(MP)에 포함되는 회로(MC)는 Q개의 트랜지스터를, 각각에 흐르는 전류량이 2의 거듭제곱의 비가 되도록 가져도 좋다.

[0473] 예를 들어 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 I_{ut}로 하였을 때, 상술한 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b) 각각의 채널 폭/채널 길이에서, 트랜지스터(M1-2b) 및 트랜지스터(M1-3b)에 흐르는 전류량은 각각 $2I_{ut}$, $4I_{ut}$가 된다.

[0474] 또한 트랜지스터(M1r)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비와 같은 것이 바람직하고, 트랜지스터(M1-2br)의 W길이와 L길이의 비는 트랜지스터(M1-2b)의 W길이와 L길이의 비와 같은 것이 바람직하고, 트랜지스터(M1-3br)의 W길이와 L길이의 비는 트랜지스터(M1-3b)의 W길이와 L길이의 비와 같은 것이 바람직하다.

[0475] 여기서 배선(OL)으로부터 회로(MC)에 흐르는 전류량에 대하여 생각한다. 이 경우, 회로(MP)에 양의 제 1 데이터(양의 가중 계수)가 설정되고, 또한 트랜지스터(M3), 트랜지스터(M3-2b), 및 트랜지스터(M3-3b) 중 적어도 하

나를 온 상태로 하고, 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)를 오프 상태로 하면 좋다. 이때 트랜지스터(M3), 트랜지스터(M3-2b), 및 트랜지스터(M3-3b) 각각의 온 상태, 오프 상태의 조합에 따라, 배선(OL)으로부터 회로(MC)에 흐르는 전류량이 변화된다.

[0476] 예를 들어, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 I_{ut}로 설정하였을 때, 트랜지스터(M1-2b)에 흐르는 전류량은 $2I_{ut}$가 되고, 트랜지스터(M1-3b)에 흐르는 전류량은 $4I_{ut}$가 된다. 여기서 배선(WX1L)에 고레벨 전위를 인가하고, 배선(X2L)에 저레벨 전위를 인가하고, 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 및 배선(X2L3b)에 저레벨 전위를 인가함으로써, 트랜지스터(M3)를 온 상태로, 트랜지스터(M3-2b), 트랜지스터(M3-3b), 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)를 오프 상태로 할 수 있다. 이때 배선(OL)으로부터 회로(MC)에 흐르는 전류량은 I_{ut}가 된다. 또한 예를 들어 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 I_{ut}로 설정하고, 또한 배선(WX1L) 및 배선(X1L2b)에 고레벨 전위를 인가하고, 배선(X2L) 및 배선(X2L2b)에 저레벨 전위를 인가하고, 배선(X1L3b) 및 배선(X2L3b)에 저레벨 전위를 인가한다. 이때 트랜지스터(M3) 및 트랜지스터(M3-2b)를 온 상태로, 트랜지스터(M3-3b), 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)를 오프 상태로 할 수 있어, 배선(OL)으로부터 회로(MC)에 흐르는 전류량은 $3I_{ut}$가 된다. 또한 예를 들어 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 I_{ut}로 설정하고, 또한 배선(X1L2b) 및 배선(X1L3b)에 고레벨 전위를 인가하고, 배선(X2L2b) 및 배선(X2L3b)에 저레벨 전위를 인가하고, 배선(WX1L) 및 배선(X2L)에 저레벨 전위를 인가한다. 이때 트랜지스터(M3-2b), 트랜지스터(M3-3b)를 온 상태로, 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)를 오프 상태로 할 수 있어, 배선(OL)으로부터 회로(MC)에 흐르는 전류량은 $6I_{ut}$가 된다.

[0477] 또한 예를 들어, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 $2I_{ut}$로 설정하였을 때, 트랜지스터(M1-2b)에 흐르는 전류량은 $4I_{ut}$가 되고, 트랜지스터(M1-3b)에 흐르는 전류량은 $8I_{ut}$가 된다. 여기서 배선(WX1L)에 고레벨 전위를 인가하고, 배선(X2L)에 저레벨 전위를 인가하고, 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 및 배선(X2L3b)에 저레벨 전위를 인가함으로써, 트랜지스터(M3)를 온 상태로, 트랜지스터(M3-2b), 트랜지스터(M3-3b), 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)를 오프 상태로 할 수 있다. 이때 배선(OL)으로부터 회로(MC)에 흐르는 전류량은 $2I_{ut}$가 된다. 또한 예를 들어 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 $2I_{ut}$로 설정하고, 또한 배선(WX1L) 및 배선(X1L2b)에 고레벨 전위를 인가하고, 배선(X2L) 및 배선(X2L2b)에 저레벨 전위를 인가하고, 배선(X1L3b) 및 배선(X2L3b)에 저레벨 전위를 인가한다. 이때 트랜지스터(M3) 및 트랜지스터(M3-2b)를 온 상태로, 트랜지스터(M3-3b), 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)를 오프 상태로 할 수 있어, 배선(OL)으로부터 회로(MC)에 흐르는 전류량은 $6I_{ut}$가 된다. 또한 예를 들어 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 $2I_{ut}$로 설정하고, 또한 배선(X1L2b) 및 배선(X1L3b)에 고레벨 전위를 인가하고, 배선(X2L2b) 및 배선(X2L3b)에 저레벨 전위를 인가하고, 배선(WX1L) 및 배선(X2L)에 저레벨 전위를 인가한다. 이때 트랜지스터(M3-2b) 및 트랜지스터(M3-3b)를 온 상태로, 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)를 오프 상태로 할 수 있어, 배선(OL)으로부터 회로(MC)에 흐르는 전류량은 $12I_{ut}$가 된다.

[0478] 즉 도 26의 회로(MP)는, 트랜지스터(M1)의 소스-드레인 사이에 설정된 전류를, 배선(X1), 배선(X1L2b), 및 배선(X1L3b) 각각의 전위에 따라 정수배하고, 정수배한 전류를 배선(OL)으로부터 회로(MC)에 흘리는 기능을 가진다. 또한 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b) 각각의 W길이와 L길이의 비를 변경함으로써, 트랜지스터(M1)의 소스-드레인 사이에 설정된 전류를 정수배가 아니라 실수배하고 배선(OL)으로부터 회로(MC)에 흘릴 수 있다.

[0479] 상술한 예에서는 배선(OL)으로부터 회로(MC)에 흐르는 전류량에 대하여 설명하였지만, 배선(OLB)으로부터 회로(MC)에 흐르는 전류량에 대해서도 마찬가지로 생각할 수 있다. 이 경우, 회로(MP)에는 양의 제 1 데이터(양의 가중 계수)가 설정되고, 또한 트랜지스터(M4), 트랜지스터(M4-2b), 트랜지스터(M4-3b) 중 적어도 하나를 온 상태로 하고, 트랜지스터(M3), 트랜지스터(M3-2b), 및 트랜지스터(M3-3b)를 오프 상태로 하면 좋다. 이때 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b) 각각의 온 상태, 오프 상태의 조합에 따라, 배선(OLB)으로부터 회로(MC)에 흐르는 전류량이 변화된다. 또한 배선(OLB)으로부터 회로(MCr)에 흐르는 전류에 대해서도 마찬가지로 생각할 수 있다. 이 경우, 회로(MP)에는 음의 제 1 데이터(음의 가중 계수)가 설정되고, 또한 트랜지

스터(M3), 트랜지스터(M3-2b), 및 트랜지스터(M3-3b) 중 적어도 하나를 온 상태로 하고, 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)를 오프 상태로 하면 좋다. 이때 트랜지스터(M3), 트랜지스터(M3-2b), 및 트랜지스터(M3-3b) 각각의 온 상태, 오프 상태의 조합에 따라, 배선(OLB)으로부터 회로(MCr)에 흐르는 전류량이 변화된다. 또한 배선(OL)으로부터 회로(MCr)에 흐르는 전류에 대해서도 마찬가지로 생각할 수 있다. 이 경우, 회로(MP)에는 음의 제 1 데이터(음의 가중 계수)가 설정되고, 또한 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b) 중 적어도 하나를 온 상태로 하고, 트랜지스터(M3), 트랜지스터(M3-2b), 및 트랜지스터(M3-3b)를 오프 상태로 하면 좋다. 이때 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b) 각각의 온 상태, 오프 상태의 조합에 따라, 배선(OL)으로부터 회로(MCr)에 흐르는 전류량이 변화된다.

[0480] 상술한 바와 같이, 도 26의 회로(MP)는 설정된 전류량을, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 및 배선(X2L3b) 각각의 전위에 따라 정수배(실수배)하고, 그 전류를 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에, 혹은 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 흘릴 수 있다. 여기서, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 및 배선(X2L3b) 각각의 전위의 조합에 따라 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)를 결정함으로써, 제 2 데이터(뉴런의 신호의 값)를 다치(도 26의 회로(MP)의 구성에서는 15치)으로서 취급할 수 있다. 즉 도 26의 회로(MP)는 다치의 제 1 데이터(가중 계수)와 다치의 제 2 데이터(뉴런의 신호)의 곱을 계산할 수 있는 회로로 할 수 있다.

[0481] 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "+1"로 하고(트랜지스터(M1)의 소스-드레인 사이에 설정되는 전류량을 I_{ut}로, 트랜지스터(M1r)의 소스-드레인 사이에 설정되는 전류량을 0으로 함. 또한 유지부(HC)의 노드(n1)의 전위를 V_{ut}로, 유지부(HCr)의 노드(n1r)의 전위를 VSS로 함), 제 2 데이터(뉴런의 신호의 값)에 따른 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 및 배선(X2L3b)의 전위를 회로(MP)에 입력하였을 때의, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 흐르는 전류(I_{OL})와, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 흐르는 전류(I_{OLB})의, 전류량의 변화를 이하의 표에 나타내었다. 또한 이하의 표에서는 고레벨 전위를 high라고 기재하고, 저레벨 전위를 low라고 기재한다.

[0482] [표 3]

가중 계수	n1	n1r	신호	WX1L	X2L	X1L2b	X2L2b	X1L3b	X2L3b	가중 계수 × 신호	I_{OL}의 변화량	I_{OLB}의 변화량
+1	V_1	VSS	0	low	low	low	low	low	low	0	0	0
+1	V_1	VSS	+1	high	low	low	low	low	low	+1	I_{ut}	0
+1	V_1	VSS	+2	low	low	high	low	low	low	+2	$2I_{ut}$	0
+1	V_1	VSS	+3	high	low	high	low	low	low	+3	$3I_{ut}$	0
+1	V_1	VSS	+4	low	low	low	low	high	low	+4	$4I_{ut}$	0
+1	V_1	VSS	+5	high	low	low	low	high	low	+5	$5I_{ut}$	0
+1	V_1	VSS	+6	low	low	high	low	high	low	+6	$6I_{ut}$	0
+1	V_1	VSS	+7	high	low	high	low	high	low	+7	$7I_{ut}$	0
+1	V_1	VSS	-1	low	high	low	low	low	low	-1	0	I_{ut}
+1	V_1	VSS	-2	low	low	low	high	low	low	-2	0	$2I_{ut}$
+1	V_1	VSS	-3	low	high	low	high	low	low	-3	0	$3I_{ut}$
+1	V_1	VSS	-4	low	low	low	low	low	high	-4	0	$4I_{ut}$
+1	V_1	VSS	-5	low	high	low	low	low	high	-5	0	$5I_{ut}$
+1	V_1	VSS	-6	low	low	low	high	low	high	-6	0	$6I_{ut}$
+1	V_1	VSS	-7	low	high	low	high	low	high	-7	0	$7I_{ut}$

[0483]

[0484] 또한 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "-1"로 하고(트랜지스터(M1)의 소스-드레인 사이에 설정되는 전류량을 0으로, 트랜지스터(M1r)의 소스-드레인 사이에 설정되는 전류량을 I_{ut}로 함. 또한 유지부(HC)의 노드(n1)의 전위를 VSS로, 유지부(HCr)의 노드(n1r)의 전위를 V_{ut}로 함), 제 2 데이터(뉴런의 신호의 값)에 따른 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 및 배선(X2L3b)의 전위를 회로(MP)에 입력하였을 때의, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 흐르는 전류(I_{OL})와, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 흐르는 전류(I_{OLB})의, 전류량의 변화를 이하의 표에 나타내었다. 또한 이하의 표에서는 고레벨

전위를 high라고 기재하고, 저레벨 전위를 low라고 기재한다.

[0485] [표 4]

가중 계수	n1	n1r	신호	WX1L	X2L	X1L2b	X2L2b	X1L3b	X2L3b	가중 계수 × 신호	I_{OL}의 변화량	I_{OLB}의 변화량
-1	VSS	V_1	0	low	low	low	low	low	low	0	0	0
-1	VSS	V_1	+1	high	low	low	low	low	low	-1	0	I_{ut}
-1	VSS	V_1	+2	low	low	high	low	low	low	-2	0	$2I_{ut}$
-1	VSS	V_1	+3	high	low	high	low	low	low	-3	0	$3I_{ut}$
-1	VSS	V_1	+4	low	low	low	low	high	low	-4	0	$4I_{ut}$
-1	VSS	V_1	+5	high	low	low	low	high	low	-5	0	$5I_{ut}$
-1	VSS	V_1	+6	low	low	high	low	high	low	-6	0	$6I_{ut}$
-1	VSS	V_1	+7	high	low	high	low	high	low	-7	0	$7I_{ut}$
-1	VSS	V_1	-1	low	high	low	low	low	low	+1	I_{ut}	0
-1	VSS	V_1	-2	low	low	low	high	low	low	+2	$2I_{ut}$	0
-1	VSS	V_1	-3	low	high	low	high	low	low	+3	$3I_{ut}$	0
-1	VSS	V_1	-4	low	low	low	low	low	high	+4	$4I_{ut}$	0
-1	VSS	V_1	-5	low	high	low	low	low	high	+5	$5I_{ut}$	0
-1	VSS	V_1	-6	low	low	low	high	low	high	+6	$6I_{ut}$	0
-1	VSS	V_1	-7	low	high	low	high	low	high	+7	$7I_{ut}$	0

[0486]

[0487] 또한 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 0으로 하였을 때, 노드(n1)의 전위로서는 예를 들어 VSS로 하면 좋다. 이에 의하여, 트랜지스터(M1)에 더하여, 트랜지스터(M1-2b) 및 트랜지스터(M1-3b) 각각의 소스-드레인 사이에 흐르는 전류량도 0으로 할 수 있다. 이로써 트랜지스터(M3), 트랜지스터(M3-2b), 트랜지스터(M3-3b), 트랜지스터(M4), 트랜지스터(M4-2b), 및 트랜지스터(M4-3b)가 온 상태인지 오프 상태인지에 상관없이, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)에는 전류가 흐르지 않는다.

[0488] 이와 같이 도 26의 회로(MP)는, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 및 배선(X2L3b)의 각각을 저레벨 전위 또는 고레벨 전위로 함으로써 제 2 데이터(뉴런의 신호의 값)를 15치로서 표현할 수 있어, 다치의 제 1 데이터(가중 계수)와, 다치의 제 2 데이터(뉴런의 신호의 값)의 곱을 계산할 수 있다.

[0489] 또한 본 발명의 일 형태의 반도체 장치에 포함되는 회로(MP)는 도 26의 회로(MP)에 한정되지 않는다. 본 발명의 일 형태의 반도체 장치의 회로(MP)는, 상황에 따라 도 26의 회로(MP)의 회로 구성을 변경할 수 있다.

[0490] 예를 들어 도 27에 나타낸 회로(MP)는 도 26의 회로(MP)를 변경한 회로 구성이다. 구체적으로 도 27의 회로(MP)는 도 26의 회로(MP)에 유지부(HC-2b), 유지부(HC-3b), 유지부(HC-2br), 및 유지부(HC-3br)가 추가된 구성이다. 유지부(HC-2b), 유지부(HC-3b), 유지부(HC-2br), 및 유지부(HC-3br)의 구성은 유지부(HC) 및 유지부(HCr)와 같은 구성이기 때문에, 유지부(HC) 및 유지부(HCr)에 대한 설명을 참조한다.

[0491] 회로(MC)에 있어서, 트랜지스터(M1-2b), 트랜지스터(M3-2b), 및 트랜지스터(M4-2b), 및 유지부(HC-2b) 주변의 전기적인 접속 구성은 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4), 및 유지부(HC)의 주변의 전기적인 접속 구성과 같다. 또한 트랜지스터(M1-3b), 트랜지스터(M3-3b), 트랜지스터(M4-3b), 및 유지부(HC-3b) 주변의 전기적인 접속 구성은 트랜지스터(M1), 트랜지스터(M3), 트랜지스터(M4), 및 유지부(HC)의 주변의 전기적인 접속 구성과 같다. 또한 회로(MCr)에 있어서, 트랜지스터(M1-2br), 트랜지스터(M3-2br), 트랜지스터(M4-2br), 및 유지부(HC-2br) 주변의 전기적인 접속 구성은 트랜지스터(M1r), 트랜지스터(M3r), 트랜지스터(M4r), 및 유지부(HCr)의 주변의 전기적인 접속 구성과 같다. 또한 트랜지스터(M1-3br), 트랜지스터(M3-3br), 트랜지스터(M4-3br), 및 유지부(HC-3br) 주변의 전기적인 접속 구성은 트랜지스터(M1r), 트랜지스터(M3r), 트랜지스터(M4r), 및 유지부(HCr)의 주변의 전기적인 접속 구성과 같다.

[0492] 이에 더하여, 유지부(HC-2b)는 배선(WL2b)에 전기적으로 접속되고, 유지부(HC-3b)는 배선(WL3b)에 전기적으로 접속되고, 유지부(HC-2br)는 배선(WL2b)에 전기적으로 접속되고, 유지부(HC-3br)는 배선(WL3b)에 전기적으로 접속된다.

[0493] 도 27의 회로(MP)는, 예를 들어 도 26의 회로(MP)와 마찬가지로, 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜

지스터(M1-3b)의 W길이와 L길이의 비를 각각 W/L, 2XW/L, 4XW/L로 하고, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량이 I_{ut}로 설정되는 전위를 유지부(HC)에 유지하고, 또한 이 전위와 거의 같은 전위를 유지부(HC-2b) 및 유지부(HC-3b)에 유지함으로써, 도 26의 회로(MP)와 같은 식으로 동작할 수 있다.

[0494] 또한 유지부(HC), 유지부(HC-2b), 및 유지부(HC-3b)에는 거의 같은 전위를 기록하면 되기 때문에, 배선(WL), 배선(WL2b), 및 배선(WL3b)을 하나의 배선으로서 통합하여도 좋다(미도시).

[0495] 또한 예를 들어, 트랜지스터(M1)의 W길이와 L길이의 비와, 트랜지스터(M1-2b)의 W길이와 L길이의 비와, 트랜지스터(M1-3b)의 W길이와 L길이의 비를 같게 하고, 또한 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 I로 설정한 경우, 트랜지스터(M1-2b)의 소스-드레인 사이에 흐르는 전류량으로서 2I로 설정하고, 트랜지스터(M1-3b)의 소스-드레인 사이에 흐르는 전류량을 4I로 설정함으로써, 도 26의 회로(MP)와 같은 식으로 동작할 수 있다.

[0496] 또한 도 27의 회로(MP)와 다른, 도 26의 회로(MP)를 변경한 회로 구성으로서 예를 들어 도 28에 나타낸 회로(MP)로 하여도 좋다. 도 28의 회로(MP)는 도 26의 회로(MP)에 트랜지스터(M2-2b), 트랜지스터(M2-3b), 트랜지스터(M2-2br), 및 트랜지스터(M2-3br)가 추가된 구성이다. 또한 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b)의 W길이와 L길이의 비는 일례로서, 도 26과 마찬가지로, 각각 W/L, 2XW/L, 4XW/L로 한다. 다만 전류량은 설정되었을 때의 크기에 따라 결정되고 W길이나 L길이에는 의존하지 않는다. 그러므로 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b) 각각의 W길이와 L길이의 비를 모두 같게 하여도 좋다. 다만 이 경우에는 전류량에 따라 각 트랜지스터의 게이트의 전위가 달라진다. 각 트랜지스터의 게이트의 전위를 대략 같게 하고자 하는 경우에는, W길이와 L길이의 비를 W/L, 2XW/L, 4XW/L로 하는 것이 바람직하다.

[0497] 또한 본 명세서 등에 있어서, 트랜지스터(M2) 및 트랜지스터(M2r)와 마찬가지로, 특별히 언급되지 않는 한 트랜지스터(M2-2b), 트랜지스터(M2-3b), 트랜지스터(M2-2br), 및 트랜지스터(M2-3br)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0498] 회로(MC)에서, 트랜지스터(M2-2b)의 제 1 단자는 트랜지스터(M2-3b)의 제 1 단자와, 트랜지스터(M2)의 제 1 단자와, 트랜지스터(M1)의 게이트와, 트랜지스터(M1-2b)의 게이트와, 트랜지스터(M1-3b)의 게이트와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M2-2b)의 제 2 단자는 트랜지스터(M1-2b)의 제 2 단자와, 트랜지스터(M3-2b)의 제 1 단자와, 트랜지스터(M3-2b)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M2-3b)의 제 2 단자는 트랜지스터(M1-3b)의 제 2 단자와, 트랜지스터(M3-3b)의 제 1 단자와, 트랜지스터(M3-3b)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M2-2b)의 게이트와 트랜지스터(M2-3b)의 게이트는 배선(WL)에 전기적으로 접속된다.

[0499] 또한 마찬가지로, 회로(MCr)에서, 트랜지스터(M2-2br)의 제 1 단자는 트랜지스터(M2-3br)의 제 1 단자와, 트랜지스터(M2r)의 제 1 단자와, 트랜지스터(M1r)의 게이트와, 트랜지스터(M1-2br)의 게이트와, 트랜지스터(M1-3br)의 게이트와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M2-2br)의 제 2 단자는 트랜지스터(M1-2br)의 제 2 단자와, 트랜지스터(M3-2br)의 제 1 단자와, 트랜지스터(M3-2br)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M2-3br)의 제 2 단자는 트랜지스터(M1-3br)의 제 2 단자와, 트랜지스터(M3-3br)의 제 1 단자와, 트랜지스터(M3-3br)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M2-2br)의 게이트와 트랜지스터(M2-3br)의 게이트는 배선(WL)에 전기적으로 접속된다.

[0500] 또한 도 26에 나타낸 배선(X1L2b) 및 배선(X1L3b)은 도 28에서 각각 배선(WX1L2b) 및 배선(WX1L3b)이라고 기재하였다.

[0501] 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b), 트랜지스터(M1r), 트랜지스터(M1-2br), 및 트랜지스터(M1-3br)의 각각에 흐르는 전류를 설정할 때, 배선(WL)과, 배선(WX1L)과, 배선(WX1L2b)과, 배선(WX1L3b)에 고레벨 전위를 입력하여 트랜지스터(M2), 트랜지스터(M2-2b), 트랜지스터(M2-3b), 트랜지스터(M3), 트랜지스터(M3-2b), 및 트랜지스터(M3-3b)를 각각 온 상태로 한다. 또한 배선(X2L), 배선(X2L2b), 및 배선(X2L3b)에 저레벨 전위를 입력하여 트랜지스터(M4), 트랜지스터(M4-2b), 트랜지스터(M4-3b), 트랜지스터(M4r), 트랜지스터(M4-2br), 및 트랜지스터(M4-3br)를 오프 상태로 한다.

[0502] 이때 배선(OL)으로부터 회로(MC)에, 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b)의 각각에 설정

하는 전류의 총합, 예를 들어 $7I_{ut}$를 흘림으로써, 유지부(HC)의 노드(n1)는 소정의 전위가 된다. 여기서 배선(WL)에 저레벨 전위를 입력하여 트랜지스터(M2)를 오프 상태로 함으로써, 유지부(HC)의 노드(n1)에 소정의 전위를 유지한다. 이로써 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b) 각각의 소스-드레인 사이에는 I_{ut}, $2I_{ut}$, $4I_{ut}$의 전류가 흐르도록 설정된다.

[0503] 또한 마찬가지로, 배선(OLB)으로부터 회로(MCr)에, 트랜지스터(M1r), 트랜지스터(M1-2br), 및 트랜지스터(M1-3br)의 각각에 설정하는 전류의 총합을 흘림으로써, 예를 들어 $7I_{ut}$를 흘림으로써, 유지부(HCr)의 노드(n1r)는 소정의 전위가 된다. 그리고 배선(WL)에 저레벨 전위를 입력하여, 유지부(HCr)의 노드(n1)에 소정의 전위를 유지함으로써, 트랜지스터(M1r), 트랜지스터(M1-2br), 및 트랜지스터(M1-3br) 각각의 소스-드레인 사이에는 I_{ut}, $2I_{ut}$, $4I_{ut}$의 전류가 흐르도록 설정된다.

[0504] 도 28의 회로(MP)의 구성으로 함으로써, 도 26의 회로(MP)와 같은 동작을 수행할 수 있다. 또한 도 28의 회로(MP)의 구성으로 함으로써, 회로(MC)에 있어서, 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b)의 형성 시에 발생하는 구조의 편차로 인한 영향을 적게 할 수 있다. 또한 마찬가지로, 회로(MCr)에 있어서, 트랜지스터(M1r), 트랜지스터(M1-2br), 및 트랜지스터(M1-3br)의 형성 시에 발생하는 구조의 편차로 인한 영향을 적게 할 수 있다.

[0505] 또한 도 26의 회로(MP)의 변경예로서, 유지부(HC) 및 유지부(HCr)를 다른 구성으로 하여도 좋다. 도 29에 나타낸 회로(MP)는 도 26의 회로(MP)에 포함되는 유지부(HC) 및 유지부(HCr)를 각각 회로(HCS) 및 회로(HCSr)로 바꾼 구성이다. 또한 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b)의 W길이와 L길이의 비는 도 26과 마찬가지로, 각각 W/L, 2XW/L, 4XW/L로 한다.

[0506] 회로(HCS)는 예를 들어 배선(OL)과 배선(OLB)에 전기적으로 접속된다. 회로(HCS)는 배선(OL) 및 배선(OLB) 중 한쪽 또는 양쪽으로부터 입력되는 정보(전위, 전류 등)를 받아, 이 정보에 따른 전위를 유지하는 기능을 가진다. 또한 회로(HCS)는 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b) 각각의 게이트에 전기적으로 접속된다. 회로(HCS)는 유지한 상기 전위를 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b) 각각의 게이트에 인가하는 기능을 가진다. 따라서 트랜지스터(M1), 트랜지스터(M1-2b), 및 트랜지스터(M1-3b)의 각각에는 회로(HCS)로부터 인가된 전위와, W길이와 L길이의 비에 따른 소스-드레인 전류가 흐른다. 또한 회로(HCSr)는 회로(HCS)와 같은 기능을 가지고, 트랜지스터(M1r), 트랜지스터(M1-2br), 및 트랜지스터(M1-3br)의 각각에는 회로(HCSr)로부터 인가된 전위와, W길이와 L길이의 비에 따른 소스-드레인 전류가 흐른다.

[0507] 도 29에 나타낸 회로(MP)에 포함되는 회로(HCS) 및 회로(HCSr)의 구체적인 예를 도 30의 (A)에 도시하였다. 도 30의 (A)에 나타낸 회로(HCS) 및 회로(HCSr)는 일례로서 SRAM(Static Random Access Memory)을 가지는 구성이 되어 있다. 또한 도 30의 (A)에는 회로(HCS) 및 회로(HCSr)가 가지는 회로 소자의 전기적인 접속 구성을 나타내기 위하여 회로(MP) 전체를 나타내었다.

[0508] 또한 회로(HCS) 및 회로(HCSr)가 SRAM을 가지는 구성인 경우, SRAM은 고레벨 전위 및 저레벨 전위 중 한쪽을 유지하기 때문에, 회로(MP)에 설정되는 제 1 데이터(가중 계수)는 예를 들어 2치("-1", "+1"의 조합 등), 3치("-1", "0", "+1"의 조합 등) 등에 한정된다. 예를 들어 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "+1"로 할 때, 회로(HCS)에는 고레벨 전위를 유지하고, 회로(HCSr)에는 저레벨 전위를 유지하면 좋다. 또한 예를 들어 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "-1"로 할 때, 회로(HCS)에는 저레벨 전위를 유지하고, 회로(HCSr)에는 고레벨 전위를 유지하면 좋다. 또한 예를 들어 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "0"으로 할 때, 회로(HCS)에는 저레벨 전위를 유지하고, 회로(HCSr)에는 저레벨 전위를 유지하면 좋다.

[0509] 회로(HCS)는 트랜지스터(M7), 트랜지스터(M7s), 인버터 루프 회로(IVR)를 가진다. 인버터 루프 회로(IVR)는 인버터 회로(IV1)와 인버터 회로(IV2)를 가진다.

[0510] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M7) 및 트랜지스터(M7s)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0511] 인버터 회로(IV1)와 인버터 회로(IV2)는 각각 입력 단자에 입력 신호가 입력되었을 때 상기 입력 신호의 반전 신호를 출력 단자로부터 출력하는 기능을 가진다. 그러므로 인버터 회로(IV1)와 인버터 회로(IV2) 각각으로서 예를 들어 인버터 회로를 사용할 수 있다. 또한 인버터 회로(IV1) 및 인버터 회로(IV2)의 구성예를 도 30의

(B)에 나타내었다. 도 30의 (B)에 나타낸 바와 같이, 인버터 회로(IV1) 및 인버터 회로(IV2)를 CMOS(Complementary MOS) 회로로 구성할 수 있다. 다만 본 발명의 일 형태는 이에 한정되지 않고, 예를 들어 CMOS 회로가 아니라 n채널형 트랜지스터만 또는 p채널형 트랜지스터만의 단극성 회로로 구성하여도 좋다.

[0512] 또한 인버터 회로(IV1) 및 인버터 회로(IV2)로서는 예를 들어 NAND 회로, NOR 회로, XOR 회로, 이들을 조합한 회로 등으로 할 수 있다. 구체적으로는 인버터 회로를 NAND 회로로 변경하는 경우, NAND 회로의 2개의 입력 단자 중 한쪽에 고정 전위로서 고레벨 전위를 입력함으로써 NAND 회로를 인버터 회로로서 기능시킬 수 있다. 또한 인버터 회로를 NOR 회로로 변경하는 경우, NOR 회로의 2개의 입력 단자 중 한쪽에 고정 전위로서 저레벨 전위를 입력함으로써 NOR 회로를 인버터 회로로서 기능시킬 수 있다. 또한 인버터 회로를 XOR 회로로 변경하는 경우, XOR 회로의 2개의 입력 단자 중 한쪽에 고정 전위로서 고레벨 전위를 입력함으로써 XOR 회로를 인버터 회로로서 기능시킬 수 있다.

[0513] 상술한 바와 같이, 본 명세서 등에 기재된 인버터 회로를, NAND 회로, NOR 회로, XOR 회로, 또는 이들을 조합한 회로 등의 논리 회로로 변경할 수 있다. 그러므로 본 명세서 등에서 "인버터 회로"라는 용어는 "논리 회로"라고 부를 수 있다.

[0514] 트랜지스터(M7)의 제 1 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M7)의 제 2 단자는 인버터 회로(IV1)의 입력 단자와, 인버터 회로(IV2)의 출력 단자와, 트랜지스터(M1)의 게이트와, 트랜지스터(M1-2b)의 게이트와, 트랜지스터(M1-3b)의 게이트에 전기적으로 접속되고, 트랜지스터(M7)의 게이트는 배선(WL)에 전기적으로 접속된다. 트랜지스터(M7s)의 제 1 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M7s)의 제 2 단자는 인버터 회로(IV1)의 출력 단자와 인버터 회로(IV2)의 입력 단자에 전기적으로 접속되고, 트랜지스터(M7s)의 게이트는 배선(WL)에 전기적으로 접속된다. 인버터 회로(IV1) 및 인버터 회로(IV2)의 고전원 전위 입력 단자에는 배선(VEH)이 전기적으로 접속되고, 인버터 회로(IV1) 및 인버터 회로(IV2)의 저전원 전위 입력 단자에는 배선(VE)이 전기적으로 접속된다.

[0515] 배선(VEH)은 일례로서, 정전압을 인가하는 배선으로서 기능한다. 상기 정전압으로서는 예를 들어 고레벨 전위인 VDD, 또는 저레벨 전위(VSS)보다 높고 VDD보다 낮은 전위(VDDL) 등으로 할 수 있다. 또한 상기 정전압은 회로(MP)의 구성에 따라 적절히 설정하는 것이 바람직하다. 또한 예를 들어 배선(VAL)에는 정전압이 아니라 펄스 신호가 공급되어도 좋다. 또한 본 구성예의 설명에서는, 배선(VEH)은 전위(VDD)를 인가하는 배선으로서 기능하는 것으로 한다.

[0516] 또한 도 30의 회로(MP)에서, 회로(HCS)는 회로(HCSr)와 거의 같은 회로 구성이다. 그러므로 회로(HCSr)가 가지는 회로 소자에서는 회로(HCS)가 가지는 회로 소자와 구별하기 위하여 부호에 "r"를 붙였다. 또한 트랜지스터(M7r)의 제 1 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M7sr)의 제 1 단자는 배선(OL)에 전기적으로 접속된다.

[0517] 회로(HCS) 및 회로(HCSr)에 정보(예를 들어 전위, 전류 등)를 기록할 때, 배선(WL)에 고레벨 전위를 인가하여 트랜지스터(M7), 트랜지스터(M7s), 트랜지스터(M7r), 트랜지스터(M7sr)를 온 상태로 한다. 그 후, 배선(OL)에 고레벨 전위 및 저레벨 전위 중 한쪽을 입력하고, 배선(OLB)에 고레벨 전위 및 저레벨 전위 중 다른 쪽을 입력한다. 특히 고레벨 전위는 배선(VEH)이 인가하는 전위와 거의 같은 것이 바람직하다. 여기서는 예를 들어 고레벨 전위를 전위(VDDL)로, 저레벨 전위를 전위(VSS)로 하여 설명한다.

[0518] 회로(HCS)에 VDDL 및 VSS 중 한쪽이 기록되고, 회로(HCSr)에 VDDL 및 VSS 중 다른 쪽이 기록된 후에는, 배선(WL)에 저레벨 전위를 인가하여 트랜지스터(M7), 트랜지스터(M7s), 트랜지스터(M7r), 및 트랜지스터(M7sr)를 오프 상태로 한다. 이로써, 회로(HCS)는 VDDL 및 VSS 중 한쪽을 인버터 루프 회로(IVR)에 유지하고, 회로(HCS)는 VDDL 및 VSS 중 다른 쪽을 인버터 루프 회로(IVRr)에 유지할 수 있다.

[0519] 회로(HCS) 및 회로(HCSr)의 각각에 소정의 전위를 유지한 후에는, 도 26의 회로(MP)와 마찬가지로, 배선(X1L)(도 26에서는 배선(WX1L)) 및 배선(X2L) 중 한쪽에 고레벨 전위, 다른 쪽에 저레벨 전위를 입력하고, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽에 고레벨 전위, 다른 쪽에 저레벨 전위를 입력하고, 배선(X1L3b) 및 배선(X2L3b) 중 한쪽에 고레벨 전위, 다른 쪽에 저레벨 전위를 입력함으로써, 회로(MC) 또는 회로(MCr)로부터 배선(OL) 또는 배선(OLB)에 흐르는 전류량을, 2치 또는 3치의 제 1 데이터(가중 계수)와 다치(도 30의 구성예에서는 15치)의 제 2 데이터(뉴런의 신호의 값)의 곱으로서 취급할 수 있다.

[0520] 또한 도 30의 (A)의 회로(MP)는 예를 들어, 도 31에 나타낸 회로(MP)로 변형할 수 있다. 도 31의 회로(MP)는 도 30의 (A)의 회로(MP)에서 회로(HCSr)를 제외한 구성이다. 구체적인 구성으로서, 인버터 루프 회로(IVR)에

포함되는 인버터 회로(IV1)의 출력 단자는 회로(MCr)의 트랜지스터(M1r)의 게이트와, 회로(MCr)의 트랜지스터(M1-2br)의 게이트와, 회로(MCr)의 트랜지스터(M1-3br)의 게이트에 전기적으로 접속된다.

[0521] 도 31의 회로(MP)의 구성으로 함으로써, 도 30의 (A)의 회로(MP)와 같은 식으로 동작할 수 있다. 또한 도 31의 회로(MP)는 도 30의 (A)의 회로(MP)에서 회로(HCSr)를 제외한 구성이기 때문에, 도 30의 (A)의 회로(MP)보다 소비 전력을 낮게 할 수 있다.

[0522] 또한 도 30의 (A)의 회로(MP)는 예를 들어, 도 32에 나타낸 회로(MP)로 변형할 수 있다. 도 32의 회로(MP)는, 도 22의 (A) 및 (B)의 회로(MP)와 마찬가지로, 도 30의 (A)의 회로(MP)에 배선(IL)과 배선(ILB)이 추가된 구성이다.

[0523] 도 32의 회로(MP)는 도 30의 (A)의 회로(MP)의 배선(OL) 및 배선(OLB)이 가지는 기능을 분리한 구성이다.

[0524] 구체적으로 도 30의 (A)의 회로(MP)의 배선(OL)은, 회로(HCS)에 고레벨 전위 또는 저레벨 전위를 입력하기 위한 배선으로서 기능하고, 또한 회로(MC)를 통하여 배선(VE)에 전류를 공급하기 위한 배선으로서 기능하고, 또한 회로(MCr)를 통하여 배선(VEr)에 전류를 공급하기 위한 배선으로서 기능한다. 또한 도 30의 (A)의 회로(MP)의 배선(OLB)은, 회로(HCSr)에 고레벨 전위 또는 저레벨 전위를 입력하기 위한 배선으로서 기능하고, 또한 회로(MC)를 통하여 배선(VE)에 전류를 공급하기 위한 배선으로서 기능하고, 또한 회로(MCr)를 통하여 배선(VEr)에 전류를 공급하기 위한 배선으로서 기능한다.

[0525] 한편 도 32의 회로(MP)의 배선(OL)은, 회로(MC)를 통하여 배선(VE)에 전류를 공급하기 위한 배선으로서 기능하고, 또한 회로(MCr)를 통하여 배선(VEr)에 전류를 공급하기 위한 배선으로서 기능한다. 또한 도 32의 회로(MP)의 배선(OLB)은, 회로(MC)를 통하여 배선(VE)에 전류를 공급하기 위한 배선으로서 기능하고, 또한 회로(MCr)를 통하여 배선(VEr)에 전류를 공급하기 위한 배선으로서 기능한다. 또한 도 32의 회로(MP)의 배선(IL)은 회로(HCS)에 고레벨 전위 및 저레벨 전위 중 한쪽을 입력하기 위한 배선으로서 기능하고, 도 32의 회로(MP)의 배선(ILB)은 회로(HCSr)에 고레벨 전위 및 저레벨 전위 중 다른 쪽을 입력하기 위한 배선으로서 기능한다.

[0526] 도 32의 회로(MP)의 구성으로 함으로써, 도 30의 (A)의 회로(MP)와 같은 식으로 동작할 수 있다.

[0527] 또한 도 32의 회로(MP)의 구성을 도 2의 연산 회로(110), 도 3의 연산 회로(120)에 적용하는 경우, 도 32의 회로(MP)는 예를 들어 도 33에 나타낸 회로(MP)와 같이 트랜지스터(M7s) 및 트랜지스터(M7sr)를 제외한 구성으로 하여도 좋다. 도 33의 회로(MP)의 구성으로 함으로써, 도 30의 (A)의 회로(MP)와 같은 식으로 동작할 수 있다.

[0528] 또한 도 30의 (A)와는 다른, 도 29에 나타낸 회로(MP)에 포함되는 회로(HCS) 및 회로(HCSr)의 구체적인 예를 도 34에 나타내었다. 도 34에 나타낸 회로(MP)는 NOSRAM(Nonvolatile Oxide Semiconductor Random Access Memory)이라고 불리는 기억 회로를 가지는 구성이 되어 있다. 또한 도 34에는 회로(HCS) 및 회로(HCSr)가 가지는 회로 소자의 전기적인 접속 구성을 나타내기 위하여 회로(MP) 전체를 나타내었다.

[0529] 회로(HCS)는 트랜지스터(M8), 용량 소자(C2)를 가진다.

[0530] 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M8)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0531] 트랜지스터(M8)의 제 1 단자는 배선(IL)에 전기적으로 접속되고, 트랜지스터(M8)의 제 2 단자는 용량 소자(C2)의 제 1 단자와, 트랜지스터(M1)의 게이트와, 트랜지스터(M1-2b)의 게이트와, 트랜지스터(M1-3b)의 게이트에 전기적으로 접속되고, 트랜지스터(M8)의 게이트는 배선(WL)에 전기적으로 접속된다. 용량 소자(C2)의 제 2 단자는 배선(VE)에 전기적으로 접속된다.

[0532] 또한 도 34에 나타낸 회로(HCS)에서, 트랜지스터(M8)의 제 2 단자와 용량 소자(C2)의 제 1 단자의 전기적 접속점을 노드(n2)로 하였다.

[0533] 또한 도 34의 회로(MP)에서, 회로(HCS)는 회로(HCSr)와 거의 같은 회로 구성이다. 그러므로 회로(HCSr)가 가지는 회로 소자 등에서는 회로(HCS)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다. 또한 트랜지스터(M8r)의 제 1 단자는 배선(ILB)에 전기적으로 접속된다.

[0534] 또한 회로(HCS) 및 회로(HCSr)가 NOSRAM을 가지는 구성인 경우, 회로(HCS) 및 회로(HCSr)의 각각에는 고레벨 전위 및 저레벨 전위 중 한쪽을 유지할 수 있다. 그러므로 회로(MP)에 설정되는 제 1 데이터(가중 계수)는 예를 들어 2치("-1", "+1" 등), 3치("-1", "0", "+1" 등) 등에 한정된다. 예를 들어 회로(MP)에 설정되는 제 1 데

이터(가중 계수)를 "+1"로 할 때, 회로(HCS)에는 고레벨 전위를 유지하고, 회로(HCSr)에는 저레벨 전위를 유지하면 좋다. 또한 예를 들어 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "-1"로 할 때, 회로(HCS)에는 저레벨 전위를 유지하고, 회로(HCSr)에는 고레벨 전위를 유지하면 좋다. 또한 예를 들어 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "0"으로 할 때, 회로(HCS)에는 저레벨 전위를 유지하고, 회로(HCSr)에는 저레벨 전위를 유지하면 좋다. 또한 회로(HCS), 회로(HCSr)에는 고레벨 전위 또는 저레벨 전위의 2치(디지털값)가 아니라 3치 이상의 디지털값, 또는 아날로그값을 유지하여도 좋다.

[0535] 회로(HCS) 및 회로(HCSr)에 정보(여기서는 전위로 함)를 기록할 때, 배선(WL)에 고레벨 전위를 인가하여 트랜지스터(M8) 및 트랜지스터(M8r)를 온 상태로 한다. 그 후, 배선(IL)에 고레벨 전위 및 저레벨 전위 중 한쪽을 입력하고, 배선(ILB)에 고레벨 전위 및 저레벨 전위 중 다른 쪽을 입력한다. 여기서는 예를 들어 고레벨 전위를 전위(VDDL)로, 저레벨 전위를 전위(VSS)로 하여 설명한다.

[0536] 회로(HCS)의 용량 소자(C2)의 제 1 단자에 VDDL 및 VSS 중 한쪽이 기록되고, 회로(HCSr)의 용량 소자(C2r)의 제 1 단자에 VDDL 및 VSS 중 다른 쪽이 기록된 후에는, 배선(WL)에 저레벨 전위를 인가하여 트랜지스터(M8) 및 트랜지스터(M8r)를 오프 상태로 한다. 이로써, 회로(HCS)는 VDDL 및 VSS 중 한쪽을 노드(n2)에 유지하고, 회로(HCS)는 VDDL 및 VSS 중 다른 쪽을 노드(n2r)에 유지할 수 있다.

[0537] 회로(HCS) 및 회로(HCSr)의 각각에 소정의 전위를 유지한 후에는, 도 26의 회로(MP)와 마찬가지로, 배선(X1L)(도 26에서는 배선(WX1L)) 및 배선(X2L) 중 한쪽에 고레벨 전위, 다른 쪽에 저레벨 전위를 입력하고, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽에 고레벨 전위, 다른 쪽에 저레벨 전위를 입력하고, 배선(X1L3b) 및 배선(X2L3b) 중 한쪽에 고레벨 전위, 다른 쪽에 저레벨 전위를 입력함으로써, 회로(MC) 또는 회로(MCr)로부터 배선(OL) 또는 배선(OLB)에 흐르는 전류량을 3비트의 데이터로서 취급할 수 있다.

[0538] 도 34의 회로(MP)의 구성으로 함으로써, 도 30의 (A)의 회로(MP)와 같은 식으로 동작할 수 있다.

[0539] 도 29 내지 도 34의 각각에 나타낸 회로(MP)는 회로(HCS) 및 회로(HCSr)를 각각 1개씩 가지는 구성이지만 회로(MP)는 회로(HCS) 및 회로(HCSr)를 복수 개씩 가지는 구성이어도 좋다.

[0540] 도 35에 나타낸 회로(MP)는, 회로(HCS)와 같은 기능을 가지는 회로(HCS-2b)와 회로(HCS-3b) 및 회로(HCSr)와 같은 기능을 가지는 회로(HCS-2br)와 회로(HCS-3br)를 가진다. 구체적으로는, 회로(HCS-2b), 회로(HCS-3b), 회로(HCS-2br), 및 회로(HCS-3br)는 배선(OL) 및 배선(OLB) 중 한쪽 또는 양쪽으로부터 입력되는 정보(전위, 전류 등)를 받고, 상기 정보에 따른 전위를 유지하는 기능을 가진다. 특히, 회로(HCS-2b)는 트랜지스터(M1-2b)의 게이트에 유지된 전위를 인가하는 기능을 가지고, 회로(HCS-3b)는 트랜지스터(M1-3b)의 게이트에 유지된 전위를 인가하는 기능을 가지고, 회로(HCS-2br)는 트랜지스터(M1-2br)의 게이트에 유지된 전위를 인가하는 기능을 가지고, 회로(HCS-3br)는 트랜지스터(M1-3br)의 게이트에 유지된 전위를 인가하는 기능을 가진다.

[0541] 또한 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 및 회로(HCS-3br)는 예를 들어 모두가 SRAM을 가지는 구성으로 하여도 좋고, NOSRAM을 가지는 구성으로 하여도 좋다. 또한 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 및 회로(HCS-3br)에서 선택된 하나 이상의 회로는 SRAM을 가지는 구성으로 하고, 나머지 회로는 NOSRAM을 가지는 구성으로 하여도 좋다.

[0542] 또한 도 35의 회로(MP)에 포함되는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 및 회로(HCS-3br)는 각각 배선(OL) 및 배선(OLB)에 전기적으로 접속되어 있지만 본 발명의 일 형태에 따른 회로(MP)의 구성은 이에 한정되지 않는다. 예를 들어 도 35의 회로(MP)는 도 32의 회로(MP)와 마찬가지로, 배선(IL) 및 배선(ILB)을 제공하여 회로(HCS), 회로(HCS-2b), 및 회로(HCS-3b)를 배선(IL)과 배선(ILB)에 전기적으로 접속하여도 좋다. 또한 예를 들어 도 35의 회로(MP)는 도 33, 도 34의 회로(MP)와 마찬가지로, 배선(IL) 및 배선(ILB)을 제공하여 회로(HCS), 회로(HCS-2b), 및 회로(HCS-3b)를 배선(IL)에 전기적으로 접속하고, 회로(HCSr), 회로(HCS-2br), 및 회로(HCS-3br)를 배선(ILB)에 전기적으로 접속하여도 좋다.

[0543] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0544] <구성예 6>

[0545] 도 36에 나타낸 회로(MP)는 복수의 유지부로서, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)를 가지며, 도 35의 회로(MP)와 상이한 회로 구성의 일례이다.

[0546] 도 36의 회로(MP)에 포함되는 트랜지스터(M1)의 W길이와 L길이의 비를 W/L로 하였을 때, 트랜지스터(M1-2b)의 W길이와 L길이의 비는 2×W/L로 하는 것이 바람직하고, 트랜지스터(M1-3b)의 W길이와 L길이의 비는 4×W/L로 하

는 것이 바람직하다. 이에 더하여, 트랜지스터(M1r)와 트랜지스터(M1)의 크기는 같은 것이 바람직하고, 트랜지스터(M1-2br)와 트랜지스터(M1-2b)의 크기는 같은 것이 바람직하고, 트랜지스터(M1-3br)와 트랜지스터(M1-3b)의 크기는 같은 것이 바람직하다.

[0547] 회로(HCS)는 배선(OL)과 트랜지스터(M1)의 게이트에 전기적으로 접속되고, 회로(HCS-2b)는 배선(OL)과 트랜지스터(M1-2b)의 게이트에 전기적으로 접속되고, 회로(HCS-3b)는 배선(OL)과 트랜지스터(M1-3b)의 게이트에 전기적으로 접속된다.

[0548] 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b) 각각의 제 1 단자는 배선(VE)에 전기적으로 접속되고, 트랜지스터(M3)의 제 1 단자는 트랜지스터(M4)의 제 1 단자와, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b) 각각의 제 2 단자에 전기적으로 접속된다. 트랜지스터(M3)의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M3)의 게이트는 배선(X1L)에 전기적으로 접속된다. 트랜지스터(M4)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4)의 게이트는 배선(X2L)에 전기적으로 접속된다.

[0549] 도 36의 회로(MP)에서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다. 또한 트랜지스터(M3)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4)의 제 2 단자는 배선(OL)에 전기적으로 접속된다.

[0550] 회로(MCr)에 포함되는 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)에 저레벨 전위, 예를 들어 VSS를 유지함으로써 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)를 각각 오프 상태로 할 수 있다. 이때 회로(MC)에 포함되는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각에 고레벨 전위 또는 저레벨 전위를 유지함으로써, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각에 유지된 전위에 따라, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각에 흐르는 전류량이 결정된다. 그 후, 트랜지스터(M3)를 온 상태로 하고 트랜지스터(M4)를 오프 상태로 함으로써 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 상기 전류를 흘릴 수 있다. 또한 트랜지스터(M3)를 오프 상태로 하고 트랜지스터(M4)를 온 상태로 함으로써 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 상기 전류를 흘릴 수 있다.

[0551] 또한 회로(MC)에 포함되는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)에 저레벨 전위, 예를 들어 VSS를 유지함으로써 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)를 각각 오프 상태로 할 수 있다. 이때 회로(MC)에 포함되는 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 고레벨 전위 또는 저레벨 전위를 유지함으로써, 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 유지된 전위에 따라, 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각에 흐르는 전류량이 결정된다. 그 후, 트랜지스터(M3r)를 온 상태로 하고 트랜지스터(M4r)를 오프 상태로 함으로써 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 상기 전류를 흘릴 수 있다. 또한 트랜지스터(M3r)를 오프 상태로 하고 트랜지스터(M4r)를 온 상태로 함으로써 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 상기 전류를 흘릴 수 있다.

[0552] 도 36의 회로(MP)에, 예를 들어 양의 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 유지하는 경우, 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)에 저레벨 전위를 유지하고, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각에 양의 제 1 데이터(가중 계수)에 따른 전위의 조합을 유지하는 것으로 한다. 또한 도 36의 회로(MP)에, 예를 들어 음의 제 1 데이터(가중 계수)를 유지하는 경우, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)에 저레벨 전위를 유지하고, 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 음의 제 1 데이터(가중 계수)에 따른 전위의 조합을 유지하는 것으로 한다.

[0553] 도 36에 나타낸 회로(MP)에 포함되는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 구체적인 예를 도 37에 도시하였다. 도 37에 나타낸 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)는 SRAM을 가지는 구성이 되어 있다. 또한 도 37에서는 인버터 회로(IV1), 인버터 회로(IV2) 각각의 고전원 전위 입력 단자, 저전원 전위 입력 단자의 기재를 생략하였다. 또한 도 37에 나타낸 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 구성에 대해서는 도 30의 (A)의 회로(MP)에 포함되는 회로(HCS), 회로(HCSr)에 대한 설명을 참조한다.

[0554] 또한 도 37과는 다른 구체적인 예로서, 도 36에 나타낸 회로(MP)에 포함되는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)는 도 38에 도시된 바와 같이 NOSRAM을 가지는 구성으로 하여도 좋다. 또한 도 38에 나타낸 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 구성에 대해서는 도 34의 회로(MP)에 포함되는 회로(HCS), 회로(HCSr)에 대한 설명을 참조한다.

[0555] 또한 도 36의 회로(MP)는 일례로서, 도 39에 나타낸 회로(MP)로 변형할 수 있다. 도 39의 회로(MP)는, 도 26 내지 도 35에 나타낸 회로(MP)와 같이, 다치의 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값(연산값)으로 함)를 취급할 수 있는 회로이다. 도 39의 회로(MP)는 도 36의 회로(MP)에 포함되는 회로(MC)에 트랜지스터(M3-2x), 트랜지스터(M4-2x), 트랜지스터(M1x), 트랜지스터(M1x-2b), 트랜지스터(M1x-3b)가 추가된 구성이다. 또한 도 39의 회로(MP)에 포함되는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)는 도 37과 마찬가지로 SRAM을 가지는 구성이 되어 있다.

[0556] 또한 본 명세서 등에 있어서, 트랜지스터(M1)와 마찬가지로, 특별히 언급되지 않는 한 트랜지스터(M1x), 트랜지스터(M1x-2b), 트랜지스터(M1x-3b)는 온 상태일 때 최종적으로 포화 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 포화 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 공급되는 전압의 진폭값을 작게 하기 위하여, 트랜지스터(M1x), 트랜지스터(M1x-2b), 트랜지스터(M1x-3b)는 선형 영역에서 동작하여도 좋다. 또한 제 1 데이터(가중 계수)를 아날로그값으로 하는 경우에는, 제 1 데이터(가중 계수)의 크기에 따라, 예를 들어 트랜지스터(M1x), 트랜지스터(M1x-2b), 트랜지스터(M1x-3b)는 선형 영역에서 동작하는 경우와, 포화 영역에서 동작하는 경우가 혼재되어 있어도 좋다.

[0557] 또한 본 명세서 등에 있어서, 트랜지스터(M4)와 마찬가지로, 특별히 언급되지 않는 한 트랜지스터(M3), 트랜지스터(M3-2x), 트랜지스터(M4-2x)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 트랜지스터(M3-2x), 트랜지스터(M4-2x)는 온 상태일 때 포화 영역에서 동작하여도 좋고, 또한 선형 영역에서 동작하는 경우와 포화 영역에서 동작하는 경우가 혼재되어 있어도 좋다.

[0558] 도 39의 회로(MP)에 포함되는 트랜지스터(M1x)의 W길이와 L길이의 비는 2XW/L로 하는 것이 바람직하다. 또한 트랜지스터(M1x-2b)의 W길이와 L길이의 비는 4XW/L로 하는 것이 바람직하다. 또한 트랜지스터(M1x-4b)의 W길이와 L길이의 비는 8XW/L로 하는 것이 바람직하다. 트랜지스터를 더 많이 배치하는 경우에도 마찬가지로, W길이와 L길이의 비를 2의 거듭제곱으로 크게 하면 좋다.

[0559] 트랜지스터(M1x), 트랜지스터(M1x-2b), 트랜지스터(M1x-3b) 각각의 제 1 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M1x)의 게이트는 회로(HCS)에 전기적으로 접속되고, 트랜지스터(M1x-2b)의 게이트는 회로(HCS-2b)에 전기적으로 접속되고, 트랜지스터(M1x-3b)의 게이트는 회로(HCS-3b)에 전기적으로 접속된다. 트랜지스터(M3-2x)의 제 1 단자는 트랜지스터(M4-2x)의 제 1 단자와, 트랜지스터(M1x), 트랜지스터(M1x-2b), 트랜지스터(M1x-3b) 각각의 제 2 단자에 전기적으로 접속된다. 트랜지스터(M3-2x)의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M3-2x)의 게이트는 배선(X1L2x)에 전기적으로 접속된다. 트랜지스터(M4-2x)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4-2x)의 게이트는 배선(X2L2x)에 전기적으로 접속된다.

[0560] 또한 도 39의 회로(MP)에서, 회로(HCS)는 회로(HCSr)와 거의 같은 회로 구성이다. 그러므로 회로(HCSr)가 가지는 회로 소자 등에서는 회로(HCS)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다. 또한 트랜지스터(M3-2xr)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4-2xr)의 제 2 단자는 배선(OL)에 전기적으로 접속된다.

[0561] 배선(X1L2x)은 트랜지스터(M3-2x), 트랜지스터(M3-2xr)의 온 상태와 오프 상태를 전환하기 위한 배선이고, 배선(X2L2x)은 트랜지스터(M4-2x), 트랜지스터(M4-2xr)의 온 상태와 오프 상태를 전환하기 위한 배선이다.

[0562] 회로(HCS)에 고레벨 전위, 예를 들어 VDDL이 유지되어 있을 때, 트랜지스터(M1)의 소스-드레인 사이에는 전류량으로서 I_{ut}가 흐르는 것으로 한다. 이때 회로(HCS-2b)에 고레벨 전위, 예를 들어 VDDL이 유지되어 있을 때, 트랜지스터(M1-2b)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 2배이기 때문에, 트랜지스터(M1-2b)의 소스-드레인 사이에 전류량으로서 $2I_{ut}$가 흐른다. 또한 회로(HCS-3b)에 고레벨 전위, 예를 들어 VDDL이 유지되어 있을 때, 트랜지스터(M1-3b)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 4배이기 때문에, 트랜지스터(M1-3b)의 소스-드레인 사이에 전류량으로서 $4I_{ut}$가 흐른다.

[0563] 즉 트랜지스터(M3)의 제 1 단자와 트랜지스터(M4)의 제 1 단자의 전기적 접속점으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전류는, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각에 유지되어 있는 전위에 따라 0으로부터 I_{ut} 단위로 $7I_{ut}$까지 변화한다. 여기서는 상기 전류량을 I_{X1}이라고 호칭한다.

[0564] 또한 회로(HCS)에 고레벨 전위, 예를 들어 VDDL이 유지되어 있을 때, 트랜지스터(M1x)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 2배이기 때문에, 트랜지스터(M1x)의 소스-드레인 사이에 전류량으로서 $2I_{ut}$가 흐른다. 또한 회로(HCS-2b)에 고레벨 전위, 예를 들어 VDDL이 유지되어 있을 때, 트랜지스터(M1x-2b)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 4배이기 때문에, 트랜지스터(M1x-2b)의 소스-드레인 사이에 전류량으로서 $4I_{ut}$가 흐른다. 또한 회로(HCS-3b)에 고레벨 전위, 예를 들어 VDDL이 유지되어 있을 때, 트랜지스터(M1x-3b)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 8배이기 때문에, 트랜지스터(M1x-3b)의 소스-드레인 사이에 전류량으로서 $8I_{ut}$가 흐른다.

[0565] 즉 트랜지스터(M3-2x)의 제 1 단자와 트랜지스터(M4-2x)의 제 1 단자의 전기적 접속점으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전류는, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각에 유지되어 있는 전위에 따라 0으로부터 $2I_{ut}$ 단위로 $14I_{ut}$까지 변화한다. 여기서는 상기 전류량을 I_{X2}라고 호칭한다. 즉 $I_{X2}=2I_{X1}$이 성립한다.

[0566] 여기서, 도 39의 회로(MP)에 양의 제 1 데이터(가중 계수)가 설정되어 있을 때에 있어서, 배선(X1L), 배선(X2L), 배선(X1L2x), 배선(X2L2x)의 각각에 고레벨 전위 또는 저레벨 전위가 인가되는 경우에 대하여 생각한다.

[0567] 배선(X1L), 배선(X2L), 배선(X1L2x), 배선(X2L2x)의 각각에 저레벨 전위를 인가하였을 때, 회로(MC)에 있어서 트랜지스터(M3), 트랜지스터(M3x-2), 트랜지스터(M4), 트랜지스터(M4x-2)는 오프 상태가 된다. 이때 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않는다.

[0568] 배선(X1L)에 고레벨 전위를 인가하고, 배선(X2L), 배선(X1L2x), 배선(X2L2x)의 각각에 저레벨 전위를 인가하였을 때, 회로(MC)에 있어서 트랜지스터(M3)는 온 상태가 되고, 트랜지스터(M3x-2), 트랜지스터(M4), 트랜지스터(M4x-2)는 오프 상태가 된다. 이때 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류량으로서 I_{X1}이 흐른다.

[0569] 또한 배선(X2L)에 고레벨 전위를 인가하고, 배선(X1L), 배선(X1L2x), 배선(X2L2x)의 각각에 저레벨 전위를 인가하였을 때, 회로(MC)에 있어서 트랜지스터(M4)는 온 상태가 되고, 트랜지스터(M3), 트랜지스터(M3x-2), 트랜지스터(M4x-2)는 오프 상태가 된다. 이때 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류량으로서 I_{X1}이 흐른다.

[0570] 또한 배선(X1L2x)에 고레벨 전위를 인가하고, 배선(X1L), 배선(X2L), 배선(X2L2x)의 각각에 저레벨 전위를 인가하였을 때, 회로(MC)에 있어서 트랜지스터(M3-2x)는 온 상태가 되고, 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M4x-2)는 오프 상태가 된다. 이때 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류량으로서 $I_{X2}=2I_{X1}$이 흐른다.

[0571] 또한 배선(X2L2L)에 고레벨 전위를 인가하고, 배선(X1L), 배선(X1L2x), 배선(X1L2x)의 각각에 저레벨 전위를 인가하였을 때, 회로(MC)에 있어서 트랜지스터(M4-2x)는 온 상태가 되고, 트랜지스터(M3), 트랜지스터(M4), 트랜지스터(M3x-2)는 오프 상태가 된다. 이때 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류량으로서 $I_{X2}=2I_{X1}$이 흐른다.

[0572] 그리고, 배선(X1L), 배선(X1L2x)에 고레벨 전위를 인가하고, 배선(X2L), 배선(X2L2x)의 각각에 저레벨 전위를 인가하였을 때, 회로(MC)에 있어서 트랜지스터(M3), 트랜지스터(M3-2x)는 온 상태가 되고, 트랜지스터(M4), 트랜지스터(M4x-2)는 오프 상태가 된다. 이때 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 전류량으로서 $I_{X1}+I_{X2}=3I_{X1}$이 흐른다.

[0573] 마찬가지로, 배선(X2L), 배선(X2L2x)에 고레벨 전위를 인가하고, 배선(X1L), 배선(X1L2x)의 각각에 저레벨 전위를 인가하였을 때, 회로(MC)에 있어서 트랜지스터(M4), 트랜지스터(M4x-2)는 온 상태가 되고, 트랜지스터(M3), 트랜지스터(M3-2x)는 오프 상태가 된다. 이때 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류량으로서 $I_{X1}+I_{X2}=3I_{X1}$이 흐른다.

[0574] 앞에서 설명한 바와 같이, 도 39의 회로(MP)에 포함되는 회로(MC)는, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각에 유지되어 있는 전위에 따른 전류를 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흘리고, 또한 배선(X1L), 배선(X2L), 배선(X1L2x), 배선(X2L2x)에 입력되는 전위에 따라 상기 전류를 0배, 1배, 2배, 3배로 하여 출력할 수 있다.

[0575] 앞에서는, 도 39의 회로(MP)에 양의 제 1 데이터(가중 계수)를 설정한 예에 대하여 설명하였지만, 도 39의 회로(MP)에 음의 제 1 데이터(가중 계수)를 설정한 경우에도 마찬가지로, 회로(MP)는 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류를 흘리고, 또한 배선(X1L), 배선(X2L), 배선(X1L2x), 배선(X2L2x)에 입력되는 전위에 따라 상기 전류를 0배, 1배, 2배, 3배로 하여 출력할 수 있다.

[0576] 또한 도 39의 회로(MP)에 0의 제 1 데이터(가중 계수)를 설정한 경우에는, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 저레벨 전위, 예를 들어 VSS를 인가하면 좋다. 이로써, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b), 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br), 트랜지스터(M1x), 트랜지스터(M1x-2b), 트랜지스터(M1x-3b), 트랜지스터(M1xr), 트랜지스터(M1x-2br), 트랜지스터(M1x-3br) 각각의 소스-드레인 사이에 흐르는 전류량을 0으로 설정할 수 있다. 그러므로 배선(X1L), 배선(X2L), 배선(X1L2x), 배선(X2L2x)이 인가하는 전위에 상관없이, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류는 흐르지 않고, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류는 흐르지 않는다.

[0577] 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각에 유지되어 있는 전위를 제 1 데이터(가중 계수)에 따른 전위로 하고, 배선(X1L), 배선(X2L), 배선(X1L2x), 배선(X2L2x)에 입력되는 전위를 제 2 데이터(뉴런의 신호의 값)에 따른 전위로 함으로써, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전류량을, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱으로서 취급할 수 있다.

[0578] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0579] <구성예 7>

[0580] 구성예 1 내지 구성예 6에서는, 회로(MP)가 유지하는 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 "양의 다치", "0", "음의 다치"로 하고, 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)과의 곱을 계산할 수 있는 회로(MP)에 대하여 설명하였지만, 본 구성예에서는 일례로서 제 1 데이터(가중 계수)를 "양의 다치", "0", "음의 다치"로 하고, 제 2 데이터(뉴런의 신호의 값)를 "+1", "0"의 2치로 하여, 이들의 곱을 계산할 수 있는 회로(MP)에 대하여 설명한다.

[0581] 도 40에 나타낸 회로(MP)는 도 16의 (A)의 회로(MP)에서 트랜지스터(M4), 트랜지스터(M4r)를 제외한 회로이다. 또한 트랜지스터(M4), 트랜지스터(M4r)를 제외하였기 때문에, 도 40에서는 트랜지스터(M4), 트랜지스터(M4r) 각각의 게이트에 전위를 입력하기 위한 배선(X2L)도 제외하였다. 또한 배선(X1L)에 상당하는 배선은 도 40에서는 배선(WXL)이라고 기재하였다. 또한 여기서는 도 16의 (A)에 적용한 경우의 예를 나타내지만, 본 발명의 일 형태는 이에 한정되지 않는다. 다른 도면에서도 마찬가지로 트랜지스터(M4), 트랜지스터(M4r)를 제외할 수 있다.

[0582] 도 40의 회로(MP)에 설정되는 제 1 데이터(가중 계수)는 도 15의 (A)의 회로(MP)에 설정되는 제 1 데이터(가중 계수)와 같은 것으로 한다. 그러므로 도 40의 회로(MP)에 설정되는 제 1 데이터(가중 계수)에 대해서는 도 15의 (A)의 회로(MP)에 대한 설명을 참조한다. 상기 제 1 데이터(가중 계수)로서는 예를 들어, "-2", "-1", "0", "+1", "+2"로 할 수 있다.

[0583] 또한 도 40의 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)는 배선(WXL)에 고레벨 전위가 인가되는 경우에 "+1"로 하고, 배선(WXL)에 저레벨 전위가 인가되는 경우에 "0"으로 한다.

[0584] 또한 도 40의 회로(MP)의 동작에 대해서는 구성예 1의 동작예에 대한 설명을 참조한다.

[0585] 도 40의 회로(MP)에서 상술한 바와 같이 제 1 데이터(가중 계수)와 입력되는 제 2 데이터(뉴런의 신호의 값)를 정의하였을 때, 각 가중 계수에 있어서, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)가 입력되는 것에 의한, 배선(OL)의 노드(outa)로부터 출력되는 전류(I_{OL})의 변화의 유무 및 배선(OLB)의 노드(outb)로부터 출력되는 전류(I_{OLB})의 변화의 유무는 이하의 표와 같다. 또한 이하의 표에서는 고레벨 전위를 high라고 기재하고, 저레벨 전위를 low라고 기재한다.

[0586] [표 5]

가중 계수	n1	n1r	신호	WXL	가중 계수 × 신호	I_{OL}의 변화량	I_{OLB}의 변화량
-2	VSS	V_2	+1	high	-2	0	I_2
-1	VSS	V_1	+1	high	-1	0	I_1
0	VSS	VSS	+1	high	0	0	0
+1	V_1	VSS	+1	high	+1	I_1	0
+2	V_2	VSS	+1	high	+2	I_2	0
-2	VSS	V_2	0	low	0	0	0
-1	VSS	V_1	0	low	0	0	0
0	VSS	VSS	0	low	0	0	0
+1	V_1	VSS	0	low	0	0	0
+2	V_2	VSS	0	low	0	0	0

[0587]

[0588] 상기 표와 같이 도 40의 회로(MP)는, 양의 다치 또는 음의 다치인 제 1 데이터(가중 계수)와, "+1", "0"의 2치인 제 2 데이터(뉴런의 신호의 값)의 곱을 계산할 수 있다. 또한 제 1 데이터(가중 계수)는 5치가 아니라 2치이어도 좋고, 5치 이외의 다치이어도 좋다. 2치로서는 예를 들어, "+1", "0"의 2치, 또는 "+1", "-1"의 2치이어도 좋다. 또한 제 1 데이터(가중 계수)는 예를 들어, 아날로그값이어도 좋고, 다중 비트(다치)의 디지털값이어도 좋다.

[0589] 또한 본 동작예에서는 회로(MP)의 회로(MC), 회로(MCr)의 유지부(HC), 유지부(HCr)에 있어서, 각각에서 설정하는 전류는 다치로 하였지만 설정하는 전류는 아날로그값이어도 좋다. 예를 들어 제 1 데이터(가중 계수)가 "양의 아날로그값"인 경우에는, 유지부(HC)의 노드(n1)에서 아날로그값의 전류가 설정되고, 노드(n1)에 상기 전류에 따른 전위가 유지되고, 유지부(HCr)의 노드(n1r)에 저레벨 전위가 유지된다. 제 1 데이터(가중 계수)가 "음의 아날로그값"인 경우에는, 예를 들어 유지부(HC)의 노드(n1)에 저레벨 전위가 유지되고, 유지부(HC)의 노드(n1r)에서 아날로그값의 전류가 설정되고, 노드(n1r)에 상기 전류에 따른 전위가 유지된다. 그래서 전류(I_{OL}) 및 전류(I_{OLB})의 전류 크기는 아날로그 전위에 따른 크기가 된다.

[0590] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0591] <구성예 8>

[0592] 다음으로 회로(ILD)에 포함되는 트랜지스터와 회로(MP)에 포함되는 트랜지스터가 같은 극성인 경우의 회로(MP)의 구성예에 대하여 설명한다.

[0593] 여기서는 회로(ILD)의 전류원 회로(ISC)에 포함되는 정전류원 회로(ISC1)(정전류원 회로(ISC2), 정전류원 회로(ISC3))가 도 8의 (C)의 n채널형 트랜지스터를 가지는 구성인 경우에 있어서, 포함되는 트랜지스터를 모두 n채널형 트랜지스터로 한 회로(MP)의 구성예에 대하여 설명한다.

[0594] 도 41의 (A)에 나타낸 회로(MP)는 도 21의 (A)의 회로(MP)의 구성을 변경한 회로이고, 도 41의 (A)의 회로(MP)는 유지부(HC)의 구성과 트랜지스터(M1)의 백 게이트의 접속 대상에서 도 21의 (A)의 회로(MP)와 상이하다. 그러므로 도 21의 (A)의 회로(MP)와 도 41의 (A)의 회로(MP)에서 접속 구성이 같은 부분에 대해서는 설명을 생략한다.

[0595] 도 41의 (A)의 회로(MP)에서, 유지부(HC)는 트랜지스터(M9)와 용량 소자(C3)를 가진다.

[0596] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M9)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0597] 트랜지스터(M1)의 게이트는 트랜지스터(M9)의 제 1 단자와, 용량 소자(C3)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M9)의 제 2 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M1)의 백 게이트는 트랜지스터(M1)의 제 2 단자와, 용량 소자(C3)의 제 2 단자와, 트랜지스터(M3)의 제 1 단자와, 트랜지스터(M4)의 제 1 단자에 전기적으로 접속된다.

[0598] 트랜지스터(M1)의 백 게이트와 트랜지스터(M1)의 제 2 단자를 전기적으로 접속하고 트랜지스터(M1)의 제 1 단자에 고레벨 전위를 인가함으로써, 트랜지스터(M1)의 문턱 전압을 높일 수 있는 경우가 있다. 또한 본 발명의 일

형태의 반도체 장치는 이에 한정되지 않고, 예를 들어 도 41의 (A)의 회로(MP)에서 트랜지스터(M1)의 백 게이트가 저레벨 전위를 인가하는 배선 등에 전기적으로 접속되는 구성으로 하여도 좋다. 또한 예를 들어 도 41의 (A)의 회로(MP)에서 트랜지스터(M1)가 백 게이트를 가지지 않는 구성으로 하여도 좋다.

[0599] 또한 도 41의 (A)에 나타낸 유지부(HC)에서, 트랜지스터(M1)의 게이트와, 트랜지스터(M9)의 제 1 단자와, 용량 소자(C3)의 제 1 단자의 전기적 접속점을 노드(n3)로 하였다.

[0600] 도 41의 (A)의 회로(MP)에서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다.

[0601] 도 41의 (A)의 회로(MP)에서, 배선(VE), 배선(VEr)이 인가하는 전위로서는 예를 들어 고레벨 전위인 것이 바람직하다. 도 8의 (C)에 나타낸 정전류원 회로(ISC1)(정전류원 회로(ISC2), 정전류원 회로(ISC3))에서 배선(VSO)이 저레벨 전위가 되어 있기 때문에, 배선(VE), 배선(VEr)이 인가하는 전위를 고레벨 전위로 함으로써, 회로(MC) 또는 회로(MCr)로부터 배선(OL), 배선(OLB)을 통하여 회로(ILD)에 전류를 흘릴 수 있다. 여기서는 배선(VE), 배선(VEr)이 인가하는 전위를 VDD로 하여 설명한다.

[0602] 도 41의 (A)의 회로(MC)에서, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류를 설정할 때(제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 설정할 때), 배선(WX1L), 배선(WL)에 고레벨 전위를 인가하여 트랜지스터(M3), 트랜지스터(M9)를 온 상태로 한다. 이로써 유지부(HC)의 노드(n3)의 전위는 VDD가 된다. 그 후, 도 8의 (A)의 전류원 회로(ISC)에서 전류를 생성함으로써, 배선(VE)으로부터 트랜지스터(M1)의 소스-드레인 사이와, 회로(MC)의 트랜지스터(M3)의 소스-드레인 사이와, 배선(OL)을 통하여 전류원 회로(ISC)에 상기 전류가 흐른다. 이때 용량 소자(C3)의 제 2 단자의 전위(트랜지스터(M1)의 제 2 단자의 전위)는 상기 전류에 따라 결정된다. 여기서, 배선(WX1L), 배선(WL)에 저레벨 전위를 인가하여 트랜지스터(M3), 트랜지스터(M9)를 오프 상태로 함으로써, 용량 소자(C3)에 의하여 트랜지스터(M1)의 게이트와 트랜지스터(M1)의 제 2 단자 사이의 전압을 유지할 수 있다. 이로써 트랜지스터(M1)의 소스-드레인 사이에 상기 전류를 설정할 수 있다. 그 후에 배선(WX1L), 배선(X2L)의 각각에 소정의 전위를 인가하여, 트랜지스터(M3) 및 트랜지스터(M4) 중 한쪽을 온 상태로, 트랜지스터(M3) 및 트랜지스터(M4) 중 다른 쪽을 오프 상태로 함으로써, 배선(VE)으로부터 회로(MC)를 통하여 배선(OL) 또는 배선(OLB)에 설정된 전류를 흘릴 수 있다.

[0603] 또한 도 41의 (A)의 회로(MP)의 구성의 변경예를 도 41의 (B)에 나타내었다. 도 41의 (B)의 회로(MP)는 트랜지스터(M9)의 제 2 단자가 배선(VE)이 아니라 배선(VA)에 전기적으로 접속되는 점과, 트랜지스터(M9r)의 제 2 단자가 배선(VEr)이 아니라 배선(VA)에 전기적으로 접속되는 점에서 도 41의 (A)의 회로(MP)와 상이하다.

[0604] 배선(VA)은 일례로서, 정전압을 인가하는 배선으로서 기능한다. 특히 상기 정전압으로서는 접지 전위, 저레벨 전위, VSS보다 높고 배선(VE)이 인가하는 고레벨 전위, VDD보다 낮은 전위가 바람직하다. 여기서 배선(VA)이 인가하는 정전압을 V_M으로 하고, 전위(V_M)는 접지 전위, 저레벨 전위, VSS보다 높고 배선(VE)이 인가하는 고레벨 전위, VDD보다 낮은 전위인 것으로 한다.

[0605] 도 41의 (A)의 회로(MP)에서, 트랜지스터(M1)의 제 2 단자의 전위를 V_S로 하였을 때, 트랜지스터(M1)의 소스-드레인 간 전압은 $VDD-V_S$가 된다. 또한 트랜지스터(M1)의 게이트에 V_M이 입력되어 있는 경우, 트랜지스터(M1)의 게이트-소스 간 전압은 V_M-V_S가 된다. 트랜지스터(M1)가 포화 영역에서 동작하기 위해서는, 트랜지스터(M1)의 문턱 전압을 V_{th}로 하였을 때, $VDD-V_S>V_M-V_S-V_{th}$의 관계를 만족시키면 좋다. 또한 트랜지스터(M1)가 노멀리 온 특성이면, 게이트-소스 간 전압(V_M-V_S)이 음의 값이 되어도, 게이트-소스 간 전압($VDD-V_S$)이 양의 값이 되기 때문에, 트랜지스터(M1)는 포화 영역에서 동작할 수 있다.

[0606] 또한 노멀리 온 특성이란, 트랜지스터의 게이트에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 상태를 말한다.

[0607] 또한 도 41의 (B)의 회로(MP)에서, 배선(VA)과 배선(VAr)은 하나의 배선으로서 통합되어도 좋다. 예를 들어 도 41의 (C)에 나타낸 회로(MP)와 같이, 배선(VA)과 배선(VAr)을 배선(VA)으로서 하나로 통합하고 열 방향을 따라 제공하여도 좋다. 또한 배선(VA)은 열 방향이 아니라 행 방향을 따라 제공되어도 좋다(미도시).

[0608] 다음으로 도 41의 (A) 내지 (C)와는 다른, 정전류원 회로(ISC1)(정전류원 회로(ISC2), 정전류원 회로(ISC3))과 회로(MP)를 n채널형 트랜지스터의 단극성 회로로 한 경우의 회로(MP)의 구성예에 대하여 설명한다.

[0609] 도 42에 나타낸 회로(MP)는 도 41의 (A)의 회로(MP)를, 다치의 제 2 데이터(예를 들어 여기서는 뉴런의 신호의

값(연산값)으로 함)를 취급할 수 있도록 변형한 회로이다.

[0610] 도 42의 회로(MP)에 포함되는 회로(MC)는 도 41의 (A)의 회로(MP)가 가지는 회로 소자에 더하여, 트랜지스터(M1-2b), 트랜지스터(M3-2b), 트랜지스터(M4-2b), 트랜지스터(M10), 유지부(HC-2b)를 가진다.

[0611] 본 명세서 등에 있어서, 트랜지스터(M1)와 마찬가지로, 특별히 언급되지 않는 한 트랜지스터(M1-2b)는 온 상태일 때 최종적으로 포화 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 포화 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 공급되는 전압의 진폭값을 작게 하기 위하여, 트랜지스터(M1-2b)는 선형 영역에서 동작하여도 좋다. 또한 제 1 데이터(가중 계수)를 아날로그값으로 하는 경우에는, 제 1 데이터(가중 계수)의 크기에 따라, 예를 들어 트랜지스터(M1-2b)는 선형 영역에서 동작하는 경우와, 포화 영역에서 동작하는 경우가 혼재되어 있어도 좋다.

[0612] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(M3-2b), 트랜지스터(M4-2b), 트랜지스터(M10)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0613] 다음으로 도 42의 회로(MP)의 구성에 대하여 설명한다. 또한 도 42의 회로(MP)와 도 41의 (A)의 회로(MP)에서 구성이 같은 부분에 대해서는 설명을 생략한다.

[0614] 유지부(HC-2b)는 유지부(HC)와 같은 구성이다. 그러므로 유지부(HC-2b)에 포함되는 회로 소자 등을 설명할 때는, 유지부(HC)에 포함되는 회로 소자의 부호를 사용하여 설명하는 경우가 있다.

[0615] 도 42의 회로(MP)의 회로(MC)에서, 트랜지스터(M1-2b)의 제 1 단자는 배선(VE)에 전기적으로 접속된다. 트랜지스터(M1-2b)의 제 2 단자는 트랜지스터(M1-2b)의 백 게이트와, 트랜지스터(M3-2b)의 제 1 단자와, 트랜지스터(M4-2b)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(M1-2b)의 게이트는 유지부(HC-2b)의 트랜지스터(M9)의 제 1 단자와, 유지부(HC-2b)의 용량 소자(C1)의 제 1 단자에 전기적으로 접속된다. 유지부(HC-2b)의 용량 소자(C3)는 트랜지스터(M10)의 제 1 단자와 트랜지스터(M1)의 제 2 단자에 전기적으로 접속된다. 트랜지스터(M3-2b)의 제 2 단자는 배선(OL)에 전기적으로 접속된다. 트랜지스터(M3-2b)의 게이트는 배선(X1L2b)에 전기적으로 접속된다. 트랜지스터(M4-2b)의 제 2 단자는 배선(OLB)에 전기적으로 접속된다. 트랜지스터(M4-2b)의 게이트는 배선(X2L2b)에 전기적으로 접속된다. 트랜지스터(M10)의 제 2 단자는 트랜지스터(M1)의 제 2 단자와, 트랜지스터(M3)의 제 1 단자와, 트랜지스터(M4)의 제 1 단자와, 유지부(HC)의 용량 소자(C3)의 제 2 단자에 전기적으로 접속된다. 유지부(HC-2b)의 트랜지스터(M9)의 제 2 단자는 유지부(HC)의 트랜지스터(M9)의 제 1 단자에 전기적으로 접속된다. 유지부(HC-2b)의 트랜지스터(M9)의 게이트와, 트랜지스터(M10)의 게이트는 배선(WL)에 전기적으로 접속된다.

[0616] 또한 도 42의 회로(MP)의 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다. 또한 트랜지스터(M3-2br)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4-2br)의 제 2 단자는 배선(OL)에 전기적으로 접속된다.

[0617] 도 42의 회로(MP)에서, 트랜지스터(M3), 트랜지스터(M3-2b), 트랜지스터(M3r), 트랜지스터(M3-2br), 트랜지스터(M4), 트랜지스터(M4-2b), 트랜지스터(M4r), 트랜지스터(M4-2br)의 크기, 예를 들어 채널 길이 및 채널 폭은 서로 같은 것이 바람직하다. 이와 같은 회로 구성으로 함으로써 효율적으로 레이아웃할 수 있을 가능성이 있다.

[0618] 또한 도 42의 회로(MP)에서, 유지부(HCr), 유지부(HC-2br)에 포함되는 각 트랜지스터(M9r)의 크기, 예를 들어 채널 길이 및 채널 폭은 유지부(HC), 유지부(HC-2b)에 포함되는 각 트랜지스터(M9)의 크기와 같은 것이 바람직하다. 또한 트랜지스터(M10r)와 트랜지스터(M10)의 크기는 같은 것이 바람직하다.

[0619] 또한 트랜지스터(M1)의 W길이와 L길이의 비를 W/L로 하였을 때, 트랜지스터(M1-2b)의 W길이와 L길이의 비는 2W/L로 하는 것이 바람직하다. 또한 트랜지스터(M1r)와 트랜지스터(M1)의 크기는 같은 것이 바람직하고, 트랜지스터(M1-2br)와 트랜지스터(M1-2b)의 크기는 같은 것이 바람직하다.

[0620] 배선(X1L2b)은 트랜지스터(M3-2b), 트랜지스터(M3-2br)의 온 상태와 오프 상태를 전환하기 위한 배선이고, 배선(X2L2b)은 트랜지스터(M4-2b), 트랜지스터(M4-2br)의 온 상태와 오프 상태를 전환하기 위한 배선이다.

[0621] 다음으로 도 42의 회로(MP)에서의 전류의 설정 방법(제 1 데이터(가중 계수)의 설정 방법)에 대하여 설명한다.

[0622] 우선, 배선(WX1L), 배선(WL)에 고레벨 전위를 인가하여 트랜지스터(M3), 트랜지스터(M10), 유지부(HC)의 트랜지스터(M9), 유지부(HC-2b)의 트랜지스터(M9)를 온 상태로 한다. 이로써, 유지부(HC)의 노드(n3)의 전위는 VDD가 되고, 유지부(HC-2b)의 노드(n3)의 전위는 VDD가 된다. 그 후, 도 8의 (A)의 전류원 회로(ISC)에서 전류량으로서 $3I_{ut}$의 전류를 생성함으로써, 배선(VE)으로부터, 트랜지스터(M1)의 소스-드레인 사이와 트랜지스터(M1-2b)의 소스-드레인 사이에 상이한 전류가 흐른다. 구체적으로는 트랜지스터(M1-2b)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 2배이기 때문에, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량은 I_{ut}가 되고, 트랜지스터(M1-2b)의 소스-드레인 사이에 흐르는 전류량은 $2I_{ut}$가 된다. 트랜지스터(M1)와 트랜지스터(M1-2b) 각각의 소스-드레인 사이에 흐르는 전류는 트랜지스터(M3)의 소스-드레인 사이와, 배선(OL)을 통하여 전류원 회로(ISC)에 흐른다. 이때 유지부(HC)의 용량 소자(C3)의 제 2 단자의 전위(트랜지스터(M1)의 제 2 단자의 전위)는 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류에 따라 결정되고, 유지부(HC-2b)의 용량 소자(C3)의 제 2 단자의 전위(트랜지스터(M1-2b)의 제 2 단자의 전위)는 트랜지스터(M1-2b)의 소스-드레인 사이에 흐르는 전류에 따라 결정된다. 여기서, 배선(WX1L), 배선(WL)에 저레벨 전위를 인가하여 트랜지스터(M3), 트랜지스터(M10), 유지부(HC)의 트랜지스터(M9), 유지부(HC-2b)의 트랜지스터(M9)를 오프 상태로 함으로써, 유지부(HC)의 용량 소자(C3)에 의하여 트랜지스터(M1)의 게이트와 트랜지스터(M1)의 제 2 단자 사이의 전압을 유지할 수 있고, 유지부(HC-2b)의 용량 소자(C3)에 의하여 트랜지스터(M1-2b)의 게이트와 트랜지스터(M1-2b)의 제 2 단자 사이의 전압을 유지할 수 있다. 이로써, 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류량을 I_{ut}로 설정할 수 있고, 트랜지스터(M1-2b)의 소스-드레인 사이에 흐르는 전류량을 $2I_{ut}$로 설정할 수 있다.

[0623] 그 후에 제 2 데이터(뉴런의 신호의 값)에 따라 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b)의 각각에 소정의 전위를 인가함으로써, 회로(MP)에 있어서 설정된 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 계산할 수 있다. 또한 다치의 제 1 데이터(가중 계수)와, 다치의 제 2 데이터(뉴런의 신호의 값)의 곱의 계산에 대해서는 구성예 5에서 자세히 설명하였다.

[0624] 또한 도 42의 회로(MP)는 도 43의 회로(MP)로 구성을 변경할 수 있다. 도 43의 회로(MP)는, 도 42의 회로(MP)에서 유지부(HC-2b)의 트랜지스터(M9)의 제 2 단자의 접속 대상을 유지부(HC)의 트랜지스터(M9)의 제 1 단자에서 배선(VE)으로 변경하고, 유지부(HC-2br)의 트랜지스터(M9r)의 제 2 단자의 접속 대상을 유지부(HCr)의 트랜지스터(M9r)의 제 1 단자에서 배선(VEr)으로 변경한 구성에 상당한다. 도 43의 회로(MP)는 도 42의 회로(MP)와 같은 식으로 동작할 수 있다.

[0625] 또한 도 42의 회로(MP)와 도 43의 회로(MP)에서는, 도 41의 (B)의 회로(MP)와 같이, 배선(VE)을 배선(VE)과 배선(VA)으로 분리하고, 배선(VEr)을 배선(VEr)과 배선(VAr)으로 분리하여도 좋다. 도 44에 나타낸 회로(MP)는, 도 42의 회로(MP)에서 배선(VE)을 배선(VE)과 배선(VA)으로 분리한 구성이고, 도 45에 나타낸 회로(MP)는, 도 43의 회로(MP)에서 배선(VE)을 배선(VE)과 배선(VA)으로 분리한 구성이다.

[0626] 도 44의 회로(MP), 도 45의 회로(MP)는 각각 도 42의 회로(MP), 도 43의 회로(MP)와 같은 식으로 동작할 수 있다. 또한 도 42, 도 43, 도 44, 도 45 등에 나타낸 바와 같이, 용량 소자(C3)가 트랜지스터(M1) 등의 소스 단자에 접속되고, 그 소스 단자가 전원선 등에 접속되지 않고, 그 드레인 단자가 전원선 등에 접속되어 있는 경우에 있어서, 회로(ILD)로부터 전환 회로(TW[j])를 통하여 배선(OL) 또는 배선(OLB)에 양의 전류를 공급하는 경우, 배선(VCN)이 인가하는 정전압으로서는 배선(VE)이나 배선(VA)에 공급되어 있는 전압, 예를 들어 고레벨 전위(예를 들어 VDD 등)로 하는 것이 바람직하다. 즉 배선(VCN)으로부터 정전압을 공급할 때, 용량 소자(C3)의 양쪽 단자의 전위차가 0에 가까워지도록 하는 것이 바람직하다. 즉 트랜지스터(M1)가 오프 상태가 되도록 하는 것이 바람직하다. 바꿔 말하면 회로(MC)로부터 전류가 출력되지 않게 되는 전위를 배선(VCN)에 공급하는 것이 바람직하다. 한편, 배선(VCN2)은 VSS나 접지 전위 등의 저레벨 전위로 하는 것이 바람직하다. 이에 의하여 회로(MP)로부터 출력되는 전류에 따라, 배선(OL) 및 배선(OLB)의 전위를 변화시킬 수 있다.

[0627] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0628] <구성예 9>

[0629] 도 46에는 도 14의 연산 회로(170)에 적용할 수 있는 회로(BS)와 회로(MP)의 일례를 나타내었다.

[0630] 회로(BS)로서는 예를 들어 도 46에 도시된 바와 같이 도 40의 회로(MP)를 적용할 수 있다. 회로(BMC)는 도 40의 회로(MP)의 회로(MC)에 상당하고, 회로(BMCr)는 도 40의 회로(MP)의 회로(MCr)에 상당한다. 트랜지스터

(M11)는 도 40의 회로(MP)의 트랜지스터(M1)에 상당하고, 트랜지스터(M12)는 도 40의 회로(MP)의 트랜지스터(M12)에 상당하고, 트랜지스터(M13)는 도 40의 회로(MP)의 트랜지스터(M13)에 상당하고, 용량 소자(C4)는 도 40의 회로(MP)의 용량 소자(C1)에 상당하고, 노드(n4)는 도 40의 회로(MP)의 노드(n1)에 상당한다. 또한 배선(WXBS)은 도 40의 회로(MP)의 배선(WXL)에 상당하고, 배선(WLBS)은 도 40의 회로(MP)의 배선(WL)에 상당하고, 배선(VF)은 도 40의 회로(MP)의 배선(VE)에 상당한다. 그러므로 도 46에 나타낸 회로(BS)의 구성에 대해서는 도 40의 회로(MP)에 대한 설명을 참조한다.

[0631] 회로(MP)로서는 예를 들어 도 46에 도시된 바와 같이 도 15의 (A)의 회로(MP)를 적용할 수 있다. 그러므로 도 46에 나타낸 회로(MP)의 구성에 대해서는 도 15의 (A)의 회로(MP)에 대한 설명을 참조한다.

[0632] 도 46의 회로(BS)에서, 회로(BMC)는 회로(BMCr)와 거의 같은 회로 구성이다. 또한 회로(MP)에서, 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(BSr)가 가지는 회로 소자 등에서는 회로(BS)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙이고, 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다.

[0633] 회로(BS)에 "양의 바이어스"를 설정할 때는, 도 40의 회로(MP)의 동작과 마찬가지로, 배선(WXBS), 배선(WLBS)에 고레벨 전위를 인가하여 트랜지스터(M12), 트랜지스터(M13), 트랜지스터(M12r), 트랜지스터(M13r)를 온 상태로 하면 좋다. 그 후에 도 8의 (A)의 전류원 회로(ISC)에서, 상기 바이어스에 따른 전류를 선택하고, 배선(OL)과 전류원 회로(ISC) 사이를 도통 상태로 한다. 이로써 전류원 회로(ISC)로부터 배선(OL) 및 회로(BMC)를 통하여 배선(VF)에 상기 전류가 흐르고, 노드(n4)의 전위는 상기 전류에 따른 전위가 된다. 또한 이때 배선(OLB)과 배선(VCN) 사이를 도통 상태로 함으로써, 회로(BMCr) 측의 노드(n4r)에는 배선(VCN)으로부터의 전위(VSS)가 인가되기 때문에 노드(n4r)의 전위는 VSS가 된다. 그 후, 배선(WXBS), 배선(WLBS)에 저레벨 전위를 인가하여 트랜지스터(M12), 트랜지스터(M13), 트랜지스터(M12r), 트랜지스터(M13r)를 오프 상태로 함으로써, 노드(n4), 노드(n4r)의 전위를 유지할 수 있다. 이러한 식으로 함으로써, 회로(BS)에 "양의 바이어스"를 설정할 수 있다.

[0634] 또한 회로(BS)에 "음의 바이어스"를 설정할 때는, 배선(WXBS), 배선(WLBS)에 고레벨 전위를 인가하여 트랜지스터(M12), 트랜지스터(M13), 트랜지스터(M12r), 트랜지스터(M13r)를 온 상태로 한다. 그 후에 도 8의 (A)의 전류원 회로(ISC)에서, 상기 바이어스에 따른 전류를 선택하고, 배선(OLB)과 전류원 회로(ISC) 사이를 도통 상태로 한다. 이로써 전류원 회로(ISC)로부터 배선(OLB) 및 회로(BMCr)를 통하여 배선(VFr)에 상기 전류가 흐르고, 노드(n4r)의 전위는 상기 전류에 따른 전위가 된다. 또한 이때 배선(OL)과 배선(VCN) 사이를 도통 상태로 함으로써, 회로(BMC) 측의 노드(n4)에는 배선(VCN)으로부터의 전위(VSS)가 인가되기 때문에 노드(n4)의 전위는 VSS가 된다. 그 후, 배선(WXBS), 배선(WLBS)에 저레벨 전위를 인가하여 트랜지스터(M12), 트랜지스터(M13), 트랜지스터(M12r), 트랜지스터(M13r)를 오프 상태로 함으로써, 노드(n4), 노드(n4r)의 전위를 유지할 수 있다. 이러한 식으로 함으로써, 회로(BS)에 "음의 바이어스"를 설정할 수 있다.

[0635] 또한 회로(BS)에 "0의 바이어스"를 설정할 때는, 배선(WXBS), 배선(WLBS)에 고레벨 전위를 인가하여 트랜지스터(M12), 트랜지스터(M13), 트랜지스터(M12r), 트랜지스터(M13r)를 온 상태로 하고, 배선(OL) 및 배선(OLB)과 배선(VCN) 사이를 도통 상태로 하여, 노드(n4), 노드(n4r)의 전위를 VSS로 한다. 그 후, 배선(WXBS), 배선(WLBS)에 저레벨 전위를 인가하여 트랜지스터(M12), 트랜지스터(M13), 트랜지스터(M12r), 트랜지스터(M13r)를 오프 상태로 하여, 노드(n4), 노드(n4r) 각각의 전위(VSS)를 유지함으로써, 회로(BS)에 "0의 바이어스"를 설정할 수 있다.

[0636] 또한 경우에 따라서는, 회로(BS)에 바이어스를 설정할 때, 노드(n4), 노드(n4r)의 각각에 VSS 이외의 전위를 인가하여도 좋다.

[0637] 회로(BS)에 바이어스를 설정한 후에는, 회로(MP)에 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 유지하고, 회로(MP)에 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)를 인가하면 좋다. 구체적으로는 회로(MP)에 상기 가중 계수에 따른 전류를 설정하고, 회로(MP)에 배선(WX1L), 배선(X2L)의 각각으로부터 제 2 데이터(뉴런의 신호의 값)에 따른 전위를 인가한다. 이에 더하여, 회로(BS)에서 배선(WXBS)을 고레벨 전위로 함으로써, 회로(MP)에서 계산된 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱에, 회로(BS)에 설정된 바이어스를 더할 수 있다.

[0638] 또한 먼저 회로(MP)에 제 1 데이터(가중 계수)를 유지하고, 한번 회로(MP)에서 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 계산한 후에, 그 계산 결과에 따라 회로(BS)에 바이어스를 설정하고, 다시 연산을 수행하여도 좋다. 즉 연산 결과에 따라 적절히 바이어스를 변경하는 동작을 수행하여도 좋다.

[0639] 또한 도 46의 구성예에서는 배선(VF), 배선(VFr), 배선(VE), 배선(VEr)을 도시하였지만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 도 46의 구성에 있어서, 배선(VF)과 배선(VE)을 하나의 배선으로서 통합하고, 배선(VFr)과 배선(VEr)을 하나의 배선으로서 통합하여도 좋다. 또한 예를 들어 도 16의 (B)의 회로(MP)와 같이, 도 46의 구성에 있어서, 배선(VF)과 배선(VFr)을 하나의 배선으로서 통합하고, 배선(VE)과 배선(VEr)을 하나의 배선으로서 통합하여도 좋다. 또한 예를 들어 도 46의 구성에 있어서, 배선(VF), 배선(VFr), 배선(VE), 배선(VEr)을 하나의 배선으로서 통합하여도 좋다. 예를 들어 도 46의 구성에 있어서, 배선(VF), 배선(VFr), 배선(VE), 배선(VEr)에서 선택된 2개 이상의 배선을 하나의 배선으로서 통합하여도 좋다.

[0640] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0641] <구성예 10>

[0642] 다음으로 도 10에 도시된 회로(MP)에 적용할 수 있는 회로의 구성예에 대하여 설명한다.

[0643] 도 47의 (A)에 나타낸 회로(MP)는, 예를 들어 도 7의 연산 회로(140)에 적용할 수 있는 도 10의 회로(MP)의 구성예를 나타낸 것이다. 또한 도 47의 (A)의 회로(MP)는, 도 40에 나타낸 회로(MP)에서 트랜지스터(M3)와 트랜지스터(M3r)를 하나의 트랜지스터로서 통합하고, 배선(VE)과 배선(VEr)을 하나의 배선으로서 통합한 회로에 상당한다. 구체적으로는 도 40에 나타낸 회로(MP)의 트랜지스터(M3) 및 트랜지스터(M3r)는 도 47의 (A)의 회로(MP)에서 트랜지스터(MZ)로서 통합되고, 도 40에 나타낸 회로(MP)의 배선(VE) 및 배선(VEr)은 도 47의 (A)의 회로(MP)에서 배선(VE)으로서 통합되어 있다.

[0644] 또한 도 47의 (A)의 회로(MP)의 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로 회로(MCr)가 가지는 회로 소자에서는 회로(MC)가 가지는 회로 소자와 구별하기 위하여 부호에 "r"를 붙였다.

[0645] 또한 본 명세서 등에 있어서, 특별히 언급되지 않는 한 트랜지스터(MZ)는 온 상태일 때 최종적으로 선형 영역에서 동작하는 경우를 포함하는 것으로 한다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우를 포함하는 것으로 한다.

[0646] 또한 회로(MC)는 유지부(HC)와 트랜지스터(M20)를 가지고, 회로(MCr)는 유지부(HCr)와 트랜지스터(M20r)를 가진다.

[0647] 트랜지스터(M20)의 제 1 단자는 트랜지스터(MZ)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(M20)의 게이트는 트랜지스터(M1)의 제 2 단자와, 용량 소자(C1)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(M20)의 제 2 단자는 배선(OL)에 전기적으로 접속된다. 용량 소자(C1)의 제 2 단자는 배선(VL)에 전기적으로 접속된다. 트랜지스터(M1)의 제 1 단자는 배선(OL)에 전기적으로 접속된다.

[0648] 또한 트랜지스터(M20r)의 제 1 단자는 트랜지스터(MZ)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(M20r)의 게이트는 트랜지스터(M1r)의 제 2 단자와, 용량 소자(C1r)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(M20r)의 제 2 단자는 배선(OLB)에 전기적으로 접속된다. 용량 소자(C1r)의 제 2 단자는 배선(VL)에 전기적으로 접속된다. 트랜지스터(M1)의 제 1 단자는 배선(OLB)에 전기적으로 접속된다.

[0649] 배선(VL)은 일례로서, 정전압을 인가하는 배선으로서 기능한다. 상기 정전압으로서는 예를 들어 저레벨 전위인 VSS, 접지 전위(GND) 등으로 할 수 있다.

[0650] 도 47의 (A)의 회로(MP)에 포함되는 유지부(HC), 유지부(HCr)는, 도 15의 (A) 등에 나타내어진 회로(MP)에 포함되는 유지부(HC), 유지부(HCr)와 마찬가지로, 가중 계수에 상당하는 전류량을 설정할 수 있다. 구체적으로는, 예를 들어 유지부(HC)에 있어서, 배선(XL)에 소정의 전위를 인가하여 트랜지스터(MZ)를 온 상태로 하고, 배선(WL)에 소정의 전위를 인가하여 트랜지스터(M1)를 온 상태로 함으로써, 배선(OL)으로부터 용량 소자(C1)의 제 1 단자 및 트랜지스터(M20)의 제 2 단자에 가중 계수에 상당하는 전류량을 흘린다. 이때 트랜지스터(M20)는 다이오드 접속이 되어 있기 때문에, 트랜지스터(M20)의 게이트-소스 간 전압은 상기 전류량(소스-드레인 사이에 흐르는 전류량)에 따라 결정된다. 이때 트랜지스터(M20)의 소스의 전위를 배선(VL)이 인가하는 전위로 하면 트랜지스터(M20)의 게이트의 전위가 결정된다. 여기서, 트랜지스터(M1)를 오프 상태로 함으로써 트랜지스터(M20)의 게이트의 전위를 유지할 수 있다. 또한 유지부(HCr)에 대해서도 마찬가지로, 배선(OLB)으로부터 용량 소자(C1r)의 제 1 단자 및 트랜지스터(M20r)의 제 2 단자에 가중 계수에 상당하는 전류량을 흘림으로써, 상기 전류량에 따른 전위를 트랜지스터(M20r)의 게이트에 유지할 수 있다.

[0651] 여기서 예를 들어 도 48의 회로(MP)에 설정되는 가중 계수는, 유지부(HC)의 트랜지스터(M20)에 I_{ut}의 전류가 설

정되고 유지부(HCr)의 트랜지스터(M20r)에 전류가 흐르지 않도록 설정되었을 때 "+1"로 하고, 유지부(HC)의 트랜지스터(M20)에 전류가 흐르지 않도록 설정되고 유지부(HCr)의 트랜지스터(M20r)에 I_{ut}의 전류가 설정되었을 때 "-1"로 하고, 유지부(HC), 유지부(HCr) 각각의 트랜지스터(M20), 트랜지스터(M20r)에 전류가 흐르지 않도록 설정되었을 때 "0"으로 한다.

[0652] 유지부(HC) 및 유지부(HCr)의 각각에 가중 계수에 따른 전류가 설정됨으로써, 트랜지스터(M20) 및 트랜지스터(M20r)의 각 게이트의 전위가 결정된다. 여기서 배선(XL)에 예를 들어 뉴런의 신호의 값에 따른 전위를 인가함으로써, 배선(OL) 및/또는 배선(OLB)과 회로(MP) 사이에 흐르는 전류가 결정된다. 예를 들어, 배선(XL)에 "+1"의 제 2 데이터로서 고레벨 전위가 인가되었을 때, 배선(VL)이 인가하는 정전압이 트랜지스터(M20)의 제 1 단자와 트랜지스터(M20r)의 제 1 단자에 인가된다. 또한 예를 들어 배선(XL)에 "0"의 제 2 데이터로서 저레벨 전위가 인가되었을 때, 배선(VL)이 인가하는 정전압은 트랜지스터(M20)의 제 1 단자와 트랜지스터(M20r)의 제 1 단자에 인가되지 않는다. 즉 트랜지스터(M20) 및 트랜지스터(M20r)에는 전류가 흐르지 않는다.

[0653] 여기서, 트랜지스터(M20)에 전류량으로서 I_{ut}가 설정되어 있을 때, 트랜지스터(M20)의 소스에 배선(VL)으로부터의 전위가 인가됨으로써, 트랜지스터(M20)의 제 1 단자와 제 2 단자 사이에 전류량으로서 I_{ut}가 흐른다. 또한 트랜지스터(M20)에 전류가 흐르지 않도록 설정되어 있을 때, 트랜지스터(M20)의 소스에 배선(VL)으로부터의 전위가 인가되어도, 트랜지스터(M20)의 제 1 단자와 제 2 단자 사이에는 전류가 흐르지 않는다. 마찬가지로, 트랜지스터(M20r)에 전류량으로서 I_{ut}가 설정되어 있을 때, 트랜지스터(M20r)의 소스에 배선(VL)으로부터의 전위가 인가됨으로써, 트랜지스터(M20r)의 제 1 단자와 제 2 단자 사이에 전류량으로서 I_{ut}가 흐른다. 또한 트랜지스터(M20r)에 전류가 흐르지 않도록 설정되어 있을 때, 트랜지스터(M20r)의 소스에 배선(VL)으로부터의 전위가 인가되어도, 트랜지스터(M20r)의 제 1 단자와 제 2 단자 사이에는 전류가 흐르지 않는다.

[0654] 즉 상기 내용을 정리하면, 가중 계수와 뉴런의 신호의 값의 곱이 "+1"인 경우, 회로(MC)와 배선(OL) 사이에 I_{ut}의 전류량이 흐르고, 회로(MCr)와 배선(OLB) 사이에 전류가 흐르지 않는다. 또한 가중 계수와 뉴런의 신호의 값의 곱이 "-1"인 경우, 회로(MCr)와 배선(OLB) 사이에 I_{ut}의 전류량이 흐르고, 회로(MC)와 배선(OL) 사이에 전류가 흐르지 않는다. 또한 가중 계수와 뉴런의 신호의 값의 곱이 "0"인 경우, 회로(MC)와 배선(OL) 사이에 전류가 흐르지 않고, 회로(MCr)와 배선(OLB) 사이에 전류가 흐르지 않는다.

[0655] 상술한 바와 같이, 도 47의 (A)의 회로(MP)는 "+1", "-1", "0"의 3치인 가중 계수와, "+1", "0"의 2치인 뉴런의 신호(연산값)의 곱을 계산할 수 있다. 또한 도 47의 (A)의 회로(MP)는, 구성예 7에서 설명한 회로(MP)와 마찬가지로, 일례로서 트랜지스터(M20) 및 트랜지스터(M20r)에 설정하는 전류량을 변경함으로써 "양의 다치", "0", "음의 다치"인 제 1 데이터(가중 계수)와, "+1", "0"의 2치인 제 2 데이터(뉴런의 신호의 값)의 곱을 계산할 수 있다.

[0656] 또한 도 47의 (A)에 나타낸 회로(MP)는 예를 들어 도 47의 (B)에 나타낸 회로(MP)로 변경하여도 좋다. 도 47의 (B)에 나타낸 회로(MP)는 용량 소자(C1)의 제 2 단자와 용량 소자(C1r)의 제 2 단자가 배선(VL)이 아니라 배선(CVL)에 전기적으로 접속되는 점에서 도 47의 (A)의 회로(MP)와 상이하다.

[0657] 배선(CVL)은 일례로서, 정전압을 인가하는 배선으로서 기능한다. 상기 정전압으로서는 예를 들어 고레벨 전위, 저레벨 전위, 접지 전위 등으로 할 수 있다.

[0658] 또한 본 구성예는 본 명세서에서 나타내는 다른 구성예 등과 적절히 조합할 수 있다.

[0659] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0660] (실시형태 3)

[0661] 본 실시형태에서는 다치의 제 1 데이터(예를 들어 가중 계수 및 뉴런의 신호 중 한쪽 등)와 다치의 제 2 데이터(예를 들어 가중 계수 및 뉴런의 신호 중 다른 쪽 등)의 적화 연산을 할 수 있는 반도체 장치 또는 상기 반도체 장치의 동작 방법에 대하여 설명한다.

[0662] <동작 방법예 1>

[0663] 우선, 위의 실시형태에서 설명한 반도체 장치 등을 사용하여 다치의 제 1 데이터(예를 들어 가중 계수 및 뉴런의 신호 중 한쪽 등)와 다치의 제 2 데이터(예를 들어 가중 계수 및 뉴런의 신호 중 다른 쪽 등)의 적화 연산을 하는 동작 방법의 일례에 대하여 설명한다.

[0664] 일례로서, 도 21의 (A)의 회로(MP)를 적용한 도 11의 연산 회로(150)의 동작 방법을 생각한다. 또한, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에 흐르는 전류는 배선(OL), 배선(OLB)에 전기적으로 접속되어 있는 하나의 회로(MP)만에 의하여 변화되는 것으로 한다. 또한, 회로(MP)에 전기적으로 접속되어 있는 배선(VE), 배선(VEr)의 각각은 회로(MP)에 대하여 정전압으로서 VSS를 인가하는 것으로 한다. 또한, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각은 일례로서 적분 회로(또는 전류 전하(IQ) 변환 회로)의 구성을 가진 회로(ACTF)로 한다. 예를 들어, 도 6의 (E)의 회로(ACTF[j])에 있어서 부하 소자(LEa), 부하 소자(LEb)를 용량 소자 등으로 한 구성으로 하여도 좋다.

[0665] 도 48의 (A)는 상기 동작 방법의 예를 나타낸 타이밍 차트이다. 구체적으로는 도 48의 (A)의 각각은 시각 T11부터 시각 T15까지 사이 및 그 근방의 시각에서의 유지부(HC)의 노드(n1)의 전위와, 유지부(HCr)의 노드(n1r)의 전위와, 배선(WX1L)의 전위와, 배선(OL)에 흐르는 전류(I_{OL})의 전류량과, 배선(OLB)에 흐르는 전류(I_{OLB})의 전류량과, 회로(ACTF)의 적분 회로의 용량 소자에 축적되는 전하량의 변화를 나타낸 것이다. 특히 도 48의 (A)에 있어서, 배선(OL)으로부터 부하 소자(LEa)에 포함되는 용량 소자에 흐르는 전류에 의하여 축적되는 전하량을 Q_{OL}이라고 기재하고, 배선(OLB)으로부터 부하 소자(LEb)에 포함되는 용량 소자에 흐르는 전류에 의하여 축적되는 전하량을 Q_{OLB}라고 기재한다.

[0666] 또한, 도 48의 (A)에 나타낸 타이밍 차트는 각각 시각 T11보다 전의 시각에서 다치의 제 1 데이터(예를 들어 여기서는 가중 계수라고 함)에 따른 전류가 설정된 것으로 한다. 또한, 상기 전류의 설정 방법에 대해서는 실시형태 2의 설명을 참조한다.

[0667] 도 48의 (A)의 타이밍 차트의 동작예에서는 미리 회로(MP)에 "+1"의 가중 계수가 설정되어 있는 것으로 한다. 구체적으로는 시각 T11보다 전의 시각에서 트랜지스터(M1)에 전류량(I_1)이 흐르도록 설정되고, 또한 유지부(HC)의 노드(n1)에는 V_1이 유지되고, 유지부(HCr)의 노드(n1r)에는 VSS가 유지되어 있는 것으로 한다. 또한, 전위(V_1)는 전위(VSS)보다 높은 전위로 한다. 또한, 미리 스위치(SWH, SWHB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 스위치(SWLB)를 오프 상태로 하고, 배선(OL) 및 배선(OLB)과 배선(VCN2) 사이를 도통 상태로 하여 배선(OL), 배선(OLB)의 전위를 고레벨 전위로 한다.

[0668] 시각 T11 이후에서는 배선(OL) 및 배선(OLB)과 회로(AFP) 사이를 도통 상태로 하기 위하여, 도 8의 (A)에서 스위치(SWO), 스위치(SWOB)는 온 상태가 되고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)는 오프 상태가 되는 것으로 한다.

[0669] 시각 T12부터 시각 T13까지에서, 회로(MP)에 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)가 입력된다. 또한, 시각 T12부터 시각 T13까지 사이의 입력 시간을 t_{ut}로 한다. 이 입력 시간의 길이가 뉴런의 신호의 값의 크기에 대응한다. 즉, 이 입력 시간의 길이를 바꿈으로써 연산 결과를 바꿀 수 있다.

[0670] 도 48의 (A)의 동작예에서는 회로(MP)로의 제 2 데이터(뉴런의 신호의 값)의 입력으로서 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 그러므로, 트랜지스터(M3), 트랜지스터(M3r)의 각각의 게이트에 고레벨 전위가 입력되고, 트랜지스터(M4), 트랜지스터(M4r)의 각각의 게이트에 저레벨 전위가 입력되고, 트랜지스터(M3), 트랜지스터(M3r)의 각각은 온 상태가 되고, 트랜지스터(M4), 트랜지스터(M4r)의 각각은 오프 상태가 된다. 이 동작에 의하여, 회로(MC)와 배선(OL) 사이 및 회로(MCr)와 배선(OLB) 사이가 도통 상태가 되고, 회로(MC)와 배선(OLB) 사이 및 회로(MCr)와 배선(OL) 사이가 비도통 상태가 된다.

[0671] 이때, 트랜지스터(M1)는 전류량이 I_1인 전류를 흘리도록 설정되어 있기 때문에 회로(ACTF)로부터 전환 회로(TW), 배선(OL), 회로(MC)를 통하여 배선(VE)에 전류량(I_1)의 전류가 흐른다. 또한, 트랜지스터(M1r)는 오프 상태가 되어 있기 때문에(전류량으로서 0을 흘리도록 설정되어 있기 때문에) 회로(ACTF)로부터 전환 회로(TW), 배선(OLB), 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다.

[0672] 여기서, 회로(ACTF)의 적분 회로에 착안한다. 시각 T12부터 시각 T13까지 사이에 제 2 데이터(뉴런의 신호의 값)가 입력되므로, 배선(OL)과 도통된 상태인 회로(ACTF)에 포함되는 적분 회로의 용량 소자(부하 소자(LEa))에는 시각 T12부터 시각 T13까지 사이에 전하가 계속 축적된다. 이상적으로는 시각 T13의 시점에서 상기 용량 소자에 $t_{ut} \times I_1$의 전하가 축적된다. 또한, 도 48의 (A)의 타이밍 차트에서는 시각 T12부터 시각 T13까지 사이에 상기 용량 소자에 축적된 전하량을 Q_1이라고 기재하였다. 한편, 배선(OLB)과 도통된 상태인 회로(ACTF)에 포함

되는 적분 회로의 용량 소자(부하 소자(LEb))에는 전하의 축적은 일어나지 않는다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 Q_1과 배선(OLB)에 흐른 전하량 0에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0673] 다음으로, 도 48의 (A)의 타이밍 차트에서 회로(MP)로의 뉴런의 신호의 입력 시간을 t_{ut}에서 $2t_{ut}$로 변화시킨 경우를 생각한다. 도 48의 (B)에 나타낸 타이밍 차트는 도 48의 (A)의 타이밍 차트에서 회로(MP)로의 뉴런의 신호의 입력 시간을 t_{ut}에서 $2t_{ut}$로 변화시킨 경우의 동작예를 나타낸 것이다.

[0674] 도 48의 (B)의 타이밍 차트의 시각 T12보다 전의 동작에 대해서는 도 48의 (A)의 타이밍 차트의 시각 T12보다 전의 동작예와 마찬가지이다. 그러므로, 도 48의 (B)의 타이밍 차트의 시각 T12보다 전의 동작에 대해서는 도 48의 (A)의 타이밍 차트의 시각 T12보다 전의 동작의 설명을 참조한다.

[0675] 도 48의 (B)의 동작예의 시각 T12부터 시각 T14까지에서, 회로(MP)로 뉴런의 신호가 입력된다. 상술한 바와 같이, 시각 T12부터 시각 T14까지 사이의 입력 시간을 $2t_{ut}$로 하였다.

[0676] 도 48의 (B)의 동작예에서는 도 48의 (A)의 동작예와 마찬가지로 회로(MP)로의 제 2 데이터(뉴런의 신호의 값)의 입력으로서 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 그러므로, 회로(ACTF)로부터 전환 회로(TW), 배선(OL), 회로(MC)를 통하여 배선(VE)에 전류량(I_1)의 전류가 흐른다. 또한, 회로(ACTF)로부터 전환 회로(TW), 배선(OLB), 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다.

[0677] 시각 T12부터 시각 T14까지 사이에 제 2 데이터(뉴런의 신호의 값)가 입력되므로, 배선(OL)과 도통된 상태인 적분 회로의 용량 소자(부하 소자(LEa))에는 시각 T12부터 시각 T14까지 사이에 전하가 계속 축적된다. 이상적으로는 시각 T14의 시점에서 상기 용량 소자에 $2t_{ut} \times I_1 (=2Q_1)$의 전하가 축적된다. 또한, 도 48의 (B)의 타이밍 차트에서는 시각 T12부터 시각 T14까지 사이에 상기 용량 소자에 축적된 전하량을 Q_2라고 기재하였다. 한편, 배선(OLB)과 도통된 상태인 회로(ACTF)에 포함되는 적분 회로의 용량 소자(부하 소자(LEb))에는 전하의 축적은 일어나지 않는다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 Q_2와 배선(OLB)에 흐른 전하량 0에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0678] 다음으로, 도 48의 (A)의 타이밍 차트에서 회로(MP)에 설정되어 있는 가중 계수를 "+1"에서 "-2"로 변경한 경우를 생각한다. 구체적으로는 도 48의 (C)에 나타낸 타이밍 차트는 미리 시각 T11보다 전의 시각에서 트랜지스터(M1), 트랜지스터(M1r)에 전류($I_2 (=2I_1)$)가 흐르도록 설정되고, 또한 유지부(HCr)의 노드(n1r)에는 V_2가 유지되고, 유지부(HC)의 노드(n1)에는 VSS가 유지되어 있는 것으로 한다. 또한 전위(V_2)는 전위(V_1) 및 전위(VSS)보다 높은 전위로 한다.

[0679] 도 48의 (C)의 타이밍 차트의 시각 T12보다 전의 동작에 대해서는 도 48의 (A)의 타이밍 차트의 시각 T12보다 전의 동작예와 마찬가지이다. 그러므로, 도 48의 (C)의 타이밍 차트의 시각 T12보다 전의 동작에 대해서는 도 48의 (A)의 타이밍 차트의 시각 T12보다 전의 동작의 설명을 참조한다.

[0680] 도 48의 (C)의 동작예의 시각 T12부터 시각 T13까지에서, 회로(MP)로 뉴런의 신호가 입력된다. 상술한 바와 같이, 시각 T12부터 시각 T13까지 사이의 입력 시간을 t_{ut}로 하였다.

[0681] 도 48의 (C)의 동작예에서는 도 48의 (A)의 동작예와 마찬가지로 회로(MP)로의 제 2 데이터(뉴런의 신호의 값)의 입력으로서 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 그러므로, 회로(ACTF)로부터 전환 회로(TW), 배선(OLB), 회로(MCr)를 통하여 배선(VEr)에 전류량(I_2)의 전류가 흐른다. 또한, 회로(ACTF)로부터 전환 회로(TW), 배선(OL), 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않는다.

[0682] 시각 T12부터 시각 T13까지 사이에 제 2 데이터(뉴런의 신호의 값)가 입력되므로, 배선(OLB)과 도통된 상태인 적분 회로의 용량 소자(부하 소자(LEb))에는 시각 T12부터 시각 T13까지 사이에 전하가 계속 축적된다. 이상적으로는 시각 T13의 시점에서 상기 용량 소자에 $t_{ut} \times I_2 (=2t_{ut} \times I_1 = 2Q_1)$의 전하가 축적된다. 또한, 도 48의 (C)의 타이밍 차트에서는 시각 T12부터 시각 T13까지 사이에 상기 용량 소자에 축적된 전하량을 Q_2라고 기재하였다. 한편, 배선(OL)과 도통된 상태인 회로(ACTF)에 포함되는 적분 회로의 용량 소자(부하 소자(LEa))에는 전하의 축적은 일어나지 않는다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 0과 배선(OLB)에 흐른 전하량 Q_2에 따

른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0683] 도 48의 (A) 내지 (C)에 나타낸 동작예와 같이, 제 2 데이터(뉴런의 신호의 값)는 회로(MP)로의 제 2 데이터의 입력 기간에 따라 결정할 수 있고, 입력 기간의 길이에 따라 회로(ACTF)로부터 출력되는 연산 결과가 결정된다. 그러므로, 제 2 데이터(뉴런의 신호의 값)를 입력 기간의 길이 및 배선(WX1L), 배선(X2L)에 인가하는 전위에 따라 정의함으로써, 회로(MP)는 3치 이상의 제 2 데이터(뉴런의 신호의 값)를 취급할 수 있고, 다치의 제 1 데이터(가중 계수)와 3치 이상의 제 2 데이터(뉴런의 신호의 값)의 적화 연산 및/또는 활성화 함수의 연산을 수행할 수 있다.

[0684] 본 동작예에 있어서, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)는 일례로서 다음과 같이 정의할 수 있다. 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하며 입력 기간을 t_{ut}로 하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+1"로 하고, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하며 입력 기간을 $2t_{ut}$로 하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+2"로 하고, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하며 입력 기간을 $3t_{ut}$로 하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+3"으로 한다. 또한, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위를 입력하며 입력 기간을 t_{ut}로 하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "-1"로 하고, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하며 입력 기간을 $2t_{ut}$로 하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "-2"로 하고, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하며 입력 기간을 $3t_{ut}$로 하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "-3"으로 한다. 또한, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 저레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "0"으로 한다.

[0685] 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)를 상술한 바와 같이 정의함으로써, 도 48의 (A)에 나타낸 동작예에서는 제 1 데이터(가중 계수) "+1"과 제 2 데이터(뉴런의 신호의 값) "+1"의 곱으로서 "+1"을 산출할 수 있다. 또한, 도 48의 (B)에 나타낸 동작예에서는 제 1 데이터(가중 계수) "+1"과 제 2 데이터(뉴런의 신호의 값) "+2"의 곱으로서 "+2"를 산출할 수 있다. 또한, 도 48의 (C)에 나타낸 동작예에서는 제 1 데이터(가중 계수) "-2"와 제 2 데이터(뉴런의 신호의 값) "+1"의 곱으로서 "-2"를 산출할 수 있다. 본 동작예에 있어서, 제 1 데이터(가중 계수)를 "-2", "-1", "0", "+1", "+2" 중 어느 하나로 하고, 제 2 데이터(뉴런의 신호의 값)를 "-2", "-1", "0", "+1", "+2" 중 어느 하나로 하였을 때 배선(OL)에 흐르는 전하량 Q_{OL}과 배선(OLB)에 흐르는 전하량 Q_{OLB}를 이하의 표에 나타내었다. 또한 이하의 표에서는 고레벨 전위를 high라고 기재하고, 저레벨 전위를 low라고 기재한다.

[0686] [표 6]

		뉴런의 신호의 값						
		-3 (WX1L: low, X2L: high, $3t_{ut}$)	-2 (WX1L: low, X2L: high, $2t_{ut}$)	-1 (WX1L: low, X2L: high, t_{ut})	0 (WX1L: low, X2L: low)	+1 (WX1L: high, X2L: low, t_{ut})	+2 (WX1L: high, X2L: low, $2t_{ut}$)	+3 (WX1L: high, X2L: low, $3t_{ut}$)
가중 계수	-3	$Q_{OL}=9Q_1$, $Q_{OLB}=0$	$Q_{OL}=6Q_1$, $Q_{OLB}=0$	$Q_{OL}=3Q_1$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=3Q_1$	$Q_{OL}=0$, $Q_{OLB}=6Q_1$	$Q_{OL}=0$, $Q_{OLB}=9Q_1$
	-2	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=4Q_1$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=4Q_1$	$Q_{OL}=0$, $Q_{OLB}=6Q_1$
	-1	$Q_{OL}=3Q_1$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=Q_1$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=Q_1$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=3Q_1$
	0	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$
	+1	$Q_{OL}=0$, $Q_{OLB}=3Q_1$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=Q_1$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=Q_1$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=3Q_1$, $Q_{OLB}=0$
	+2	$Q_{OL}=0$, $Q_{OLB}=6Q_1$	$Q_{OL}=0$, $Q_{OLB}=4Q_1$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=4Q_1$, $Q_{OLB}=0$	$Q_{OL}=6Q_1$, $Q_{OLB}=0$
	+3	$Q_{OL}=0$, $Q_{OLB}=9Q_1$	$Q_{OL}=0$, $Q_{OLB}=6Q_1$	$Q_{OL}=0$, $Q_{OLB}=3Q_1$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=3Q_1$, $Q_{OLB}=0$	$Q_{OL}=6Q_1$, $Q_{OLB}=0$	$Q_{OL}=9Q_1$, $Q_{OLB}=0$

[0687]

[0688] 또한, 본 발명의 일 형태는 상술한 정의에 한정되지 않는다. 위에서는, 제 2 데이터(뉴런의 신호의 값)로서 양의 다치, 음의 다치, 0을 정의하였지만, 입력 기간을 이산적인 값이 아니라 연속적인 값을 취함으로써(a를 양의 실수로 하여 입력 기간을 $a \times t_{ut}$로 함으로써) 제 2 데이터(뉴런의 신호의 값)를 아날로그값으로서 취급할 수 있다.

[0689] 또한, 도 48의 (A), (B)에 나타낸 동작예에서는 회로(MP)에 설정된 제 1 데이터(가중 계수)를 "+1"로 하고, 도 48의 (C)에 나타낸 동작예에서는 회로(MP)에 설정된 제 1 데이터(가중 계수)를 "-2"로 하였지만, "+1", "-2" 이외의 제 1 데이터(가중 계수)를 사용하여 계산하여도 좋다. 실시형태 1 및 실시형태 2에서 설명한 바와 같이, 회로(MP)에 설정되는 제 1 데이터(가중 계수)는 아날로그값 등을 설정할 수 있으므로, 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적되는 전하량도 아날로그값 등으로 하는 제 1 데이터(가중 계수)에 따라 산출할 수 있다.

[0690] 또한, 도 48의 (A) 내지 (C)에 나타낸 동작예에서는 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에는 하나의 회로(MP)만이 전기적으로 접속되어 있는 경우를 생각하였지만, 도 11의 연산 회로(150)와 같이, 배선(OL), 배선(OLB)에는 복수의 회로(MP)를 전기적으로 접속하여도 좋다. 이에 의하여, 배선(OL), 배선(OLB)의 각각으로부터 복수의 회로(MP)에 입력된 전하량의 합계를 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적할 수 있고, 회로(ACTF)는 배선(OL), 배선(OLB)에 흐른 각각의 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다. 또한, 도 48의 (A) 내지 (C)에서는 시각 T12부터 배선(WX1L)의 전위가 변화하기 시작된다. 즉, 도 48의 (A) 내지 (C)의 각각에서는 배선(WX1L)의 전위가 고레벨 전위가 되는 기간이 상이한 경우에도 저레벨 전위로부터 고레벨 전위로 변화되는 시각이 같지만(시각 T12), 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 도 48의 (A) 내지 (C)의 각각의 배선(WX1L)의 전위가 고레벨 전위가 되는 기간이 상이한 경우에도 고레벨 전위로부터 저레벨 전위로 변화되는 시각이 같게 되도록 동작시켜도 좋다. 또는, 도 48의 (A) 내지 (C)의 각각의 배선(WX1L)의 전위가 고레벨 전위가 되는 기간이 상이한 경우에도 고레벨 전위가 되는 기간의 중심이 될 시각이 같게 되도록 동작시켜도 좋다.

[0691] 또한, 본 동작예에서는 도 11의 연산 회로(150)를 예로 들었지만, 상황에 따라 다른 연산 회로로 변경하는 것으로도 본 동작예와 같은 동작을 수행할 수 있다. 예를 들어, 도 47의 (A)의 회로(MP)를 도 7의 연산 회로(140)에 적용하고, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각이 적분 회로의 구성(또는 전류 전하(IQ) 변환 회로)을 가지는 경우를 생각한다. 이 경우의 회로 구성에서도, 제 1 데이터(가중 계수)에 따라 트랜지스터(M8) 및 트랜지스터(M8r) 각각에 흐르는 전류량을 설정하고, 제 2 데이터(뉴런의 신호의 값)에 따라 배선(XL)에 고레벨 전위를 인가하는 기간을 설정함으로써 본 동작예와 마찬가지로 "양의 다치", "음의 다치", "0" 중 어느 하나인 제 1 데이터와, "양의 다치" 또는 "0"인 제 2 데이터의 곱을 계산할 수 있다. 또한, 제 1 데이터 및/또는 제 2 데이터를 아날로그값으로 하여 계산하여도 좋다.

[0692] 또한, 본 동작 방법예는 본 명세서에 나타낸 다른 동작 방법예 등과 적절히 조합할 수 있다.

[0693] <동작 방법예 2>

[0694] 다음으로, 도 48의 (A) 내지 (C)에 나타낸 동작예와 상이한, 다른 동작 방법의 예에 대하여 설명한다.

[0695] 일례로서, 도 48의 (A) 내지 (C)와 마찬가지로, 도 21의 (A)의 회로(MP)를 적용한 도 11의 연산 회로(150)의 동작 방법을 생각한다. 또한, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에 흐르는 전류는 배선(OL), 배선(OLB)에 전기적으로 접속되어 있는 하나의 회로(MP)만에 의하여 변화되는 것으로 한다. 또한, 회로(MP)에 전기적으로 접속되어 있는 배선(VE), 배선(VEr)의 각각은 회로(MP)에 대하여 정전압으로서 VSS를 인가하는 것으로 한다. 또한, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각은 일례로서 적분 회로(또는 전류 전하(IQ) 변환 회로)의 구성을 가진 회로(ACTF)로 한다. 예를 들어, 도 6의 (E)의 회로(ACTF[j])에 있어서 부하 소자(LEa), 부하 소자(LEb)를 용량 소자 등으로 한 구성으로 하여도 좋다.

[0696] 도 49의 (A)는 상기 동작 방법의 예를 나타낸 타이밍 차트이다. 구체적으로는, 도 49의 (A)의 각각은 시각 T21부터 시각 T25까지 사이 및 그 근방의 시각에서의 유지부(HC)의 노드(n1)의 전위와, 유지부(HCr)의 노드(n1r)의 전위와, 배선(WX1L)의 전위와, 배선(OL)에 흐르는 전류(I_{OL})의 전류량과, 배선(OLB)에 흐르는 전류(I_{OLB})의 전류량과, 회로(ACTF)의 적분 회로의 용량 소자에 축적되는 전하량의 변화를 나타낸 것이다. 특히 도 49의 (A)에 있어서, 배선(OL)으로부터 부하 소자(LEa)에 포함되는 용량 소자에 흐르는 전류에 의하여 축적되는 전하량을 Q_{OL}이라고 기재하고, 배선(OLB)으로부터 부하 소자(LEb)에 포함되는 용량 소자에 흐르는 전류에 의하여 축적되는

전하량을 Q_{OLB}라고 기재한다.

[0697] 또한, 도 49의 (A)에 나타낸 타이밍 차트는 각각 시각 T21보다 전의 시각에서 다치의 제 1 데이터(예를 들어 여기서는 가중 계수라고 함)에 따른 전류가 설정된 것으로 한다. 또한, 상기 전류의 설정 방법에 대해서는 실시형태 2의 설명을 참조한다.

[0698] 도 49의 (A)의 타이밍 차트의 동작예에서는 미리 회로(MP)에 "+1"의 제 1 데이터(여기서는 예를 들어 가중 계수로 함)가 설정되어 있는 것으로 한다. 구체적으로는 시각 T21보다 전의 시각에서 트랜지스터(M1)에 전류량(I_1)이 흐르도록 설정되고, 또한 유지부(HC)의 노드(n1)에는 V_1이 유지되고, 유지부(HCr)의 노드(n1r)에는 VSS가 유지되어 있는 것으로 한다. 또한, 전위(V_1)는 VSS보다 높은 전위로 한다. 또한, 미리 스위치(SWH), 스위치(SWHB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWO), 스위치(SWOB), 스위치(SWL), 스위치(SWLB)를 오프 상태로 하고, 배선(OL) 및 배선(OLB)과 배선(VCN2) 사이를 도통 상태로 하여 배선(OL), 배선(OLB)의 전위를 고레벨 전위로 한다.

[0699] 시각 T21 이후에서는 배선(OL) 및 배선(OLB)과 회로(AFP) 사이를 도통 상태로 하기 위하여, 도 8의 (A)에서 스위치(SWO), 스위치(SWOB)는 온 상태가 되고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)는 오프 상태가 되는 것으로 한다.

[0700] 시각 T22 이후에 회로(MP)로 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)가 입력된다. 또한, 도 48의 (A)의 동작예에서는 회로(MP)로의 제 2 데이터(뉴런의 신호의 값)의 입력은 시각 T22부터 시각 T23까지의 사이와, 시각 T23부터 시각 T24까지의 사이와, 시각 T24부터 시각 T25까지의 사이로 나누어 수행된다. 구체적으로는, 시각 T22부터 시각 T23까지 사이의 입력 시간을 t_{ut}로 하고, 시각 T23부터 시각 T24까지 사이의 입력 시간을 $2t_{ut}$로 하고, 시각 T24부터 시각 T25까지 사이의 입력 시간을 $4t_{ut}$로 한다. 또한, 본 명세서 등에서는 각각의 기간을 제 1 서브 기간, 제 2 서브 기간, 제 3 서브 기간이라고 한다.

[0701] 도 49의 (A)의 동작예에서는 제 1 서브 기간과 제 3 서브 기간에서 회로(MP)로의 제 2 데이터(뉴런의 신호의 값)의 입력으로서 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 그러므로, 트랜지스터(M3), 트랜지스터(M3r)의 각각의 게이트에 고레벨 전위가 입력되고, 트랜지스터(M4), 트랜지스터(M4r)의 각각의 게이트에 저레벨 전위가 입력되고, 트랜지스터(M3), 트랜지스터(M3r)의 각각은 온 상태가 되고, 트랜지스터(M4), 트랜지스터(M4r)의 각각은 오프 상태가 된다. 이 동작에 의하여, 회로(MC)와 배선(OL) 사이 및 회로(MCr)와 배선(OLB) 사이가 도통 상태가 되고, 회로(MC)와 배선(OLB) 사이 및 회로(MCr)와 배선(OL) 사이가 비도통 상태가 된다.

[0702] 이때, 트랜지스터(M1)는 전류량으로서 I_1를 흘리도록 설정되어 있기 때문에 제 1 서브 기간과 제 3 서브 기간에서, 회로(ACTF)로부터 전환 회로(TW), 배선(OL), 회로(MC)를 통하여 배선(VE)에 전류량(I_1)의 전류가 흐른다. 또한, 제 2 서브 기간에서는, 배선(WX1L), 배선(X2L)에 저레벨 전위가 입력되고 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 트랜지스터(M4r)의 각각의 게이트에 저레벨 전위가 입력되기 때문에 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 트랜지스터(M4r)의 각각은 오프 상태가 되므로 회로(ACTF)로부터 전환 회로(TW), 배선(OL), 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않는다.

[0703] 또한, 제 1 서브 기간과, 제 2 서브 기간과, 제 3 서브 기간에서, 트랜지스터(M1r)는 오프 상태가 되어 있기 때문에(전류량으로서 0을 흘리도록 설정되어 있기 때문에) 회로(ACTF)로부터 전환 회로(TW), 배선(OLB), 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다.

[0704] 여기서, 회로(ACTF)의 적분 회로에 착안한다. 시각 T22 이후에 제 2 데이터(뉴런의 신호)가 입력되므로, 배선(OL)과 도통된 상태인 회로(ACTF)에 포함되는 적분 회로의 용량 소자(부하 소자(LEa))에는 시각 T22 이후에 전하가 계속 축적된다. 이상적으로는 제 1 서브 기간에서 상기 용량 소자에 $t_{ut} \times I_1$의 전하가 축적되고, 제 3 서브 기간에서 $4t_{ut} \times I_1$의 전하가 축적된다. 또한, 도 49의 (A)의 타이밍 차트에서는 제 1 서브 기간에서 상기 용량 소자에 축적된 전하량을 Q_1로 하고, 제 3 서브 기간에서 상기 용량 소자에 축적된 전하량을 Q_4로 하였다. 그러므로, 시각 T25 이후에 상기 용량 소자에 축적된 전하량을 Q_1+Q_4라고 기재하였다. 한편, 배선(OLB)과 도통된 상태인 회로(ACTF)에 포함되는 적분 회로의 용량 소자(부하 소자(LEb))에는 전하의 축적은 일어나지 않는다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 $Q_1+Q_4(=5Q_1)$와 배선(OLB)에 흐른 전하량 0에 따른 뉴런의 신호

($z_j^{(k)}$)를 출력할 수 있다.

[0705] 다음으로, 도 49의 (A)의 타이밍 차트에서 회로(MP)로의 뉴런의 신호의 입력을 제 1 기간 및 제 3 기간에서 제 2 기간으로 변경한 경우를 생각한다. 도 49의 (B)에 나타낸 타이밍 차트는 도 49의 (A)의 타이밍 차트에서 회로(MP)로의 뉴런의 신호의 입력을 제 1 기간 및 제 3 기간에서 제 2 기간으로 변경한 경우의 동작예를 나타낸 것이다.

[0706] 도 49의 (B)의 타이밍 차트의 시각 T22보다 전의 동작에 대해서는 도 49의 (A)의 타이밍 차트의 시각 T22보다 전의 동작예와 마찬가지이다. 그러므로, 도 49의 (B)의 타이밍 차트의 시각 T22보다 전의 동작에 대해서는 도 49의 (A)의 타이밍 차트의 시각 T22보다 전의 동작의 설명을 참조한다.

[0707] 도 49의 (B)의 동작예의 시각 T22 이후에 회로(MP)로 뉴런의 신호가 입력된다. 구체적으로는, 상술한 바와 같이 회로(MP)로의 뉴런의 신호의 입력은 제 2 서브 기간에 수행된다.

[0708] 도 49의 (B)의 동작예에서는 제 2 서브 기간에 회로(MP)로의 뉴런의 신호(연산값)의 입력으로서 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 그러므로, 제 2 서브 기간에서는 회로(ACTF)로부터 전환 회로(TW), 배선(OL), 회로(MC)를 통하여 배선(VE)에 전류량(I_1)의 전류가 흐른다. 또한, 제 1 서브 기간과 제 3 서브 기간에서는 배선(WX1L), 배선(X2L)에 저레벨 전위가 입력되어 있기 때문에 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 트랜지스터(M4r)의 각각은 오프 상태가 되므로 회로(ACTF)로부터 전환 회로(TW), 배선(OL), 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않는다.

[0709] 또한, 제 1 서브 기간과, 제 2 서브 기간과, 제 3 서브 기간에서, 트랜지스터(M1r)는 오프 상태가 되어 있기 때문에(전류량으로서 0을 흘리도록 설정되어 있기 때문에) 회로(ACTF)로부터 전환 회로(TW), 배선(OLB), 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다.

[0710] 시각 T22 이후에 제 2 데이터(뉴런의 신호)가 입력되므로, 배선(OL)과 도통된 상태인 적분 회로의 용량 소자(부하 소자(LEa))에는 시각 T22 이후에 전하가 계속 축적된다. 이상적으로는 시각 T25의 시점에서 상기 용량 소자에 $2t_{ut} \times I_1$의 전하가 축적된다. 또한, 도 49의 (B)의 타이밍 차트에서는 시각 T22 이후에 상기 용량 소자에 축적된 전하량을 Q_2라고 기재하였다. 한편, 배선(OLB)과 도통된 상태인 회로(ACTF)에 포함되는 적분 회로의 용량 소자(부하 소자(LEb))에는 전하의 축적은 일어나지 않는다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 $Q_2(=2Q_1)$와 배선(OLB)에 흐른 전하량 0에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0711] 다음으로, 도 49의 (A)의 타이밍 차트에서 회로(MP)에 설정되어 있는 가중 계수를 "+1"에서 "-2"로 변경하며 제 2 데이터(뉴런의 신호)의 입력을 제 1 서브 기간 및 제 3 서브 기간에서 제 1 서브 기간 및 제 2 서브 기간으로 변경한 경우를 생각한다.

[0712] 도 49의 (C)에 나타낸 타이밍 차트는 미리 시각 T21보다 전의 시각에서 트랜지스터(M1)에 전류($I_2(=2I_1)$)가 흐르도록 설정되고, 또한 유지부(HC)의 노드(n1)에는 V_2가 유지되고, 유지부(HCr)의 노드(n1r)에는 VSS가 유지되어 있는 것으로 한다. 또한, 전위(V_2)는 전위(V_1) 및 전위(VSS)보다 높은 전위로 한다.

[0713] 도 49의 (C)의 타이밍 차트의 시각 T22보다 전의 동작에 대해서는 도 49의 (A)의 타이밍 차트의 시각 T22보다 전의 동작예와 마찬가지이다. 그러므로, 도 49의 (C)의 타이밍 차트의 시각 T22보다 전의 동작에 대해서는 도 49의 (A)의 타이밍 차트의 시각 T22보다 전의 동작의 설명을 참조한다.

[0714] 도 49의 (C)의 동작예의 시각 T22 이후에 회로(MP)로 뉴런의 신호가 입력된다. 상술한 바와 같이 회로(MP)로의 뉴런의 신호의 입력은 제 1 서브 기간 및 제 2 서브 기간에 수행된다.

[0715] 도 49의 (C)의 동작예에서는 제 1 서브 기간 및 제 2 서브 기간에 회로(MP)로의 제 2 데이터(뉴런의 신호의 값)의 입력으로서 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력된다. 그러므로, 제 1 서브 기간 및 제 2 서브 기간에서는 회로(ACTF)로부터 전환 회로(TW), 배선(OLB), 회로(MCr)를 통하여 배선(VEr)에 전류량(I_2)의 전류가 흐른다. 또한, 제 4 서브 기간에서는 배선(WX1L), 배선(X2L)에 저레벨 전위가 입력되어 있기 때문에 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 트랜지스터(M4r)의 각각은 오프 상태가 되므로 회로(ACTF)로부터 전환 회로(TW), 배선(OLB), 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다.

[0716] 또한, 제 1 서브 기간과, 제 2 서브 기간과, 제 3 서브 기간에서, 트랜지스터(M1)는 오프 상태가 되어 있기 때

문에(전류량으로서 0을 흘리도록 설정되어 있기 때문에) 회로(ACTF)로부터 전환 회로(TW), 배선(OL), 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않는다.

[0717] 시각 T22 이후에 제 2 데이터(뉴런의 신호)가 입력되므로, 배선(OLB)과 도통된 상태인 적분 회로의 용량 소자(부하 소자(LEb))에는 시각 T22 이후에 전하가 계속 축적된다. 이상적으로는 시각 T25의 시점에서 상기 용량 소자에 $6t_{ut} X I_1 (=t_{ut} X 2I_1+2t_{ut} X 2I_1)$의 전하가 축적된다. 또한, 도 49의 (C)의 타이밍 차트에서는 시각 T25 이후에 상기 용량 소자에 축적된 전하량을 $2(Q_1+Q_2)$라고 기재하였다. 한편, 배선(OLB)과 도통된 상태인 회로(ACTF)에 포함되는 적분 회로의 용량 소자(부하 소자(LEa))에는 전하의 축적은 일어나지 않는다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 0과 배선(OLB)에 흐른 전하량 $2(Q_1+Q_2)(=6Q_1)$에 따른 전하량 Q_2에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0718] 도 49의 (A) 내지 (C)에 나타낸 동작예와 같이, 제 2 데이터(뉴런의 신호의 값)는 회로(MP)로의 제 2 데이터(뉴런의 신호의 값)의 입력이 가능한 기간에 복수의 서브 기간을 제공하고 이 복수의 서브 기간에서 선택된 하나 이상의 기간에 따라 결정할 수 있고, 선택된 기간에 따라 회로(ACTF)로부터 출력되는 연산 결과가 결정된다. 그러므로, 제 2 데이터(뉴런의 신호의 값)를 선택된 서브 기간 및 배선(WX1L), 배선(X2L)에 인가하는 전위에 따라 정의함으로써, 회로(MP)는 3치 이상의 제 2 데이터(뉴런의 신호의 값)를 취급할 수 있고, 다치의 제 1 데이터(가중 계수)와 3치 이상의 제 2 데이터(뉴런의 신호의 값)의 적화 연산 및/또는 활성화 함수의 연산을 수행할 수 있다.

[0719] 본 동작예에 있어서, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)는 일례로서 다음과 같이 정의할 수 있다. 제 1 서브 기간에만 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+1"로 하고, 제 2 서브 기간에만 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+2"로 하고, 제 3 서브 기간에만 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+4"로 한다. 제 1 서브 기간에만 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "-1"로 하고, 제 2 서브 기간에만 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "-2"로 하고, 제 3 서브 기간에만 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "-4"로 한다. 또한, 제 1 서브 기간, 제 2 서브 기간, 제 3 서브 기간에서, 배선(WX1L)에 저레벨 전위, 배선(X2L)에 저레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "0"으로 한다.

[0720] 또한, 제 2 데이터(뉴런의 신호의 값)를 "+3"으로 하고자 하는 경우, 제 1 서브 기간 및 제 2 서브 기간에만 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하면 좋고, 또한 제 2 데이터(뉴런의 신호의 값)를 "+5"로 하고자 하는 경우, 제 1 서브 기간 및 제 3 서브 기간에 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하면 좋다. 또한, 제 2 데이터(뉴런의 신호의 값)를 "-6"으로 하고자 하는 경우, 제 2 서브 기간 및 제 3 서브 기간에만 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위를 입력하면 좋고, 또한 제 2 데이터(뉴런의 신호의 값)를 "-7"로 하고자 하는 경우, 제 1 서브 기간, 제 2 서브 기간, 및 제 3 서브 기간에 배선(WX1L)에 저레벨 전위, 배선(X2L)에 고레벨 전위를 입력하면 좋다.

[0721] 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)를 상술한 바와 같이 정의함으로써, 도 49의 (A)에 나타낸 동작예에서는 제 1 데이터(가중 계수) "+1"과 제 2 데이터(뉴런의 신호의 값) "+5"의 곱으로서 "+5"를 산출할 수 있다. 또한, 도 49의 (B)에 나타낸 동작예에서는 제 1 데이터(가중 계수) "+1"과 제 2 데이터(뉴런의 신호의 값) "+2"의 곱으로서 "+2"를 산출할 수 있다. 또한, 도 49의 (C)에 나타낸 동작예에서는 제 1 데이터(가중 계수) "-2"와 제 2 데이터(뉴런의 신호의 값) "+3"의 곱으로서 "-6"을 산출할 수 있다.

[0722] 또한, 본 발명의 일 형태는 상술한 정의에 한정되지 않는다. 위에서는, 제 2 데이터(뉴런의 신호의 값)의 입력이 가능한 기간으로서 제 1 서브 기간, 제 2 서브 기간, 제 3 서브 기간을 제공하였지만, 4개 이상의 서브 기간을 제공하여도 좋다. 예를 들어, 제 2 데이터(뉴런의 신호의 값)의 입력이 가능한 기간을 제 1 서브 기간 내지 제 T 서브 기간(T는 4 이상의 정수임)으로 나누고, 제 s 서브 기간(s는 4 이상 T 이하의 정수임)의 길이를 $2^{(s-1)} X t_{ut}$로 결정하면 좋다. 또한, 예를 들어 제 2 데이터(뉴런의 신호의 값)의 입력이 가능한 기간을 제 1 서브 기간 내지 제 T 서브 기간(T는 4 이상의 정수임)으로 나누고, 제 s 서브 기간(s는 4 이상 T 이하의 정수임)의 길이를 $s X t_{ut}$로 결정하여도 좋다. 또한, 예를 들어 제 1 서브 기간에만 배선(WX1L)에 고레벨 전위, 배선(X2L)

에 저레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+0.1"로 하고, 제 2 서브 기간에만 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+0.2"로 하고, 제 3 서브 기간에만 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 입력하였을 때의 제 2 데이터(뉴런의 신호의 값)를 "+0.4"로 하는 등, 제 2 데이터(뉴런의 신호의 값)를 실수(實數)로 정의하여도 좋다.

[0723] 또한, 도 49의 (A), (B)에 나타낸 동작예에서는 회로(MP)에 설정된 제 1 데이터(가중 계수)를 "+1"로 하고, 도 49의 (C)에 나타낸 동작예에서는 회로(MP)에 설정된 제 1 데이터(가중 계수)를 "+2"로 하였지만, "+1", "+2" 이외의 제 1 데이터(가중 계수)를 사용하여 계산하여도 좋다. 실시형태 1 및 실시형태 2에서 설명한 바와 같이, 회로(MP)에 설정되는 제 1 데이터(가중 계수)는 음의 값, 다치, 아날로그값 등을 설정할 수 있으므로, 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적되는 전하량도 음의 값, 다치, 아날로그값 등으로 하는 제 1 데이터(가중 계수)에 따라 산출할 수 있다.

[0724] 또한, 도 49의 (A) 내지 (C)에 나타낸 동작예에서는, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에는 하나의 회로(MP)만이 전기적으로 접속되어 있는 경우를 생각하였지만, 도 11의 연산 회로(150)와 같이, 배선(OL), 배선(OLB)에는 복수의 회로(MP)를 전기적으로 접속하여도 좋다. 이에 의하여, 배선(OL), 배선(OLB)의 각각으로부터 복수의 회로(MP)에 입력된 전하량의 합계를 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적할 수 있고, 회로(ACTF)는 배선(OL), 배선(OLB)에 흐른 각각의 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0725] 또한, 도 49의 (A) 내지 (C)의 동작예와 같이, 제 2 데이터(뉴런의 신호의 값)의 입력이 가능한 기간으로서 복수의 서브 기간을 제공하고 이 복수의 서브 기간에서 선택된 하나 이상의 기간에 신호를 입력하는 구성으로서는, 예를 들어 각각의 서브 기간의 길이를 회로 설계의 단계에서 미리 결정하는 것이 바람직하다. 이와 같은 회로 구성으로 함으로써, 도 48의 (A) 내지 (C)의 동작예에 요구되는 회로 구성보다 연산 회로를 간이하게 및/또는 효율적으로 레이아웃할 수 있는 경우가 있다.

[0726] 또한, 본 동작예에서는 도 11의 연산 회로(150)를 예로 들었지만, 상황에 따라 다른 연산 회로로 변경하는 것으로도 본 동작예와 같은 동작을 수행할 수 있다.

[0727] 또한, 본 동작 방법예는 본 명세서에 나타낸 다른 동작 방법예 등과 적절히 조합할 수 있다.

[0728] <동작 방법예 3>

[0729] 여기서는, 도 50의 회로(MP)를 적용한 도 11의 연산 회로(150)의 동작 방법에 대하여 설명한다.

[0730] 동작 방법예 1 및 동작 방법예 2와 마찬가지로, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에 흐르는 전류는 배선(OL), 배선(OLB)에 전기적으로 접속되어 있는 하나의 회로(MP)만에 의하여 변화되는 것으로 한다. 또한, 회로(MP)에 전기적으로 접속되어 있는 배선(VE), 배선(VEr)의 각각은 회로(MP)에 대하여 정전압으로서 VSS를 인가하는 것으로 한다. 또한, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각은 일례로서 적분 회로(또는 전류 전하(IQ) 변환 회로)의 구성을 가진 회로(ACTF)로 한다. 예를 들어, 도 6의 (E)의 회로(ACTF[j])에 있어서 부하 소자(LEa), 부하 소자(LEb)를 용량 소자 등으로 한 구성으로 하여도 좋다.

[0731] 도 50은 도 26에 도시된 회로(MP)와 같은 회로 구성을 나타낸 것이다. 다만, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 크기, 예를 들어 W길이와 L길이는 같은 것이 바람직하다. 또한, 본 동작 방법의 예는 실시형태 2에서 설명한 도 26의 회로(MP)의 동작예와 다르다.

[0732] 구체적으로는, 회로(MP)에 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)를 입력할 경우에 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 t_{ut}로 하였을 때, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $2t_{ut}$로 하고, 배선(X1L3b) 및 배선(X2L3b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $4t_{ut}$로 하여 동작시키는 것으로 한다. 즉, 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 t_{ut}로 하였을 때, 트랜지스터(M3-2b), 트랜지스터(M3-2br)가 온 상태 또는 트랜지스터(M4-2b), 트랜지스터(M4-2br)가 온 상태가 되는 시간이 $2t_{ut}$가 되고, 트랜지스터(M3-3b), 트랜지스터(M3-3br)가 온 상태 또는 트랜지스터(M4-3b), 트랜지스터(M4-3br)가 온 상태가 되는 시간이 $4t_{ut}$가 되도록 동작시킨다. 그러므로, 도 50의 회로(MP)에는 도 26의 회로(MP)와 동작이 상이한 것을 나타내

기 위하여, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b)의 부호 부근에 펄스 전압의 모식도와 입력 시간을 도시하였다.

[0733] 동작 방법예 1, 동작 방법예 2에서 설명한 바와 같이, 회로(MP)에 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 설정하며 트랜지스터(M3) 또는 트랜지스터(M4)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량이 결정된다. 또한, 회로(MP)에 제 1 데이터(가중 계수)를 설정하고 트랜지스터(M3r) 또는 트랜지스터(M4r)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량이 결정된다.

[0734] 마찬가지로, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서도, 트랜지스터(M3-2b), 트랜지스터(M3-2br), 트랜지스터(M4-2b), 트랜지스터(M4-2br)의 각각에서 온 상태가 되는 시간을 정함으로써 결정된다. 또한, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3b)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서도, 트랜지스터(M3-3b), 트랜지스터(M3-3br), 트랜지스터(M4-3b), 트랜지스터(M4-3br)의 각각에서 온 상태가 되는 시간을 정함으로써 결정된다.

[0735] 그러므로, 다음의 표와 같이 회로(MP)에서의 제 2 데이터(뉴런의 신호의 값)를 정의할 수 있다.

[0736] [표 7]

[0737]

신호	WX1L(t_{ut})	X2L(t_{ut})	X1L2b($2t_{ut}$)	X2L2b($2t_{ut}$)	X1L3b($4t_{ut}$)	X2L2b($4t_{ut}$)
0	low	low	low	low	low	low
+1	high	low	low	low	low	low
+2	low	low	high	low	low	low
+3	high	low	high	low	low	low
+4	low	low	low	low	high	low
+5	high	low	low	low	high	low
+6	low	low	high	low	high	low
+7	high	low	high	low	high	low
-1	low	high	low	low	low	low
-2	low	low	low	high	low	low
-3	low	high	low	high	low	low
-4	low	low	low	low	low	high
-5	low	high	low	low	low	high
-6	low	low	low	high	low	high
-7	low	high	low	high	low	high

[0738] 여기서, 예를 들어 회로(MP)에는 미리 "+1"의 제 1 데이터(가중 계수)가 설정되어 있는 것으로 한다. 구체적으로는, 트랜지스터(M1)에는 전류량(I_1)이 흐르도록 설정되어 있는 것으로 하고 또한 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)는 오프 상태인 것으로 한다.

[0739] 회로(MC)에 있어서, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 크기가 같고, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 게이트가 유지부(HC)의 노드(n1)에 전기적으로 접속되고 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 제 1 단자가 배선(VE)에 전기적으로 접속되어 있기 때문에, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 소스-드레인 사이에는 거의 같은 전류가 흐른다. 상기 전류의 양을 I_{ut}로 한다.

[0740] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+7"이 입력되어 있는 경우, 트랜지스터(M3)가 시간 t_{ut}에만 온

상태, 트랜지스터(M4)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량은 $t_{ut} \times I_{ut}$가 된다. 또한, 여기서, $t_{ut} \times I_{ut}=Q_{ut}$로 한다. 또한, 마찬가지로 트랜지스터(M3-2b)가 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M4-2b)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량은 $2t_{ut} \times I_{ut}=2Q_{ut}$가 되고, 트랜지스터(M3-3b)가 시간 $4t_{ut}$에만 온 상태, 트랜지스터(M4-3b)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1-3b)를 통하여 배선(VE)에 흐르는 전하량은 $4t_{ut} \times I_{ut}=4Q_{ut}$가 된다. 그러므로, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 $Q_{ut}+2Q_{ut}+4Q_{ut}=7Q_{ut}$가 된다. 한편, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)가 오프 상태이므로 0이 된다.

[0741] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-7"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 $Q_{ut}+2Q_{ut}+4Q_{ut}=7Q_{ut}$가 되고, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 0이 된다.

[0742] 또한, 예를 들어 회로(MP)에는 미리 "-1"의 제 1 데이터(가중 계수)가 설정되어 있는 것으로 한다. 구체적으로는, 트랜지스터(M1r)에는 전류량(I_1)이 흐르도록 설정되어 있는 것으로 하며 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)는 오프 상태인 것으로 한다.

[0743] 회로(MCr)에 있어서, 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 크기가 같고, 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각의 게이트가 유지부(HCr)의 노드(n1r)에 전기적으로 접속되고 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각의 제 1 단자가 배선(VEr)에 전기적으로 접속되어 있기 때문에, 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각의 소스-드레인 사이에는 거의 같은 전류가 흐른다. 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류와 마찬가지로 상기 전류의 양을 I_{ut}로 한다.

[0744] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+7"이 입력되어 있는 경우, 트랜지스터(M3r)가 시간 t_{ut}에만 온 상태, 트랜지스터(M4r)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량은 $t_{ut} \times I_{ut}=Q_{ut}$가 된다. 또한, 마찬가지로 트랜지스터(M4-2br)가 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M3-2br)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량은 $2t_{ut} \times I_{ut}=2Q_{ut}$가 되고, 트랜지스터(M4-3br)가 시간 $4t_{ut}$에만 온 상태, 트랜지스터(M3-3br)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1-3br)를 통하여 배선(VEr)에 흐르는 전하량은 $4t_{ut} \times I_{ut}=4Q_{ut}$가 된다. 그러므로, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 $Q_{ut}+2Q_{ut}+4Q_{ut}=7Q_{ut}$가 된다. 한편, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)가 오프 상태이므로 0이 된다.

[0745] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-7"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 $Q_{ut}+2Q_{ut}+4Q_{ut}=7Q_{ut}$가 되고, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 0이 된다.

[0746] 그러므로, 회로(MP)에 "+1"의 제 1 데이터(가중 계수)를 설정하고, 양의 제 2 데이터(뉴런의 신호의 값)에 따라 회로(MP)에 포함되는 트랜지스터(M3), 트랜지스터(M3-2b), 트랜지스터(M3-3b)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량을 Q_{ut}, $2Q_{ut}$, $3Q_{ut}$, $4Q_{ut}$, $5Q_{ut}$, $6Q_{ut}$, $7Q_{ut}$ 중 어느 하나로 할 수 있다. 또한, 이때 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 0이 된다. 또한, 회로(MP)에 "-1"의 제 1 데이터(가중 계수)를 설정하고, 양의 제 2 데이터(뉴런의 신호의 값)에 따라 회로(MP)에 포함되는 트랜지스터(M3r), 트랜지스터(M3-2br), 트랜지스터(M3-3br)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량을 Q_{ut}, $2Q_{ut}$, $3Q_{ut}$, $4Q_{ut}$, $5Q_{ut}$, $6Q_{ut}$, $7Q_{ut}$ 중 어느 하나로 할 수 있다. 또한, 이때 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 0이 된다.

[0747] 또한, 회로(MP)에 "+1"의 제 1 데이터(가중 계수)를 설정하고, 음의 제 2 데이터(뉴런의 신호의 값)에 따라 회로(MP)에 포함되는 트랜지스터(M4), 트랜지스터(M4-2b), 트랜지스터(M4-3b)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량을 Q_{ut}, $2Q_{ut}$, $3Q_{ut}$, $4Q_{ut}$, $5Q_{ut}$, $6Q_{ut}$, $7Q_{ut}$ 중 어느 하나로 할 수 있다. 또한, 이때 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 0이 된다. 또한, 회로(MP)에 "-1"의 제 1 데이터(가중 계수)를 설정하고, 음의 제 2 데이터(뉴런의 신호의 값)에 따라 회로(MP)에 포함되는 트랜지스터(M4r), 트랜지스터(M4-2br), 트랜지스터(M4-3br)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량을 Q_{ut}, $2Q_{ut}$, $3Q_{ut}$, $4Q_{ut}$, $5Q_{ut}$, $6Q_{ut}$, $7Q_{ut}$ 중 어느 하나로 할 수 있다. 또한, 이때 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 0이 된다.

[0748] 또한, 예를 들어 회로(MP)에 설정되어 있는 제 1 데이터(가중 계수)를 "+1"에서 양의 정수인 "A"로 변경하였다고 가정한다. 구체적으로는, 트랜지스터(M1)에는 전류량($I_A(=AI_1)$)이 흐르도록 설정되어 있는 것으로 하고 또한 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)는 오프 상태인 것으로 한다. 이때, 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 소스-드레인 사이에 흐르는 전류량도 I_A가 된다. 그러므로, 제 2 데이터(뉴런의 신호의 값)에 따라, 회로(MP)에 포함되는 트랜지스터(M3), 트랜지스터(M3-2b), 트랜지스터(M3-3b)로부터, 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 AQ_{ut}, $2AQ_{ut}$, $3QA_{ut}$, $4AQ_{ut}$, $5AQ_{ut}$, $6AQ_{ut}$, $7AQ_{ut}$ 중 어느 하나가 된다. 또한, "A"를 음의 정수로 하였을 때, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 AQ_{ut}, $2AQ_{ut}$, $3QA_{ut}$, $4AQ_{ut}$, $5AQ_{ut}$, $6AQ_{ut}$, $7AQ_{ut}$ 중 어느 하나의 전하량이 흐르게 된다.

[0749] 또한, 회로(MP)에 미리 "0"의 제 1 데이터(가중 계수)가 설정되어 있는 경우, 트랜지스터(M1), 트랜지스터(M1r)의 각각은 오프 상태인 것으로 한다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않고, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다. 바꿔 말하면, 배선(OL), 배선(OLB)의 각각에 흐르는 전하량은 0이라고 할 수 있다.

[0750] 여기서, 회로(ACTF)의 적분 회로에 착안한다. 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류가 흐를 때, 또는 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류가 흐를 때, 도 8의 (A)에 있어서, 스위치(SWO, SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 오프 상태로 하여, 배선(OL 및 OLB)과 회로(AFP) 사이를 도통 상태로 함으로써, 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 배선(OL), 배선(OLB)에 흐르는 전하량을 축적시킬 수 있다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0751] 상술한 동작예로부터, 제 1 데이터(가중 계수)를 "+1" 또는 "-1"로 하고 제 2 데이터(뉴런의 신호의 값)를 상술한 바와 같이 정의한 경우의 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}를 이하의 표에 기재하였다.

[0752] [표 8]

가중 계수	n1	n1r	뉴런의 신호의 값	가중 계수 × 신호	배선(OL)에 흐르는 전하량 Q_{OL}	배선(OLB)에 흐르는 전하량 Q_{OLB}
+1	V_I	VSS	0	0	0	0
+1	V_I	VSS	+1	+1	Q_{ut}	0
+1	V_I	VSS	+2	+2	$2Q_{ut}$	0
+1	V_I	VSS	+3	+3	$3Q_{ut}$	0
+1	V_I	VSS	+4	+4	$4Q_{ut}$	0
+1	V_I	VSS	+5	+5	$5Q_{ut}$	0
+1	V_I	VSS	+6	+6	$6Q_{ut}$	0
+1	V_I	VSS	+7	+7	$7Q_{ut}$	0
+1	V_I	VSS	-1	-1	0	Q_{ut}
+1	V_I	VSS	-2	-2	0	$2Q_{ut}$
+1	V_I	VSS	-3	-3	0	$3Q_{ut}$
+1	V_I	VSS	-4	-4	0	$4Q_{ut}$
+1	V_I	VSS	-5	-5	0	$5Q_{ut}$
+1	V_I	VSS	-6	-6	0	$6Q_{ut}$
+1	V_I	VSS	-7	-7	0	$7Q_{ut}$

[0753]

[0754] [표 9]

가중 계수	n1	n1r	뉴런의 신호의 값	가중 계수 × 신호	배선(OL)에 흐르는 전하량 Q_{OL}	배선(OLB)에 흐르는 전하량 Q_{OLB}
-1	VSS	V_I	0	0	0	0
-1	VSS	V_I	+1	-1	0	Q_{ut}
-1	VSS	V_I	+2	-2	0	$2Q_{ut}$
-1	VSS	V_I	+3	-3	0	$3Q_{ut}$
-1	VSS	V_I	+4	-4	0	$4Q_{ut}$
-1	VSS	V_I	+5	-5	0	$5Q_{ut}$
-1	VSS	V_I	+6	-6	0	$6Q_{ut}$
-1	VSS	V_I	+7	-7	0	$7Q_{ut}$
-1	VSS	V_I	-1	+1	Q_{ut}	0
-1	VSS	V_I	-2	+2	$2Q_{ut}$	0
-1	VSS	V_I	-3	+3	$3Q_{ut}$	0
-1	VSS	V_I	-4	+4	$4Q_{ut}$	0
-1	VSS	V_I	-5	+5	$5Q_{ut}$	0
-1	VSS	V_I	-6	+6	$6Q_{ut}$	0
-1	VSS	V_I	-7	+7	$7Q_{ut}$	0

[0755]

[0756] 상술한 바와 같이, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)를 정함으로써, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과에 따라, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL} 및 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}가 결정된다. 또한, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 양의 값인 경우, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르고, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 음의 값인 경우, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐른다. 즉, 전

하량 Q_{OL} 및 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 산출할 수 있다. 예를 들어, 제 1 데이터(가중 계수)를 "-1" 또는 "+1"로 하고 제 2 데이터(뉴런의 신호의 값)를 "-7" 내지 "+7" 중 어느 하나로 하며 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 양의 수인 경우, 상기 표에 있어서, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL}에서 Q_{ut}를 "+1"로 치환함으로써 전하량 Q_{OL}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 구할 수 있다. 또한, 예를 들어 제 1 데이터(가중 계수)를 "-1" 또는 "+1"로 하고 제 2 데이터(뉴런의 신호의 값)를 "-7" 내지 "+7" 중 어느 하나로 하며 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 음의 수인 경우, 상기 표에 있어서, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}에서 Q_{ut}를 "-1"로 치환함으로써 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 구할 수 있다.

[0757] 또한, 상술한 동작예에서는 회로(MP)에 설정된 제 1 데이터(가중 계수)를 "+1", "-1"로 하였지만, "0"이나 아날로그값 등의 제 1 데이터(가중 계수)를 사용하여 계산하여도 좋다. 이에 의하여, 회로(MP)는 2치나 다치, 아날로그값 등의 제 1 데이터(가중 계수)와 다치의 제 2 데이터(뉴런의 신호의 값)의 적화 연산 및/또는 활성화 함수의 연산을 행할 수 있다.

[0758] 또한, 본 발명의 일 형태는 상술한 정의에 한정되지 않는다. 위에서는, 제 2 데이터(뉴런의 신호의 값)로서 양의 다치, 음의 다치, 0을 정의하였지만, 예를 들어 입력 기간을 이산적인 값이 아니라 연속적인 값을 취함으로써(a를 양의 실수로 하여 입력 기간을 $a \times t_{ut}$로 함으로써) 제 2 데이터(뉴런의 신호의 값)를 아날로그값으로서 취급할 수 있다.

[0759] 또한, 예를 들어 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 t_{ut}로 하고, 트랜지스터(M3-2b), 트랜지스터(M3-2br)가 온 상태 또는 트랜지스터(M4-2b), 트랜지스터(M4-2br)가 온 상태가 되는 시간을 $2t_{ut}$로 하고, 트랜지스터(M3-3b), 트랜지스터(M3-3br)가 온 상태 또는 트랜지스터(M4-3b), 트랜지스터(M4-3br)가 온 상태가 되는 시간을 $4t_{ut}$로 하였을 때, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력되며 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b)에 저레벨 전위가 입력되었을 때의 제 2 데이터(뉴런의 신호의 값)를 "+1"이 아니라 "+0.1" 등의 실수로 정의하여도 좋다.

[0760] 또한, 본 발명의 일 형태의 반도체 장치는 도 50의 회로(MP)의 구성에 한정되지 않는다. 예를 들어, 도 50의 회로(MP)에서는 전류량을 설정하는 트랜지스터로서 회로(MC) 내는 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 3개로 하고 회로(MCr) 내는 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 3개로 하였지만, 회로(MC), 회로(MCr)의 각각에 있어서 전류량을 설정하는 트랜지스터는 2개이어도 좋고, 4개 이상으로 하여도 좋다.

[0761] 또한, 본 발명의 일 형태의 반도체 장치 및 상기 반도체 장치의 동작 방법은 상술한 것에 한정되지 않는다. 위에서는, 도 50의 회로(MP)의 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 크기가 같은 것으로서 설명하였지만, 예를 들어 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br)의 W길이와 L길이의 비를 W/L로 하고, 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 W길이와 L길이의 비를 2W/L로 하여도 좋다. 이때, 트랜지스터(M1)의 소스-드레인 사이에 전류량으로서 I_1의 전류가 흐르도록 설정함으로써, 트랜지스터(M1-2b)의 W길이와 L길이의 비와, 트랜지스터(M1-3b)의 W길이와 L길이의 비의 각각은 트랜지스터(M1)의 W길이와 L길이의 비의 2배이기 때문에 트랜지스터(M1-2b), 트랜지스터(M1-3b) 각각의 소스-드레인 사이에는 전류량으로서 $2I_1$이 흐른다. 마찬가지로, 트랜지스터(M1r)의 소스-드레인 사이에 전류량으로서 I_1의 전류가 흐르도록 설정함으로써, 트랜지스터(M1-2br)의 W길이와 L길이의 비와, 트랜지스터(M1-3br)의 W길이와 L길이의 비의 각각은 트랜지스터(M1r)의 W길이와 L길이의 비의 2배이기 때문에 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각의 소스-드레인 사이에는 전류량으로서 $2I_1$이 흐른다.

[0762] 여기서, 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 t_{ut}로 하고, 트랜지스터(M3-2b), 트랜지스터(M3-2br)가 온 상태 또는 트랜지스터(M4-2b), 트랜지스터(M4-2br)가 온 상태가 되는 시간을 $2t_{ut}$로 하고, 트랜지스터(M3-3b), 트랜지스터(M3-3br)가 온 상태 또는 트랜

지스터(M4-3b), 트랜지스터(M4-3br)가 온 상태가 되는 시간을 $2t_{ut}$로 한다. 즉, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)를 입력할 경우에 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 t_{ut}로 하고, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $2t_{ut}$로 하고, 배선(X1L3b) 및 배선(X2L3b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $2t_{ut}$로 한다. 도 51의 회로(MP)에는 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b)의 부호 부근에 도 50과는 다른 펄스 전압의 모식도와 입력 시간을 도시하였다.

[0763] 트랜지스터(M1)의 소스-드레인 사이에 전류량으로서 I_{ut}의 전류가 흐르도록 설정되었을 때, 트랜지스터(M3-3b) 및 트랜지스터(M4-3b) 중 한쪽이 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M3-3b) 및 트랜지스터(M4-3b) 중 다른 쪽이 오프 상태가 됨으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3b)를 통하여 배선(VE)에 흐르는 전하량은 $2t_{ut} \times 2I_{ut}=4Q_{ut}$가 된다. 또한, 배선(OL)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량에 대해서는 상술한 동작예와 조건이 같으므로, 설명을 생략한다.

[0764] 또한, 트랜지스터(M1r)의 소스-드레인 사이에 전류량으로서 I_{ut}의 전류가 흐르도록 설정되었을 때, 트랜지스터(M3-3br) 및 트랜지스터(M4-3br) 중 한쪽이 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M3-3br) 및 트랜지스터(M4-3br) 중 다른 쪽이 오프 상태가 됨으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3br)를 통하여 배선(VE)에 흐르는 전하량은 $2t_{ut} \times 2I_{ut}=4Q_{ut}$가 된다. 또한, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서는 상술한 동작예와 조건이 같으므로, 설명을 생략한다.

[0765] 상술한 바와 같이, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br) 각각의 크기와, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b) 각각으로의 고레벨 전위의 입력 시간을 적절히 변경함으로써 도 50에 나타낸 회로(MP)의 동작예와 같이 동작될 수 있다.

[0766] 또한, 본 발명의 일 형태의 반도체 장치는 도 50, 도 51의 회로(MP)의 구성에 한정되지 않는다. 예를 들어, 도 50의 회로(MP)에서는 전류량을 설정하는 트랜지스터로서 회로(MC) 내는 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 3개로 하고 회로(MCr) 내는 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 3개로 하였지만, 회로(MC), 회로(MCr)의 각각에 있어서 전류량을 설정하는 트랜지스터는 2개, 또는 4개 이상으로 하여도 좋다. 또한, 상기 트랜지스터에 따라 유지부의 개수, 배선의 개수를 늘리거나 줄여도 좋다.

[0767] 또한 본 발명의 일 형태의 반도체 장치의 동작 방법은 상술한 동작 방법에 한정되지 않는다. 예를 들어, 동작 방법예 2에서 설명한 바와 같이, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b) 각각에 입력되는 신호의 입력 기간을 복수의 서브 기간으로 나누어도 좋다.

[0768] 또한, 본 동작예에서는 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에는 하나의 회로(MP)만이 전기적으로 접속되어 있는 경우를 생각하였지만, 도 11의 연산 회로(150)와 같이, 배선(OL), 배선(OLB)에는 복수의 회로(MP)를 전기적으로 접속하여도 좋다. 이에 의하여, 배선(OL), 배선(OLB)의 각각으로부터 복수의 회로(MP)에 입력된 전하량의 합계를 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적할 수 있고, 회로(ACTF)는 배선(OL), 배선(OLB)에 흐른 각각의 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0769] 또한, 본 동작예에서는 도 11의 연산 회로(150)를 예로 들었지만, 상황에 따라 다른 연산 회로로 변경하는 것으로도 본 동작예와 같은 동작을 수행할 수 있다.

[0770] 또한, 본 동작 방법예는 본 명세서에 나타낸 다른 동작 방법예 등과 적절히 조합할 수 있다.

[0771] <동작 방법예 4>

[0772] 여기서는, 도 52의 회로(MP)를 적용한 도 11의 연산 회로(150)의 동작 방법에 대하여 설명한다.

[0773] 동작 방법예 1 내지 동작 방법예 3과 마찬가지로, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에 흐르는 전류는 배선(OL), 배선(OLB)에 전기적으로 접속되어 있는 하나의 회로(MP)만에 의하여 변화되는 것으로 한다. 또한, 회로(MP)에 전기적으로 접속되어 있는 배선(VE), 배선(VEr)의 각각은 회로(MP)에 대하여 정전

압으로서 VSS를 인가하는 것으로 한다. 또한, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각은 일례로서 적분 회로(또는 전류 전하(IQ) 변환 회로)의 구성을 가진 회로(ACTF)로 한다. 예를 들어, 도 6의 (E)의 회로(ACTF[j])에 있어서 부하 소자(LEa), 부하 소자(LEb)를 용량 소자 등으로 한 구성으로 하여도 좋다.

[0774] 도 52는 도 27에 도시된 회로(MP)에서 트랜지스터(M1-3b), 트랜지스터(M1-3br), 트랜지스터(M3-3b), 트랜지스터(M3-3br), 트랜지스터(M4-3b), 트랜지스터(M4-3br), 유지부(HC-3b), 유지부(HC-3br)를 제외한 구성이다. 또한, 이 때문에 배선(WX1L3b), 배선(X2L2b), 배선(WL3b)도 도 27에서 제외하였다. 또한 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br)의 크기, 예를 들어 W길이와 L길이는 같은 것이 바람직하다. 또한, 본 동작 방법의 예는 실시형태 2에서 설명한 도 26의 회로(MP)의 동작예와 다르다.

[0775] 구체적으로는, 회로(AFP)로부터 회로(MP)에 전류가 흐를 경우에 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 t_{ut}로 하고, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $2t_{ut}$로 하여 동작시키는 것으로 한다. 즉, 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 t_{ut}로 하였을 때, 트랜지스터(M3-2b), 트랜지스터(M3-2br)가 온 상태 또는 트랜지스터(M4-2b), 트랜지스터(M4-2br)가 온 상태가 되는 시간이 $2t_{ut}$가 되도록 동작시킨다. 그러므로, 도 52의 회로(MP)에는 도 27의 회로(MP)와 동작이 상이한 것을 나타내기 위하여 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b)의 부호 부근에 펄스 전압의 모식도와 입력 시간을 도시하였다.

[0776] 동작 방법예 1, 동작 방법예 2에서 설명한 바와 같이, 회로(MP)에 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 설정하며 트랜지스터(M3) 또는 트랜지스터(M4)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량이 결정된다. 또한, 회로(MP)에 제 1 데이터(가중 계수)를 설정하고 트랜지스터(M3r) 또는 트랜지스터(M4r)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량이 결정된다.

[0777] 마찬가지로, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서도, 트랜지스터(M3-2b), 트랜지스터(M3-2br), 트랜지스터(M4-2b), 트랜지스터(M4-2br)의 각각이 온 상태가 되는 시간을 정함으로써 결정된다.

[0778] 또한, 도 52의 유지부(HC), 유지부(HC-2b) 각각에는 디지털값(2치)으로서, VSS 또는 V_1이 유지되는 것으로 한다. 도 8의 배선(VCN)과, 도 52의 유지부(HC)의 노드(n1) 및/또는 유지부(HC-2b)의 노드(n1)를 도통 상태로 함으로써 유지부(HC), 유지부(HC-2b) 각각에 전위(VSS)가 유지된다. 또한, 트랜지스터(M1) 및/또는 트랜지스터(M1-2b) 각각의 소스-드레인 사이의 전류를 전류량(I_1)으로 설정함으로써 유지부(HC), 유지부(HC-2b) 각각에 전위(V_1)가 유지된다. 또한, 트랜지스터(M1), 트랜지스터(M1-2b) 각각을 전류량(I_1)으로 설정하였을 때, 트랜지스터(M1), 트랜지스터(M1-2b)의 제작 공정 등에 기인하는 트랜지스터 특성의 편차로 인하여 유지부(HC, HC-2b) 각각에 유지되어 있는 전압이 상이한 경우가 있다.

[0779] 유지부(HCr), 유지부(HC-2br) 각각에는 상술한 바와 같이 디지털값(2치)으로서, VSS 또는 V_1이 유지되는 것으로 한다.

[0780] 여기서, 회로(MP)에 설정되는 제 1 데이터(가중 계수)에 대하여 정의한다.

[0781] 일례로서, 회로(MP)에 제 1 데이터(가중 계수)로서 "+1"을 설정하는 경우, 트랜지스터(M1)에서 전류량(I_1)이 흐르도록 설정하고, 유지부(HC-2b), 유지부(HCr), 유지부(HC-2br)에는 VSS가 유지되는 것으로 한다. 트랜지스터(M1)의 제 1 단자는 트랜지스터(M3)를 통하여 배선(OL)에 전기적으로 접속되고 트랜지스터(M4)를 통하여 배선(OLB)에 전기적으로 접속되어 있기 때문에, 배선(WX1L) 및 배선(X2L) 중 한쪽에 고레벨 전위가 입력되어 있는 경우, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량은 $t_{ut} \times I_1 (=Q_{ut})$이 된다. 여기서, $t_{ut} \times I_1 = Qut$로 한다. 또한, 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br)는 오프 상태가 되므로, 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br) 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0782] 또한, 회로(MP)에 제 1 데이터(가중 계수)로서 "+2"를 설정하는 경우, 트랜지스터(M1-2b)에서 전류량(I_1)이 흐르도록 설정하고, 유지부(HC), 유지부(HCr), 유지부(HC-2br)에는 VSS가 유지되는 것으로 한다. 트랜지스터(M1-

2b)의 제 1 단자는 트랜지스터(M3-2b)를 통하여 배선(OL)에 전기적으로 접속되고 트랜지스터(M4-2b)를 통하여 배선(OLB)에 전기적으로 접속되어 있기 때문에, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽에 고레벨 전위가 입력되어 있는 경우, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량은 $2t_{ut}XI_1=2Q_{ut}$가 된다. 또한, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2br)는 오프 상태가 되므로, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2br) 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0783] 또한, 회로(MP)에 제 1 데이터(가중 계수)로서 "+3"을 설정하는 경우, 트랜지스터(M1), 트랜지스터(M1-2b)에서 전류량(I_1)이 흐르도록 설정하고, 유지부(HCr), 유지부(HC-2br)에는 VSS가 유지되는 것으로 한다. 상술한 것으로부터, 배선(WX1L) 및 배선(X2L) 중 한쪽에 고레벨 전위가 입력되어 있는 경우, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량은 $t_{ut}XI_1$이 되고, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽에 고레벨 전위가 입력되어 있는 경우, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량은 $2t_{ut}XI_1$이 된다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 $t_{ut}XI_1+2t_{ut}XI_1=3Q_{ut}$가 된다. 또한, 트랜지스터(M1r), 트랜지스터(M1-2br)는 오프 상태가 되므로, 트랜지스터(M1r), 트랜지스터(M1-2br) 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0784] 또한, 제 1 데이터(가중 계수)를 "-1"로 하는 경우, 트랜지스터(M1r)에서 전류량(I_1)이 흐르도록 설정하고, 유지부(HC), 유지부(HC-2b), 유지부(HC-2br)에는 VSS가 유지되는 것으로 한다. 트랜지스터(M1r)의 제 1 단자는 트랜지스터(M3r)를 통하여 배선(OLB)에 전기적으로 접속되고 트랜지스터(M4r)를 통하여 배선(OL)에 전기적으로 접속되어 있기 때문에, 배선(WX1L) 및 배선(X2L) 중 한쪽에 고레벨 전위가 입력되어 있는 경우, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량은 $t_{ut}XI_1(=Q_{ut})$가 된다. 여기서, $t_{ut}XI_1=Qut$로 한다. 또한, 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br)는 오프 상태가 되므로, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-2br) 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0785] 또한, 회로(MP)에 제 1 데이터(가중 계수)로서 "-2"를 설정하는 경우, 트랜지스터(M1-2br)에서 전류량(I_1)이 흐르도록 설정하고, 유지부(HC), 유지부(HCr), 유지부(HC-2b)에는 VSS가 유지되는 것으로 한다. 트랜지스터(M1-2br)의 제 1 단자는 트랜지스터(M3-2br)를 통하여 배선(OLB)에 전기적으로 접속되고 트랜지스터(M4-2b)를 통하여 배선(OL)에 전기적으로 접속되어 있기 때문에, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽에 고레벨 전위가 입력되어 있는 경우, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량은 $2t_{ut}XI_1=2Q_{ut}$가 된다. 또한, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b)는 오프 상태가 되므로 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b) 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0786] 또한, 회로(MP)에 제 1 데이터(가중 계수)로서 "-3"을 설정하는 경우, 트랜지스터(M1r), 트랜지스터(M1-2br)에서 전류량(I_1)이 흐르도록 설정하고, 유지부(HC), 유지부(HC-2b)에는 VSS가 유지되는 것으로 한다. 상술한 것으로부터, 배선(WX1L) 및 배선(X2L) 중 한쪽에 고레벨 전위가 입력되어 있는 경우, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량은 $t_{ut}XI_1$이 되고, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽에 고레벨 전위가 입력되어 있는 경우, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량은 $2t_{ut}XI_1$이 된다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 $t_{ut}XI_1+2t_{ut}XI_1=3Q_{ut}$가 된다. 또한, 트랜지스터(M1), 트랜지스터(M1-2b)는 오프 상태가 되므로 트랜지스터(M1), 트랜지스터(M1-2b) 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0787] 또한, 제 1 데이터(가중 계수)를 "0"으로 하는 경우, 유지부(HC), 유지부(HCr), 유지부(HC-2b), 유지부(HC-2br)에는 VSS가 유지되는 것으로 한다. 그러므로, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br) 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0788] 즉, 유지부(HC), 유지부(HCr), 유지부(HC-2b), 유지부(HC-2br)에 디지털값(2치)를 유지하고, 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 기간을 t_{ut}로 하고, 배선(WX1L2b) 및 배선(X2L2b) 중 한쪽으로의 고레벨 전위의 입력 기간을 $2t_{ut}$로 함으로써, 다치(본 동작예에서는 "-3", "-2", "-1", "0", "+1", "+2", "+3"의 7치)의 제 1 데이터(가중 계수)를 나타낼 수 있다.

[0789] 또한, 본 동작예에서는 회로(MP)에 입력되는 제 2 데이터(여기서는, 예를 들어 뉴런의 신호로 함)의 정의로서,

일례로서 제 2 데이터가 "+1"일 때는 배선(WX1L), 배선(X1L2b)에 고레벨 전위가 입력되며 배선(X2L), 배선(X2L2b)에 저레벨 전위가 입력되는 것으로 하고, 제 2 데이터가 "-1"일 때는 배선(WX1L), 배선(X1L2b)에 저레벨 전위가 입력되며 배선(X2L), 배선(X2L2b)에 고레벨 전위가 입력되는 것으로 하고, 제 2 데이터가 "0"일 때는 배선(WX1L), 배선(X1L2b), 배선(X2L), 배선(X2L2b) 각각에 저레벨 전위가 입력되는 것으로 한다.

[0790] 여기서, 회로(ACTF)의 적분 회로에 착안한다. 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류가 흐를 때, 또는 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류가 흐를 때, 도 8의 (A)에 있어서, 스위치(SWO), 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)과 회로(AFP) 사이를 도통 상태로 함으로써, 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 배선(OL), 배선(OLB)에 흐르는 전하량을 축적시킬 수 있다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0791] 상술한 동작예로부터, 제 1 데이터(가중 계수)를 "+3", "+2", "+1", "0", "-1", "-2", "-3" 중 어느 하나로 설정하고, 제 2 데이터(뉴런의 신호의 값)를 상술한 바와 같이 정의한 경우의 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}를 아래의 표에 기재하였다.

[0792] [표 10]

		뉴런의 신호의 값		
		-1 (WX1L: low, X2L: high)	0 (WX1L: low, X2L: low)	+1 (WX1L: high, X2L: low)
가중 계수	-3	$Q_{OL}=3Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=3Q_{ut}$
	-2	$Q_{OL}=2Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=2Q_{ut}$
	-1	$Q_{OL}=Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=Q_{ut}$
	0	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$
	+1	$Q_{OL}=0$, $Q_{OLB}=Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=Q_{ut}$, $Q_{OLB}=0$
	+2	$Q_{OL}=0$, $Q_{OLB}=2Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=2Q_{ut}$, $Q_{OLB}=0$
	+3	$Q_{OL}=0$, $Q_{OLB}=3Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=3Q_{ut}$, $Q_{OLB}=0$

[0793]

[0794] 상술한 바와 같이, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)를 정함으로써, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과에 따라, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL} 및 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}가 결정된다. 또한, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 양의 값인 경우, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르고, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 음의 값인 경우, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐른다. 즉, 전하량 Q_{OL} 및 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 산출할 수 있다. 예를 들어, 제 1 데이터(가중 계수)를 "-3" 내지 "+3"으로 하고 제 2 데이터(뉴런의 신호의 값)를 "-1", "0", "+1" 중 어느 하나로 하며 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 양의 수인 경우, 상기 표에 있어서, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL}에서 Q_{ut}를 "+1"로 치환함으로써 전하량 Q_{OL}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 구할 수 있

다. 또한, 예를 들어 제 1 데이터(가중 계수)를 "-1" 또는 "+1"로 하고 제 2 데이터(뉴런의 신호의 값)를 "-7" 내지 "+7" 중 어느 하나로 하며 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 음의 수인 경우, 상기 표에 있어서, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}에서 Q_{ut}를 "-1"로 치환함으로써 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 구할 수 있다.

[0795] 또한, 상술한 동작예에서는 회로(MP)에 설정된 제 1 데이터(가중 계수)를 "+3", "+2", "+1", "0", "-1", "-2", "-3"으로 하였지만, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b)으로의 고레벨 전위의 입력 시간을 조절하여 제 1 데이터(가중 계수)를 아날로그값 등으로서 사용하여도 좋다. 이에 의하여, 회로(MP)는 아날로그값 등의 제 1 데이터(가중 계수)와 다치의 제 2 데이터(뉴런의 신호의 값)의 적화 연산 및/또는 활성화 함수의 연산을 행할 수 있다.

[0796] 또한, 본 발명의 일 형태의 반도체 장치는 도 52의 회로(MP)의 구성에 한정되지 않는다. 예를 들어, 도 52의 회로(MP)에서는 전류량을 설정하는 트랜지스터로서 회로(MC) 내는 트랜지스터(M1), 트랜지스터(M1-2b)의 2개로 하고 회로(MCr) 내는 트랜지스터(M1r), 트랜지스터(M1-2br)의 2개로 하였지만, 회로(MC), 회로(MCr)의 각각에 있어서 전류량을 설정하는 트랜지스터는 3개 이상으로 하여도 좋다. 또한, 상기 트랜지스터에 따라 유지부의 개수, 배선의 개수를 늘리거나 줄여도 좋다.

[0797] 또한 본 발명의 일 형태의 반도체 장치의 동작 방법은 상술한 것에 한정되지 않는다. 예를 들어, 동작 방법예 2에서 설명한 바와 같이, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b) 각각에 입력되는 신호의 입력 기간을 복수의 서브 기간으로 나누어도 좋다.

[0798] 또한, 본 동작예에서는 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에는 하나의 회로(MP)만이 전기적으로 접속되어 있는 경우를 생각하였지만, 도 11의 연산 회로(150)와 같이, 배선(OL), 배선(OLB)에는 복수의 회로(MP)를 전기적으로 접속하여도 좋다. 이에 의하여, 배선(OL), 배선(OLB)의 각각으로부터 복수의 회로(MP)에 입력된 전하량의 합계를 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적할 수 있고, 회로(ACTF)는 배선(OL), 배선(OLB)에 흐른 각각의 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0799] 또한, 본 동작예에서는 도 11의 연산 회로(150)를 예로 들었지만, 상황에 따라 다른 연산 회로로 변경하는 것으로도 본 동작예와 같은 동작을 수행할 수 있다.

[0800] 또한, 본 동작 방법예는 본 명세서에 나타낸 다른 동작 방법예 등과 적절히 조합할 수 있다

[0801] <동작 방법예 5>

[0802] 여기서는, 도 53의 회로(MP)를 적용한 도 11의 연산 회로(150)의 동작 방법에 대하여 설명한다.

[0803] 동작 방법예 1 내지 동작 방법예 4와 마찬가지로, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에 흐르는 전류는 배선(OL), 배선(OLB)에 전기적으로 접속되어 있는 하나의 회로(MP)만에 의하여 변화되는 것으로 한다. 또한, 회로(MP)에 전기적으로 접속되어 있는 배선(VE), 배선(VEr)의 각각은 회로(MP)에 대하여 정전압으로서 VSS를 인가하는 것으로 한다. 또한, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각은 일례로서 적분 회로(또는 전류 전하(IQ) 변환 회로)의 구성을 가진 회로(ACTF)로 한다. 예를 들어, 도 6의 (E)의 회로(ACTF[j])에 있어서 부하 소자(LEa), 부하 소자(LEb)를 용량 소자 등으로 한 구성으로 하여도 좋다.

[0804] 도 53은 도 29에 도시된 회로(MP)에서 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br), 트랜지스터(M3-2b), 트랜지스터(M3-2br), 트랜지스터(M3-3b), 트랜지스터(M3-3br), 트랜지스터(M4-2b), 트랜지스터(M4-2br), 트랜지스터(M4-3b), 트랜지스터(M4-3br), 유지부(HC-2b), 유지부(HC-2br), 유지부(HC-3b), 유지부(HC-3br)를 제외한 구성이다. 또한, 이 때문에 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b)도 도 29에서 제외하였다. 또한, 본 동작 방법의 예는 실시형태 2에서 설명한 도 29의 회로(MP)의 동작예와 다르다.

[0805] 구체적으로는, 회로(MP)에 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)를 입력할 때, 제 2 데이터(뉴런의 신호의 값)에 따라 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 설정한다. 즉, 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 설정한다.

[0806] 동작 방법예 1에서 설명한 바와 같이, 회로(MP)에 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 설정하며

트랜지스터(M3) 또는 트랜지스터(M4)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량이 결정된다. 또한, 회로(MP)에 제 1 데이터(가중 계수)를 설정하고 트랜지스터(M3r) 또는 트랜지스터(M4r)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량이 결정된다.

[0807] 일례로서, 제 2 데이터(뉴런의 신호의 값)가 "+1"일 때는 배선(X1L)으로의 고레벨 전위의 입력 기간을 t_{ut}로 하고, 배선(X1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위를 인가하는 것으로 하였을 때, 다른 제 2 데이터(뉴런의 신호의 값)를 다음의 표와 같이 정의할 수 있다. 또한, 이하의 표에서는 "-3" 내지 "+3"의 정수만을 나타내었다.

[0808] [표 11]

신호	X1L	X2L
-3	low	high($3t_{ut}$)
-2	low	high($2t_{ut}$)
-1	low	high(t_{ut})
0	low	low
+1	high(t_{ut})	low
+2	high($2t_{ut}$)	low
+3	high($3t_{ut}$)	low

[0809]

[0810] 또한, 회로(HCS), 회로(HCSr)로서는, 실시형태 2의 구성예 5에서 설명한 바와 같이, SRAM을 가지는 구성 또는 NOSRAM을 가지는 구성으로 할 수 있다. 여기서는, 회로(HCS), 회로(HCSr)에 2치(디지털값)의 전위가 유지되는 것으로 한다. 그러므로, 일례로서 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "+1"로 할 때, 회로(HCS)에 고레벨 전위(여기서는, 예를 들어 VDDL로 함), 회로(HCSr)에 저레벨 전위(여기서는, 예를 들어 VSS로 함)가 유지되어 있는 것으로 하고, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "-1"로 할 때, 회로(HCS)에 저레벨 전위, 회로(HCSr)에 고레벨 전위가 유지되어 있는 것으로 하고, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "0"으로 할 때, 회로(HCS)에 저레벨 전위, 회로(HCSr)에 저레벨 전위가 유지되어 있는 것으로 한다.

[0811] 또한, 회로(HCS)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1)에 흐르는 전류의 양을 I_1로 한다. 또한, 회로(HCS)에 전압(VSS)이 유지되어 있는 경우에는 트랜지스터(M1)에 흐르는 전류의 양을 0으로 한다. 마찬가지로, 회로(HCSr)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1r)에 흐르는 전류의 양을 I_1로 하고, 회로(HCSr)에 전압(VSS)이 유지되어 있는 경우에는 트랜지스터(M1r)에 흐르는 전류의 양을 0으로 한다.

[0812] 다음으로, 도 53의 회로(MP)의 구체적인 동작예에 대하여 설명한다.

[0813] 회로(MP)에는 예를 들어 미리 "+1"의 제 1 데이터(가중 계수)가 설정되어 있는 것으로 한다.

[0814] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+3"이 입력되어 있는 경우, 트랜지스터(M3)가 시간 $3t_{ut}$에만 온 상태, 트랜지스터(M4)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량은 $3t_{ut} \times I_{ut}$가 된다. 또한, 여기서, $t_{ut} \times I_{ut}=Q_{ut}$로 한다. 한편, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 트랜지스터(M1r)가 오프 상태이므로 0이 된다.

[0815] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-3"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 $3t_{ut} \times I_{ut}=3Q_{ut}$가 되고, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 0이 된다.

[0816] 또한, 회로(MP)에 예를 들어 미리 "-1"의 제 1 데이터(가중 계수)가 설정되어 있는 경우를 생각한다.

[0817] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+3"이 입력되어 있는 경우, 트랜지스터(M3)가 시간 $3t_{ut}$에만 온 상태, 트랜지스터(M4)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량은 $3t_{ut} \times I_{ut}=3Q_{ut}$가 된다. 한편, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VE)에 흐르는 전하량은 트랜지스터(M1)가 오프 상태이므로 0이 된다.

[0818] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-3"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 $3t_{ut} \times I_{ut}=3Q_{ut}$가 되고, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 0이 된다.

[0819] 여기서, 회로(ACTF)의 적분 회로에 착안한다. 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류가 흐를 때, 또는 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류가 흐를 때, 도 8의 (A)에 있어서, 스위치(SWO), 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)과 회로(AFP) 사이를 도통 상태로 함으로써, 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 배선(OL), 배선(OLB)에 흐르는 전하량을 축적시킬 수 있다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0820] 상술한 동작예로부터, 제 1 데이터(가중 계수)를 "+1" 또는 "-1"로 하고, 제 2 데이터(뉴런의 신호의 값)를 상술한 바와 같이 정의한 경우의 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}를 이하의 표에 기재하였다.

[0821] [표 12]

[0822]

		뉴런의 신호의 값						
		-3 (X1L: low, X2L: high, $3t_{ut}$)	-2 (X1L: low, X2L: high, $2t_{ut}$)	-1 (X1L: low, X2L: high, t_{ut})	0 (X1L: low, X2L: low)	+1 (X1L: high, X2L: low, t_{ut})	+2 (X1L: high, X2L: low, $2t_{ut}$)	+3 (X1L: high, X2L: low, $3t_{ut}$)
가중 계수	-1	$Q_{OL}=3Q_1$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=Q_1$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=Q_1$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=3Q_1$
	0	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$
	+1	$Q_{OL}=0$, $Q_{OLB}=3Q_1$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=Q_1$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=Q_1$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=3Q_1$, $Q_{OLB}=0$

[0823] 또한, 제 2 데이터(뉴런의 신호의 값)를 "-3", "-2", "-1", "0", "+1", "+2", "+3" 이외의 정수 또는 실수로 할 때, 정수 또는 실수에 따라 배선(X1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 설정하면 좋다. 예를 들어, a를 양의 실수로 하고 입력 기간을 $a \times t_{ut}$로 함으로써 제 2 데이터(뉴런의 신호의 값)를 아날로그값으로서 취급할 수 있다.

[0824] 이에 의하여, 동작 방법예 1 내지 동작 방법예 3과 마찬가지로 제 2 데이터(뉴런의 신호의 값)를 다치로 하여 회로(MP)에 공급할 수 있다.

[0825] 또한, 상술한 바와 같이, 도 53의 회로(MP)에 포함되는 회로(HCS), 회로(HCSr)는 SRAM을 가지는 구성으로 할 수 있다. 도 54의 (A)는 회로(HCS), 회로(HCSr)가 SRAM을 가지는 구성으로 하여 도 53의 회로(MP)의 자세한 사항을 나타낸 구체적인 예를 나타낸 것이다. 또한, 도 54의 (A)에 기재된 부호, 제 1 데이터(가중 데이터)의 유지 방법 등에 대해서는, 도 30의 회로(MP)에 대한 설명을 참조한다.

[0826] 또한, 도 54의 (A)의 회로(MP)에 있어서, 회로(HCS)에 유지되어 있는 전위를 저레벨 전위 및 고레벨 전위 중 한쪽으로 하고, 회로(HCSr)에 유지되어 있는 전위를 저레벨 전위 및 고레벨 전위 중 다른 쪽으로 하는 경우, 즉

회로(HCS)와 회로(HCSr)에 같은 전위가 유지되지 않아도 되는 경우, 도 54의 (A)의 회로(MP)는 도 54의 (B)의 회로(MP)로 구성을 변경할 수 있다. 도 54의 (B)의 회로(MP)는 회로(MC)에 회로(HCS)를 가지고, 회로(HCS)에 포함되는 인버터 루프 회로(IVR)에 의하여, 트랜지스터(M1)의 게이트에 인가하는 신호의 반전 신호를 트랜지스터(M1r)에 인가하는 구성이 되어 있다. 또한, 이 경우, 일례로서 트랜지스터(M1)의 게이트에 고레벨 전위가 인가될 때(트랜지스터(M1r)의 게이트에 저레벨 전위가 인가될 때), 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "+1"로 할 수 있고, 트랜지스터(M1)의 게이트에 저레벨 전위가 인가될 때(트랜지스터(M1r)의 게이트에 고레벨 전위가 인가될 때), 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "-1"로 할 수 있다.

[0827] 또한, 회로(HCS), 회로(HCSr)에 인버터 루프 회로(IVR)를 가지며 도 54의 (A)의 회로(MP)와는 다른 구성예를 도 55의 (A)에 나타내었다. 도 55의 (A)에 나타낸 회로(MP)는 회로(MC)에서 인버터 루프 회로(IVR)를 포함하는 회로(HCS)와, 트랜지스터(M3), 트랜지스터(M4)를, 회로(MCr)에서 인버터 루프 회로(IVRr)를 포함하는 회로(HCSr)와, 트랜지스터(M3r), 트랜지스터(M4r)를 가진다. 인버터 루프 회로(IVR)는 인버터 회로(IV1)와 인버터 회로(IV2)를 가지고, 인버터 루프 회로(IVRr)는 인버터 회로(IV1r)와 인버터 회로(IV2r)를 가진다.

[0828] 인버터 회로(IV1)의 출력 단자는 인버터 회로(IV2)의 입력 단자와, 트랜지스터(M3)의 제 1 단자와, 트랜지스터(M4)의 제 1 단자에 전기적으로 접속되고, 인버터 회로(IV2)의 출력 단자는 인버터 회로(IV1)의 입력 단자에 전기적으로 접속되어 있다. 트랜지스터(M3)의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M3)의 게이트는 배선(WX1L)에 전기적으로 접속되어 있다. 트랜지스터(M4)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4)의 게이트는 배선(X2L)에 전기적으로 접속되어 있다. 인버터 회로(IV1r)의 출력 단자는 인버터 회로(IV2r)의 입력 단자와, 트랜지스터(M3r)의 제 1 단자와, 트랜지스터(M4r)의 제 1 단자에 전기적으로 접속되고, 인버터 회로(IV2r)의 출력 단자는 인버터 회로(IV1r)의 입력 단자에 전기적으로 접속되어 있다. 트랜지스터(M3r)의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M3r)의 게이트는 배선(WX1L)에 전기적으로 접속되어 있다. 트랜지스터(M4r)의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M4r)의 게이트는 배선(X2L)에 전기적으로 접속되어 있다.

[0829] 회로(HCS)는 인버터 루프 회로(IVR)에 의하여 인버터 회로(IV1)의 출력 단자에 고레벨 전위 및 저레벨 전위 중 한쪽을 유지하는 기능을 가지고, 회로(HCSr)는 인버터 루프 회로(IVRr)에 의하여 인버터 회로(IV1)의 출력 단자에 고레벨 전위 및 저레벨 전위 중 한쪽을 유지하는 기능을 가진다. 그러므로, 도 53, 도 54의 (A)와 마찬가지로, 일례로서 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "+1"로 할 때, 인버터 회로(IV1)의 출력 단자에 고레벨 전위(여기서는, 예를 들어 VDDL로 함), 인버터 회로(IV1r)의 출력 단자에 저레벨 전위(여기서는, 예를 들어 VSS로 함)가 유지되어 있는 것으로 하고, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "-1"로 할 때, 인버터 회로(IV1)의 출력 단자에 저레벨 전위, 인버터 회로(IV1r)의 출력 단자에 고레벨 전위가 유지되어 있는 것으로 하고, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "0"으로 할 때, 인버터 회로(IV1)의 출력 단자에 저레벨 전위, 인버터 회로(IV1r)의 출력 단자에 저레벨 전위가 유지되어 있는 것으로 한다.

[0830] 또한, 도 55의 (A)의 회로(MP)로의 제 2 데이터(뉴런의 신호의 값)의 입력은, 도 53, 도 54의 (A)와 마찬가지로 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 설정하면 좋다.

[0831] 도 55의 (A)의 회로(MP)는 도 53, 도 54의 (A) 및 (B)의 각각의 회로(MP)와 달리 회로(HCS)의 인버터 루프 회로(IVR)에 포함되는 트랜지스터를 사용하여 배선(OL) 또는 배선(OLB)으로부터 회로(MC)에 전류를 흘리고 회로(HCSr)의 인버터 루프 회로(IVRr)에 포함되는 트랜지스터를 사용하여 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)에 전류를 흘리는 구성이 되어 있다.

[0832] 또한, 도 55의 (A)의 회로(MP)는 도 55의 (B)에 도시된 회로(MP)로 구성을 변경할 수 있다. 도 55의 (B)의 회로(MP)는 도 55의 (A)의 회로(MP)에 포함되는 회로(MCr)를 제외한 구성이 되어 있다. 즉, 회로(HCS)의 인버터 루프 회로(IVR)에 포함되는 트랜지스터를 사용하여 배선(OL) 또는 배선(OLB)으로부터 회로(MC)에 전류를 흘리는 구성이 되어 있다. 또한, 이 경우, 일례로서 인버터 회로(IV1)의 출력 단자에 고레벨 전위가 인가될 때, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "+1"로 할 수 있고, 인버터 회로(IV1)의 출력 단자에 저레벨 전위가 인가될 때, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "0"으로 할 수 있다.

[0833] 또한, 도 55의 (C)의 회로(MP)는 도 55의 (B)의 회로(MP)에서 배선(X2L)을 제외하며 트랜지스터(M4)의 제 1 단자가 인버터 회로(IV1)의 입력 단자와, 인버터 회로(IV2)의 출력 단자에 전기적으로 접속되어 있는 구성이 되어 있다. 배선(WX1L)의 전위가 고레벨 전위일 때, 배선(OL) 또는 배선(OLB)에는 반대의 신호가 출력된다. 이 경우, 일례로서 인버터 회로(IV1)의 출력 단자에 고레벨 전위가 인가될 때, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "+1"로 할 수 있고, 인버터 회로(IV1)의 출력 단자에 저레벨 전위가 인가될 때, 회로(MP)에 설정되

는 제 1 데이터(가중 계수)를 "-1"로 할 수 있다. 또한, 일례로서 회로(MP)로부터 회로(AFP)에 정보(예를 들어 전류, 전압 등)를 공급할 경우, 배선(WX1L)에 고레벨 전위가 입력될 때, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)를 "+1"로 하고, 배선(WX1L)에 저레벨 전위가 입력될 때, 회로(MP)에 입력되는 제 2 데이터(뉴런의 신호의 값)를 "0"으로 할 수 있다.

[0834] 또한, 도 55의 (A) 내지 (C)의 회로(MP)는 예를 들어 도 7에 도시된 연산 회로(140)의 회로(MP)에 적용할 수 있다.

[0835] 또한, 상술한 바와 같이, 도 53의 회로(MP)에 포함되는 회로(HCS), 회로(HCSr)는 NOSRAM을 가지는 구성으로 할 수 있다. 도 56의 (A)는 회로(HCS), 회로(HCSr)가 NOSRAM을 가지는 구성으로 하여 도 53의 회로(MP)의 자세한 사항을 나타낸 구체적인 예를 나타낸 것이다. 또한, 도 56의 (A)에 기재된 부호, 제 1 데이터(가중 데이터)의 유지 방법 등에 대해서는, 도 34의 회로(MP)에 대한 설명을 참조한다.

[0836] 또한, 도 56의 (A)의 회로(MP)에서, 배선(IL)과 배선(OL)을 하나의 배선으로 통합 및/또는 배선(ILB)과 배선(OLB)을 하나의 배선으로 통합하여도 좋다. 도 56의 (B)의 회로(MP)는 배선(IL)과 배선(OL)을 배선(OL)으로서 하나의 배선으로 통합하고, 배선(ILB)과 배선(OLB)을 배선(OL)으로서 하나의 배선으로 통합한 구성이 되어 있다.

[0837] 또한 본 발명의 일 형태의 반도체 장치의 동작 방법은 상술한 것에 한정되지 않는다. 예를 들어, 동작 방법예 2에서 설명한 바와 같이, 도 53 내지 도 56의 회로(MP)에 있어서, 배선(X1L)(도 55의 (A), (B)에서는 배선(WX1L), 배선(X2L)의 각각에 입력되는 신호의 입력 기간을 복수의 서브 기간으로 나누어도 좋다.

[0838] 또한, 본 동작 방법예에서는 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에는 하나의 회로(MP)만이 전기적으로 접속되어 있는 경우를 생각하였지만, 도 11의 연산 회로(150)와 같이, 배선(OL), 배선(OLB)에는 복수의 회로(MP)를 전기적으로 접속하여도 좋다. 이에 의하여, 배선(OL), 배선(OLB)의 각각으로부터 복수의 회로(MP)에 입력된 전하량의 합계를 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적할 수 있고, 회로(ACTF)는 배선(OL), 배선(OLB)에 흐른 각각의 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0839] 또한, 본 동작예에서는 도 11의 연산 회로(150)를 예로 들었지만, 상황에 따라 다른 연산 회로로 변경하는 것으로도 본 동작예와 같은 동작을 수행할 수 있다.

[0840] 또한, 본 동작 방법예는 본 명세서에 나타낸 다른 동작 방법예 등과 적절히 조합할 수 있다.

[0841] <동작 방법예 6>

[0842] 여기서는, 도 57의 회로(MP)를 적용한 도 11의 연산 회로(150)의 동작 방법에 대하여 설명한다.

[0843] 동작 방법예 1 내지 동작 방법예 5와 마찬가지로, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에 흐르는 전류는 배선(OL), 배선(OLB)에 전기적으로 접속되어 있는 하나의 회로(MP)만에 의하여 변화되는 것으로 한다. 또한, 회로(MP)에 전기적으로 접속되어 있는 배선(VE), 배선(VEr)의 각각은 회로(MP)에 대하여 정전압으로서 VSS를 인가하는 것으로 한다. 또한, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각은 일례로서 적분 회로(또는 전류 전하(IQ) 변환 회로)의 구성을 가진 회로(ACTF)로 한다. 예를 들어, 도 6의 (E)의 회로(ACTF[j])에 있어서 부하 소자(LEa), 부하 소자(LEb)를 용량 소자 등으로 한 구성으로 하여도 좋다.

[0844] 도 57은 도 36에 도시된 회로(MP)와 같은 회로 구성을 나타낸 것이다. 또한, 도 57의 회로(MP)에서 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각은 배선(OLB)에 전기적으로 접속되고, 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각은 배선(OLB)에 전기적으로 접속되어 있는 구성이 되어 있다. 또한, 본 동작 방법의 예는 실시형태 2에서 설명한 도 36의 회로(MP)의 동작예와 다르다.

[0845] 구체적으로는, 동작 방법예 5와 마찬가지로, 회로(MP)에 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)에 따라 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 설정한다. 즉, 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 설정한다.

[0846] 동작 방법예 1에서 설명한 바와 같이, 회로(MP)에 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 설정하며 트랜지스터(M3) 또는 트랜지스터(M4)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량이 결정된다. 또한, 회로(MP)에 제 1 데이터(가중 계수)를 설정하고 트랜지스터(M3r) 또는 트랜지스터(M4r)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선

(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량이 결정된다.

[0847] 또한 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서도, 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 트랜지스터(M4r)의 각각이 온 상태가 되는 시간을 정함으로써 결정된다.

[0848] 그러므로, 도 57의 회로(MP)에서의 제 2 데이터(뉴런의 신호의 값)에 대해서는, 도 53의 회로(MP)에서의 제 2 데이터(뉴런의 신호의 값)의 정의와 같은 것으로 할 수 있다.

[0849] 또한, 도 57에 도시된 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)로서는, 실시형태 2의 구성예 6에서 설명한 바와 같이, 일례로서 SRAM을 가지는 구성 또는 NOSRAM을 가지는 구성으로 할 수 있다. 여기서는, 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)에는 2치(디지털값)의 전위가 유지되는 것으로 한다.

[0850] 또한, 트랜지스터(M1), 트랜지스터(M1r)의 W길이와 L길이의 비를 W/L로 할 때, 트랜지스터(M1), 트랜지스터(M1r)의 W길이와 L길이의 비를 2W/L로 하고, 트랜지스터(M1), 트랜지스터(M1r)의 W길이와 L길이의 비를 4W/L로 한다.

[0851] 그러므로, 회로(MP)에 설정되는 제 1 데이터(여기서는, 예를 들어 가중 계수로 함)에 대해서는 실시형태 2의 구성예 6의 내용을 참조할 수 있다. 구체적으로는, 예를 들어 회로(MP)에 설정되는 제 1 데이터(가중 계수)는 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 각각에 흐르는 전류에 따라 결정된다. 바꿔 말하면, 회로(MP)에 설정되는 제 1 데이터(가중 계수)는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 유지되는 전위에 따라 결정된다. 상술한 것으로부터, 일례로서 다음의 표와 같이 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 전위가 유지됨으로써, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 설정할 수 있다.

[0852] [표 13]

가중 계수	HCS	HCSr	HCS-2b	HCS-2br	HCS-3b	HCS-3br
+1	VDDL	VSS	VSS	VSS	VSS	VSS
+2	VSS	VSS	VDDL	VSS	VSS	VSS
+3	VDDL	VSS	VDDL	VSS	VSS	VSS
+4	VSS	VSS	VSS	VSS	VDDL	VSS
+5	VDDL	VSS	VSS	VSS	VDDL	VSS
+6	VSS	VSS	VDDL	VSS	VDDL	VSS
+7	VDDL	VSS	VDDL	VSS	VDDL	VSS
-1	VSS	VDDL	VSS	VSS	VSS	VSS
-2	VSS	VSS	VSS	VDDL	VSS	VSS
-3	VSS	VDDL	VSS	VDDL	VSS	VSS
-4	VSS	VSS	VSS	VSS	VSS	VDDL
-5	VSS	VDDL	VSS	VSS	VSS	VDDL
-6	VSS	VSS	VSS	VDDL	VSS	VDDL
-7	VSS	VDDL	VSS	VDDL	VSS	VDDL
0	VSS	VSS	VSS	VSS	VSS	VSS

[0853]

[0854] 또한, 회로(HCS)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1)에 흐르는 전류의 양을 I_1로 한다. 또한, 트랜지스터(M1-2b)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 2배이기 때문에 회로(HCS-2b)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1)에 흐르는 전류의 양은 $2I_1$이 된다. 또한, 트랜지스터(M1-3b)의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 4배이기 때문에 회로(HCS-3b)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1-3b)에 흐르는 전류의 양은 $4I_1$이 된다. 또한, 마찬가지로 회로(HCSr)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1r)에 흐르는 전류의 양은 I_1이 되고, 회로(HCS-2br)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1-2br)에 흐르는 전류의 양은 $2I_1$이 되고,

회로(HCS-3br)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1-3br)에 흐르는 전류의 양은 $4I_1$이 된다. 또한, 회로(HCS), 회로(HCSr), 회로(HCS-2b), 회로(HCS-2br), 회로(HCS-3b), 회로(HCS-2br)의 각각에 전압(VSS)이 유지되어 있는 경우에는 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br)에 흐르는 전류의 양을 0으로 한다.

[0855] 다음으로, 도 57의 회로(MP)의 구체적인 동작예에 대하여 설명한다.

[0856] 회로(MP)에는 예를 들어 미리 "+7"의 제 1 데이터(가중 계수)가 설정되어 있는 것으로 한다. 이때, 트랜지스터(M1)의 소스-드레인 사이에는 전류(I_{ut})가 흐르고, 트랜지스터(M1-2b)의 소스-드레인 사이에는 전류($2I_{ut}$)가 흐르고, 트랜지스터(M1-3b)의 소스-드레인 사이에는 전류($4I_{ut}$)가 흐른다.

[0857] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+3"이 입력되어 있는 경우, 트랜지스터(M3)가 시간 $3t_{ut}$에만 온 상태, 트랜지스터(M4)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량은 $3t_{ut}\times I_{ut}+3t_{ut}\times 2I_{ut}+3t_{ut}\times 4I_{ut}=21t_{ut}\times I_{ut}$가 된다. 또한, 여기서, $t_{ut}\times I_{ut}=Q_{ut}$로 한다. 즉, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 $21t_{ut}\times I_{ut}=21Q_{ut}$가 된다. 한편, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)가 오프 상태이므로 0이 된다.

[0858] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-3"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 $21t_{ut}\times I_{ut}=21Q_{ut}$가 되고, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 0이 된다.

[0859] 또한, 회로(MP)에 예를 들어 미리 "-7"의 제 1 데이터(가중 계수)가 설정되어 있는 경우를 생각한다. 이때, 트랜지스터(M1r)의 소스-드레인 사이에는 전류(I_1)가 흐르고, 트랜지스터(M1-2br)의 소스-드레인 사이에는 전류($2I_1$)가 흐르고, 트랜지스터(M1-3br)의 소스-드레인 사이에는 전류($4I_1$)가 흐른다.

[0860] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+3"이 입력되어 있는 경우, 트랜지스터(M3)가 시간 $3t_{ut}$에만 온 상태, 트랜지스터(M4)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량은 $3t_{ut}\times I_{ut}+3t_{ut}\times 2I_{ut}+3t_{ut}\times 4I_{ut}=21t_{ut}\times I_{ut}$가 된다. 즉, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 $21t_{ut}\times I_{ut}=21Q_{ut}$가 된다. 한편, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)가 오프 상태이므로 0이 된다. 한편, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)가 오프 상태이므로 0이 된다.

[0861] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-3"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 $21t_{ut}\times I_{ut}=21Q_{ut}$가 되고, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 0이 된다.

[0862] 또한, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 변경함으로써 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 유지되는 전위의 조합이 변화되므로, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 각각에 흐르는 전류의 양이 변화된다. 따라서, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량과, 제 1 데이터(가중 계수)에 따라 결정할 수 있다.

[0863] 또한, 회로(MP)에 미리 "0"의 제 1 데이터(가중 계수)가 설정되어 있는 경우, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 각각은 오프 상태가 되어 있다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않고, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다. 바꿔 말하면, 배선(OL), 배선(OLB)의 각각에 흐르는 전하량은 0이라고 할 수 있다.

[0864] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "0"이 입력되어 있는 경우, 배선(X1L), 배선(X2L)의 각각에는 저레벨 전위가 입력되어 있기 때문에 트랜지스터(M3), 트랜지스터(M3r), 트랜지스터(M4), 트랜지스터(M4r)는 오프 상태가 된다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않고, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다. 바꿔 말하면, 배선(OL), 배선(OLB)의 각각에 흐르는 전하량은 0이라고 할 수 있다.

[0865] 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류가 흐를 때, 또는 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류가 흐를 때, 도 8의 (A)에 있어서, 스위치(SWO), 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 오프 상태로 하여, 배선(OL 및 OLB)과 회로(AFP) 사이를 도통 상태로 함으로써, 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 배선(OL), 배선(OLB)에 흐르는 전하량을 축적시킬 수 있다. 이 결과, 회로(ACTF)는 배선(OL), 배선(OLB)의 각각에 흐른 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0866] 상술한 바와 같이, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)를 정함으로써, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과에 따라, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL} 및 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}가 결정된다. 또한, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 양의 값인 경우, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르고, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 음의 값인 경우, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐른다. 즉, 전하량 Q_{OL} 및 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 산출할 수 있다. 예를 들어, 제 1 데이터(가중 계수)를 "+7"로 하고, 제 2 데이터(뉴런의 신호의 값)를 "+3"으로 할 때, $Q_{OL}=21Q_{ut}$, $Q_{OLB}=0$이 된다. 이 경우, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르기 때문에 곱의 결과는 양의 값이 된다. 그러므로, 일례로서 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL}에서 Q_{ut}를 "+1"로 치환함으로써 전하량 Q_{OL}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과로서, "+21"을 구할 수 있다. 또한 예를 들어, 제 1 데이터(가중 계수)를 "-7"로 하고, 제 2 데이터(뉴런의 신호의 값)를 "+3"으로 할 때, $Q_{OL}=0$, $Q_{OLB}=21Q_{ut}$가 된다. 이 경우, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르기 때문에 곱의 결과는 음의 값이 된다. 그러므로, 일례로서 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}에서 Q_{ut}를 "-1"로 치환함으로써 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과로서, "-21"을 구할 수 있다.

[0867] 또한, 제 2 데이터(뉴런의 신호의 값)를 "-3", "-2", "-1", "0", "+1", "+2", "+3" 이외의 정수 또는 실수로 할 때, 정수 또는 실수에 따라 배선(X1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 설정하면 좋다. 예를 들어, a를 양의 실수로 하고 입력 기간을 aXt_{ut}로 함으로써 제 2 데이터(뉴런의 신호의 값)를 아날로그값으로서 취급할 수 있다.

[0868] 이에 의하여, 동작 방법예 1 내지 동작 방법예 3, 동작 방법 5와 마찬가지로 제 2 데이터(뉴런의 신호의 값)를 다치로 하여 회로(MP)에 공급할 수 있다.

[0869] 또한, 본 발명의 일 형태의 반도체 장치는 도 57의 회로(MP)의 구성에 한정되지 않는다. 예를 들어, 도 57의 회로(MP)에서는 전류량을 설정하는 트랜지스터로서 회로(MC) 내는 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 3개로 하고 회로(MCr) 내는 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 3개로 하였지만, 회로(MC), 회로(MCr)의 각각에 있어서 전류량을 설정하는 트랜지스터는 2개 또는 4개 이상으로 하여도 좋다. 또한, 상기 트랜지스터에 따라 유지부의 개수, 배선의 개수를 늘려도 좋다.

[0870] 또한 본 발명의 일 형태의 반도체 장치의 동작 방법은 상술한 것에 한정되지 않는다. 예를 들어, 동작 방법예 2에서 설명한 바와 같이, 도 57의 회로(MP)에 있어서, 배선(X1L), 배선(X2L)의 각각에 입력되는 신호의 입력 기간을 복수의 서브 기간으로 나누어도 좋다.

[0871] 또한, 본 동작예에서는 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에는 하나의 회로(MP)만이 전기적으로 접속되어 있는 경우를 생각하였지만, 도 11의 연산 회로(150)와 같이, 배선(OL), 배선(OLB)에는 복수의 회로(MP)를 전기적으로 접속하여도 좋다. 이에 의하여, 배선(OL), 배선(OLB)의 각각으로부터 복수의 회로(MP)에 입력된 전하량의 합계를 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적할 수 있고, 회로(ACTF)는

배선(OL), 배선(OLB)에 흐른 각각의 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0872] 또한, 본 동작예에서는 도 11의 연산 회로(150)를 예로 들었지만, 상황에 따라 다른 연산 회로로 변경하는 것으로도 본 동작예와 같은 동작을 수행할 수 있다.

[0873] 또한, 본 동작 방법예는 본 명세서에 나타낸 다른 동작 방법예 등과 적절히 조합할 수 있다.

[0874] <동작 방법예 7>

[0875] 여기서는, 도 58의 회로(MP)를 적용한 도 11의 연산 회로(150)의 동작 방법에 대하여 설명한다.

[0876] 동작 방법예 1 내지 동작 방법예 6과 마찬가지로, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에 흐르는 전류는 배선(OL), 배선(OLB)에 전기적으로 접속되어 있는 하나의 회로(MP)만에 의하여 변화되는 것으로 한다. 또한, 회로(MP)에 전기적으로 접속되어 있는 배선(VE), 배선(VEr)의 각각은 회로(MP)에 대하여 정전압으로서 VSS를 인가하는 것으로 한다. 또한, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각은 일례로서 적분 회로(또는 전류 전하(IQ) 변환 회로)의 구성을 가진 회로(ACTF)로 한다. 예를 들어, 도 6의 (E)의 회로(ACTF[j])에 있어서 부하 소자(LEa), 부하 소자(LEb)를 용량 소자 등으로 한 구성으로 하여도 좋다.

[0877] 도 58은 도 29에 도시된 회로(MP)와 같은 회로 구성을 나타낸 것이다. 다만, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 크기, 예를 들어 W길이와 L길이는 같은 것이 바람직하다. 또한, 본 동작 방법의 예는 실시형태 2에서 설명한 도 29의 회로(MP)의 동작예와 다르다.

[0878] 구체적으로는, 도 50의 회로(MP)와 마찬가지로, 회로(MP)에 제 2 데이터(예를 들어 여기서는 뉴런의 신호의 값으로 함)를 입력할 경우에 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 t_{ut}로 하였을 때, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $2t_{ut}$로 하고, 배선(X1L3b) 및 배선(X2L3b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $4t_{ut}$로 하여 동작시키는 것으로 한다. 즉, 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 t_{ut}로 하였을 때, 트랜지스터(M3-2b), 트랜지스터(M3-2br)가 온 상태 또는 트랜지스터(M4-2b), 트랜지스터(M4-2br)가 온 상태가 되는 시간이 $2t_{ut}$가 되고, 트랜지스터(M3-3b), 트랜지스터(M3-3br)가 온 상태 또는 트랜지스터(M4-3b), 트랜지스터(M4-3br)가 온 상태가 되는 시간이 $4t_{ut}$가 되도록 동작시킨다. 그러므로, 도 58의 회로(MP)에는 도 29의 회로(MP)와 동작이 상이한 것을 나타내기 위하여, 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b)의 부호 부근에 펄스 전압의 모식도와 입력 시간을 도시하였다.

[0879] 동작 방법예 1, 동작 방법예 2에서 설명한 바와 같이, 회로(MP)에 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 설정하며 트랜지스터(M3) 또는 트랜지스터(M4)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량이 결정된다. 또한, 회로(MP)에 제 1 데이터(가중 계수)를 설정하고 트랜지스터(M3r) 또는 트랜지스터(M4r)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량이 결정된다.

[0880] 마찬가지로, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서도, 트랜지스터(M3-2b), 트랜지스터(M3-2br), 트랜지스터(M4-2b), 트랜지스터(M4-2br)의 각각에서 온 상태가 되는 시간을 정함으로써 결정된다. 또한, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3b)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서도, 트랜지스터(M3-3b), 트랜지스터(M3-3br), 트랜지스터(M4-3b), 트랜지스터(M4-3br)의 각각에서 온 상태가 되는 시간을 정함으로써 결정된다.

[0881] 그러므로, 도 58의 회로(MP)에서의 제 2 데이터(뉴런의 신호의 값)에 대해서는, 일례로서 동작 방법예 3에서 설명한 도 50의 회로(MP)에서의 제 2 데이터(뉴런의 신호의 값)의 정의와 같은 것으로 할 수 있다.

[0882] 또한, 도 58에 나타낸 회로(HCS), 회로(HCSr)로서는, 실시형태 2의 구성예 5에서 설명한 바와 같이, 일례로서 SRAM을 가지는 구성 또는 NOSRAM을 가지는 구성으로 할 수 있다. 여기서는, 회로(HCS), 회로(HCSr)에 2치(디지털값)의 전위가 유지되는 것으로 한다. 그러므로, 일례로서 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "+1"로 할 때, 회로(HCS)에 고레벨 전위(여기서는, 예를 들어 VDDL로 함), 회로(HCSr)에 저레벨 전위(여기서는,

예를 들어 VSS로 함)가 유지되어 있는 것으로 하고, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "-1"로 할 때, 회로(HCS)에 저레벨 전위, 회로(HCSr)에 고레벨 전위가 유지되어 있는 것으로 하고, 회로(MP)에 설정되는 제 1 데이터(가중 계수)를 "0"으로 할 때, 회로(HCS)에 저레벨 전위, 회로(HCSr)에 저레벨 전위가 유지되어 있는 것으로 한다.

[0883] 또한, 회로(HCS)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1)에 흐르는 전류의 양을 I_1로 한다. 또한, 회로(HCS)에 전압(VSS)이 유지되어 있는 경우에는 트랜지스터(M1)에 흐르는 전류의 양을 0으로 한다. 마찬가지로, 회로(HCSr)에 전압(VDDL)이 유지되어 있는 경우에는 트랜지스터(M1r)에 흐르는 전류의 양을 I_{ut}로 하고, 회로(HCSr)에 전압(VSS)이 유지되어 있는 경우에는 트랜지스터(M1r)에 흐르는 전류의 양을 0으로 한다.

[0884] 또한, 회로(MC)에 있어서, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 크기는 서로 같고, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 게이트가 회로(HCS)에 전기적으로 접속되고 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 제 1 단자가 배선(VE)에 전기적으로 접속되어 있기 때문에, 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 소스-드레인 사이에는 거의 같은 전류가 흐른다. 그러므로, 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 소스-드레인 사이에 흐르는 전류량은 트랜지스터(M1)와 같은 I_{ut}가 된다. 또한, 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각은 트랜지스터(M1)의 크기와 같고, 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 게이트가 회로(HCSr)에 전기적으로 접속되고 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각의 제 1 단자가 배선(VEr)에 전기적으로 접속되어 있기 때문에, 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각의 소스-드레인 사이는 트랜지스터(M1)의 소스-드레인 사이에 흐르는 전류와 같게 된다. 그러므로, 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각의 소스-드레인 사이에 흐르는 전류량은 트랜지스터(M1)와 같은 I_{ut}가 된다.

[0885] 다음으로, 도 58의 회로(MP)의 구체적인 동작예에 대하여 설명한다.

[0886] 회로(MP)에는 예를 들어 미리 "+1"의 제 1 데이터(가중 계수)가 설정되어 있는 것으로 한다.

[0887] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+7"이 입력되어 있는 경우, 트랜지스터(M3)가 시간 t_{ut}에만 온 상태, 트랜지스터(M4)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량은 $t_{ut} \times I_{ut}$가 된다. 또한, 여기서, $t_{ut} \times I_{ut}=Q_{ut}$로 한다. 또한, 마찬가지로 트랜지스터(M3-2b)가 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M4-2b)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량은 $2t_{ut} \times I_{ut}=2Q_{ut}$가 되고, 트랜지스터(M3-3b)가 시간 $4t_{ut}$에만 온 상태, 트랜지스터(M4-3b)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1-3b)를 통하여 배선(VE)에 흐르는 전하량은 $4t_{ut} \times I_{ut}=4Q_{ut}$가 된다. 그러므로, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 $Q_{ut}+2Q_{ut}+4Q_{ut}=7Q_{ut}$가 된다. 한편, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)가 오프 상태이므로 0이 된다.

[0888] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-7"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 $Q_{ut}+2Q_{ut}+4Q_{ut}=7Q_{ut}$가 되고, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 0이 된다.

[0889] 또한, 회로(MP)에 예를 들어 미리 "-1"의 제 1 데이터(가중 계수)가 설정되어 있는 경우를 생각한다.

[0890] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+7"이 입력되어 있는 경우, 트랜지스터(M3r)가 시간 t_{ut}에만 온 상태, 트랜지스터(M4r)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량은 $t_{ut} \times I_{ut}=Q_{ut}$가 된다. 또한, 마찬가지로 트랜지스터(M4-2br)가 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M3-2br)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량은 $2t_{ut} \times I_{ut}=2Q_{ut}$가 되고, 트랜지스터(M4-3br)가 시간 $4t_{ut}$에만 온 상태, 트랜지스터(M3-3br)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1-3br)를 통하여 배선(VEr)에 흐르는 전하량은 $4t_{ut} \times I_{ut}=4Q_{ut}$가 된다. 그러므로, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 $Q_{ut}+2Q_{ut}+4Q_{ut}=7Q_{ut}$가 된다. 한편,

배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)가 오프 상태이므로 0이 된다.

[0891] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-7"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 $Q_{ut}+2Q_{ut}+4Q_{ut}=7Q_{ut}$가 되고, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 0이 된다.

[0892] 그러므로, 회로(MP)에 "+1"의 제 1 데이터(가중 계수)를 설정하고, 양의 제 2 데이터(뉴런의 신호의 값)에 따라 회로(MP)에 포함되는 트랜지스터(M3), 트랜지스터(M3-2b), 트랜지스터(M3-3b)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량을 Q_{ut}, $2Q_{ut}$, $3Q_{ut}$, $4Q_{ut}$, $5Q_{ut}$, $6Q_{ut}$, $7Q_{ut}$ 중 어느 하나로 할 수 있다. 또한, 이때 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 0이 된다. 또한, 회로(MP)에 "-1"의 제 1 데이터(가중 계수)를 설정하고, 양의 제 2 데이터(뉴런의 신호의 값)에 따라 회로(MP)에 포함되는 트랜지스터(M3r), 트랜지스터(M3-2br), 트랜지스터(M3-3br)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량을 Q_{ut}, $2Q_{ut}$, $3Q_{ut}$, $4Q_{ut}$, $5Q_{ut}$, $6Q_{ut}$, $7Q_{ut}$ 중 어느 하나로 할 수 있다. 또한, 이때 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 0이 된다.

[0893] 또한, 회로(MP)에 "+1"의 제 1 데이터(가중 계수)를 설정하고, 음의 제 2 데이터(뉴런의 신호의 값)에 따라 회로(MP)에 포함되는 트랜지스터(M4), 트랜지스터(M4-2b), 트랜지스터(M4-3b)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량을 Q_{ut}, $2Q_{ut}$, $3Q_{ut}$, $4Q_{ut}$, $5Q_{ut}$, $6Q_{ut}$, $7Q_{ut}$ 중 어느 하나로 할 수 있다. 또한, 이때 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 0이 된다. 또한, 회로(MP)에 "-1"의 제 1 데이터(가중 계수)를 설정하고, 음의 제 2 데이터(뉴런의 신호의 값)에 따라 회로(MP)에 포함되는 트랜지스터(M4r), 트랜지스터(M4-2br), 트랜지스터(M4-3br)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량을 Q_{ut}, $2Q_{ut}$, $3Q_{ut}$, $4Q_{ut}$, $5Q_{ut}$, $6Q_{ut}$, $7Q_{ut}$ 중 어느 하나로 할 수 있다. 또한, 이때 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 0이 된다.

[0894] 또한, 회로(MP)에 미리 "0"의 제 1 데이터(가중 계수)가 설정되어 있는 경우, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 각각은 오프 상태가 된다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않고, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다. 바꿔 말하면, 배선(OL), 배선(OLB)의 각각에 흐르는 전하량은 0이라고 할 수 있다.

[0895] 또한, 회로(MP)에 "0"의 제 2 데이터(뉴런의 신호의 값)가 입력되는 경우, 트랜지스터(M3), 트랜지스터(M3-2b), 트랜지스터(M3-3b), 트랜지스터(M4), 트랜지스터(M4-2b), 트랜지스터(M4-3b), 트랜지스터(M3r), 트랜지스터(M3-2br), 트랜지스터(M3-3br), 트랜지스터(M4r), 트랜지스터(M4-2br), 트랜지스터(M4-3br)의 각각은 오프 상태가 된다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않고, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다. 바꿔 말하면, 배선(OL), 배선(OLB)의 각각에 흐르는 전하량은 0이라고 할 수 있다.

[0896] 여기서, 회로(ACTF)의 적분 회로에 착안한다. 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류가 흐를 때, 또는 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류가 흐를 때, 도 8의 (A)에 있어서, 스위치(SWO), 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 오프 상태로 하여, 배선(OL) 및 배선(OLB)과 회로(AFP) 사이를 도통 상태로 함으로써, 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 배선(OL), 배선(OLB)에 흐르는 전하량을 축적시킬 수 있다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0897] 상술한 동작예로부터, 제 1 데이터(가중 계수)를 "+1" 또는 "-1"로 하고, 제 2 데이터(뉴런의 신호의 값)를 상술한 바와 같이 정의한 경우의 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}를 이하의 표에 기재하였다.

[0898] [표 14]

가중 계수	뉴런의 신호의 값	가중 계수 × 신호	배선(OL)에 흐르는 전하량 Q_{OL}	배선(OLB)에 흐르는 전하량 Q_{OLB}
+1	0	0	0	0
+1	+1	+1	Q_{ut}	0
+1	+2	+2	$2Q_{ut}$	0
+1	+3	+3	$3Q_{ut}$	0
+1	+4	+4	$4Q_{ut}$	0
+1	+5	+5	$5Q_{ut}$	0
+1	+6	+6	$6Q_{ut}$	0
+1	+7	+7	$7Q_{ut}$	0
+1	-1	-1	0	Q_{ut}
+1	-2	-2	0	$2Q_{ut}$
+1	-3	-3	0	$3Q_{ut}$
+1	-4	-4	0	$4Q_{ut}$
+1	-5	-5	0	$5Q_{ut}$
+1	-6	-6	0	$6Q_{ut}$
+1	-7	-7	0	$7Q_{ut}$

[0899]

[0900] [표 15]

가중 계수	뉴런의 신호의 값	가중 계수 × 신호	배선(OL)에 흐르는 전하량 Q_{OL}	배선(OLB)에 흐르는 전하량 Q_{OLB}
-1	0	0	0	0
-1	+1	-1	0	Q_{ut}
-1	+2	-2	0	$2Q_{ut}$
-1	+3	-3	0	$3Q_{ut}$
-1	+4	-4	0	$4Q_{ut}$
-1	+5	-5	0	$5Q_{ut}$
-1	+6	-6	0	$6Q_{ut}$
-1	+7	-7	0	$7Q_{ut}$
-1	-1	+1	Q_{ut}	0
-1	-2	+2	$2Q_{ut}$	0
-1	-3	+3	$3Q_{ut}$	0
-1	-4	+4	$4Q_{ut}$	0
-1	-5	+5	$5Q_{ut}$	0
-1	-6	+6	$6Q_{ut}$	0
-1	-7	+7	$7Q_{ut}$	0

[0901]

[0902] 상술한 바와 같이, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)를 정함으로써, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과에 따라, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전

류가 흐르는 전하량 Q_{OL} 및 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}가 결정된다. 또한, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 양의 값인 경우, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르고, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 음의 값인 경우, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐른다. 즉, 전하량 Q_{OL} 및 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 산출할 수 있다. 예를 들어, 제 1 데이터(가중 계수)를 "-1" 또는 "+1"로 하고 제 2 데이터(뉴런의 신호의 값)를 "-7" 내지 "+7" 중 어느 하나로 하며 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 양의 수인 경우, 상기 표에 있어서, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL}에서 Q_{ut}를 "+1"로 치환함으로써 전하량 Q_{OL}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 구할 수 있다. 또한, 예를 들어 제 1 데이터(가중 계수)를 "-1" 또는 "+1"로 하고 제 2 데이터(뉴런의 신호의 값)를 "-7" 내지 "+7" 중 어느 하나로 하며 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 음의 수인 경우, 상기 표에 있어서, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}에서 Q_{ut}를 "-1"로 치환함으로써 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 구할 수 있다.

[0903] 또한, 본 발명의 일 형태는 상술한 정의에 한정되지 않는다. 위에서는, 제 2 데이터(뉴런의 신호의 값)로서 양의 다치, 음의 다치, 0을 정의하였지만, 예를 들어 입력 기간을 이산적인 값이 아니라 연속적인 값을 취함으로써(a를 양의 실수로 하여 입력 기간을 $a \times t_{ut}$로 함으로써) 제 2 데이터(뉴런의 신호의 값)를 아날로그값으로서 취급할 수 있다.

[0904] 또한, 예를 들어 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 t_{ut}로 하고, 트랜지스터(M3-2b), 트랜지스터(M3-2br)가 온 상태 또는 트랜지스터(M4-2b), 트랜지스터(M4-2br)가 온 상태가 되는 시간을 $2t_{ut}$로 하고, 트랜지스터(M3-3b), 트랜지스터(M3-3br)가 온 상태 또는 트랜지스터(M4-3b), 트랜지스터(M4-3br)가 온 상태가 되는 시간을 $4t_{ut}$로 하였을 때, 배선(WX1L)에 고레벨 전위, 배선(X2L)에 저레벨 전위가 입력되며 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b)에 저레벨 전위가 입력되었을 때의 제 2 데이터(뉴런의 신호의 값)를 "+1"이 아니라 "+0.1" 등의 실수로 정의하여도 좋다.

[0905] 또한, 본 발명의 일 형태의 반도체 장치는 도 58의 회로(MP)의 구성에 한정되지 않는다. 예를 들어, 도 58의 회로(MP)에서는 전류량을 설정하는 트랜지스터로서 회로(MC) 내는 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 3개로 하고 회로(MCr) 내는 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 3개로 하였지만, 회로(MC), 회로(MCr)의 각각에 있어서 전류량을 설정하는 트랜지스터는 2개이어도 좋고, 4개 이상으로 하여도 좋다.

[0906] 또한, 본 발명의 일 형태의 반도체 장치 및 상기 반도체 장치의 동작 방법은 상술한 것에 한정되지 않는다. 위에서는, 도 58의 회로(MP)의 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br) 각각의 크기를 같은 것으로서 설명하였지만, 예를 들어 도 51의 회로(MP)와 같이, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br)의 W길이와 L길이의 비를 W/L로 하고, 트랜지스터(M1-3b), 트랜지스터(M1-3br)의 W길이와 L길이의 비를 2W/L로 하여도 좋다. 회로(HCS)에 전위(VDDL)가 유지되어 있는 경우에 트랜지스터(M1)의 소스-드레인 사이에 전류량으로서 I_1의 전류가 흐르는 것으로 하면, 트랜지스터(M1-2b)의 W길이와 L길이의 비와, 트랜지스터(M1-3b)의 W길이와 L길이의 비의 각각은 트랜지스터(M1)의 W길이와 L길이의 비의 2배이기 때문에 트랜지스터(M1-2b), 트랜지스터(M1-3b) 각각의 소스-드레인 사이에는 전류량으로서 $2I_1$이 흐른다. 마찬가지로, 회로(HCSr)에 전위(VDDL)가 유지되어 있는 경우에 트랜지스터(M1r)의 소스-드레인 사이에 전류량으로서 I_1의 전류가 흐르는 것으로 하면, 트랜지스터(M1-2br)의 W길이와 L길이의 비와, 트랜지스터(M1-3br)의 W길이와 L길이의 비의 각각은 트랜지스터(M1r)의 W길이와 L길이의 비의 2배이기 때문에 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각의 소스-드레인 사이에는 전류량으로서 $2I_1$이 흐른다.

[0907] 여기서, 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 t_{ut}로 하고, 트랜지스터(M3-2b), 트랜지스터(M3-2br)가 온 상태 또는 트랜지스터(M4-2b), 트랜지스터

(M4-2br)가 온 상태가 되는 시간을 $2t_{ut}$로 하고, 트랜지스터(M3-3b), 트랜지스터(M3-3br)가 온 상태 또는 트랜지스터(M4-3b), 트랜지스터(M4-3br)가 온 상태가 되는 시간을 $2t_{ut}$로 한다. 즉, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)를 입력할 경우에 배선(WX1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 t_{ut}로 하고, 배선(X1L2b) 및 배선(X2L2b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $2t_{ut}$로 하고, 배선(X1L3b) 및 배선(X2L3b) 중 한쪽으로의 고레벨 전위의 입력 시간은 $2t_{ut}$로 한다. 도 59의 회로(MP)에는 배선(WX1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b)의 부호 부근에 도 58과는 다른 펄스 전압의 모식도와 입력 시간을 도시하였다.

[0908] 회로(HCS)에 전위(VDDL)가 유지되고 트랜지스터(M1)의 소스-드레인 사이에 전류량으로서 I_{ut}의 전류가 흐를 때, 트랜지스터(M3-3b) 및 트랜지스터(M4-3b) 중 한쪽이 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M3-3b) 및 트랜지스터(M4-3b) 중 다른 쪽이 오프 상태가 됨으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3b)를 통하여 배선(VE)에 흐르는 전하량은 $2t_{ut} \times 2I_{ut}=4Q_{ut}$가 된다. 또한, 배선(OL)으로부터 트랜지스터(M1)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL)으로부터 트랜지스터(M1-2b)를 통하여 배선(VE)에 흐르는 전하량에 대해서는 상술한 동작예와 조건이 같으므로, 설명을 생략한다.

[0909] 회로(HCSr)에 전위(VDDL)가 유지되고 트랜지스터(M1r)의 소스-드레인 사이에 전류량으로서 I_1의 전류가 흐를 때, 트랜지스터(M3-3br) 및 트랜지스터(M4-3br) 중 한쪽이 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M3-3br) 또는 트랜지스터(M4-3br)가 오프 상태가 됨으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3br)를 통하여 배선(VEr)에 흐르는 전하량은 $2t_{ut} \times 2I_{ut}=4Q_{ut}$가 된다. 또한, 배선(OLB)으로부터 트랜지스터(M1r)를 통하여 배선(VEr)에 흐르는 전하량과, 배선(OLB)으로부터 트랜지스터(M1-2br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서는 상술한 동작예와 조건이 같으므로, 설명을 생략한다.

[0910] 상술한 바와 같이, 트랜지스터(M1), 트랜지스터(M1r), 트랜지스터(M1-2b), 트랜지스터(M1-2br), 트랜지스터(M1-3b), 트랜지스터(M1-3br) 각각의 크기와, 배선(X1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b) 각각으로의 고레벨 전위의 입력 시간을 적절히 변경함으로써 도 58에 나타낸 회로(MP)의 동작예와 같이 동작될 수 있다.

[0911] 또한, 본 발명의 일 형태의 반도체 장치는 도 58, 도 59의 회로(MP)의 구성에 한정되지 않는다. 예를 들어, 도 58의 회로(MP)에서는 회로(HCS)에 유지되어 있는 전위에 따른 전류를 흘리는 트랜지스터를 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 3개로 하고 회로(HCSr)에 유지되어 있는 전위에 따른 전류를 흘리는 트랜지스터를 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 3개로 하였지만, 회로(MC), 회로(MCr)의 각각에 있어서 전류량을 설정하는 트랜지스터는 2개, 또는 4개 이상으로 하여도 좋다. 또한, 상기 트랜지스터에 따라 유지부의 개수, 배선의 개수를 늘리거나 줄여도 좋다.

[0912] 또한 본 발명의 일 형태의 반도체 장치의 동작 방법은 상술한 것에 한정되지 않는다. 예를 들어, 동작 방법예 2에서 설명한 바와 같이, 도 57의 회로(MP)에 있어서, 배선(X1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선(X1L3b), 배선(X2L3b) 각각에 입력되는 신호의 입력 기간을 복수의 서브 기간으로 나누어도 좋다.

[0913] 또한, 본 동작예에서는 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에는 하나의 회로(MP)만이 전기적으로 접속되어 있는 경우를 생각하였지만, 도 11의 연산 회로(150)와 같이, 배선(OL), 배선(OLB)에는 복수의 회로(MP)를 전기적으로 접속하여도 좋다. 이에 의하여, 배선(OL), 배선(OLB)의 각각으로부터 복수의 회로(MP)에 입력된 전하량의 합계를 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적할 수 있고, 회로(ACTF)는 배선(OL), 배선(OLB)에 흐른 각각의 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0914] 또한, 본 동작예에서는 도 11의 연산 회로(150)를 예로 들었지만, 상황에 따라 다른 연산 회로로 변경하는 것으로도 본 동작예와 같은 동작을 수행할 수 있다.

[0915] 또한, 본 동작 방법예는 본 명세서에 나타낸 다른 동작 방법예 등과 적절히 조합할 수 있다.

[0916] <동작 방법예 8>

[0917] 여기서는, 도 60의 회로(MP)를 적용한 도 11의 연산 회로(150)의 동작 방법에 대하여 설명한다.

[0918] 동작 방법예 1 내지 동작 방법예 7과 마찬가지로, 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)

에 흐르는 전류는 배선(OL), 배선(OLB)에 전기적으로 접속되어 있는 하나의 회로(MP)만에 의하여 변화되는 것으로 한다. 또한, 회로(MP)에 전기적으로 접속되어 있는 배선(VE), 배선(VEr)의 각각은 회로(MP)에 대하여 정전압으로서 VSS를 인가하는 것으로 한다. 또한, 회로(AFP)에 포함되는 회로(ACTF[1] 내지 ACTF[n])의 각각은 일례로서 적분 회로(또는 전류 전하(IQ) 변환 회로)의 구성을 가진 회로(ACTF)로 한다. 예를 들어, 도 6의 (E)의 회로(ACTF[j])에 있어서 부하 소자(LEa), 부하 소자(LEb)를 용량 소자 등으로 한 구성으로 하여도 좋다. 또한, 예를 들어 하나의 유지부(예를 들어 회로(HCS))에 접속된 트랜지스터는 3개(예를 들어 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x)의 3개)인 경우를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 각 유지부에는 임의의 개수의 트랜지스터를 배치하여도 좋다. 마찬가지로, 트랜지스터(M3), 트랜지스터(M3-2x), 트랜지스터(M3-3x)에 대해서도 3개(트랜지스터(M3), 트랜지스터(M3-2x), 트랜지스터(M3-3x)나, 트랜지스터(M4), 트랜지스터(M4-2x), 트랜지스터(M4-3x))인 경우를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않고, 임의의 개수의 트랜지스터를 배치하여도 좋다. 또한 유지부는 3개(예를 들어 회로(HCS), 회로(HCS-2b), 회로(HCS-3b))인 경우를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 임의의 개수의 유지부를 배치하여도 좋다.

[0919] 도 60의 회로(MP)에서 회로(MC)는 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x), 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b), 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-2b), 트랜지스터(M3), 트랜지스터(M3-2x), 트랜지스터(M3-3x), 트랜지스터(M4), 트랜지스터(M4-2x), 트랜지스터(M4-3x), 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)를 가진다.

[0920] 또한 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x)의 크기, 예를 들어 W길이와 L길이는 서로 같은 것이 바람직하다. 또한 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b)의 크기는 서로 같은 것이 바람직하다. 또한 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b)의 크기는 서로 같은 것이 바람직하다.

[0921] 또한, 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x)의 각각의 W길이와 L길이의 비를 W/L로 할 때, 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b)의 각각의 W길이와 L길이의 비를 2W/L로 하고 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b)의 각각의 W길이와 L길이의 비를 4W/L로 하는 것이 바람직하다. 즉, 유지부(예를 들어 회로(HCS), 회로(HCS-2b), 회로(HCS-3b) 등)와 게이트에 전기적으로 접속되어 있는 트랜지스터(예를 들어 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b) 등)의 W길이와 L길이의 비 W/L는 유지부의 개수에 따라 2의 거듭제곱으로 크게 하면 좋다.

[0922] 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각은 도 29의 회로(MP)에 포함되는 회로(HCS)와 마찬가지로 배선(OL) 및 배선(OLB) 중 한쪽 또는 양쪽으로부터 입력되는 정보(전위, 전류 등)를 받고, 상기 정보에 따른 전위를 유지하는 기능을 가진다. 또한 회로(HCS)는 전기적으로 접속되어 있는 트랜지스터의 게이트에 유지된 상기 전위를 인가하는 기능을 가진다. 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)로서는 예를 들어 SRAM을 가지는 구성이나 NOSRAM을 가지는 구성으로 할 수 있다. 도 60의 회로(MP)에 포함되는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b)의 각각은 디지털값(2치)으로서, 고레벨 전위(여기서는, 예를 들어 VDDL) 및 저레벨 전위(여기서는, 예를 들어 VSS) 중 한쪽을 유지하는 것으로 한다.

[0923] 또한 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b)의 각각의 게이트는 회로(HCS-2b)에 전기적으로 접속되어 있다. 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-2b)의 각각의 게이트는 회로(HCS-3b)에 전기적으로 접속되어 있다.

[0924] 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x)의 각각의 게이트에, 회로(HCS)에 유지되어 있는 VDDL이 입력되었을 때, 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x)의 각각의 소스-드레인 사이에 흐르는 전류량을 I_{ut}로 한다. 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b)의 각각의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 2배이기 때문에 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b)의 게이트에, 회로(HCS-2b)에 유지되어 있는 VDD가 입력되었을 때, 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b)의 각각의 소스-드레인 사이에 흐르는 전류량은 $2I_{ut}$가 된다. 또한 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b)의 각각의 W길이와 L길이의 비는 트랜지스터(M1)의 W길이와 L길이의 비의 4배이기 때문에 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b)의 게이트에, 회로(HCS-3b)에 유지되어 있는 VDD가 입력되었을 때, 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b)의 각각의 소스-드레인 사이에 흐르는 전류량은 $4I_{ut}$가 된다.

[0925] 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x), 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b), 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-2b)의 각각의 제 1 단자는 배선(VE)에 전기적으로 접속되어 있다. 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x)의 각각의 게이트는 회로(HCS)에 전기적으로 접속되어 있다.

[0926] 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각의 제 2 단자는 트랜지스터(M3)의 제 1 단자와, 트랜지스터(M4)의 제 1 단자에 전기적으로 접속되어 있다. 트랜지스터(M1-2x), 트랜지스터(M1-2x-2b), 트랜지스터(M1-2x-3b)의 각각의 제 2 단자는 트랜지스터(M3-2x)의 제 1 단자와, 트랜지스터(M4-2x)의 제 1 단자에 전기적으로 접속되어 있다. 트랜지스터(M1-3x), 트랜지스터(M1-3x-2b), 트랜지스터(M1-3x-3b)의 각각의 제 2 단자는 트랜지스터(M3-3x)의 제 1 단자와, 트랜지스터(M4-3x)의 제 1 단자에 전기적으로 접속되어 있다.

[0927] 트랜지스터(M3)의 게이트는 배선(X1L)에 전기적으로 접속되고, 트랜지스터(M4)의 게이트는 배선(X2L)에 전기적으로 접속되어 있다. 트랜지스터(M3-2x)의 게이트는 배선(X1L2x)에 전기적으로 접속되고, 트랜지스터(M4-2x)의 게이트는 배선(X2L2x)에 전기적으로 접속되어 있다. 트랜지스터(M3-3x)의 게이트는 배선(X1L3x)에 전기적으로 접속되고, 트랜지스터(M4-3x)의 게이트는 배선(X2L3x)에 전기적으로 접속되어 있다.

[0928] 트랜지스터(M3), 트랜지스터(M3-2x), 트랜지스터(M3-3x)의 각각의 제 2 단자는 배선(OL)에 전기적으로 접속되고, 트랜지스터(M4), 트랜지스터(M4-2x), 트랜지스터(M4-3x)의 각각의 제 2 단자는 배선(OLB)에 전기적으로 접속되어 있다.

[0929] 또한, 도 60의 회로(MP)에서 회로(MCr)는 회로(MC)와 거의 같은 회로 구성이다. 그러므로, 회로(MCr)가 가지는 회로 소자 등에서는 회로(MC)가 가지는 회로 소자 등과 구별하기 위하여 부호에 "r"를 붙였다. 또한 트랜지스터(M3r), 트랜지스터(M3-2xr), 트랜지스터(M3-3xr)의 각각의 제 2 단자는 배선(OLB)에 전기적으로 접속되고, 트랜지스터(M4), 트랜지스터(M4-2x), 트랜지스터(M4-3x)의 각각의 제 2 단자는 배선(OL)에 전기적으로 접속되어 있다.

[0930] 도 60의 회로(MP)에 설정되는 제 1 데이터(여기서는, 예를 들어 가중 계수로 함)에 대하여 설명한다. 도 60의 회로(MP)에 설정되는 제 1 데이터(가중 계수)는 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 유지되어 있는 전위의 조합에 의하여 정의할 수 있다. 구체적으로는, 동작 방법예 6에서 설명한 도 57의 회로(MP)와 같이 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 각각에 소정의 전위를 유지하여 제 1 데이터(가중 계수)를 설정하면 좋다. 이상으로부터, 도 60의 회로(MP)에서의 제 1 데이터(가중 계수)에 대해서는, 일례로서 동작 방법예 6에서 설명한 도 57의 회로(MP)에서의 제 1 데이터(가중 계수)의 정의와 같은 것으로 할 수 있다.

[0931] 다음으로, 회로(MP)에 입력되는 제 2 데이터(여기서는, 예를 들어 뉴런의 신호의 값으로 함)에 대하여 설명한다. 전제로서, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)를 입력할 경우에 배선(X1L) 및 배선(X2L) 중 한쪽으로의 고레벨 전위의 입력 시간을 t_{ut}로 하였을 때, 배선(X1L2x) 및 배선(X2L2x) 중 한쪽으로의 고레벨 전위의 입력 시간은 $2t_{ut}$로 하고, 배선(X1L3x) 및 배선(X2L3x) 중 한쪽으로의 고레벨 전위의 입력 시간은 $4t_{ut}$로 하여 동작시키는 것으로 한다. 즉, 트랜지스터(M3), 트랜지스터(M3r)가 온 상태 또는 트랜지스터(M4), 트랜지스터(M4r)가 온 상태가 되는 시간을 t_{ut}로 하였을 때, 트랜지스터(M3-2x), 트랜지스터(M3-2xr)가 온 상태 또는 트랜지스터(M4-2b), 트랜지스터(M4-2br)가 온 상태가 되는 시간을 $2t_{ut}$로 하고, 트랜지스터(M3-3x), 트랜지스터(M3-3xr)가 온 상태 또는 트랜지스터(M4-3x), 트랜지스터(M4-3xr)가 온 상태가 되는 시간을 $4t_{ut}$로 하도록 동작시킨다.

[0932] 동작 방법예 1, 동작 방법예 2에서 설명한 바와 같이, 회로(MP)에 제 1 데이터(예를 들어 여기서는 가중 계수로 함)를 설정하며 트랜지스터(M3) 또는 트랜지스터(M4)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)를 통하여 배선(VE)에 흐르는 전하량이 결정된다. 또한, 회로(MP)에 제 1 데이터(가중 계수)를 설정하고 트랜지스터(M3r) 또는 트랜지스터(M4r)가 온 상태가 되는 시간을 정함으로써, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)를 통하여 배선(VEr)에 흐르는 전하량이 결정된다.

[0933] 마찬가지로, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2x), 트랜지스터(M1-2x-2b), 트랜지스터(M1-2x-3b)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-2xr), 트랜지스터(M1-2x-2br), 트랜지스터(M1-2x-3br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서도, 트랜지스터(M3-2b), 트

랜지스터(M3-2br), 트랜지스터(M4-2b), 트랜지스터(M4-2br)의 각각에서 온 상태가 되는 시간을 정함으로써 결정된다. 또한, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3x), 트랜지스터(M1-3x-2b), 트랜지스터(M1-3x-3b)를 통하여 배선(VE)에 흐르는 전하량과, 배선(OL) 또는 배선(OLB)으로부터 트랜지스터(M1-3xr), 트랜지스터(M1-3x-2br), 트랜지스터(M1-3x-3br)를 통하여 배선(VEr)에 흐르는 전하량에 대해서도, 트랜지스터(M3-3b), 트랜지스터(M3-3br), 트랜지스터(M4-3b), 트랜지스터(M4-3br)의 각각에서 온 상태가 되는 시간을 정함으로써 결정된다.

[0934] 그러므로, 도 60의 회로(MP)에서의 제 2 데이터(뉴런의 신호의 값)에 대해서는, 일례로서 동작 방법예 3에서 설명한 도 50의 회로(MP)에서의 제 2 데이터(뉴런의 신호의 값)의 정의와 같은 것으로 할 수 있다.

[0935] 상술한 바와 같이, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)를 정함으로써, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 및 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량으로 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 표현할 수 있다.

[0936] 다음으로, 도 60의 회로(MP)의 구체적인 동작예에 대하여 설명한다.

[0937] 회로(MP)에는 예를 들어 미리 "+7"의 제 1 데이터(가중 계수)가 설정되어 있는 것으로 한다. 이때, 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x)의 소스-드레인 사이에는 전류(I_{ut})가 흐르고, 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b)의 소스-드레인 사이에는 전류($2I_{ut}$)가 흐르고, 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b)의 소스-드레인 사이에는 전류($4I_{ut}$)가 흐른다. 한편, 트랜지스터(M1r), 트랜지스터(M1-2xr), 트랜지스터(M1-3xr), 트랜지스터(M1-2br), 트랜지스터(M1-2x-2br), 트랜지스터(M1-3x-2br), 트랜지스터(M1-3br), 트랜지스터(M1-2x-3br), 트랜지스터(M1-3x-3br)의 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0938] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+7"이 입력되어 있는 경우, 트랜지스터(M3)가 시간 t_{ut}에만 온 상태, 트랜지스터(M4)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1), 트랜지스터(M1-2b), 트랜지스터(M1-3b)의 각각을 통하여 배선(VE)에 흐르는 전하량은 $t_{ut} \times I_{ut}+t_{ut} \times 2I_{ut}+t_{ut} \times 4I_{ut}=7t_{ut} \times I_{ut}$가 된다. 또한, 여기서, $t_{ut} \times I_{ut}=Q_{ut}$로 한다. 또한, 트랜지스터(M3-2x)가 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M4-2x)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1-2x), 트랜지스터(M1-2x-2b), 트랜지스터(M1-2x-3b)의 각각을 통하여 배선(VE)에 흐르는 전하량은 $2t_{ut} \times I_{ut}+2t_{ut} \times 2I_{ut}+2t_{ut} \times 4I_{ut}=14t_{ut} \times I_{ut}$가 된다. 또한, 트랜지스터(M3-3x)가 시간 $4t_{ut}$에만 온 상태, 트랜지스터(M4-3x)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1-3x), 트랜지스터(M1-3x-2b), 트랜지스터(M1-3x-3b)의 각각을 통하여 배선(VE)에 흐르는 전하량은 $4t_{ut} \times I_{ut}+4t_{ut} \times 2I_{ut}+4t_{ut} \times 4I_{ut}=28t_{ut} \times I_{ut}$가 된다. 그러므로, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 $7Q_{ut}+14Q_{ut}+28Q_{ut}=49Q_{ut}$가 된다. 한편, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 트랜지스터(M1r), 트랜지스터(M1-2xr), 트랜지스터(M1-3xr), 트랜지스터(M1-2br), 트랜지스터(M1-2x-2br), 트랜지스터(M1-3x-2br), 트랜지스터(M1-3br), 트랜지스터(M1-2x-3br), 트랜지스터(M1-3x-3br)의 각각이 오프 상태이기 때문에 0이 된다.

[0939] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-7"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 $7Q_{ut}+14Q_{ut}+28Q_{ut}=49Q_{ut}$가 되고, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 0이 된다.

[0940] 또한 회로(MP)에는 예를 들어 미리 "-7"의 제 1 데이터(가중 계수)가 설정되어 있는 것으로 한다. 이때, 트랜지스터(M1r), 트랜지스터(M1-2xr), 트랜지스터(M1-3xr)의 소스-드레인 사이에는 전류(I_{ut})가 흐르고, 트랜지스터(M1-2br), 트랜지스터(M1-2x-2br), 트랜지스터(M1-3x-2br)의 소스-드레인 사이에는 전류($2I_{ut}$)가 흐르고, 트랜지스터(M1-3br), 트랜지스터(M1-2x-3br), 트랜지스터(M1-3x-3br)의 소스-드레인 사이에는 전류($4I_{ut}$)가 흐른다. 한편, 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x), 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b), 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b)의 각각의 소스-드레인 사이에 흐르는 전류량은 0이 된다.

[0941] 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "+7"이 입력되어 있는 경우, 트랜지스터(M3r)가 시간 t_{ut}에만 온 상태, 트랜지스터(M4r)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1r), 트랜지스터(M1-2br), 트랜지스터(M1-3br)의 각각을 통하여 배선(VEr)에 흐르는 전하량은 $t_{ut}XI_{ut}+t_{ut}X2I_{ut}+t_{ut}X4I_{ut}=7t_{ut}XI_{ut}$가 된다. 또한, 여기서, $t_{ut}XI_{ut}=Q_{ut}$로 한다. 또한, 트랜지스터(M3-2xr)가 시간 $2t_{ut}$에만 온 상태, 트랜지스터(M4-2xr)가 오프 상태가 됨으로써, 배선(OL)으로부터 트랜지스터(M1-2xr), 트랜지스터(M1-2x-2br), 트랜지스터(M1-2x-3br)의 각각을 통하여 배선(VEr)에 흐르는 전하량은 $2t_{ut}XI_{ut}+2t_{ut}X2I_{ut}+2t_{ut}X4I_{ut}=14t_{ut}XI_{ut}$가 된다. 또한, 트랜지스터(M3-3xr)가 시간 $4t_{ut}$에만 온 상태, 트랜지스터(M4-3xr)가 오프 상태가 됨으로써, 배선(OLB)으로부터 트랜지스터(M1-3xr), 트랜지스터(M1-3x-2br), 트랜지스터(M1-3x-3br)의 각각을 통하여 배선(VEr)에 흐르는 전하량은 $4t_{ut}XI_{ut}+4t_{ut}X2I_{ut}+4t_{ut}X4I_{ut}=28t_{ut}XI_{ut}$가 된다. 그러므로, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 $7Q_{ut}+14Q_{ut}+28Q_{ut}=49Q_{ut}$가 된다. 한편, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x), 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b), 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b)의 각각이 오프 상태이기 때문에 0이 된다.

[0942] 또한, 회로(MP)에 제 2 데이터(뉴런의 신호의 값)로서 "-7"이 입력되어 있는 경우, 배선(OLB)과 회로(MC) 사이, 배선(OL)과 회로(MCr) 사이가 각각 도통 상태가 되고, 배선(OL)과 회로(MCr) 사이, 배선(OL)과 회로(MC) 사이가 비도통 상태가 되므로, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량이 $7Q_{ut}+14Q_{ut}+28Q_{ut}=49Q_{ut}$가 되고, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량이 0이 된다.

[0943] 상술한 것으로부터, 회로(MP)에 양의 제 1 데이터(가중 계수)로서 "+1" 내지 "+7"의 7치 중 어느 하나를 설정하고, 양의 제 2 데이터(뉴런의 신호의 값)에 따라, 회로(MP)에 포함되는 트랜지스터(M3), 트랜지스터(M3-2x), 트랜지스터(M3-3x)로부터, 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량을 Q_{ut} 단위로 "Q_{ut}" 내지 "$49Q_{ut}$" 중 어느 하나로 할 수 있다. 또한, 이때 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 0이 된다. 또한, 회로(MP)에 양의 제 1 데이터(가중 계수)로서 "-1" 내지 "-7"의 7치 중 어느 하나를 설정하고, 양의 제 2 데이터(뉴런의 신호의 값)에 따라, 회로(MP)에 포함되는 트랜지스터(M3r), 트랜지스터(M3-2xr), 트랜지스터(M3-3xr)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량을 Q_{ut} 단위로 "Q_{ut}" 내지 "$49Q_{ut}$" 중 어느 하나로 할 수 있다. 또한, 이때 배선(OL)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 0이 된다.

[0944] 또한, 회로(MP)에 양의 제 1 데이터(가중 계수)로서 "+1" 내지 "+7"의 7치 중 어느 하나를 설정하고, 음의 제 2 데이터(뉴런의 신호의 값)에 따라, 회로(MP)에 포함되는 트랜지스터(M4), 트랜지스터(M4-2x), 트랜지스터(M4-3x)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량을 Q_{ut} 단위로 "Q_{ut}" 내지 "$49Q_{ut}$" 중 어느 하나로 할 수 있다. 또한, 이때 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량은 0이 된다. 또한, 회로(MP)에 양의 제 1 데이터(가중 계수)로서 "-1" 내지 "-7"의 7치 중 어느 하나를 설정하고, 음의 제 2 데이터(뉴런의 신호의 값)에 따라, 회로(MP)에 포함되는 트랜지스터(M4r), 트랜지스터(M4-2xr), 트랜지스터(M4-3xr)로부터 온 상태로 하는 트랜지스터를 하나 이상 선택함으로써, 배선(OL)으로부터 회로(MCr)를 통하여 배선(VEr)에 흐르는 전하량을 Q_{ut} 단위로 "Q_{ut}" 내지 "$49Q_{ut}$" 중 어느 하나로 할 수 있다. 또한, 이때 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 흐르는 전하량은 0이 된다.

[0945] 또한, 회로(MP)에 미리 "0"의 제 1 데이터(가중 계수)가 설정되어 있는 경우, 트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x), 트랜지스터(M1-2b), 트랜지스터(M1-2x-2b), 트랜지스터(M1-3x-2b), 트랜지스터(M1-3b), 트랜지스터(M1-2x-3b), 트랜지스터(M1-3x-3b), 트랜지스터(M1r), 트랜지스터(M1-2xr), 트랜지스터(M1-3xr), 트랜지스터(M1-2br), 트랜지스터(M1-2x-2br), 트랜지스터(M1-3x-2br), 트랜지스터(M1-3br), 트랜지스터(M1-2x-3br), 트랜지스터(M1-3x-3br)의 각각은 오프 상태가 된다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않고, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다. 바꿔 말하면, 배선(OL), 배선(OLB)의 각각에 흐르는 전하량은 0이라고 할 수 있다.

[0946] 또한, 회로(MP)에 "0"의 제 2 데이터(뉴런의 신호의 값)가 입력되는 경우, 트랜지스터(M3), 트랜지스터(M3-2x), 트랜지스터(M3-3x), 트랜지스터(M4), 트랜지스터(M4-2x), 트랜지스터(M4-3x), 트랜지스터(M3r), 트랜지스터(M3-2xr), 트랜지스터(M3-3xr), 트랜지스터(M4r), 트랜지스터(M4-2xr), 트랜지스터(M4-3xr)의 각각은 오프 상태가 된다. 그러므로, 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류는 흐르지 않고, 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류는 흐르지 않는다. 바꿔 말하면, 배선(OL), 배선(OLB)의 각각에 흐르는 전하량은 0이라고 할 수 있다.

[0947] 여기서, 회로(ACTF)의 적분 회로에 착안한다. 배선(OL) 또는 배선(OLB)으로부터 회로(MC)를 통하여 배선(VE)에 전류가 흐를 때, 또는 배선(OL) 또는 배선(OLB)으로부터 회로(MCr)를 통하여 배선(VEr)에 전류가 흐를 때, 도 8의 (A)에 있어서, 스위치(SWO), 스위치(SWOB)를 온 상태로 하고, 스위치(SWI), 스위치(SWIB), 스위치(SWL), 스위치(SWLB), 스위치(SWH), 스위치(SWHB)를 오프 상태로 하여, 배선(OL 및 OLB)과 회로(AFP) 사이를 도통 상태로 함으로써, 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 배선(OL), 배선(OLB)에 흐르는 전하량을 축적시킬 수 있다. 이 결과, 회로(ACTF)는 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0948] 상술한 동작예에서의, 제 1 데이터(가중 계수)를 "0"을 제외한 "-7" 내지 "+7" 중 어느 하나로 하고 제 2 데이터(뉴런의 신호의 값)를 "0"을 제외한 "-7" 내지 "+7" 중 어느 하나로 한 경우의, 배선(OL)에 흐른 전하량 Q_{OL}과 배선(OLB)에 흐른 전하량 Q_{OLB}를 이하의 표에 기재하였다. 또한, 제 1 데이터(가중 계수) 및 제 2 데이터(뉴런의 신호의 값) 중 적어도 한쪽이 "0"일 때는 $Q_{OL}=0$, $Q_{OLB}=0$이 된다.

[0949] [표 16]

[0950]

		뉴런의 신호의 값						
		+1	+2	+3	+4	+5	+6	+7
가중 계수	+1	$Q_{OL}=Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=2Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=3Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=4Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=5Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=6Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=7Q_{ut}$, $Q_{OLB}=0$
	+2	$Q_{OL}=2Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=4Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=6Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=8Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=10Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=12Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=14Q_{ut}$, $Q_{OLB}=0$
	+3	$Q_{OL}=3Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=6Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=9Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=12Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=15Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=18Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=21Q_{ut}$, $Q_{OLB}=0$
	+4	$Q_{OL}=4Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=8Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=12Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=16Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=20Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=24Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=28Q_{ut}$, $Q_{OLB}=0$
	+5	$Q_{OL}=5Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=10Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=15Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=20Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=25Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=30Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=35Q_{ut}$, $Q_{OLB}=0$
	+6	$Q_{OL}=6Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=12Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=18Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=24Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=30Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=36Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=42Q_{ut}$, $Q_{OLB}=0$
	+7	$Q_{OL}=7Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=14Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=21Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=28Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=35Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=42Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=49Q_{ut}$, $Q_{OLB}=0$

[0951] [표 17]

		뉴런의 신호의 값						
		-7	-6	-5	-4	-3	-2	-1
가중계수	+1	$Q_{OL}=0$, $Q_{OLB}=7Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=5Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=3Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=2Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=Q_{ut}$
	+2	$Q_{OL}=0$, $Q_{OLB}=14Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=10Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=8Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=2Q_{ut}$
	+3	$Q_{OL}=0$, $Q_{OLB}=21Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=18Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=15Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=9Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=3Q_{ut}$
	+4	$Q_{OL}=0$, $Q_{OLB}=28Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=24Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=20Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=16Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=8Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=4Q_{ut}$
	+5	$Q_{OL}=0$, $Q_{OLB}=35Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=30Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=25Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=20Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=15Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=10Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=5Q_{ut}$
	+6	$Q_{OL}=0$, $Q_{OLB}=42Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=36Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=30Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=24Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=18Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=6Q_{ut}$
	+7	$Q_{OL}=0$, $Q_{OLB}=49Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=42Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=35Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=28Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=21Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=14Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=7Q_{ut}$

[0952]

[0953] [표 18]

		뉴런의 신호의 값						
		+1	+2	+3	+4	+5	+6	+7
가중계수	-7	$Q_{OL}=0$, $Q_{OLB}=7Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=14Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=21Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=28Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=35Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=42Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=49Q_{ut}$
	-6	$Q_{OL}=0$, $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=18Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=24Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=30Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=36Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=42Q_{ut}$
	-5	$Q_{OL}=0$, $Q_{OLB}=5Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=10Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=15Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=20Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=25Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=30Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=35Q_{ut}$
	-4	$Q_{OL}=0$, $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=8Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=16Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=20Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=24Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=28Q_{ut}$
	-3	$Q_{OL}=0$, $Q_{OLB}=3Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=9Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=15Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=18Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=21Q_{ut}$
	-2	$Q_{OL}=0$, $Q_{OLB}=2Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=8Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=10Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=14Q_{ut}$
	-1	$Q_{OL}=0$, $Q_{OLB}=Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=2Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=3Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=5Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0$, $Q_{OLB}=7Q_{ut}$

[0954]

[0955] [표 19]

		뉴런의 신호의 값						
		-7	-6	-5	-4	-3	-2	-1
가중 계수	-7	$Q_{OL}=49Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=42Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=35Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=28Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=21Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=14Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=7Q_{ut}$, $Q_{OLB}=0$
	-6	$Q_{OL}=42Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=36Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=30Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=24Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=18Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=12Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=6Q_{ut}$, $Q_{OLB}=0$
	-5	$Q_{OL}=35Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=30Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=25Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=20Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=15Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=10Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=5Q_{ut}$, $Q_{OLB}=0$
	-4	$Q_{OL}=28Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=24Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=20Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=16Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=12Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=8Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=4Q_{ut}$, $Q_{OLB}=0$
	-3	$Q_{OL}=21Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=18Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=15Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=12Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=9Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=6Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=3Q_{ut}$, $Q_{OLB}=0$
	-2	$Q_{OL}=14Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=12Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=10Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=8Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=6Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=4Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=2Q_{ut}$, $Q_{OLB}=0$
	-1	$Q_{OL}=7Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=6Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=5Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=4Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=3Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=2Q_{ut}$, $Q_{OLB}=0$	$Q_{OL}=Q_{ut}$, $Q_{OLB}=0$

[0956]

[0957] 상술한 바와 같이, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)를 정함으로써, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과에 따라, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL} 및 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}가 결정된다. 또한, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 양의 값인 경우, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르고, 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱의 결과가 음의 값인 경우, 배선(OLB)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐른다. 즉, 전하량 Q_{OL} 및 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 산출할 수 있다. 예를 들어, 제 1 데이터(가중 계수)를 "-7" 내지 "+7" 중 어느 하나로 하고 제 2 데이터(뉴런의 신호의 값)를 "-7" 내지 "+7" 중 어느 하나로 하며 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 양의 수인 경우, 상기 표에 있어서, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OL}에서 Q_{ut}를 "+1"로 치환함으로써 전하량 Q_{OL}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 구할 수 있다. 또한, 예를 들어 제 1 데이터(가중 계수)를 "-7" 내지 "+7" 중 어느 하나로 하고 제 2 데이터(뉴런의 신호의 값)를 "-7" 내지 "+7" 중 어느 하나로 하며 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱이 음의 수인 경우, 상기 표에 있어서, 배선(OL)으로부터 회로(MC) 또는 회로(MCr)에 전류가 흐르는 전하량 Q_{OLB}에서 Q_{ut}를 "-1"로 치환함으로써 전하량 Q_{OLB}로부터 제 1 데이터(가중 계수)와 제 2 데이터(뉴런의 신호의 값)의 곱을 구할 수 있다.

[0958] 또한, 본 발명의 일 형태는 상술한 정의에 한정되지 않는다. 위에서는, 제 2 데이터(뉴런의 신호의 값)로서 양의 다치, 음의 다치, 0을 정의하였지만, 예를 들어 입력 기간을 이산적인 값이 아니라 연속적인 값을 취함으로써(a를 양의 실수로 하여 입력 기간을 aXt_{ut}로 함으로써) 제 2 데이터(뉴런의 신호의 값)를 아날로그값으로서 취급할 수 있다.

[0959] 또한, 본 발명의 일 형태의 반도체 장치는 도 60의 회로(MP)의 구성에 한정되지 않는다. 예를 들어, 도 60의 회로(MP)에서는 전위가 유지되는 회로를 회로(HCS), 회로(HCS-2b), 회로(HCS-3b), 회로(HCSr), 회로(HCS-2br), 회로(HCS-3br)의 6개로 하고, 각각의 회로에 게이트가 전기적으로 접속되어 있는 트랜지스터(트랜지스터(M1), 트랜지스터(M1-2x), 트랜지스터(M1-3x))의 개수를 3개로 하였지만, 제 1 데이터(가중 계수) 및 제 2 데이터(뉴런의 신호의 값)가 취할 수 있는 값에 따라 전위가 유지되는 회로 및 상기 트랜지스터의 개수를 늘리거나 줄여도 좋다. 또한, 상기 트랜지스터에 따라 유지부의 개수, 배선의 개수를 늘리거나 줄여도 좋다.

[0960] 또한 본 발명의 일 형태의 반도체 장치의 동작 방법은 상술한 것에 한정되지 않는다. 예를 들어, 동작 방법예 2에서 설명한 바와 같이, 도 60의 회로(MP)에 있어서, 배선(X1L), 배선(X2L), 배선(X1L2b), 배선(X2L2b), 배선

(X1L3b), 배선(X2L3b) 각각에 입력되는 신호의 입력 기간을 복수의 서브 기간으로 나누어도 좋다.

[0961] 또한, 본 동작예에서는 설명이 복잡해지는 것을 피하기 위하여 배선(OL), 배선(OLB)에는 하나의 회로(MP)만이 전기적으로 접속되어 있는 경우를 생각하였지만, 도 11의 연산 회로(150)와 같이, 배선(OL), 배선(OLB)에는 복수의 회로(MP)를 전기적으로 접속하여도 좋다. 이에 의하여, 배선(OL), 배선(OLB)의 각각으로부터 복수의 회로(MP)에 입력된 전하량의 합계를 회로(ACTF)에 포함되는 적분 회로의 용량 소자에 축적할 수 있고, 회로(ACTF)는 배선(OL), 배선(OLB)에 흐른 각각의 전하량에 따른 뉴런의 신호($z_j^{(k)}$)를 출력할 수 있다.

[0962] 또한, 본 동작예에서는 도 11의 연산 회로(150)를 예로 들었지만, 상황에 따라 다른 연산 회로로 변경하는 것으로도 본 동작예와 같은 동작을 수행할 수 있다.

[0963] 또한, 본 동작 방법예는 본 명세서에 나타낸 다른 동작 방법예 등과 적절히 조합할 수 있다.

[0964] 또한, 본 실시형태는 본 명세서에 나타낸 다른 실시형태와 적절히 조합할 수 있다.

[0965] (실시형태 4)

[0966] 본 실시형태에서는 위의 실시형태에서 설명한 반도체 장치의 구성예 및 상기 반도체 장치에 적용할 수 있는 트랜지스터의 구성예에 대하여 설명한다.

[0967] <반도체 장치의 구성예>

[0968] 도 61에 나타낸 반도체 장치는 트랜지스터(300)와, 트랜지스터(500)와, 용량 소자(600)를 가진다. 도 63의 (A)는 트랜지스터(500)의 채널 길이 방향의 단면도이고, 도 63의 (B)는 트랜지스터(500)의 채널 폭 방향의 단면도이고, 도 63의 (C)는 트랜지스터(300)의 채널 폭 방향의 단면도이다.

[0969] 트랜지스터(500)는 채널 형성 영역에 금속 산화물을 가지는 트랜지스터(OS 트랜지스터)이다. 트랜지스터(500)는 오프 전류가 작기 때문에, 이를 반도체 장치, 예를 들어 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 연산 회로(160), 연산 회로(170) 등에 포함되는 회로(MP)의 트랜지스터(M2) 등에 사용함으로써, 기록한 데이터가 장기간에 걸쳐 유지될 수 있다. 즉 리프레시 동작의 빈도가 적거나 또는 리프레시 동작이 필요 없기 때문에, 반도체 장치의 소비 전력을 저감할 수 있다.

[0970] 본 실시형태에서 설명하는 반도체 장치는, 도 61에 나타낸 바와 같이 트랜지스터(300), 트랜지스터(500), 용량 소자(600)를 가진다. 트랜지스터(500)는 트랜지스터(300) 위쪽에 제공되고, 용량 소자(600)는 트랜지스터(300) 및 트랜지스터(500) 위쪽에 제공된다. 또한 용량 소자(600)는, 위의 실시형태에서 설명한 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 연산 회로(160), 연산 회로(170) 등에 포함되는 회로(MP)에 포함되는 용량 소자(C1), 용량 소자(C2), 용량 소자(C3) 등으로 할 수 있다.

[0971] 트랜지스터(300)는 기판(311) 위에 제공되고, 도전체(316), 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 또한 트랜지스터(300)는 예를 들어 위의 실시형태에서 설명한 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 연산 회로(160), 연산 회로(170) 등에 포함되는 회로(MP)에 포함되는 트랜지스터(M2) 등에 적용할 수 있다.

[0972] 또한 기판(311)으로서는, 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판)을 사용하는 것이 바람직하다.

[0973] 트랜지스터(300)는 도 63의 (C)에 나타낸 바와 같이 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 절연체(315)를 개재하여 도전체(316)로 덮여 있다. 이와 같이, 트랜지스터(300)를 Fin형으로 함으로써 실효적인 채널 폭이 증대하여 트랜지스터(300)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(300)의 오프 특성을 향상시킬 수 있다.

[0974] 또한 트랜지스터(300)는 p채널형 및 n채널형 중 어느 것이어도 좋다.

[0975] 반도체 영역(313)의 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(314a) 및 저저항 영역(314b) 등에서 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소) 등을 가지는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(300)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.

[0976] 저저항 영역(314a) 및 저저항 영역(314b)은 반도체 영역(313)에 적용되는 반도체 재료에 더하여 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.

[0977] 게이트 전극으로서 기능하는 도전체(316)는 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.

[0978] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써 트랜지스터의 문턱 전압을 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄이나 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐이나 알루미늄 등의 금속 재료를 적층하여 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.

[0979] 또한 도 61에 나타낸 트랜지스터(300)는 일례이며, 그 구조에 한정되지 않고 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다. 예를 들어, 반도체 장치를 OS 트랜지스터만으로 이루어진 단극성 회로로 하는 경우, 도 62에 나타낸 바와 같이, 트랜지스터(300)의 구성을 산화물 반도체를 사용한 트랜지스터(500)와 같은 구성으로 하면 좋다. 또한 트랜지스터(500)의 자세한 사항에 대해서는 후술한다.

[0980] 트랜지스터(300)를 덮어 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공된다.

[0981] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)로서 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.

[0982] 또한 본 명세서에서 산화질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한 본 명세서에서 산화질화 알루미늄이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 알루미늄이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0983] 절연체(322)는, 그 아래쪽에 제공되는 트랜지스터(300) 등에 의하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어, 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0984] 또한 절연체(324)에는 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(500)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.

[0985] 수소에 대한 배리어성을 가지는 막의 일례로서, 예를 들어 CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서, 트랜지스터(500)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.

[0986] 수소의 이탈량은, 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어, 절연체(324)의 수소의 이탈량은 TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여, 10×10^{15} atoms/cm^2 이하, 바람직하게는 5×10^{15} atoms/cm^2 이하이면 좋다.

[0987] 또한 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어, 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

[0988] 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(600) 또는 트랜지스터(500)와 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 가진다. 또한 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 통틀어 동일한 부호가 부여되는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선과 접속되는 플러그가 일체물이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0989] 각 플러그 및 배선(도전체(328), 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또

는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0990] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 61에서 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공된다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성된다. 도전체(356)는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0991] 또한 예를 들어 절연체(350)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(356)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(350)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[0992] 또한 수소에 대한 배리어성을 가지는 도전체로서는, 예를 들어 질화 탄탈럼 등을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구조인 것이 바람직하다.

[0993] 절연체(354) 및 도전체(356) 위에 배선층을 제공하여도 좋다. 예를 들어 도 61에서 절연체(360), 절연체(362), 및 절연체(364)가 순차적으로 적층되어 제공된다. 또한 절연체(360), 절연체(362), 및 절연체(364)에는 도전체(366)가 형성된다. 도전체(366)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(366)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0994] 또한 예를 들어 절연체(360)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(366)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(360)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[0995] 절연체(364) 및 도전체(366) 위에 배선층을 제공하여도 좋다. 예를 들어 도 61에서 절연체(370), 절연체(372), 및 절연체(374)가 순차적으로 적층되어 제공된다. 또한 절연체(370), 절연체(372), 및 절연체(374)에는 도전체(376)가 형성된다. 도전체(376)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(376)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0996] 또한 예를 들어 절연체(370)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(376)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(370)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[0997] 절연체(374) 및 도전체(376) 위에 배선층을 제공하여도 좋다. 예를 들어 도 61에서 절연체(380), 절연체(382), 및 절연체(384)가 순차적으로 적층되어 제공된다. 또한 절연체(380), 절연체(382), 및 절연체(384)에는 도전체(386)가 형성된다. 도전체(386)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(386)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0998] 또한 예를 들어 절연체(380)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(386)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(380)가 가지는 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[0999] 위에서, 도전체(356)를 포함하는 배선층, 도전체(366)를 포함하는 배선층, 도전체(376)를 포함하는 배선층, 및 도전체(386)를 포함하는 배선층에 대하여 설명하였지만, 본 실시형태에 따른 반도체 장치는 이에 한정되는 것이 아니다. 도전체(356)를 포함하는 배선층과 같은 배선층을 3층 이하로 하여도 좋고, 도전체(356)를 포함하는 배

선층과 같은 배선층을 5층 이상으로 하여도 좋다.

[1000] 절연체(384) 위에는 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)가 순차적으로 적층되어 제공된다. 절연체(510), 절연체(512), 절연체(514), 및 절연체(516) 중 어느 것에는 산소나 수소에 대하여 배리어성을 가지는 물질을 사용하는 것이 바람직하다.

[1001] 예를 들어, 절연체(510) 및 절연체(514)에는 예를 들어 기판(311) 또는 트랜지스터(300)가 제공되는 영역 등으로부터 트랜지스터(500)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다. 따라서, 절연체(324)와 같은 재료를 사용할 수 있다.

[1002] 수소에 대한 배리어성을 가지는 막의 일례로서, CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서, 트랜지스터(500)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.

[1003] 또한 수소에 대한 배리어성을 가지는 막으로서, 예를 들어 절연체(510) 및 절연체(514)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[1004] 특히, 산화 알루미늄은 산소와, 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서, 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에서 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로, 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.

[1005] 또한 예를 들어 절연체(512) 및 절연체(516)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어, 절연체(512) 및 절연체(516)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.

[1006] 또한 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)에는 도전체(518) 및 트랜지스터(500)를 구성하는 도전체(예를 들어 도전체(503)) 등이 매립되어 있다. 또한 도전체(518)는 용량 소자(600) 또는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(518)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[1007] 특히 절연체(510) 및 절연체(514)와 접하는 영역의 도전체(518)는 산소, 수소, 및 물에 대한 배리어성을 가지는 도전체인 것이 바람직하다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(500)는 산소, 수소, 및 물에 대한 배리어성을 가지는 층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

[1008] 절연체(516) 위쪽에는 트랜지스터(500)가 제공된다.

[1009] 도 63의 (A) 및 (B)에 나타낸 바와 같이, 트랜지스터(500)는 절연체(514) 및 절연체(516)에 매립되도록 배치된 도전체(503)와, 절연체(516) 및 도전체(503) 위에 배치된 절연체(520)와, 절연체(520) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)와, 절연체(524) 위에 배치된 산화물(530a)과, 산화물(530a) 위에 배치된 산화물(530b)과, 산화물(530b) 위에 서로 떨어져 배치된 도전체(542a) 및 도전체(542b)와, 도전체(542a) 및 도전체(542b) 위에 배치되고 도전체(542a)와 도전체(542b) 사이에 중첩하여 개구가 형성된 절연체(580)와, 개구 바닥면 및 측면에 배치된 산화물(530c)과, 산화물(530c) 형성면에 배치된 절연체(550)와, 절연체(550) 형성면에 배치된 도전체(560)를 가진다.

[1010] 또한 도 63의 (A) 및 (B)에 나타낸 바와 같이, 산화물(530a), 산화물(530b), 도전체(542a), 및 도전체(542b)와 절연체(580) 사이에 절연체(544)가 배치되는 것이 바람직하다. 또한 도 63의 (A) 및 (B)에 나타낸 바와 같이, 도전체(560)는 절연체(550)의 내측에 제공된 도전체(560a)와 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 가지는 것이 바람직하다. 또한 도 63의 (A) 및 (B)에 나타낸 바와 같이, 절연체(580), 도전체(560), 및 절연체(550) 위에 절연체(574)가 배치되는 것이 바람직하다.

[1011] 또한 이하에서 산화물(530a), 산화물(530b), 및 산화물(530c)을 통틀어 산화물(530)이라고 하는 경우가 있다.

[1012] 또한 트랜지스터(500)에서는 채널이 형성되는 영역과 그 근방에서 산화물(530a), 산화물(530b), 및 산화물(530c)의 3층을 적층하는 구성에 대하여 나타내었지만, 본 발명의 일 형태는 이에 한정되는 것이 아니다. 예를

들어, 산화물(530b)의 단층, 산화물(530b)과 산화물(530a)의 2층 구조, 산화물(530b)과 산화물(530c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 트랜지스터(500)에서는 도전체(560)를 2층의 적층 구조로서 나타내었지만, 본 발명의 일 형태는 이에 한정되는 것이 아니다. 예를 들어, 도전체(560)가 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다. 또한 도 61, 도 63의 (A)에 나타낸 트랜지스터(500)는 일례이고, 그 구조에 한정되지 않고 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[1013] 여기서, 도전체(560)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(560)는 절연체(580)의 개구 및 도전체(542a)와 도전체(542b)에 끼워진 영역에 매립되도록 형성된다. 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉 트랜지스터(500)에서 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치할 수 있다. 따라서, 도전체(560)를 위치를 맞추기 위한 마진을 제공하지 않고 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적의 축소를 도모할 수 있다. 이로써, 반도체 장치의 미세화, 고집적화를 도모할 수 있다.

[1014] 또한 도전체(560)가 도전체(542a)와 도전체(542b) 사이의 영역에 자기 정합적으로 형성되기 때문에, 도전체(560)는 도전체(542a) 또는 도전체(542b)와 중첩되는 영역을 가지지 않는다. 이로써 도전체(560)와 도전체(542a) 및 도전체(542b) 사이에 형성되는 기생 용량을 저감할 수 있다. 따라서, 트랜지스터(500)의 스위칭 속도를 향상시켜, 높은 주파수 특성을 가지게 할 수 있다.

[1015] 도전체(560)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(503)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 그 경우, 도전체(503)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 문턱 전압을 제어할 수 있다. 특히, 도전체(503)에 음의 전위를 인가함으로써, 트랜지스터(500)의 문턱 전압을 0V보다 크게 하고, 오프 전류를 저감하는 것이 가능해진다. 따라서, 도전체(503)에 음의 전위를 인가하는 경우, 인가하지 않는 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 작게 할 수 있다.

[1016] 도전체(503)는 산화물(530) 및 도전체(560)와 중첩되도록 배치된다. 이에 의하여, 도전체(560) 및 도전체(503)에 전위를 인가한 경우, 도전체(560)로부터 발생하는 전계와 도전체(503)로부터 발생하는 전계가 연결되고, 산화물(530)에 형성되는 채널 형성 영역을 덮을 수 있다. 본 명세서 등에서, 제 1 게이트 전극 및 제 2 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 한다.

[1017] 또한 도전체(503)는 도전체(518)와 같은 구성이고, 절연체(514) 및 절연체(516)의 개구의 내벽에 접하여 도전체(503a)가 형성되고, 그 내측에 도전체(503b)가 형성된다. 또한 트랜지스터(500)에서는 도전체(503a) 및 도전체(503b)를 적층하는 구성에 대하여 나타내었지만, 본 발명의 일 형태는 이에 한정되는 것이 아니다. 예를 들어, 도전체(503)는 단층 또는 3층 이상의 적층 구조로서 제공하는 구성으로 하여도 좋다.

[1018] 여기서, 도전체(503a)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한 본 명세서에서, 불순물 또는 산소의 확산을 억제하는 기능이란 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능으로 한다.

[1019] 예를 들어, 도전체(503a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(503b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다.

[1020] 또한 도전체(503)가 배선의 기능을 겸하는 경우, 도전체(503b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는, 도전성이 높은 도전성 재료를 사용하는 것이 바람직하다. 이 경우, 도전체(505)는 반드시 제공해야 하는 것은 아니다. 또한 도전체(503b)를 단층으로 도시하였지만, 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.

[1021] 절연체(520), 절연체(522), 및 절연체(524)는 제 2 게이트 절연막으로서의 기능을 가진다.

[1022] 여기서 산화물(530)과 접하는 절연체(524)에는 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 즉 절연체(524)에는 과잉 산소 영역이 형성되는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물(530)과 접하여 제공함으로써, 산화물(530) 내의 산소 결손을 저감

시키고, 트랜지스터(500)의 신뢰성을 향상시킬 수 있다.

[1023] 과잉 산소 영역을 가지는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이 $1.0X10^{18}$atoms/cm^3 이상, 바람직하게는 $1.0X10^{19}$atoms/cm^3 이상, 더 바람직하게는 $2.0X10^{19}$atoms/cm^3 이상, 또는 $3.0X10^{20}$atoms/cm^3 이상인 산화물막이다. 또한 상기 TDS 분석 시에서의 막의 표면 온도로서는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[1024] 또한 상기 과잉 산소 영역을 가지는 절연체와 산화물(530)을 접하게 하여 가열 처리, 마이크로파 처리, 및 RF 처리 중 어느 하나 또는 복수의 처리를 수행하여도 좋다. 상기 처리를 수행함으로써, 산화물(530) 내의 물 또는 수소를 제거할 수 있다. 예를 들어, 산화물(530)에서 VoH의 결합이 절단되는 반응이 일어나, 바꿔 말하면 "$V_OH \rightarrow V_O + H$"라는 반응이 일어나 탈수소화할 수 있다. 이때 발생한 수소의 일부는 산소와 결합되어 H_2O로서 산화물(530) 또는 산화물(530) 근방의 절연체에서 제거되는 경우가 있다. 또한 수소의 일부는 도전체(542a) 및 도전체(542b)로 확산 또는 포획(게터링이라고도 함)되는 경우가 있다.

[1025] 또한 상기 마이크로파 처리에는, 예를 들어 고밀도 플라스마를 발생시키는 전원을 가지는 장치 또는 기판 측에 RF를 인가하는 전원을 가지는 장치를 사용하는 것이 적합하다. 예를 들어, 산소를 포함하는 가스를 사용하며, 고밀도 플라스마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있고, 기판 측에 RF를 인가함으로써, 고밀도 플라스마에 의하여 생성된 산소 라디칼을 효율적으로 산화물(530) 또는 산화물(530) 근방의 절연체 내에 도입할 수 있다. 또한 상기 마이크로파 처리는 압력을 133Pa 이상, 바람직하게는 200Pa 이상, 더 바람직하게는 400Pa 이상으로 하면 좋다. 또한 마이크로파 처리를 수행하는 장치 내에 도입하는 가스로서, 예를 들어 산소와 아르곤을 사용하고, 산소 유량비($O_2/(O_2+Ar)$)가 50% 이하, 바람직하게는 10% 이상 30% 이하에서 수행하면 좋다.

[1026] 또한 트랜지스터(500)의 제작 공정에서, 산화물(530)의 표면이 노출된 상태에서 가열 처리를 수행하는 것이 바람직하다. 상기 가열 처리는, 예를 들어 100℃ 이상 450℃ 이하, 더 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이 경우, 산화물(530)에 산소를 공급함으로써, 산소 결손(V_O)을 저감할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행하여도 좋다.

[1027] 또한 산화물(530)에 가산소화 처리를 수행함으로써, 공급된 산소에 의하여 산화물(530) 내의 산소 결손을 수복(修復)하는 반응, 바꿔 말하면 "$V_O+O \rightarrow null$"이라는 반응을 촉진시킬 수 있다. 또한 산화물(530) 내에 잔존한 수소와 공급된 산소가 반응함으로써, 상기 수소를 H_2O로서 제거(탈수화)할 수 있다. 이로써, 산화물(530) 내에 잔존한 수소가 산소 결손과 재결합하여 V_OH가 형성되는 것을 억제할 수 있다.

[1028] 또한 절연체(524)가 과잉 산소 영역을 가지는 경우, 절연체(522)는 산소(예를 들어 산소 원자, 산소 분자 등)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다.

[1029] 절연체(522)가 산소나 불순물의 확산을 억제하는 기능을 가짐으로써, 산화물(530)이 가지는 산소는 절연체(520) 측으로 확산되지 않아 바람직하다. 또한 도전체(503)가 절연체(524)나 산화물(530)이 가지는 산소와 반응하는 것을 억제할 수 있다.

[1030] 절연체(522)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트), 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$(BST) 등의 소위 high-k 재료를 포함한 절연체를 단층으로 또는 적층하여 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연막으로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능해진다.

[1031] 특히, 불순물 및 산소 등의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료인 알루

미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 산화물(530)로부터의 산소의 방출이나 트랜지스터(500)의 주변부로부터 산화물(530)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[1032] 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.

[1033] 또한 절연체(520)는 열적으로 안정적인 것이 바람직하다. 예를 들어, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한 high-k 재료의 절연체와, 산화 실리콘 또는 산화질화 실리콘을 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구조의 절연체(520)를 얻을 수 있다.

[1034] 또한 도 63의 (A) 및 (B)의 트랜지스터(500)에서는, 3층의 적층 구조로 이루어진 제 2 게이트 절연막으로서 절연체(520), 절연체(522), 및 절연체(524)가 도시되어 있지만, 제 2 게이트 절연막은 단층, 2층, 또는 4층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고 상이한 재료로 이루어지는 적층 구조이어도 좋다.

[1035] 트랜지스터(500)는 채널 형성 영역을 포함하는 산화물(530)에 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 예를 들어, 산화물(530)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하면 좋다. 특히 산화물(530)로서 적용할 수 있는 In-M-Zn 산화물은 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), CAC-OS(Cloud-Aligned Composite Oxide Semiconductor)인 것이 바람직하다. 또한 산화물(530)로서 In-Ga 산화물, In-Zn 산화물, In 산화물 등을 사용하여도 좋다.

[1036] 또한 트랜지스터(500)에는 캐리어 농도가 낮은 금속 산화물을 사용하는 것이 바람직하다. 금속 산화물의 캐리어 농도를 낮추는 경우에는, 금속 산화물 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 금속 산화물 내의 불순물로서는 예를 들어 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.

[1037] 특히 금속 산화물에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 금속 산화물 내에 산소 결손을 형성하는 경우가 있다. 또한 산화물(530) 내의 산소 결손에 수소가 들어간 경우, 산소 결손과 수소가 결합하여 V_OH를 형성하는 경우가 있다. V_OH는 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 많이 포함되는 금속 산화물을 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 금속 산화물 내의 수소는 열, 전계 등의 스트레스로 인하여 이동하기 쉽기 때문에 금속 산화물에 많은 수소가 포함되면, 트랜지스터의 신뢰성이 악화될 우려도 있다. 본 발명의 일 형태에서는, 산화물(530) 내의 V_OH를 가능한 한 저감하고, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_OH가 충분히 저감된 금속 산화물을 얻기 위해서는 금속 산화물 내의 수분, 수소 등의 불순물을 제거하는 것(탈수, 탈수소화 처리라고 기재하는 경우가 있음)과, 금속 산화물에 산소를 공급하여 산소 결손을 보전하는 것(가산소화 처리라고 기재하는 경우가 있음)이 중요하다. V_OH 등의 불순물이 충분히 저감된 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써 안정적인 전기 특성을 부여할 수 있다.

[1038] 산소 결손에 수소가 들어간 결함은 금속 산화물의 도너로서 기능할 수 있다. 그러나 상기 결함을 정량적으로 평가하는 것은 어렵다. 그러므로, 금속 산화물은 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서, 본 명세서 등에서는, 금속 산화물의 파라미터로서 도너 농도가 아니라 전계가 인가되지 않은 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉, 본 명세서 등에 기재되는 "캐리어 농도"는 "도너 농도"로 바꿔 말할 수 있는 경우가 있다.

[1039] 따라서, 금속 산화물을 산화물(530)에 사용하는 경우, 금속 산화물 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 금속 산화물에서 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometr

y)에 의하여 얻어지는 수소 농도를 $1X10^{20}$atoms/cm^3 미만, 바람직하게는 $1X10^{19}$atoms/cm^3 미만, 더 바람직하게는 $5X10^{18}$atoms/cm^3 미만, 더욱 바람직하게는 $1X10^{18}$atoms/cm^3 미만으로 한다. 수소 등의 불순물이 충분히 저감된 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[1040] 또한 산화물(530)에 금속 산화물을 사용하는 경우, 상기 금속 산화물은 밴드 갭이 높고 진성(I형이라고도 함) 또는 실질적으로 진성인 반도체이며, 채널 형성 영역의 금속 산화물의 캐리어 농도는 $1X10^{18}cm^{-3}$ 미만인 것이 바람직하고, $1X10^{17}cm^{-3}$ 미만인 것이 더 바람직하고, $1X10^{16}cm^{-3}$ 미만인 것이 더욱 바람직하고, $1X10^{13}cm^{-3}$ 미만인 것이 더욱더 바람직하고, $1X10^{12}cm^{-3}$ 미만인 것이 나아가 더욱더 바람직하다. 또한 채널 형성 영역의 금속 산화물의 캐리어 농도의 하한값에 대해서는 특별히 한정은 없지만, 예를 들어 $1X10^{-9}cm^{-3}$로 할 수 있다.

[1041] 또한 산화물(530)에 금속 산화물을 사용하는 경우, 도전체(542a) 및 도전체(542b)와 산화물(530)이 접함으로써, 산화물(530) 내의 산소가 도전체(542a) 및 도전체(542b)로 확산되어, 도전체(542a) 및 도전체(542b)가 산화되는 경우가 있다. 도전체(542a) 및 도전체(542b)가 산화됨으로써, 도전체(542a) 및 도전체(542b)의 도전율이 저하하는 개연성이 높다. 또한 산화물(530) 내의 산소가 도전체(542a) 및 도전체(542b)로 확산되는 것을 도전체(542a) 및 도전체(542b)가 산화물(530) 내의 산소를 흡수한다고 바꿔 말할 수 있다.

[1042] 또한 산화물(530) 내의 산소가 도전체(542a) 및 도전체(542b)로 확산됨으로써, 도전체(542a)와 산화물(530b) 사이, 및 도전체(542b)와 산화물(530b) 사이에 이층(異層)이 형성되는 경우가 있다. 상기 이층은 도전체(542a) 및 도전체(542b)보다 산소를 많이 포함하기 때문에, 상기 이층은 절연성을 가지는 것으로 추정된다. 이때, 도전체(542a) 또는 도전체(542b)와, 상기 이층과, 산화물(530b)의 3층 구조는 금속-절연체-반도체로 이루어지는 3층 구조로 간주할 수 있고, MIS(Metal-Insulator-Semiconductor) 구조라고 부르거나, 또는 주로 MIS 구조를 가지는 다이오드 접합 구조라고 부르는 경우가 있다.

[1043] 또한 상기 이층은 도전체(542a) 및 도전체(542b)와 산화물(530b) 사이에 형성되는 것에 한정되지 않고, 예를 들어 이층이 도전체(542a) 및 도전체(542b)와 산화물(530c) 사이에 형성되는 경우가 있다.

[1044] 산화물(530)에서, 채널 형성 영역으로서 기능하는 금속 산화물로서는, 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.

[1045] 산화물(530)은 산화물(530b) 아래에 산화물(530a)을 가짐으로써, 산화물(530a)보다 아래쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다. 또한 산화물(530b) 위에 산화물(530c)을 가짐으로써, 산화물(530c)보다 위쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다.

[1046] 또한 산화물(530)은, 각 금속 원자의 원자수비가 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(530a)에 사용하는 금속 산화물에서 구성 원소 중의 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한 산화물(530a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한 산화물(530b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(530a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 또한 산화물(530c)에는, 산화물(530a) 또는 산화물(530b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.

[1047] 구체적으로는, 산화물(530a)로서 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=1:3:4 또는 1:1:0.5의 금속 산화물을 사용하면 좋다. 또한, 산화물(530b)로서 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3 또는 1:1:1의 금속 산화물을 사용하면 좋다. 또한, 산화물(530c)로서 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=1:3:4, Ga과 Zn의 원자수비가 Ga:Zn=2:1 또는 Ga:Zn=2:5의 금속 산화물을 사용하면 좋다. 또한, 산화물(530c)이 적층 구조를 가지는 경우의 구체적인 예로서는 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3과, In:Ga:Zn=1:3:4의 적층 구조, Ga과 Zn의 원자수비가 Ga:Zn=2:1과, In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3의 적층 구조, Ga과 Zn의 원자수비가 Ga:Zn=2:5와, In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3의 적층 구조, 산화 갈륨과, In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3의 적층 구조 등을 들 수 있다.

[1048] 또한 예를 들어, 산화물(530a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 작은 경우, 산화물(530b)로서 In과 Ga과 Zn의 원

자수비가 In:Ga:Zn=5:1:6 또는 그 근방, In:Ga:Zn=5:1:3 또는 그 근방, In:Ga:Zn=10:1:3 또는 그 근방 등의 조성인 In-Ga-Zn 산화물을 사용할 수 있다.

[1049] 또한, 상술한 것 외의 조성으로서는, 산화물(530b)에는 예를 들어 In:Zn=2:1의 조성, In:Zn=5:1의 조성, In:Zn=10:1의 조성, 이들 중 어느 하나의 근방의 조성 등을 가지는 금속 산화물을 사용할 수 있다.

[1050] 이들의 산화물(530a), 산화물(530b), 산화물(530c)을 상기 원자수비의 관계를 만족시켜 조합하는 것이 바람직하다. 예를 들어, 산화물(530a) 및 산화물(530c)을 In:Ga:Zn=1:3:4의 조성 및 그 근방의 조성을 가지는 금속 산화물, 산화물(530b)을 In:Ga:Zn=4:2:3 내지 4.1의 조성 및 그 근방의 조성을 가지는 금속 산화물로 하는 것이 바람직하다. 또한, 상기 조성은 기체 위에 형성된 산화물 내의 원자수비 또는 스퍼터링 타깃에서의 원자수비를 나타낸다. 또한, 산화물(530b)의 조성에서 In의 비율을 높임으로써 트랜지스터의 온 전류 또는 전계 효과 이동도 등을 높일 수 있기 때문에 적합하다.

[1051] 또한 산화물(530a) 및 산화물(530c)의 전도대 하단의 에너지가 산화물(530b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한 바꿔 말하면 산화물(530a) 및 산화물(530c)의 전자 친화력이 산화물(530b)의 전자 친화력보다 작은 것이 바람직하다.

[1052] 여기서, 산화물(530a), 산화물(530b), 및 산화물(530c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 바꿔 말하면, 산화물(530a), 산화물(530b), 및 산화물(530c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고 할 수도 있다. 이와 같이 하기 위해서는, 산화물(530a)과 산화물(530b)의 계면 및 산화물(530b)과 산화물(530c)의 계면에서 형성되는 혼합층의 결함 준위 밀도를 낮추는 것이 좋다.

[1053] 구체적으로는, 산화물(530a)과 산화물(530b), 산화물(530b)과 산화물(530c)이 산소 외에 공통의 원소를 가짐으로써(주성분으로 함으로써) 결함 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어, 산화물(530b)이 In-Ga-Zn 산화물인 경우, 산화물(530a) 및 산화물(530c)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하는 것이 좋다.

[1054] 이때, 캐리어의 주된 경로는 산화물(530b)이다. 산화물(530a), 산화물(530c)을 상술한 구성으로 함으로써, 산화물(530a)과 산화물(530b)의 계면 및 산화물(530b)과 산화물(530c)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(500)는 높은 온 전류를 얻을 수 있다.

[1055] 산화물(530b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542a) 및 도전체(542b)가 제공된다. 도전체(542a) 및 도전체(542b)로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 질화 탄탈럼 등의 금속 질화물막은 수소 또는 산소에 대한 배리어성을 가지기 때문에 바람직하다.

[1056] 또한 도 63의 (A) 및 (B)에서는 도전체(542a) 및 도전체(542b)를 단층 구조로서 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 질화 탄탈럼막과 텅스텐막을 적층하는 것이 좋다. 또한 타이타늄막과 알루미늄막을 적층하여도 좋다. 또한 텅스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 타이타늄막 위에 구리막을 적층하는 2층 구조, 텅스텐막 위에 구리막을 적층하는 2층 구조로 하여도 좋다.

[1057] 또한 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 타이타늄막 또는 질화 타이타늄막을 더 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 더 형성하는 3층 구조 등이 있다. 또한 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.

[1058] 또한 도 63의 (A)에 나타낸 바와 같이, 산화물(530)과 도전체(542a)(도전체(542b)) 사이의 계면과 그 근방에는, 저저항 영역으로서 영역(543a) 및 영역(543b)이 형성되는 경우가 있다. 이때, 영역(543a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(543b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 또한 영역(543a)과 영역(543b) 사이의 영역에 채널 형성 영역이 형성된다.

[1059] 상기 도전체(542a)(도전체(542b))를 산화물(530)과 접하도록 제공함으로써, 영역(543a)(영역(543b))의 산소 농도가 저감되는 경우가 있다. 또한 영역(543a)(영역(543b))에, 도전체(542a)(도전체(542b))에 포함되는 금속과, 산화물(530)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 영역(543a)(영역(543b))의 캐리어 농도가 증가하고, 영역(543a)(영역(543b))은 저저항 영역이 된다.

[1060] 절연체(544)는 도전체(542a) 및 도전체(542b)를 덮도록 제공되어, 도전체(542a) 및 도전체(542b)의 산화를 억제한다. 이때, 절연체(544)는 산화물(530)의 측면을 덮어 절연체(524)와 접하도록 제공되어도 좋다.

[1061] 절연체(544)로서 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 네오디뮴, 란타넘, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 또한 절연체(544)로서 질화산화 실리콘 또는 질화 실리콘 등도 사용할 수 있다.

[1062] 특히, 절연체(544)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미네이트는 산화 하프늄막보다 내열성이 높다. 그러므로, 나중의 공정에서의 열처리에서 결정화되기 어렵기 때문에 바람직하다. 또한 도전체(542a) 및 도전체(542b)가 내산화성을 가지는 재료인 경우, 또는 산소를 흡수하여도 도전성이 현저히 저하하지 않는 경우에는, 절연체(544)는 필수 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.

[1063] 절연체(544)를 가짐으로써, 절연체(580)에 포함되는 물 및 수소 등의 불순물이 산화물(530c), 절연체(550)를 통하여 산화물(530b)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)가 가지는 과잉 산소에 의하여 도전체(560)가 산화되는 것을 억제할 수 있다.

[1064] 절연체(550)는 제 1 게이트 절연막으로서 기능한다. 절연체(550)는 산화물(530c)의 내측(상면 및 측면)에 접하여 배치되는 것이 바람직하다. 절연체(550)는, 상술한 절연체(524)와 마찬가지로, 산소를 과잉으로 포함하며 가열에 의하여 산소를 방출하는 절연체를 사용하여 형성되는 것이 바람직하다.

[1065] 구체적으로는, 과잉 산소를 가지는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.

[1066] 가열에 의하여 산소가 방출되는 절연체를 절연체(550)로서 산화물(530c)의 상면과 접하여 제공함으로써, 절연체(550)로부터 산화물(530c)을 통하여 산화물(530b)의 채널 형성 영역에 효과적으로 산소를 공급할 수 있다. 또한 절연체(524)와 마찬가지로, 절연체(550) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(550)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.

[1067] 또한 절연체(550)가 가지는 과잉 산소를 효율적으로 산화물(530)에 공급하기 위하여, 절연체(550)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(550)로부터 도전체(560)로의 산소 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(550)로부터 도전체(560)로의 과잉 산소의 확산이 억제된다. 즉, 산화물(530)에 공급하는 과잉 산소량의 감소를 억제할 수 있다. 또한 과잉 산소로 인한 도전체(560)의 산화를 억제할 수 있다. 상기 금속 산화물로서는, 절연체(544)에 사용할 수 있는 재료를 사용하면 좋다.

[1068] 또한 절연체(550)는 제 2 게이트 절연막과 마찬가지로, 적층 구조로 하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있으므로, 게이트 절연막으로서 기능하는 절연체를 high-k 재료와 열적으로 안정적인 재료의 적층 구조로 함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능해진다. 또한 열적으로 안정적이며 비유전율이 높은 적층 구조로 할 수 있다.

[1069] 제 1 게이트 전극으로서 기능하는 도전체(560)는, 도 63의 (A) 및 (B)에서는 2층 구조로서 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

[1070] 도전체(560a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O, NO, NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(550)에 포함되는 산소로 인하여 도전체(560b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테늄, 또는 산화 루테늄 등을 사용하는 것이 바람직하다. 또한 도전체(560a)로서, 산화물(530)에 적용할 수 있는 산화물 반도체를 사용할 수 있다. 그 경우, 도전체(560b)를 스퍼터링법으로 성막함으로써, 도전체(560a)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 할 수 있다.

[1071] 또한 도전체(560b)는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(560b)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(560b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.

[1072] 절연체(580)는 절연체(544)를 개재하여 도전체(542a) 및 도전체(542b) 위에 제공된다. 절연체(580)는 과잉 산소 영역을 가지는 것이 바람직하다. 예를 들어, 절연체(580)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히 산화 실리콘 및 공공을 가지는 산화 실리콘은 나중의 공정에서 용이하게 과잉 산소 영역을 형성할 수 있으므로 바람직하다.

[1073] 절연체(580)는 과잉 산소 영역을 가지는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체(580)를 산화물(530c)과 접하여 제공함으로써, 절연체(580) 내의 산소를 산화물(530c)을 통하여 산화물(530)에 효율적으로 공급할 수 있다. 또한 절연체(580) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[1074] 절연체(580)의 개구는 도전체(542a)와 도전체(542b) 사이의 영역과 중첩하여 형성된다. 이에 의하여, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 영역에 매립되도록 형성된다.

[1075] 반도체 장치를 미세화하기 위하여, 게이트 길이를 짧게 하는 것이 요구되지만, 도전체(560)의 도전성이 낮아지지 않도록 할 필요가 있다. 이를 위하여 도전체(560)의 막 두께를 두껍게 하면, 도전체(560)는 종횡비가 높은 형상이 될 수 있다. 본 실시형태에서는, 도전체(560)를 절연체(580)의 개구에 매립되도록 제공하기 때문에, 도전체(560)를 종횡비가 높은 형상으로 하여도 공정 중에 무너지는 일 없이 도전체(560)를 형성할 수 있다.

[1076] 절연체(574)는 절연체(580)의 상면, 도전체(560)의 상면, 및 절연체(550)의 상면과 접하여 제공되는 것이 바람직하다. 절연체(574)를 스퍼터링법으로 성막함으로써, 절연체(550) 및 절연체(580)에 과잉 산소 영역을 제공할 수 있다. 이로써 이 과잉 산소 영역으로부터 산화물(530) 내에 산소를 공급할 수 있다.

[1077] 예를 들어, 절연체(574)로서 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.

[1078] 특히, 산화 알루미늄은 배리어성이 높아 0.5nm 이상 3.0nm 이하의 박막이어도 수소 및 질소의 확산을 억제할 수 있다. 따라서, 스퍼터링법으로 성막한 산화 알루미늄은 산소 공급원이면서 수소 등의 불순물의 배리어막으로서의 기능도 가질 수 있다.

[1079] 또한 절연체(574) 위에 층간막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(581)는 절연체(524) 등과 마찬가지로 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[1080] 또한 절연체(581), 절연체(574), 절연체(580), 및 절연체(544)에 형성된 개구에 도전체(540a) 및 도전체(540b)를 배치한다. 도전체(540a) 및 도전체(540b)는 도전체(560)를 사이에 두고 대향하여 제공된다. 도전체(540a) 및 도전체(540b)는 후술하는 도전체(546) 및 도전체(548)와 같은 구성이다.

[1081] 절연체(581) 위에는 절연체(582)가 제공되어 있다. 절연체(582)에는 산소나 수소에 대하여 배리어성이 있는 물질을 사용하는 것이 바람직하다. 따라서, 절연체(582)에는 절연체(514)와 같은 재료를 사용할 수 있다. 예를 들어, 절연체(582)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하

다.

[1082] 특히, 산화 알루미늄은 산소와, 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서, 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에서 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로, 트랜지스터(500)에 대한 보호막으로서 사용하는 데 적합하다.

[1083] 또한 절연체(582) 위에는 절연체(586)가 제공되어 있다. 절연체(586)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어, 절연체(586)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.

[1084] 또한 절연체(520), 절연체(522), 절연체(524), 절연체(544), 절연체(580), 절연체(574), 절연체(581), 절연체(582), 및 절연체(586)에는 도전체(546) 및 도전체(548) 등이 매립되어 있다.

[1085] 도전체(546) 및 도전체(548)는 용량 소자(600), 트랜지스터(500), 또는 트랜지스터(300)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(546) 및 도전체(548)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[1086] 또한 트랜지스터(500)의 형성 후, 트랜지스터(500)를 둘러싸도록 개구를 형성하고, 상기 개구를 덮도록 수소 또는 물에 대한 배리어성이 높은 절연체를 형성하여도 좋다. 상술한 배리어성이 높은 절연체로 트랜지스터(500)를 둘러쌈으로써, 외부로부터 수분 및 수소가 침입하는 것을 방지할 수 있다. 또는 복수의 트랜지스터(500)를, 수소 또는 물에 대한 배리어성이 높은 절연체로 통틀어 감싸도 좋다. 또한 트랜지스터(500)를 둘러싸도록 개구를 형성하는 경우에는, 예를 들어 절연체(514) 또는 절연체(522)에 도달하는 개구를 형성하고, 절연체(514) 또는 절연체(522)에 접하도록 상술한 배리어성이 높은 절연체를 형성하면, 트랜지스터(500)의 제작 공정의 일부를 겸할 수 있기 때문에 적합하다. 또한 수소 또는 물에 대한 배리어성이 높은 절연체로서는, 예를 들어 절연체(522)와 같은 재료를 사용하면 좋다.

[1087] 이어서, 트랜지스터(500) 위쪽에는 용량 소자(600)가 제공되어 있다. 용량 소자(600)는 도전체(610)와, 도전체(620)와, 절연체(630)를 가진다.

[1088] 또한 도전체(546) 및 도전체(548) 위에 도전체(612)를 제공하여도 좋다. 도전체(612)는 트랜지스터(500)와 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(610)는 용량 소자(600)의 전극으로서의 기능을 가진다. 또한 도전체(612) 및 도전체(610)는 동시에 형성할 수 있다.

[1089] 도전체(612) 및 도전체(610)에는 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 탄탈럼막, 질화 타이타늄막, 질화 몰리브데넘막, 질화 텅스텐막) 등을 사용할 수 있다. 또는 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.

[1090] 도 61에서는, 도전체(612) 및 도전체(610)를 단층 구조로서 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에, 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.

[1091] 절연체(630)를 개재하여 도전체(610)와 중첩되도록 도전체(620)를 제공한다. 또한 도전체(620)에는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한 도전체 등의 다른 구조와 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리)나 Al(알루미늄) 등을 사용하면 좋다.

[1092] 도전체(620) 및 절연체(630) 위에는 절연체(650)가 제공되어 있다. 절연체(650)는 절연체(320)와 같은 재료를 사용하여 제공할 수 있다. 또한 절연체(650)는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다.

[1093] 본 구조를 사용함으로써, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에서, 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다. 또는 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에서

미세화 또는 고집적화를 도모할 수 있다.

[1094] 다음으로, 도 61, 도 62에 도시된, OS 트랜지스터의 다른 구성예에 대하여 설명한다. 도 64의 (A) 및 (B)는 도 63의 (A) 및 (B)에 나타낸 트랜지스터(500)의 변형예를 나타낸 것이고, 도 64의 (A)는 트랜지스터(500)의 채널 길이 방향의 단면도이고, 도 64의 (B)는 트랜지스터(500)의 채널 폭 방향의 단면도이다. 또한 도 64의 (A) 및 (B)에 나타낸 구성은 트랜지스터(300) 등, 본 발명의 일 형태의 반도체 장치가 가지는 다른 트랜지스터에도 적용할 수 있다.

[1095] 도 64의 (A) 및 (B)에 나타낸 구성의 트랜지스터(500)는, 절연체(402) 및 절연체(404)를 가지는 점에서 도 63의 (A) 및 (B)에 나타낸 구성의 트랜지스터(500)와 상이하다. 또한 도전체(540a)의 측면과 접하여 절연체(552)가 제공되고, 도전체(540b)의 측면과 접하여 절연체(552)가 제공되는 점에서 도 63의 (A) 및 (B)에 나타낸 구성의 트랜지스터(500)와 상이하다. 또한 절연체(520)를 가지지 않는 점에서 도 63의 (A) 및 (B)에 나타낸 구성의 트랜지스터(500)와 상이하다.

[1096] 도 64의 (A) 및 (B)에 나타낸 구성의 트랜지스터(500)에서는, 절연체(512) 위에 절연체(402)가 제공된다. 또한 절연체(574) 위 및 절연체(402) 위에 절연체(404)가 제공된다.

[1097] 도 64의 (A) 및 (B)에 나타낸 구성의 트랜지스터(500)에는, 절연체(514), 절연체(516), 절연체(522), 절연체(524), 절연체(544), 절연체(580), 및 절연체(574)가 제공되고, 절연체(404)가 이들을 덮는 구조가 되어 있다. 즉, 절연체(404)는 절연체(574)의 상면, 절연체(574)의 측면, 절연체(580)의 측면, 절연체(544)의 측면, 절연체(524)의 측면, 절연체(522)의 측면, 절연체(516)의 측면, 절연체(514)의 측면, 절연체(402)의 상면과 각각 접한다. 이로써, 산화물(530) 등은 절연체(404)와 절연체(402)에 의하여 외부로부터 격리된다.

[1098] 절연체(402) 및 절연체(404)는 수소(예를 들어 수소 원자, 수소 분자 등 중 적어도 하나) 또는 물 분자의 확산을 억제하는 기능이 높은 것이 바람직하다. 예를 들어 절연체(402) 및 절연체(404)로서, 수소 배리어성이 높은 재료인 질화 실리콘 또는 질화산화 실리콘을 사용하는 것이 적합하다. 이로써, 산화물(530)에 수소 등이 확산되는 것을 억제할 수 있기 때문에 트랜지스터(500)의 특성이 저하되는 것을 억제할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 신뢰성을 높일 수 있다.

[1099] 절연체(552)는 절연체(581), 절연체(404), 절연체(574), 절연체(580), 및 절연체(544)와 접하여 제공된다. 절연체(552)는 수소 또는 물 분자의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(552)로서, 수소 배리어성이 높은 재료인 질화 실리콘, 산화 알루미늄, 또는 질화산화 실리콘 등의 절연체를 사용하는 것이 바람직하다. 특히, 질화 실리콘은 수소 배리어성이 높은 재료이기 때문에 절연체(552)로서 사용하는 것이 바람직하다. 절연체(552)로서 수소 배리어성이 높은 재료를 사용함으로써, 물 또는 수소 등의 불순물이 절연체(580) 등으로부터 도전체(540a) 및 도전체(540b)를 통하여 산화물(530)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)에 포함되는 산소가 도전체(540a) 및 도전체(540b)에 흡수되는 것을 억제할 수 있다. 상술한 바와 같이 하여, 본 발명의 일 형태의 반도체 장치의 신뢰성을 높일 수 있다.

[1100] 도 65는 트랜지스터(500) 및 트랜지스터(300)를 도 64의 (A) 및 (B)에 나타낸 구성으로 한 경우에서의 반도체 장치의 구성예를 나타낸 단면도이다. 도전체(546)의 측면에 절연체(552)가 제공되어 있다.

[1101] 또한 도 64의 (A) 및 (B)에 나타낸 트랜지스터(500)는 상황에 따라 트랜지스터의 구성을 변경하여도 좋다. 예를 들어 도 64의 (A) 및 (B)의 트랜지스터(500)는 변경예로서 도 66에 나타낸 트랜지스터로 할 수 있다. 도 66의 (A)는 트랜지스터의 채널 길이 방향의 단면도이고, 도 66의 (B)는 트랜지스터의 채널 폭 방향의 단면도이다. 도 66의 (A) 및 (B)에 나타낸 트랜지스터는 산화물(530c)이 산화물(530c1) 및 산화물(530c2)의 2층 구조인 점에서, 도 64의 (A) 및 (B)에 나타낸 트랜지스터와 상이하다.

[1102] 산화물(530c1)은 절연체(524)의 상면, 산화물(530a)의 측면, 산화물(530b)의 상면 및 측면, 도전체(542a) 및 도전체(542b)의 측면, 절연체(544)의 측면, 및 절연체(580)의 측면과 접한다. 산화물(530c2)은 절연체(550)와 접한다.

[1103] 산화물(530c1)로서, 예를 들어 In-Zn 산화물을 사용할 수 있다. 또한 산화물(530c2)로서, 산화물(530c)이 1층 구조인 경우에 산화물(530c)에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다. 예를 들어 산화물(530c2)로서, n:Ga:Zn=1:3:4[원자수비], Ga:Zn=2:1[원자수비], 또는 Ga:Zn=2:5[원자수비]의 금속 산화물을 사용할 수 있다.

[1104] 산화물(530c)을 산화물(530c1) 및 산화물(530c2)의 2층 구조로 함으로써, 산화물(530c)을 1층 구조로 한 경우보

다 트랜지스터의 온 전류를 높일 수 있다. 그러므로, 트랜지스터는 예를 들어 파워 MOS 트랜지스터에 적용할 수 있다. 또한 도 63의 (A) 및 (B)에 나타낸 구성의 트랜지스터가 가지는 산화물(530c)도 산화물(530c1)과 산화물(530c2)의 2층 구조로 할 수 있다.

[1105] 도 66의 (A), (B)에 나타낸 구성의 트랜지스터는, 예를 들어 도 61, 도 62에 나타낸 트랜지스터(300)에 적용할 수 있다. 또한 예를 들어 트랜지스터(300)는 상술한 바와 같이, 연산 회로(110), 연산 회로(120), 연산 회로(130), 연산 회로(140), 연산 회로(150), 연산 회로(160), 연산 회로(170) 등에 포함되는 회로(MP)의 트랜지스터(M2) 등에 적용할 수 있다. 또한 도 66의 (A), (B)에 나타낸 트랜지스터는, 본 발명의 일 형태의 반도체 장치가 가지는 트랜지스터(300), 트랜지스터(500) 외의 트랜지스터에도 적용할 수 있다.

[1106] 도 67은, 트랜지스터(500)를 도 63의 (A)에 나타낸 트랜지스터의 구성으로 하고, 트랜지스터(300)를 도 66의 (A)에 나타낸 트랜지스터의 구성으로 한 경우에서의 반도체 장치의 구성예를 나타낸 단면도이다. 또한 도 65와 마찬가지로, 도전체(546)의 측면에 절연체(552)를 제공하는 구성으로 하였다. 도 67에 나타낸 바와 같이, 본 발명의 일 형태의 반도체 장치에서는 트랜지스터(300)와 트랜지스터(500)를 양쪽 모두 OS 트랜지스터로 하고, 트랜지스터(300)와 트랜지스터(500) 각각을 상이한 구성으로 할 수 있다.

[1107] 다음으로, 도 61, 도 62의 반도체 장치에 적용할 수 있는 용량 소자에 대하여 설명한다.

[1108] 도 68에는, 도 61에 나타낸 반도체 장치에 적용할 수 있는 용량 소자(600)의 일례로서 용량 소자(600A)를 나타내었다. 도 68의 (A)는 용량 소자(600A)의 상면도이고, 도 68의 (B)는 용량 소자(600A)의 일점쇄선 L3-L4에서의 단면을 나타낸 사시도이고, 도 68의 (C)는 용량 소자(600A)의 일점쇄선 W3-L4에서의 단면을 나타낸 사시도이다.

[1109] 도전체(610)는 용량 소자(600A)의 한 쌍의 전극 중 한쪽으로서 기능하고, 도전체(620)는 용량 소자(600A)의 한 쌍의 전극 중 다른 쪽으로서 기능한다. 또한 절연체(630)는 한 쌍의 전극에 끼워지는 유전체로서 기능한다.

[1110] 절연체(630)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 질화산화 하프늄, 질화 하프늄, 산화 지르코늄 등을 사용하면 좋고, 적층 또는 단층으로 제공할 수 있다.

[1111] 또한, 예를 들어 절연체(630)에는 산화질화 실리콘 등의 절연 내력이 큰 재료와 고유전율(high-k) 재료의 적층 구조를 사용하여도 좋다. 상기 구성으로 하면, 용량 소자(600A)에서는 고유전율(high-k)의 절연체를 가지므로 충분한 용량을 확보할 수 있고, 절연 내력이 큰 절연체를 가지므로 절연 내력이 향상되기 때문에, 용량 소자(600A)의 정전 파괴를 억제할 수 있다.

[1112] 또한 고유전율(high-k) 재료(비유전율이 높은 재료)의 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물 등이 있다.

[1113] 또는 절연체(630)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$(BST) 등의 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하여도 좋다. 예를 들어 절연체(630)를 적층으로 하는 경우, 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄이 순차적으로 형성된 3층 적층이나, 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄과, 산화 알루미늄이 순차적으로 형성된 4층 적층 등을 사용하면 좋다. 또한 절연체(630)로서는 하프늄과 지르코늄이 포함되는 화합물 등을 사용하여도 좋다. 반도체 장치의 미세화 및 고집적화가 진행되면, 게이트 절연체 및 용량 소자에 사용되는 유전체의 박막화로 인하여 트랜지스터나 용량 소자의 누설 전류 등의 문제가 발생할 경우가 있다. 게이트 절연체 및 용량 소자에 사용하는 유전체로서 기능하는 절연체에 high-k 재료를 사용함으로써 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위의 저감 및 용량 소자의 용량 확보가 가능해진다.

[1114] 용량 소자(600A)는 도전체(610)의 하부에서, 도전체(546)와 도전체(548)에 전기적으로 접속된다. 도전체(546)와 도전체(548)는 다른 회로 소자와 접속하기 위한 플러그 또는 배선으로서 기능한다. 또한 도 68의 (A) 내지 (C)에서는, 도전체(546)와 도전체(548)를 통틀어 도전체(540)라고 기재하였다.

[1115] 또한 도 68의 (A) 내지 (C)에서는 도면을 명료하게 나타내기 위하여, 도전체(546) 및 도전체(548)가 매립되는 절연체(586)와, 도전체(620) 및 절연체(630)를 덮는 절연체(650)를 생략하였다.

[1116] 또한 도 61, 도 62, 도 68의 (A) 내지 (C)에 나타낸 용량 소자(600)는 플레이너형이지만 용량 소자의 형상은 이에 한정되지 않는다. 예를 들어, 용량 소자(600)는 도 69의 (A) 내지 (C)에 나타낸 실린더형 용량 소자(600B)로 하여도 좋다.

[1117] 도 69의 (A)는 용량 소자(600B)의 상면도이고, 도 69의 (B)는 용량 소자(600B)의 일점쇄선 L3-L4에서의 단면도이고, 도 69의 (C)는 용량 소자(600B)의 일점쇄선 W3-L4에서의 단면을 나타낸 사시도이다.

[1118] 도 69의 (B)에서, 용량 소자(600B)는 도전체(540)가 매립된 절연체(586) 위의 절연체(631)와, 개구부를 가지는 절연체(651)와, 한 쌍의 전극 중 한쪽으로서 기능하는 도전체(610)와, 한 쌍의 전극 중 다른 쪽으로서 기능하는 도전체(620)를 가진다.

[1119] 또한 도 69의 (C)에서는, 도면을 명료하게 나타내기 위하여, 절연체(586)와, 절연체(650)와, 절연체(651)를 생략하였다.

[1120] 절연체(631)로서, 예를 들어 절연체(586)와 같은 재료를 사용할 수 있다.

[1121] 또한 절연체(631)에는 도전체(540)에 전기적으로 접속되도록 도전체(611)가 매립되어 있다. 도전체(611)에는 예를 들어 도전체(330), 도전체(518)와 같은 재료를 사용할 수 있다.

[1122] 절연체(651)로서, 예를 들어 절연체(586)와 같은 재료를 사용할 수 있다.

[1123] 또한 절연체(651)는 상술한 바와 같이 개구부를 가지고, 상기 개구부는 도전체(611)와 중첩된다.

[1124] 도전체(610)는 상기 개구부의 바닥 부분과 측면에 형성된다. 즉, 도전체(610)는 도전체(611)와 중첩되며, 도전체(611)에 전기적으로 접속된다.

[1125] 또한 도전체(610)의 형성 방법으로서는, 에칭법 등에 의하여 절연체(651)에 개구부를 형성한 다음, 스퍼터링법, ALD법 등에 의하여 도전체(610)를 성막한다. 그 후, CMP(Chemichal Mechanical Polishing)법 등에 의하여, 개구부에 성막된 도전체(610)를 남기고, 절연체(651) 위에 성막된 도전체(610)를 제거하면 좋다.

[1126] 절연체(630)는 절연체(651) 위와 도전체(610)의 형성면 위에 위치한다. 또한 절연체(630)는 용량 소자에서 한 쌍의 전극에 끼워지는 유전체로서 기능한다.

[1127] 도전체(620)는 절연체(651)의 개구부를 매립하도록 절연체(630) 위에 형성된다.

[1128] 절연체(650)는 절연체(630)와 도전체(620)를 덮도록 형성된다.

[1129] 도 69의 (A) 내지 (C)에 나타낸 실린더형 용량 소자(600B)는, 플레이너형 용량 소자(600A)보다 정전 용량의 값을 높게 할 수 있다. 그러므로, 예를 들어 위의 실시형태에서 설명한 용량 소자(C1, C2) 등으로서 용량 소자(600B)를 적용함으로써, 장시간 동안 용량 소자의 단자 간의 전압을 유지할 수 있다.

[1130] 또한 본 실시형태는 본 명세서에서 나타낸 다른 실시형태와 적절히 조합할 수 있다.

[1131] (실시형태 5)

[1132] 본 실시형태에서는, 위의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물인 CAC-OS(Cloud-Aligned Composite Oxide Semiconductor) 및 CAAC-OS(c-axis Aligned Crystalline Oxide Semiconductor)의 구성에 대하여 설명한다. 또한 본 명세서 등에서 CAC는 기능 또는 재료의 구성의 일례를 나타내고, CAAC는 결정 구조의 일례를 나타낸다.

[1133] <금속 산화물의 구성>

[1134] CAC-OS 또는 CAC-metal oxide는 재료의 일부에서는 도전성의 기능을 가지고, 재료의 일부에서는 절연성의 기능을 가지고, 재료의 전체에서는 반도체로서의 기능을 가진다. 또한 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 활성층에 사용하는 경우, 도전성의 기능은 캐리어가 되는 전자(또는 홀)를 흘리는 기능이고, 절연성의 기능은 캐리어가 되는 전자를 흘리지 않는 기능이다. 도전성의 기능과 절연성의 기능을 각각 상보적으로 작용시킴으로써, 스위칭 기능(On/Off시키는 기능)을 CAC-OS 또는 CAC-metal oxide에 부여할 수 있다. CAC-OS 또는 CAC-metal oxide에서 각각의 기능을 분리시킴으로써, 양쪽의 기능을 최대한 높일 수 있다.

[1135] 또한 CAC-OS 또는 CAC-metal oxide는 도전성 영역 및 절연성 영역을 가진다. 도전성 영역은 상술한 도전성의 기능을 가지고, 절연성 영역은 상술한 절연성의 기능을 가진다. 또한 재료 내에서 도전성 영역과 절연성 영역은 나노 입자 레벨로 분리되어 있는 경우가 있다. 또한 도전성 영역과 절연성 영역은 각각 재료 내에 편재하는

경우가 있다. 또한 도전성 영역은 주변이 흐릿해져 클라우드상으로 연결되어 관찰되는 경우가 있다.

[1136] 또한 CAC-OS 또는 CAC-metal oxide에서 도전성 영역과 절연성 영역은 각각 0.5nm 이상 10nm 이하, 바람직하게는 0.5nm 이상 3nm 이하의 크기로 재료 내에 분산되어 있는 경우가 있다.

[1137] 또한 CAC-OS 또는 CAC-metal oxide는 상이한 밴드 갭을 가지는 성분으로 구성된다. 예를 들어, CAC-OS 또는 CAC-metal oxide는 절연성 영역에 기인하는 와이드 갭을 가지는 성분과 도전성 영역에 기인하는 내로 갭을 가지는 성분으로 구성된다. 상기 구성의 경우, 캐리어를 흘릴 때 내로 갭을 가지는 성분에서 주로 캐리어가 흐른다. 또한 내로 갭을 가지는 성분이 와이드 갭을 가지는 성분에 상보적으로 작용하고, 내로 갭을 가지는 성분과 연동하여 와이드 갭을 가지는 성분에도 캐리어가 흐른다. 그러므로 상기 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 채널 형성 영역에 사용하는 경우, 트랜지스터의 온 상태에서 높은 전류 구동력, 즉 큰 온 전류 및 높은 전계 효과 이동도를 얻을 수 있다.

[1138] 즉, CAC-OS 또는 CAC-metal oxide는 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 부를 수도 있다.

[1139] <금속 산화물의 구조>

[1140] 산화물 반도체는 단결정 산화물 반도체와 그 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, 예를 들어 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.

[1141] CAAC-OS는 c축 배향성을 가지며 a-b면 방향에서 복수의 나노 결정이 연결되어 변형을 가지는 결정 구조가 되어 있다. 또한 변형이란, 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다.

[1142] 나노 결정은 육각형이 기본이지만, 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 변형에서 오각형 및 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이라고 생각된다.

[1143] 또한 CAAC-OS는 인듐 및 산소를 포함하는 층(이하, In층)과 원소 M, 아연, 및 산소를 포함하는 층(이하, (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한 In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.

[1144] CAAC-OS는 결정성이 높은 산화물 반도체이다. 한편, CAAC-OS는 명확한 결정립계를 확인할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등으로 인하여 저하하는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면, 제조 공정의 자유도를 넓힐 수 있다.

[1145] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한 nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서 막 전체에서 배향성이 보이지 않는다. 그러므로 nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별할 수 없는 경우가 있다.

[1146] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다.

[1147] 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.

[1148] <산화물 반도체를 가지는 트랜지스터>

[1149] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.

[1150] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[1151] 또한 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 하는 경우가 있고, 또한 진성 또는 실질적으로 진성이라고 하는 경우가 있다.

[1152] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.

[1153] 또한 산화물 반도체의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[1154] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.

[1155] <불순물>

[1156] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[1157] 산화물 반도체에 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘이나 탄소의 농도와 산화물 반도체와의 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS)에 의하여 얻어지는 농도)를 $2X10^{18}atoms/cm^3$ 이하, 바람직하게는 $2X10^{17}atoms/cm^3$ 이하로 한다.

[1158] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 구체적으로는, SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1X10^{18}atoms/cm^3$ 이하, 바람직하게는 $2X10^{16}atoms/cm^3$ 이하로 한다.

[1159] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 따라서 상기 산화물 반도체에서 질소는 가능한 한 저감되어 있는 것이 바람직하고, 예를 들어 산화물 반도체 내의 질소 농도는 SIMS에서 $5X10^{19}atoms/cm^3$ 미만, 바람직하게는 $5X10^{18}atoms/cm^3$ 이하, 더 바람직하게는 $1X10^{18}atoms/cm^3$ 이하, 더욱 바람직하게는 $5X10^{17}atoms/cm^3$ 이하로 한다.

[1160] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를 $1X10^{20}atoms/cm^3$ 미만, 바람직하게는 $1X10^{19}atoms/cm^3$ 미만, 더 바람직하게는 $5X10^{18}atoms/cm^3$ 미만, 더욱 바람직하게는 $1X10^{18}atoms/cm^3$ 미만으로 한다.

[1161] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[1162] 또한 본 실시형태는 본 명세서에서 나타낸 다른 실시형태와 적절히 조합할 수 있다.

[1163] (실시형태 6)

[1164] 본 실시형태에서는, 앞의 실시형태에서 설명한 반도체 장치 등이 형성된 반도체 웨이퍼, 및 상기 반도체 장치를 포함한 전자 부품의 일례에 대하여 설명한다.

[1165] <반도체 웨이퍼>

[1166] 먼저, 반도체 장치 등이 형성된 반도체 웨이퍼의 예를 도 70의 (A)를 참조하여 설명한다.

[1167] 도 70의 (A)에 나타낸 반도체 웨이퍼(4800)는 웨이퍼(4801)와, 웨이퍼(4801)의 상면에 제공된 복수의 회로부(4802)를 가진다. 또한 웨이퍼(4801)의 상면에서 회로부(4802)가 없는 부분은 공간(spacing)(4803)이고 다이싱용 영역이다.

[1168] 반도체 웨이퍼(4800)는, 전(前)공정에 의하여 웨이퍼(4801)의 표면에 복수의 회로부(4802)를 형성함으로써 제작할 수 있다. 또한 그 후에, 웨이퍼(4801)의 복수의 회로부(4802)가 형성된 면과 반대 측의 면을 연삭하여 웨이퍼(4801)를 얇게 하여도 좋다. 이 공정을 통하여, 웨이퍼(4801)의 휨 등을 저감하고 부품의 크기를 작게 할 수 있다.

[1169] 다음으로, 다이싱 공정이 수행된다. 다이싱은 일점쇄선으로 나타낸 스크라이브 라인(SCL1) 및 스크라이브 라인(SCL2)(다이싱 라인 또는 절단 라인이라고 하는 경우가 있음)을 따라 수행된다. 또한 다이싱 공정을 용이하게 수행하기 위하여, 복수의 스크라이브 라인(SCL1)이 평행하게 되고, 복수의 스크라이브 라인(SCL2)이 평행하게 되고, 스크라이브 라인(SCL1)과 스크라이브 라인(SCL2)이 수직이 되도록 공간(4803)을 제공하는 것이 바람직하다.

[1170] 다이싱 공정을 수행함으로써, 도 70의 (B)에 나타낸 칩(4800a)을 반도체 웨이퍼(4800)로부터 잘라 낼 수 있다. 칩(4800a)은 웨이퍼(4801a), 회로부(4802), 및 공간(4803a)을 가진다. 또한 공간(4803a)은 가능한 한 작게 하는 것이 바람직하다. 이 경우, 인접한 회로부(4802)들 사이의 공간(4803)의 폭이, 스크라이브 라인(SCL1)의 가공 여유 또는 스크라이브 라인(SCL2)의 가공 여유의 폭과 거의 같으면 좋다.

[1171] 또한 본 발명의 일 형태에 따른 소자 기판의 형상은, 도 70의 (A)에 도시된 반도체 웨이퍼(4800)의 형상에 한정되지 않는다. 예를 들어 소자 기판은 직사각형의 반도체 웨이퍼이어도 좋다. 소자 기판의 형상은, 소자의 제작 공정 및 소자를 제작하기 위한 장치에 따라 적절히 변경할 수 있다.

[1172] <전자 부품>

[1173] 도 70의 (C)에 전자 부품(4700) 및 전자 부품(4700)이 실장된 기판(실장 기판(4704))의 사시도를 나타내었다. 도 70의 (C)에 나타낸 전자 부품(4700)은 몰드(4711) 내에 칩(4800a)을 가진다. 또한, 도 70의 (C)에 나타낸 칩(4800a)에는 회로부(4802)가 적층된 구성을 나타내었다. 즉, 회로부(4802)로서 위의 실시형태에서 설명한 반도체 장치를 적용할 수 있다. 도 70의 (C)에서는, 전자 부품(4700)의 내부를 나타내기 위하여 일부를 생략하였다. 전자 부품(4700)은 몰드(4711)의 외측에 랜드(4712)를 가진다. 랜드(4712)는 전극 패드(4713)에 전기적으로 접속되고, 전극 패드(4713)는 와이어(4714)에 의하여 칩(4800a)에 전기적으로 접속되어 있다. 전자 부품(4700)은 예를 들어 인쇄 기판(4702)에 실장된다. 이와 같은 전자 부품이 복수로 조합되고, 각각이 인쇄 기판(4702) 위에서 전기적으로 접속됨으로써, 실장 기판(4704)이 완성된다.

[1174] 도 70의 (D)에 전자 부품(4730)의 사시도를 나타내었다. 전자 부품(4730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(4730)에서는 패키지 기판(4732)(인쇄 기판) 위에 인터포저(4731)가 제공되고, 인터포저(4731) 위에 반도체 장치(4735) 및 복수의 반도체 장치(4710)가 제공되어 있다.

[1175] 전자 부품(4730)은 반도체 장치(4710)를 가진다. 반도체 장치(4710)의 예에는 앞의 실시형태에서 설명한 반도체 장치, 광대역 메모리(HBM: High Bandwidth Memory) 등으로 할 수 있다. 또한 반도체 장치(4735)로서는 CPU, GPU, FPGA, 기억 장치 등의 집적 회로(반도체 장치)를 사용할 수 있다.

[1176] 패키지 기판(4732)으로서는 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판 등을 사용할 수 있다. 인터포저(4731)로서는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.

[1177] 인터포저(4731)는 복수의 배선을 가지고, 단자 피치가 다른 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(4731)는 인터포저(4731) 위에 제공된 집적 회로를 패키지 기판(4732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 하는 경우가 있다. 또한 인터포저(4731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(4732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저를

사용하는 경우, 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.

[1178] 인터포저(4731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자가 제공될 필요가 없기 때문에, 집적 회로보다 적은 비용으로 제작할 수 있다. 한편, 실리콘 인터포저의 배선 형성은 반도체 공정에서 수행할 수 있기 때문에, 수지 인터포저에서는 어려운 미세 배선의 형성이 용이하다.

[1179] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[1180] 또한 실리콘 인터포저를 사용한 SiP나 MCM 등에서는 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 일어나기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높기 때문에, 실리콘 인터포저 위에 제공하는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히, 복수의 집적 회로를 인터포저 위에 옆으로 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[1181] 또한 전자 부품(4730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는, 인터포저(4731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에 나타내는 전자 부품(4730)에서는 반도체 장치(4710)와 반도체 장치(4735)의 높이를 일치시키는 것이 바람직하다.

[1182] 전자 부품(4730)을 다른 기판에 실장하기 위하여, 패키지 기판(4732)의 바닥 부분에 전극(4733)을 제공하여도 좋다. 도 70의 (D)에서는 전극(4733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(4732)의 바닥 부분에 땜납 볼을 매트릭스상으로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(4733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(4732)의 바닥 부분에 도전성의 핀을 매트릭스상으로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.

[1183] 전자 부품(4730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.

[1184] 또한 본 실시형태는 본 명세서에서 나타낸 다른 실시형태와 적절히 조합할 수 있다.

[1185] (실시형태 7)

[1186] 본 실시형태에서는, 위의 실시형태에서 설명한 반도체 장치를 가지는 전자 기기의 일례에 대하여 설명한다. 또한 도 71에는, 상기 반도체 장치를 가지는 전자 부품(4700)(BMP)이 각 전자 기기에 포함되어 있는 상태를 도시하였다.

[1187] [휴대 전화]

[1188] 도 71에 나타낸 정보 단말기(5500)는 정보 단말기의 일종인 휴대 전화(스마트폰)이다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 제공되고, 버튼이 하우징(5510)에 제공되어 있다.

[1189] 정보 단말기(5500)는, 위의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 회화를 인식하고 그 회화 내용을 표시부(5511)에 표시하는 애플리케이션, 표시부(5511)에 제공된 터치 패널에 사용자가 입력한 문자, 도형 등을 인식하고 표시부(5511)에 표시하는 애플리케이션, 지문이나 성문 등의 생체 인증을 수행하는 애플리케이션 등이 있다.

[1190] [웨어러블 단말기]

[1191] 또한 도 71에는 웨어러블 단말기의 일례로서 스마트 워치(5900)를 도시하였다. 스마트 워치(5900)는 하우징(5901), 표시부(5902), 조작 버튼(5903), 조작자(操作子)(5904), 및 밴드(5905) 등을 가진다.

[1192] 웨어러블 단말기는, 상술한 정보 단말기(5500)와 마찬가지로, 위의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 웨어러블 단말기를 장착한 사람의 건강 상태를 관리하는 애플리케이션, 목적지를 입력하면 최적의 경로를 선택하여 유도하는 내비게이션 시스템 등이 있다.

[1193] [정보 단말기]

[1194] 또한 도 71에는 데스크톱형 정보 단말기(5300)를 도시하였다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301)와, 디스플레이(5302)와, 키보드(5303)를 가진다.

[1195] 데스크톱형 정보 단말기(5300)는, 상술한 정보 단말기(5500)와 마찬가지로, 위의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 설계 지원 소프트웨어, 문장 첨삭 소프트웨어, 식단 자동 생성 소프트웨어 등이 있다. 또한 데스크톱형 정보 단말기(5300)를 사용함으로써 신규 인공 지능을 개발할 수 있다.

[1196] 또한 위에서는 전자 기기의 일례로서 스마트폰 및 데스크톱용 정보 단말기를 각각 도 71에 도시하였지만, 스마트폰 및 데스크톱용 정보 단말기 외의 정보 단말기를 적용할 수 있다. 스마트폰 및 데스크톱용 정보 단말기 외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 워크스테이션 등이 있다.

[1197] [전자 제품]

[1198] 또한 도 71에는 전자 제품의 일례로서 전기 냉동 냉장고(5800)를 도시하였다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 냉동실용 문(5803) 등을 가진다.

[1199] 전기 냉동 냉장고(5800)에 위의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 인공 지능을 가지는 전기 냉동 냉장고(5800)를 실현할 수 있다. 인공 지능을 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 보관되어 있는 식재료, 그 식재료의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능이나, 전기 냉동 냉장고(5800)에 보관되어 있는 식재료에 적합한 온도로 자동으로 조절하는 기능 등을 가질 수 있다.

[1200] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전자 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등이 있다.

[1201] [게임기]

[1202] 또한 도 71에는 게임기의 일례인 휴대용 게임기(5200)를 도시하였다. 휴대용 게임기(5200)는 하우징(5201), 표시부(5202), 버튼(5203) 등을 가진다.

[1203] 또한 도 71에는 게임기의 일례인 거치형 게임기(7500)를 도시하였다. 거치형 게임기(7500)는 본체(7520)와 컨트롤러(7522)를 가진다. 또한 본체(7520)에는 무선 또는 유선으로 컨트롤러(7522)를 접속할 수 있다. 또한 도 71에는 나타내지 않았지만, 컨트롤러(7522)는 게임의 화상을 표시하는 표시부, 버튼 이외의 입력 인터페이스인 터치 패널이나 스틱, 회전식 손잡이, 슬라이드식 손잡이 등을 가질 수 있다. 또한 컨트롤러(7522)는 도 71에 나타낸 형상에 한정되지 않고, 게임의 장르에 따라 컨트롤러(7522)의 형상을 다양하게 변경하여도 좋다. 예를 들어 FPS(First Person Shooter) 등의 슈팅 게임에서는, 버튼을 트리거로 하고 총의 형상을 가지는 컨트롤러를 사용할 수 있다. 또한 예를 들어 음악 게임 등에서는 악기, 음악 기기 등의 형상을 가지는 컨트롤러를 사용할 수 있다. 또한 거치형 게임기는 컨트롤러를 사용하는 대신에 카메라, 심도 센서, 마이크로폰 등을 가지고, 게임 플레이어의 제스처 및/또는 음성으로 조작하는 형식이어도 좋다.

[1204] 또한 상술한 게임기의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이, 헤드 마운트 디스플레이 등의 표시 장치에 의하여 출력할 수 있다.

[1205] 휴대용 게임기(5200)에 위의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 소비 전력이 낮은 휴대용 게임기(5200)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[1206] 또한 휴대용 게임기(5200)에 위의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 인공 지능을 가지는 휴대용 게임기(5200)를 실현할 수 있다.

[1207] 원래, 게임의 진행, 게임에 등장하는 생물의 언동, 게임에서 발생하는 현상 등의 표현은 그 게임이 가지는 프로그램에 의하여 정해져 있지만, 휴대용 게임기(5200)에 인공 지능을 적용함으로써, 게임의 프로그램에 의하여 한정되지 않는 표현이 가능해진다. 예를 들어, 플레이어가 질문하는 내용, 게임의 진행 상황, 시각, 게임에 등장하는 인물의 언동이 변화되는 등의 표현이 가능해진다.

[1208] 또한 휴대용 게임기(5200)로 복수의 플레이어를 필요로 하는 게임을 하는 경우에는, 인공 지능이 의인적으로 게임 플레이어를 구성할 수 있기 때문에, 대전 상대를 인공 지능에 의한 게임 플레이어로 함으로써, 혼자서도 게임을 할 수 있다.

[1209] 도 71에는, 게임기의 일례로서 휴대용 게임기를 도시하였지만, 본 발명의 일 형태의 전자 기기는 이에 한정되지 않는다. 본 발명의 일 형태의 전자 기기로서는, 예를 들어 가정용 거치형 게임기, 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등이 있다.

[1210] [이동체]

[1211] 위의 실시형태에서 설명한 반도체 장치는 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.

[1212] 도 71에는 이동체의 일례인 자동차(5700)를 도시하였다.

[1213] 자동차(5700)의 운전석 주변에는, 속도계나 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시할 수 있는 계기판이 제공되어 있다. 또한 운전석 주변에는, 이들 정보를 표시하는 표시 장치가 제공되어도 좋다.

[1214] 특히 상기 표시 장치는 자동차(5700)에 제공된 촬상 장치(미도시)로부터의 영상이 표시됨으로써, 필러 등에 가려진 시계, 운전석의 사각 등을 보완할 수 있어, 안전성을 높일 수 있다.

[1215] 위의 실시형태에서 설명한 반도체 장치는 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 반도체 장치를 자동차(5700)의 자동 운전 시스템에 사용할 수 있다. 또한 상기 반도체 장치를 도로 안내, 위험 예측 등을 수행하는 시스템에 사용할 수 있다. 상기 표시 장치에 도로 안내, 위험 예측 등의 정보를 표시하는 구성으로 하여도 좋다.

[1216] 또한 위에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있고, 이들 이동체에 본 발명의 일 형태의 컴퓨터를 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.

[1217] [카메라]

[1218] 위의 실시형태에서 설명한 반도체 장치는 카메라에 적용할 수 있다.

[1219] 도 71에는 촬상 장치의 일례인 디지털 카메라(6240)를 도시하였다. 디지털 카메라(6240)는 하우징(6241), 표시부(6242), 조작 버튼(6243), 셔터 버튼(6244) 등을 가지고, 디지털 카메라(6240)에는 탈착 가능한 렌즈(6246)가 장착되어 있다. 또한 여기서는 디지털 카메라(6240)를, 하우징(6241)에서 렌즈(6246)를 떼어 교환할 수 있는 구성으로 하였지만, 렌즈(6246)와 하우징(6241)은 일체가 되어 있어도 좋다. 또한 디지털 카메라(6240)를, 스트로보 장치나 뷰파인더 등을 별도로 장착할 수 있는 구성으로 하여도 좋다.

[1220] 디지털 카메라(6240)에 위의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 소비 전력이 낮은 디지털 카메라(6240)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[1221] 또한 디지털 카메라(6240)에 위의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 인공 지능을 가지는 디지털 카메라(6240)를 실현할 수 있다. 인공 지능을 이용함으로써, 디지털 카메라(6240)는 얼굴, 물체 등 피사체를 자동으로 인식하는 기능, 상기 피사체에 맞춘 초점 조절, 환경에 맞추어 자동으로 플래시를 터뜨리는 기능, 또는 촬상한 화상을 조색하는 기능 등을 가질 수 있다.

[1222] [비디오 카메라]

[1223] 위의 실시형태에서 설명한 반도체 장치는 비디오 카메라에 적용할 수 있다.

[1224] 도 71에는 촬상 장치의 일례인 비디오 카메라(6300)를 도시하였다. 비디오 카메라(6300)는 제 1 하우징(6301), 제 2 하우징(6302), 표시부(6303), 조작 키(6304), 렌즈(6305), 접속부(6306) 등을 가진다. 조작 키(6304) 및 렌즈(6305)는 제 1 하우징(6301)에 제공되어 있고, 표시부(6303)는 제 2 하우징(6302)에 제공되어 있다. 그리고 제 1 하우징(6301)과 제 2 하우징(6302)은 접속부(6306)에 의하여 접속되어 있고, 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도는 접속부(6306)에 의하여 변경할 수 있다. 표시부(6303)에 표시되는 영상을 접속부(6306)에서의 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[1225] 비디오 카메라(6300)로 촬영한 영상을 기록하는 경우, 데이터의 기록 형식에 따른 인코드를 수행할 필요가 있다. 인공 지능을 이용함으로써, 비디오 카메라(6300)는, 인코드 시에 인공 지능에 의한 패턴 인식을 할 수 있다. 이 패턴 인식에 의하여, 연속하는 촬상 화상 데이터에 포함되는 인물, 동물, 물체 등의 차분 데이터를 산출하여 데이터의 압축을 수행할 수 있다.

[1226] [PC용 확장 디바이스]

[1227] 위의 실시형태에서 설명한 반도체 장치는 PC(Personal Computer) 등의 계산기, 정보 단말기용 확장 디바이스에 적용할 수 있다.

[1228] 도 72의 (A)에는, 상기 확장 디바이스의 일례로서, 들고 다닐 수 있고, 연산 처리가 가능한 칩이 탑재되고, PC 외부에 장착되는 확장 디바이스(6100)를 나타내었다. 확장 디바이스(6100)는 예를 들어 USB(Universal Serial Bus) 등에 의하여 PC에 접속되면, 상기 칩으로 연산 처리를 할 수 있다. 또한 도 72의 (A)에는 들고 다닐 수 있는 형태의 확장 디바이스(6100)를 도시하였지만, 본 발명의 일 형태의 확장 디바이스는 이에 한정되지 않고, 예를 들어 냉각용 팬 등이 탑재된 비교적 큰 형태의 확장 디바이스이어도 좋다.

[1229] 확장 디바이스(6100)는 하우징(6101), 캡(6102), USB 커넥터(6103), 및 기판(6104)을 가진다. 기판(6104)은 하우징(6101)에 수납된다. 기판(6104)에는, 위의 실시형태에서 설명한 반도체 장치 등을 구동하는 회로가 제공되어 있다. 예를 들어 기판(6104)에는 칩(6105)(예를 들어 위의 실시형태에서 설명한 반도체 장치, 전자 부품(4700), 메모리 칩 등), 컨트롤러 칩(6106)이 장착되어 있다. USB 커넥터(6103)는 외부 장치와 접속하기 위한 인터페이스로서 기능한다.

[1230] 확장 디바이스(6100)를 PC 등에 사용함으로써, 상기 PC의 연산 처리 능력을 높일 수 있다. 이에 의하여, 처리 능력이 부족한 PC에서도, 예를 들어 인공 지능, 동영상 처리 등의 연산을 할 수 있다.

[1231] [방송 시스템]

[1232] 위의 실시형태에서 설명한 반도체 장치는 방송 시스템에 적용할 수 있다.

[1233] 도 72의 (B)는 방송 시스템에서의 데이터 전송(傳送)을 모식적으로 나타낸 것이다. 구체적으로는, 도 72의 (B)는 방송국(5680)에서 송신된 전파(방송 신호)가, 각 가정의 텔레비전 수신 장치(TV)(5600)에 전달될 때까지의 경로를 나타낸 것이다. TV(5600)는 수신 장치(미도시)를 가지고, 안테나(5650)로 수신된 방송 신호는 상기 수신 장치를 통하여 TV(5600)에 송신된다.

[1234] 도 72의 (B)에는, 안테나(5650)로서 UHF(Ultra High Frequency) 안테나를 도시하였지만, 안테나(5650)로서는 BS·110° CS 안테나, CS 안테나 등을 적용할 수도 있다.

[1235] 전파(5675A), 전파(5675B)는 지상파 방송용 방송 신호이고, 전파탑(5670)은 수신한 전파(5675A)를 증폭시키고 전파(5675B)를 송신한다. 각 가정에서는 안테나(5650)로 전파(5675B)를 수신함으로써 TV(5600)로 지상파 방송을 시청할 수 있다. 또한 방송 시스템은 도 72의 (B)에 나타낸 지상파 방송에 한정되지 않고, 인공 위성을 사용한 위성 방송, 광 회선에 의한 데이터 방송 등이어도 좋다.

[1236] 상술한 방송 시스템은, 위의 실시형태에서 설명한 반도체 장치가 적용되고 인공 지능을 이용한 방송 시스템이어도 좋다. 방송국(5680)에서 각 가정의 TV(5600)로 방송 데이터를 송신할 때 인코더에 의하여 방송 데이터가 압축되고, 안테나(5650)가 상기 방송 데이터를 수신하였을 때 TV(5600)에 포함되는 수신 장치의 디코더에 의하여 상기 방송 데이터가 복원된다. 인공 지능을 이용함으로써, 예를 들어 인코더의 압축 방법의 하나인 움직임 보상 예측에서, 표시 화상에 포함되는 표시 패턴을 인식할 수 있다. 또한 인공 지능을 이용한 프레임 내 예측 등을 할 수도 있다. 또한 예를 들어 해상도가 낮은 방송 데이터를 수신하고, 해상도가 높은 TV(5600)에서 상기 방송 데이터를 표시하는 경우에는, 디코더에 의하여 방송 데이터를 복원할 때, 업 컨버트 등의 화상 보간 처리를 수행할 수 있다.

[1237] 상술한 인공 지능을 이용한 방송 시스템은 방송 데이터양이 증대되는 초고정세(超高精細) 텔레비전(UHDTV: 4K, 8K) 방송에 적합하다.

[1238] 또한 TV(5600)에 대한 인공 지능의 응용으로서는 예를 들어 TV(5600)에 인공 지능을 가지는 녹화 장치를 제공하여도 좋다. 이와 같은 구성으로 하면, 상기 녹화 장치에서 사용자의 취향을 인공 지능에 학습시킴으로써, 사용자의 취향에 맞는 프로그램을 자동으로 녹화할 수 있다.

[1239] [인증 시스템]

[1240] 위의 실시형태에서 설명한 반도체 장치는 인증 시스템에 적용할 수 있다.

[1241] 도 72의 (C)는 장문 인증 장치를 나타낸 것이고, 하우징(6431), 표시부(6432), 장문 판독부(6433), 배선(6434)을 가진다.

[1242] 도 72의 (C)에는, 장문 인증 장치가 손(6435)의 장문을 취득하는 상황을 나타내었다. 취득한 장문은 인공 지능을 이용한 패턴 인식 처리가 수행되어, 상기 장문이 본인 것인지 판별할 수 있다. 이에 의하여, 보안성이 높은 인증을 수행하는 시스템을 구축할 수 있다. 또한 본 발명의 일 형태의 인증 시스템은, 장문 인증 장치에 한정되지 않고, 지문, 정맥, 얼굴, 홍채, 성문, 유전자, 체격 등의 생체 정보를 취득하여 생체 인증을 수행하는 장치이어도 좋다.

[1243] 또한 본 실시형태는 본 명세서에서 나타낸 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

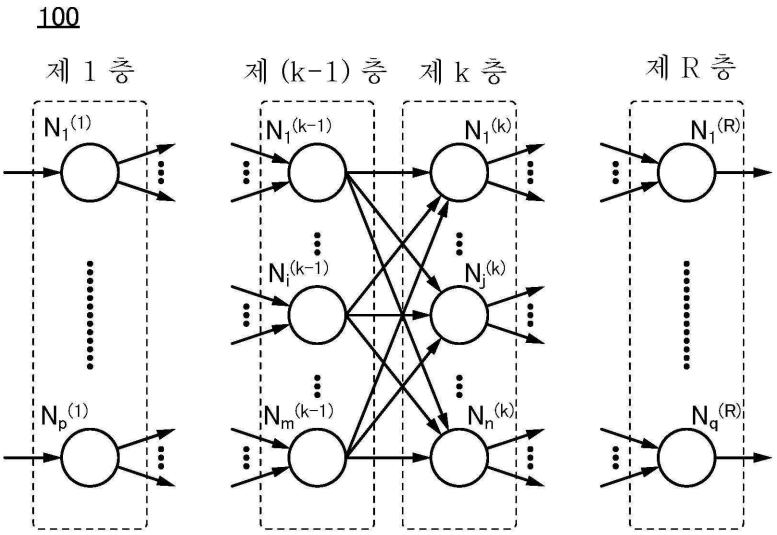
[1244] ILD: 회로, WLD: 회로, XLD: 회로, AFP: 회로, ACTF: 회로, MP: 회로, MC: 회로, MCr: 회로, BS: 회로, M1: 트랜지스터, M1-2b: 트랜지스터, M1-2br: 트랜지스터, M1-3b: 트랜지스터, M1-3br: 트랜지스터, M1c: 트랜지스터, M1cr: 트랜지스터, M1p: 트랜지스터, M1pr: 트랜지스터, M1r: 트랜지스터, M1s: 트랜지스터, M1sr: 트랜지스터, M1x: 트랜지스터, M1xr: 트랜지스터, M1x-2b: 트랜지스터, M1x-2br: 트랜지스터, M1x-3b: 트랜지스터, M1x-3br: 트랜지스터, M1x-4b: 트랜지스터, M1-2x: 트랜지스터, M1-2xr: 트랜지스터, M1-3x: 트랜지스터, M1-3xr: 트랜지스터, M1-2x-2b: 트랜지스터, M1-2x-2br: 트랜지스터, M1-3x-2b: 트랜지스터, M1-3x-2br: 트랜지스터, M1-2x-3b: 트랜지스터, M1-2x-3br: 트랜지스터, M1-3x-3b: 트랜지스터, M1-3x-3br: 트랜지스터, M2: 트랜지스터, M2r: 트랜지스터, M2s: 트랜지스터, M2sr: 트랜지스터, M2-2b: 트랜지스터, M2-2br: 트랜지스터, M2-3b: 트랜지스터, M2-3br: 트랜지스터, M3: 트랜지스터, M3p: 트랜지스터, M3pr: 트랜지스터, M3r: 트랜지스터, M3s: 트랜지스터, M3sr: 트랜지스터, M3x: 트랜지스터, M3x-2: 트랜지스터, M3-2b: 트랜지스터, M3-2br: 트랜지스터, M3-2x: 트랜지스터, M3-2xr: 트랜지스터, M3-3b: 트랜지스터, M3-3br: 트랜지스터, M3-3x: 트랜지스터, M3-3xr: 트랜지스터, M4: 트랜지스터, M4p: 트랜지스터, M4pr: 트랜지스터, M4r: 트랜지스터, M4s: 트랜지스터, M4sr: 트랜지스터, M4x-2: 트랜지스터, M4-2b: 트랜지스터, M4-2br: 트랜지스터, M4-2x: 트랜지스터, M4-2xr: 트랜지스터, M4-3b: 트랜지스터, M4-3br: 트랜지스터, M4-3x: 트랜지스터, M4-3xr: 트랜지스터, M5: 트랜지스터, M5r: 트랜지스터, M6: 트랜지스터, M6r: 트랜지스터, M6s: 트랜지스터, M6sr: 트랜지스터, M7: 트랜지스터, M7r: 트랜지스터, M7s: 트랜지스터, M7sr: 트랜지스터, M8: 트랜지스터, M8r: 트랜지스터, M9: 트랜지스터, M9r: 트랜지스터, M10: 트랜지스터, M10r: 트랜지스터, M11: 트랜지스터, M12: 트랜지스터, M12r: 트랜지스터, M13: 트랜지스터, M13r: 트랜지스터, M20: 트랜지스터, M20r: 트랜지스터, MZ: 트랜지스터, CC: 용량 소자, CE: 용량 소자, CEB: 용량 소자, C1: 용량 소자, C1r: 용량 소자, C1s: 용량 소자, C1sr: 용량 소자, C2: 용량 소자, C2r: 용량 소자, C3: 용량 소자, C4: 용량 소자, n1: 노드, n1r: 노드, n2: 노드, n2r: 노드, n3: 노드, n3r: 노드, n4: 노드, n4r: 노드, ina: 노드, inb: 노드, outa: 노드, outb: 노드, SO1a: 스위치, SO1b: 스위치, SO2a: 스위치, SO2b: 스위치, SO3: 스위치, SWI: 스위치, SWIB: 스위치, SWO: 스위치, SWOB: 스위치, SWL: 스위치, SWLB: 스위치, SWH: 스위치, SWHB: 스위치, SWC1: 스위치, SWC2: 스위치, SWC3: 스위치, AS3: 아날로그 스위치, AS3r: 아날로그 스위치, AS4: 아날로그 스위치, AS4r: 아날로그 스위치, TW[0]: 전환 회로, TW[j]: 전환 회로, TW[n]: 전환 회로, HC: 유지부, HCr: 유지부, HCs: 유지부, HCsr: 유지부, HC-2b: 유지부, HC-2br: 유지부, HC-3b: 유지부, HC-3br: 유지부, IV1: 인버터 회로, IV1r: 인버터 회로, IV2: 인버터 회로, IV2r: 인버터 회로, INV3: 인버터 회로, IVR: 인버터 루프 회로, IVRr: 인버터 루프 회로, CMP1: 콤퍼레이터, ISC: 전류원 회로, ISC1: 정전류원 회로, ISC2: 정전류원 회로, ISC3: 정전류원 회로, HCS: 회로, HCS-2b: 회로, HCS-3b: 회로, HCSr: 회로, HCS-2br: 회로, HCS-3br: 회로, TRF: 변환 회로, ADCa: 아날로그 디지털 변환 회로, ADCb: 아날로그 디지털 변환 회로, BS: 회로, BSr: 회로, BMC: 회로, BMCr: 회로, TSa: 단자, TSaB: 단자, TSb: 단자, TSb1: 단자, TSb2: 단자, TSb3: 단자, TSbB: 단자, TSbB1: 단자, TSbB2: 단자, TSbB3: 단자, TSc: 단자, TScB: 단자, VinT: 단자, VoutT: 단자, VrefT: 단자, IL: 배선, IL[0]: 배선, IL[j]: 배선, IL[n]: 배선, ILB: 배선, ILB[0]: 배선, ILB[j]: 배선, ILB[n]: 배선, OL: 배선, OL[0]: 배선, OL[j]: 배선, OL[n]: 배선, OLB: 배선, OLB[0]: 배선, OLB[j]: 배선, OLB[n]: 배선, WLS[0]: 배선, WLS[i]: 배선, WLS[m]: 배선, XL: 배선, XLS[0]: 배선, XLS[i]: 배선, XLS[m]: 배선, WLBS: 배선, WXBS: 배선, VAL: 배선, VA: 배선, VAr: 배선, VB: 배선, VSO: 배선, VCN: 배선, VCN2: 배선, VE: 배선, VEr: 배선, VEm: 배선, VEmr: 배선, VF: 배선, VFr: 배선, VrefL: 배선, VL: 배선, VLr: 배선, VLs: 배선, VLsr: 배선, VLm: 배

선, VLmr: 배선, VEH: 배선, S1L: 배선, S2L: 배선, Vref1L: 배선, Vref2L: 배선, WL: 배선, W1L: 배선, W2L: 배선, WL2b: 배선, WL3b: 배선, WXL: 배선, WX1L: 배선, WX1L2b: 배선, WX1L3b: 배선, WX1LB: 배선, X1: 배선, X1L: 배선, X1L2b: 배선, X1L2x: 배선, X1L3b: 배선, X1L3x: 배선, X2L: 배선, X2L2b: 배선, X2L2L: 배선, X2L2x: 배선, X2L3b: 배선, X2L3x: 배선, X2LB: 배선, CVL: 배선, SCL1: 스크라이브 라인, SCL2: 스크라이브 라인, 100: 신경망, 110: 연산 회로, 120: 연산 회로, 130: 연산 회로, 140: 연산 회로, 150: 연산 회로, 160: 연산 회로, 170: 연산 회로, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 360: 절연체, 362: 절연체, 364: 절연체, 366: 도전체, 370: 절연체, 372: 절연체, 374: 절연체, 376: 도전체, 380: 절연체, 382: 절연체, 384: 절연체, 386: 도전체, 402: 절연체, 404: 절연체, 500: 트랜지스터, 503: 도전체, 503a: 도전체, 503b: 도전체, 505: 도전체, 510: 절연체, 512: 절연체, 514: 절연체, 516: 절연체, 518: 도전체, 520: 절연체, 522: 절연체, 524: 절연체, 530: 산화물, 530a: 산화물, 530b: 산화물, 530c: 산화물, 530c1: 산화물, 530c2: 산화물, 540: 도전체, 540a: 도전체, 540b: 도전체, 542a: 도전체, 542b: 도전체, 543a: 영역, 543b: 영역, 544: 절연체, 546: 도전체, 548: 도전체, 550: 절연체, 552: 절연체, 560: 도전체, 560a: 도전체, 560b: 도전체, 574: 절연체, 580: 절연체, 581: 절연체, 582: 절연체, 586: 절연체, 600: 용량 소자, 600A: 용량 소자, 600B: 용량 소자, 610: 도전체, 611: 도전체, 612: 도전체, 620: 도전체, 621: 도전체, 630: 절연체, 631: 절연체, 650: 절연체, 651: 절연체, 4700: 전자 부품, 4702: 인쇄 기판, 4704: 실장 기판, 4710: 반도체 장치, 4730: 전자 부품, 4731: 인터포저, 4732: 패키지 기판, 4733: 전극, 4735: 반도체 장치, 4800: 반도체 웨이퍼, 4800a: 칩, 4801: 웨이퍼, 4801a: 웨이퍼, 4802: 회로부, 4803: 공간(spacing), 4803a: 공간, 5200: 휴대용 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 데스크톱형 정보 단말기, 5301: 본체, 5302: 디스플레이, 5303: 키보드, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5600: TV, 5650: 안테나, 5670: 전파탑, 5675A: 전파, 5675B: 전파, 5680: 방송국, 5700: 자동차, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 문, 5803: 냉동실용 문, 5901: 하우징, 5902: 표시부, 5903: 조작 버튼, 5904: 조작자(操作子), 5905: 밴드, 6100: 확장 디바이스, 6101: 하우징, 6102: 캡, 6103: USB 커넥터, 6104: 기판, 6105: 칩, 6106: 컨트롤러 칩, 6240: 디지털 카메라, 6241: 하우징, 6242: 표시부, 6243: 조작 버튼, 6244: 셔터 버튼, 6246: 렌즈, 6300: 비디오 카메라, 6301: 제 1 하우징, 6302: 제 2 하우징, 6303: 표시부, 6304: 조작 키, 6305: 렌즈, 6306: 접속부, 6431: 하우징, 6432: 표시부, 6433: 장문 판독부, 6434: 배선, 6435: 손, 7520: 본체, 7522: 컨트롤러

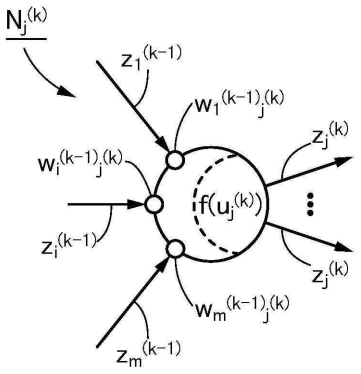
도면

도면1

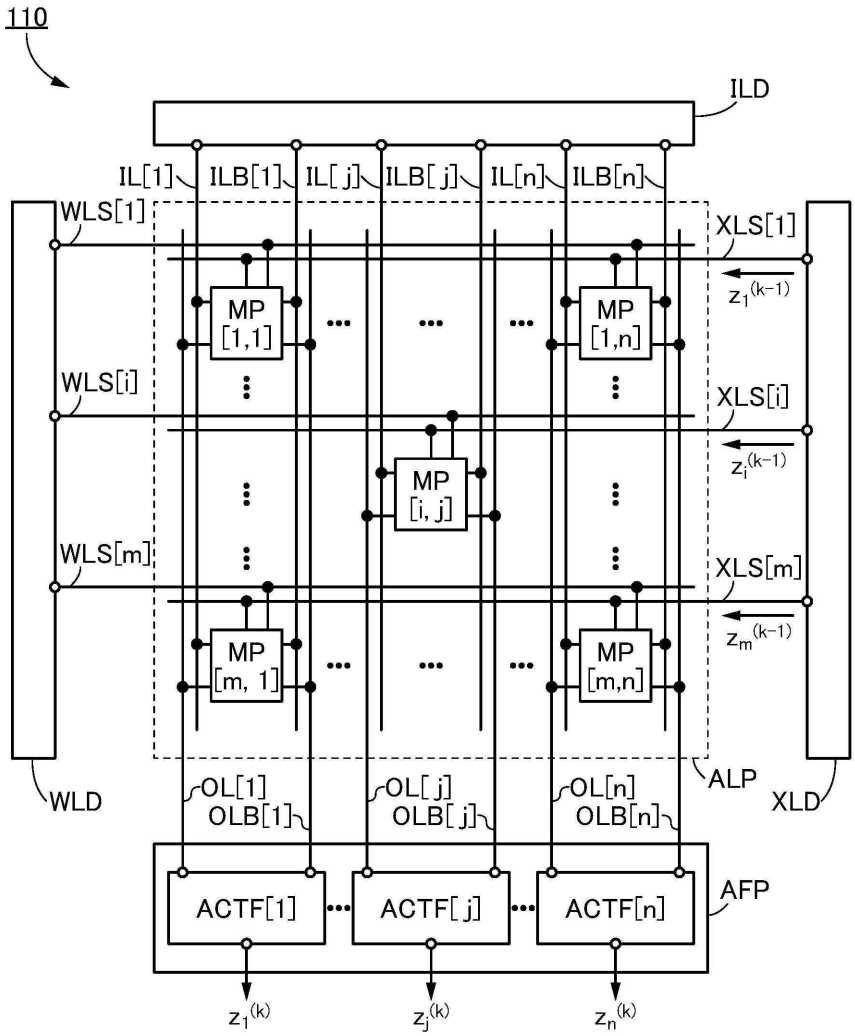
(A)


100
제 1 층
제 (k-1) 층
제 k 층
제 R 층
$N_1^{(1)}$
$N_p^{(1)}$
$N_1^{(k-1)}$
$N_i^{(k-1)}$
$N_m^{(k-1)}$
$N_1^{(k)}$
$N_j^{(k)}$
$N_n^{(k)}$
$N_1^{(R)}$
$N_q^{(R)}$

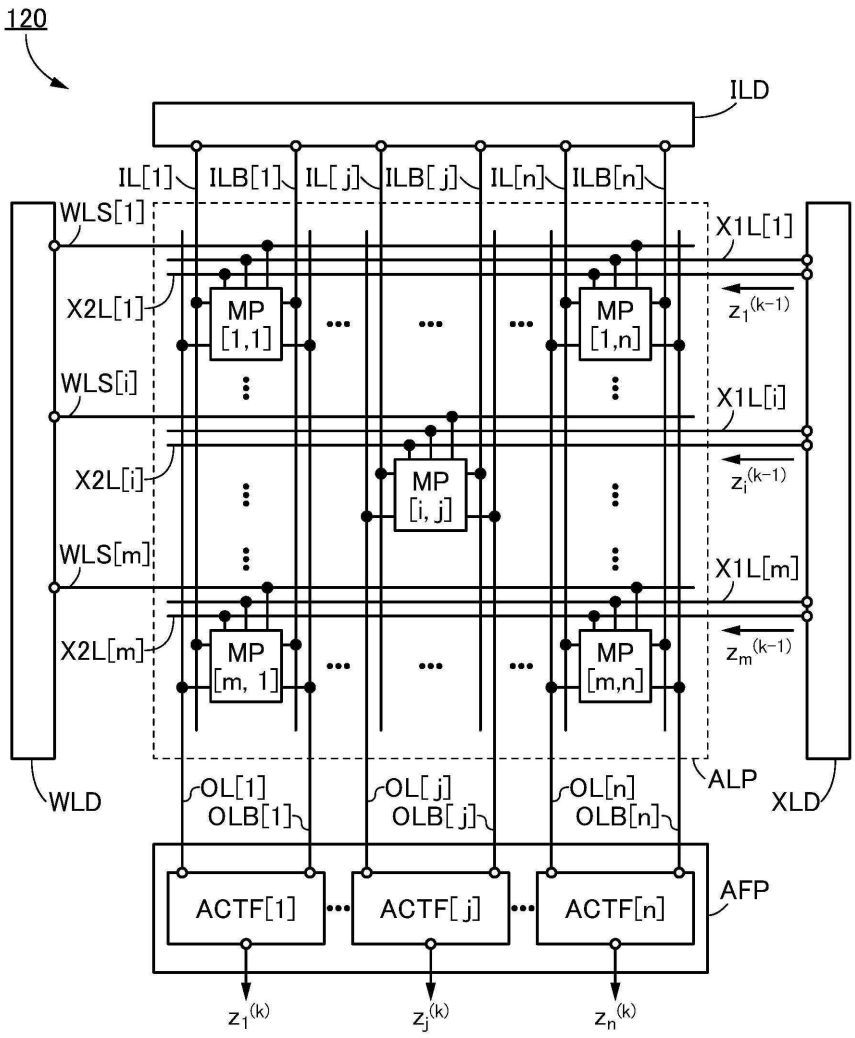
(B)


$N_j^{(k)}$
$z_1^{(k-1)}$
$w_1^{(k-1)}{}_j^{(k)}$
$w_i^{(k-1)}{}_j^{(k)}$
$z_i^{(k-1)}$
$f(u_j^{(k)})$
$z_j^{(k)}$
$z_j^{(k)}$
$w_m^{(k-1)}{}_j^{(k)}$
$z_m^{(k-1)}$

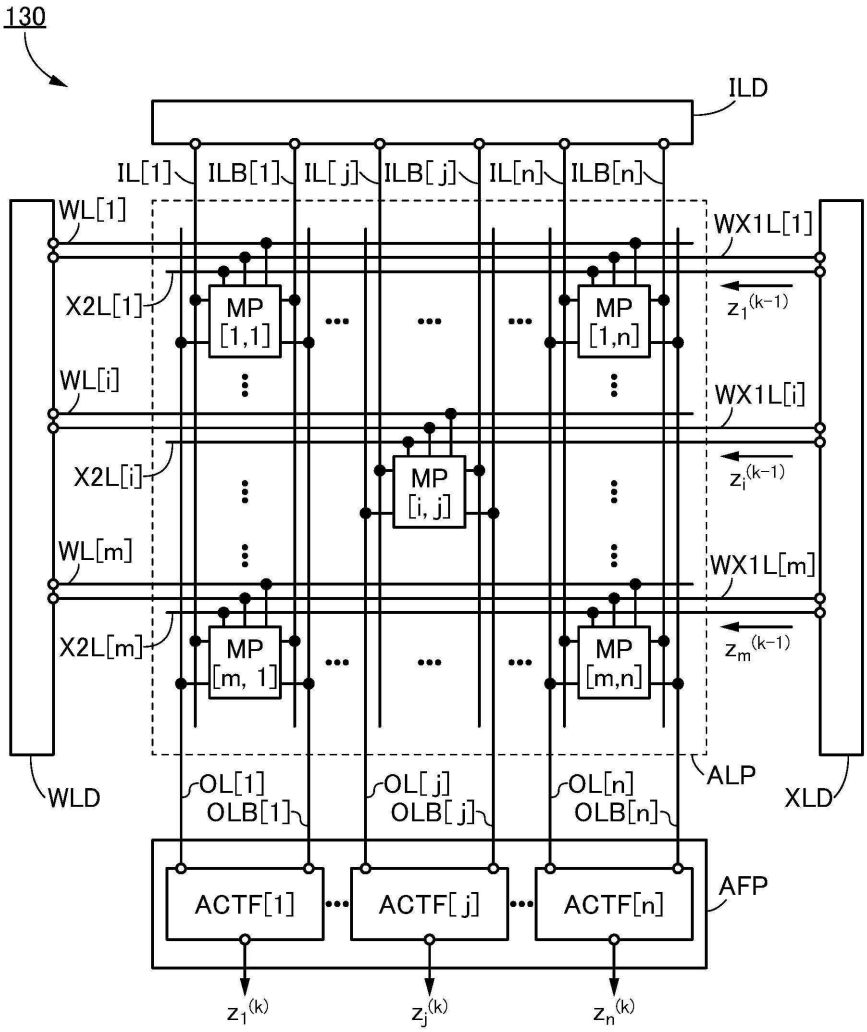
도면2


110
ILD
IL[1]
ILB[1]
IL[j]
ILB[j]
IL[n]
ILB[n]
WLS[1]
XLS[1]
MP [1,1]
MP [1,n]
WLS[i]
XLS[i]
MP [i, j]
WLS[m]
XLS[m]
MP [m, 1]
MP [m,n]
WLD
OL[1]
OLB[1]
OL[j]
OLB[j]
OL[n]
OLB[n]
ALP
XLD
ACTF[1]
ACTF[j]
ACTF[n]
AFP

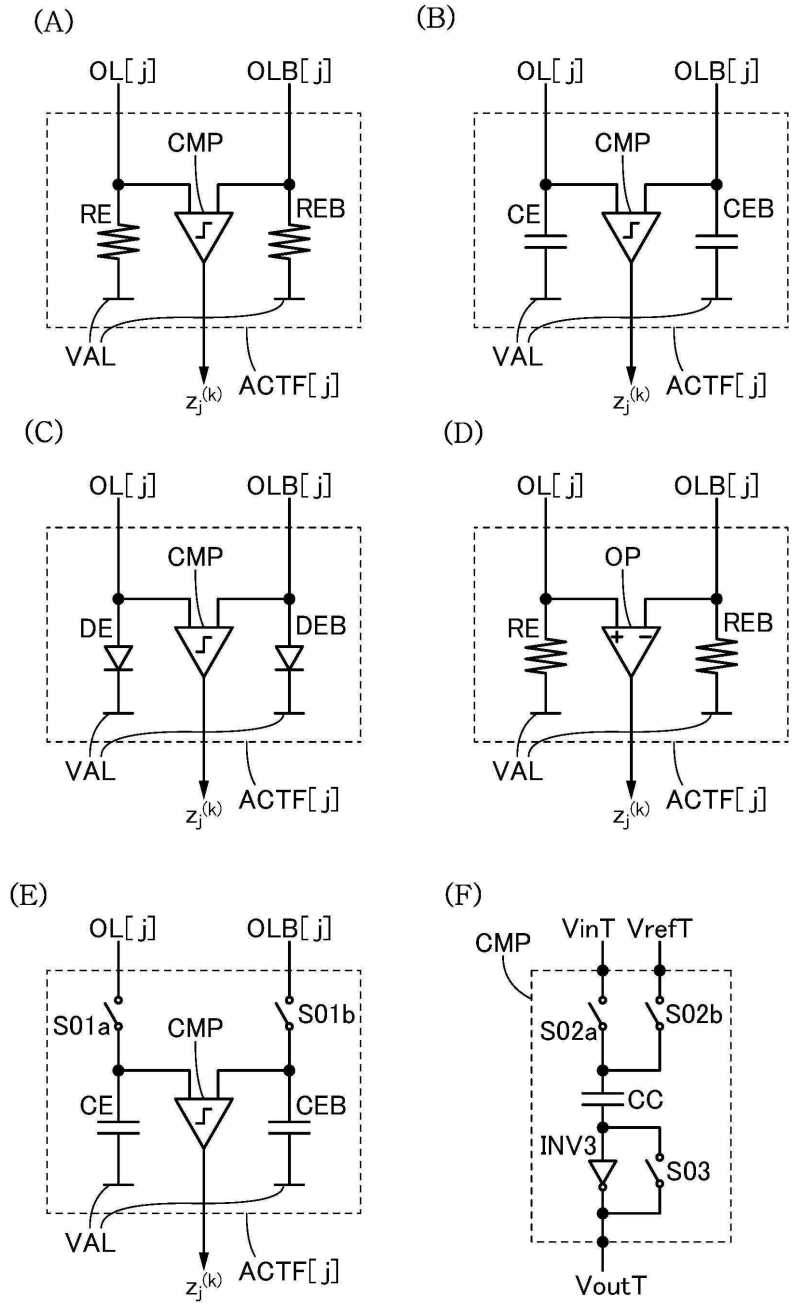
도면3


120
ILD
IL[1]
ILB[1]
IL[j]
ILB[j]
IL[n]
ILB[n]
WLS[1]
X2L[1]
MP [1,1]
MP [1,n]
X1L[1]
$z_1^{(k-1)}$
WLS[i]
X2L[i]
MP [i, j]
X1L[i]
$z_i^{(k-1)}$
WLS[m]
X2L[m]
MP [m, 1]
MP [m,n]
X1L[m]
$z_m^{(k-1)}$
WLD
OL[1]
OLB[1]
OL[j]
OLB[j]
OL[n]
OLB[n]
ALP
XLD
ACTF[1]
ACTF[j]
ACTF[n]
AFP
$z_1^{(k)}$
$z_j^{(k)}$
$z_n^{(k)}$

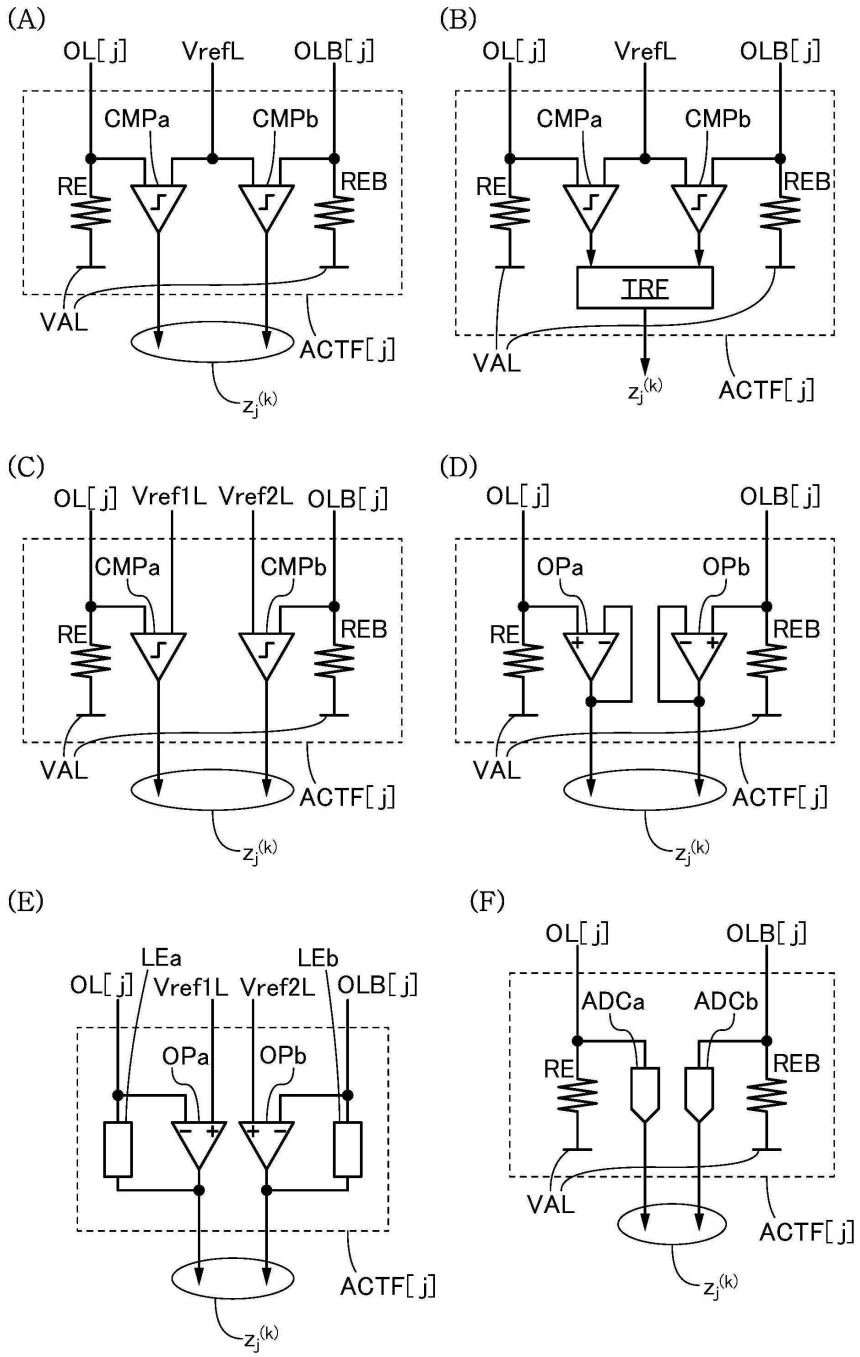
도면4


130
ILD
IL[1]
ILB[1]
IL[j]
ILB[j]
IL[n]
ILB[n]
WL[1]
WX1L[1]
X2L[1]
MP [1,1]
MP [1,n]
$z_1^{(k-1)}$
WL[i]
WX1L[i]
X2L[i]
MP [i, j]
$z_i^{(k-1)}$
WL[m]
WX1L[m]
X2L[m]
MP [m, 1]
MP [m,n]
$z_m^{(k-1)}$
WLD
ALP
XLD
OL[1]
OLB[1]
OL[j]
OLB[j]
OL[n]
OLB[n]
ACTF[1]
ACTF[j]
ACTF[n]
AFP
$z_1^{(k)}$
$z_j^{(k)}$
$z_n^{(k)}$

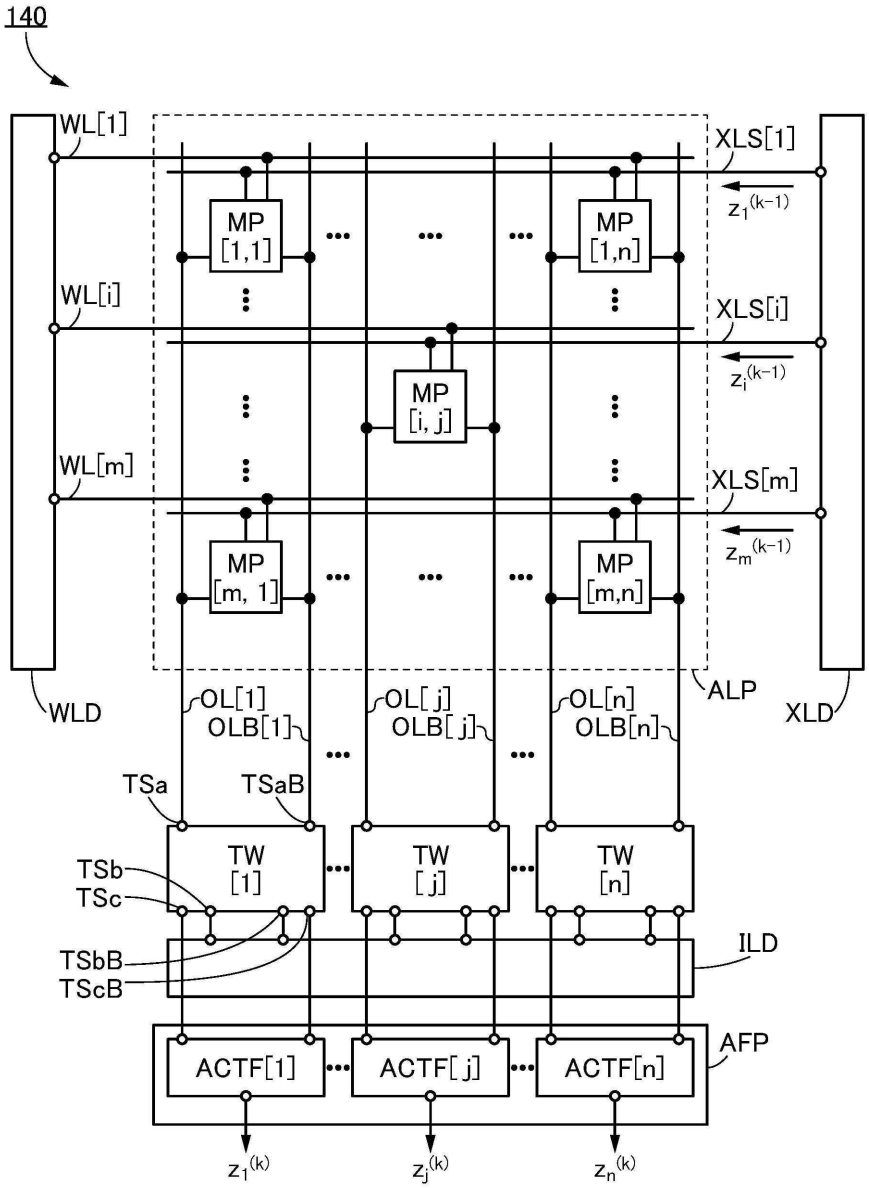
도면5


(A)
OL[j]
OLB[j]
CMP
RE
REB
VAL
ACTF[j]
(B)
CE
CEB
(C)
DE
DEB
(D)
OP
(E)
S01a
S01b
(F)
VinT
VrefT
S02a
S02b
CC
INV3
S03
VoutT

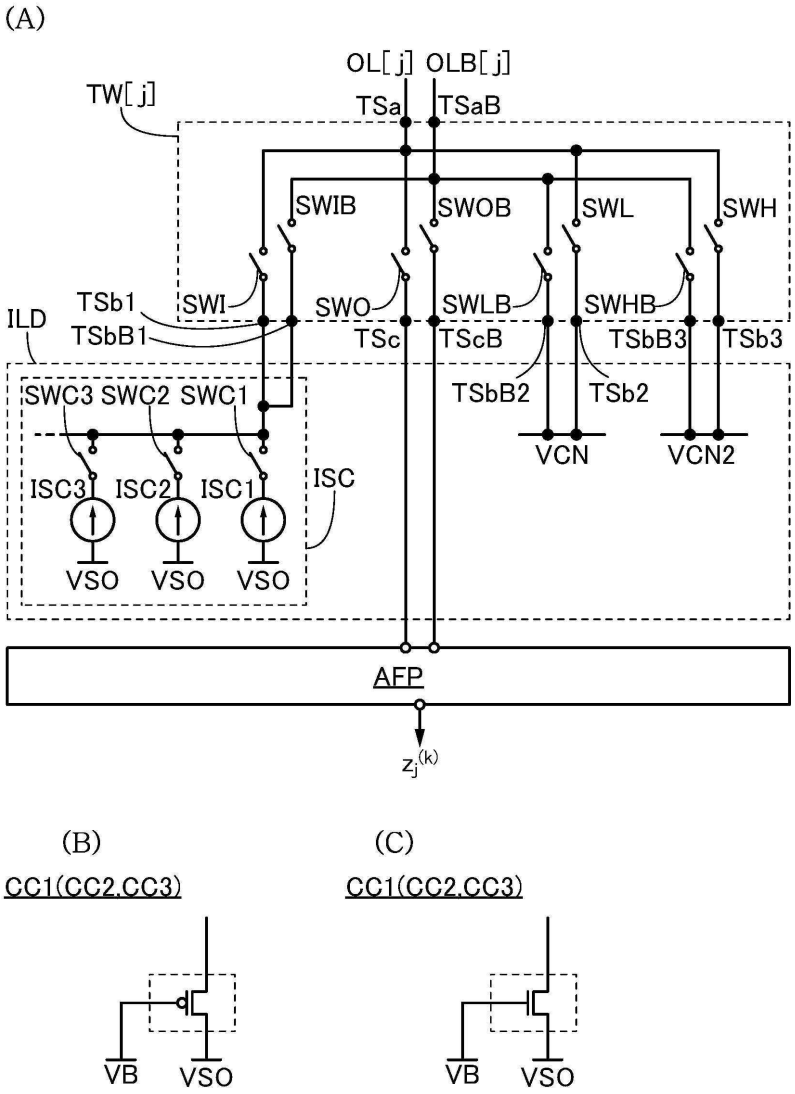
도면6


(A)
OL[j]
VrefL
OLB[j]
CMPa
CMPb
RE
REB
VAL
ACTF[j]
$z_j^{(k)}$
(B)
OL[j]
VrefL
OLB[j]
CMPa
CMPb
RE
REB
TRE
VAL
$z_j^{(k)}$
ACTF[j]
(C)
OL[j]
Vref1L
Vref2L
OLB[j]
CMPa
CMPb
RE
REB
VAL
ACTF[j]
$z_j^{(k)}$
(D)
OL[j]
OLB[j]
OPa
OPb
RE
REB
VAL
ACTF[j]
$z_j^{(k)}$
(E)
LEa
LEb
OL[j]
Vref1L
Vref2L
OLB[j]
OPa
OPb
ACTF[j]
$z_j^{(k)}$
(F)
OL[j]
OLB[j]
ADCa
ADCb
RE
REB
VAL
ACTF[j]
$z_j^{(k)}$

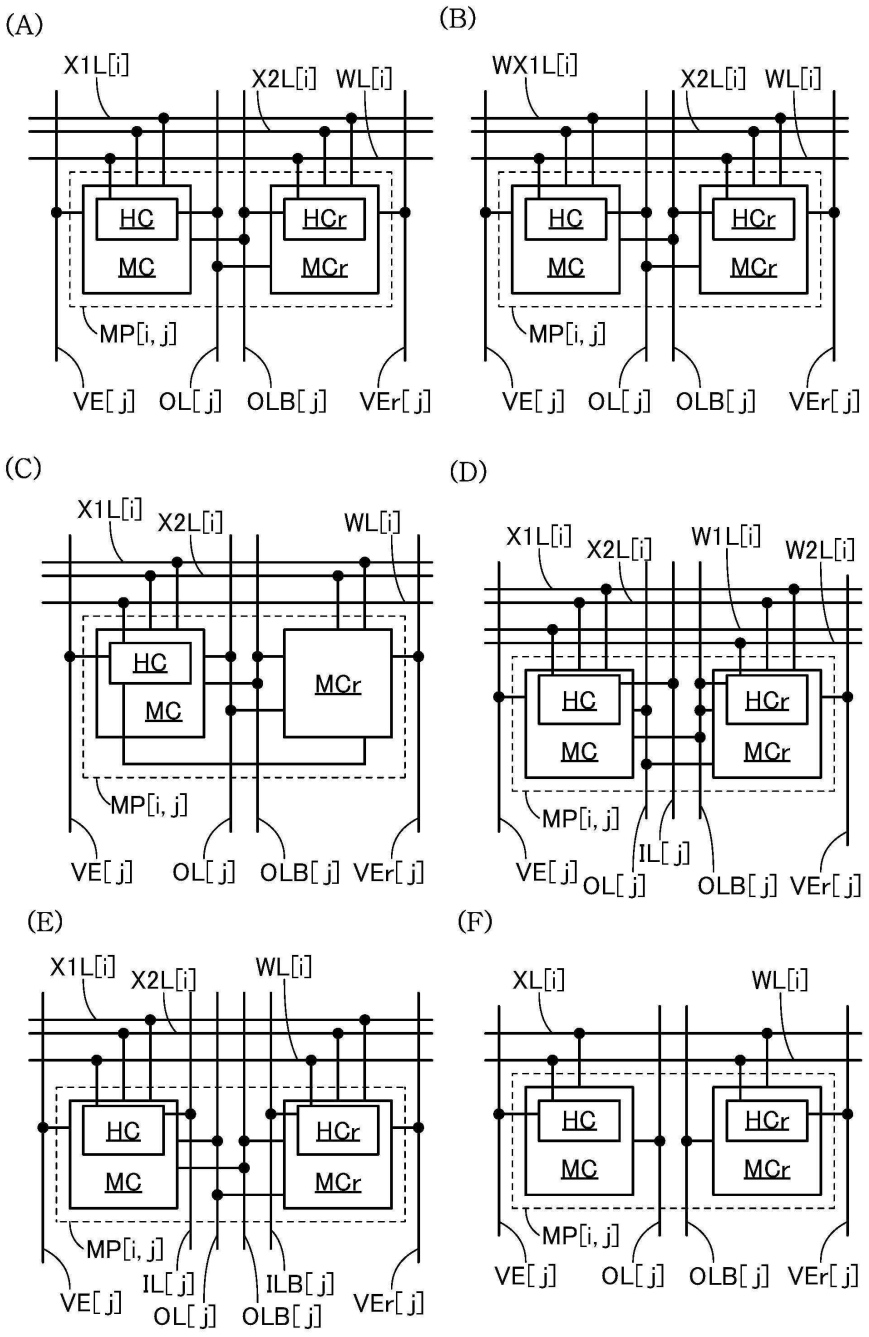
도면7


140
WL[1]
WL[i]
WL[m]
XLS[1]
XLS[i]
XLS[m]
MP [1,1]
MP [1,n]
MP [i, j]
MP [m, 1]
MP [m,n]
WLD
XLD
ALP
OL[1]
OLB[1]
OL[j]
OLB[j]
OL[n]
OLB[n]
TSa
TSaB
TSb
TSc
TSbB
TScB
TW [1]
TW [j]
TW [n]
ILD
AFP
ACTF[1]
ACTF[j]
ACTF[n]

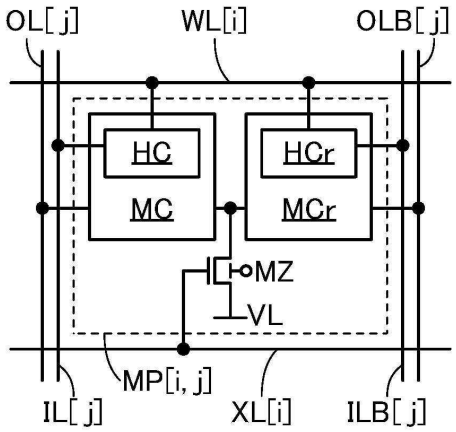
도면8


(A)
OL[j]
OLB[j]
TW[j]
TSa
TSaB
SWIB
SWOB
SWL
SWH
TSb1
SWI
SWO
SWLB
SWHB
ILD
TSbB1
TSc
TScB
TSbB3
TSb3
SWC3
SWC2
SWC1
TSbB2
TSb2
VCN
VCN2
ISC3
ISC2
ISC1
ISC
VSO
VSO
VSO
AFP
$z_j^{(k)}$
(B)
CC1(CC2,CC3)
VB
VSO
(C)
CC1(CC2,CC3)
VB
VSO

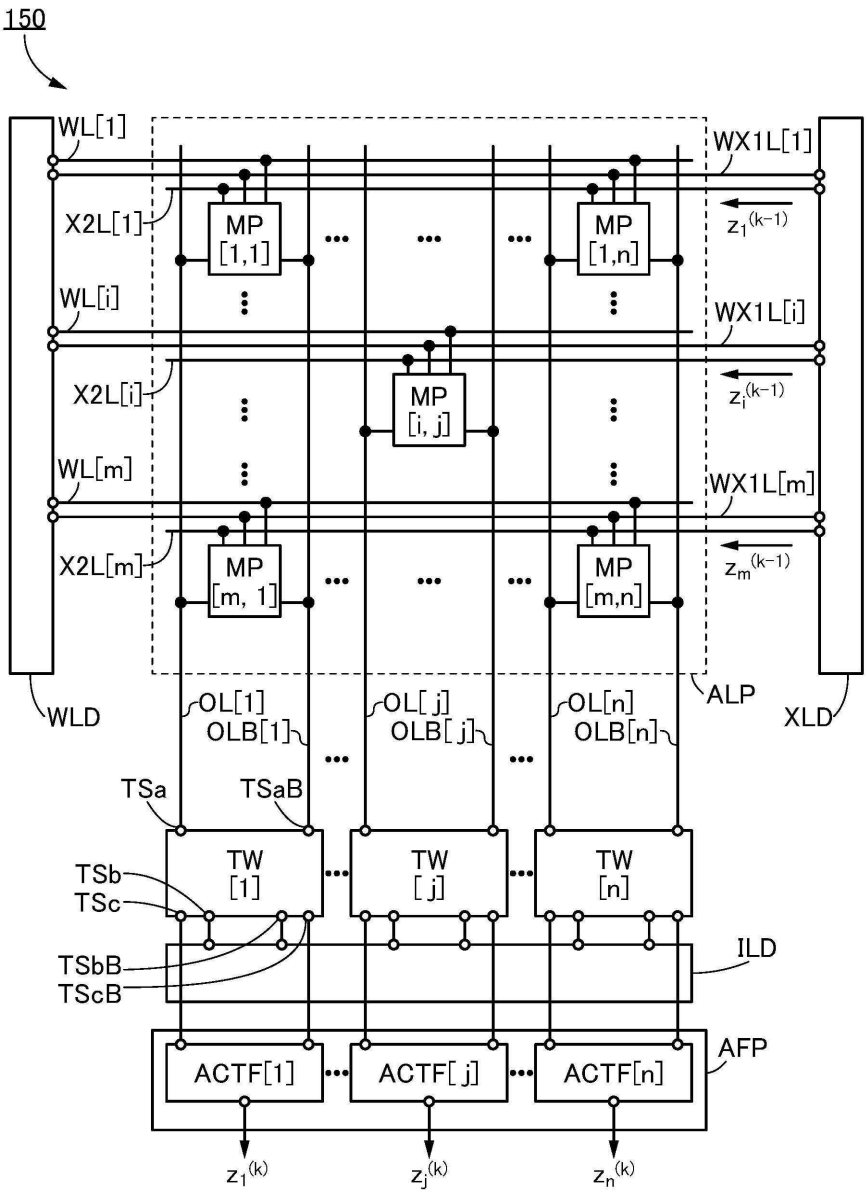
도면9


(A)
X1L[i]
X2L[i]
WL[i]
HC
MC
HCr
MCr
MP[i, j]
VE[j]
OL[j]
OLB[j]
VEr[j]
(B)
WX1L[i]
X2L[i]
WL[i]
HC
MC
HCr
MCr
MP[i, j]
VE[j]
OL[j]
OLB[j]
VEr[j]
(C)
X1L[i]
X2L[i]
WL[i]
HC
MC
MCr
MP[i, j]
VE[j]
OL[j]
OLB[j]
VEr[j]
(D)
X1L[i]
X2L[i]
W1L[i]
W2L[i]
HC
MC
HCr
MCr
MP[i, j]
VE[j]
IL[j]
OL[j]
OLB[j]
VEr[j]
(E)
X1L[i]
X2L[i]
WL[i]
HC
MC
HCr
MCr
MP[i, j]
VE[j]
IL[j]
ILB[j]
OL[j]
OLB[j]
VEr[j]
(F)
XL[i]
WL[i]
HC
MC
HCr
MCr
MP[i, j]
VE[j]
OL[j]
OLB[j]
VEr[j]

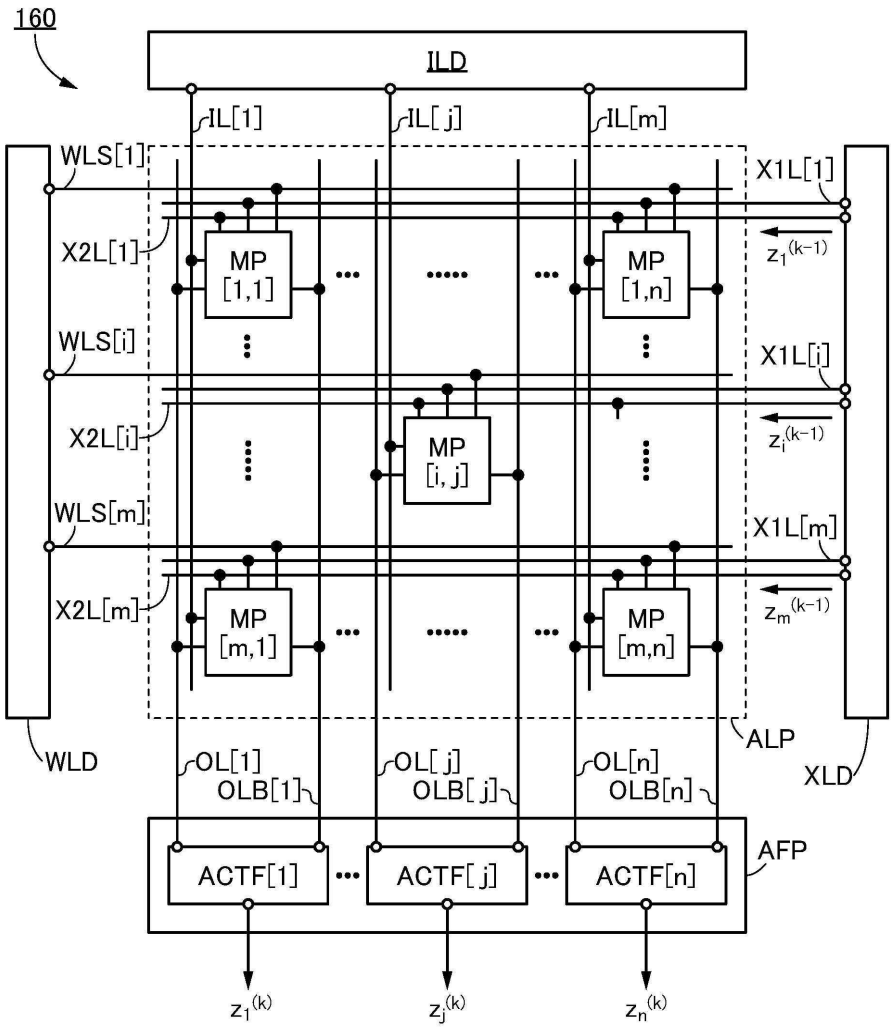
도면10


OL[j]
WL[i]
OLB[j]
HC
MC
HCr
MCr
MZ
VL
MP[i, j]
IL[j]
XL[i]
ILB[j]

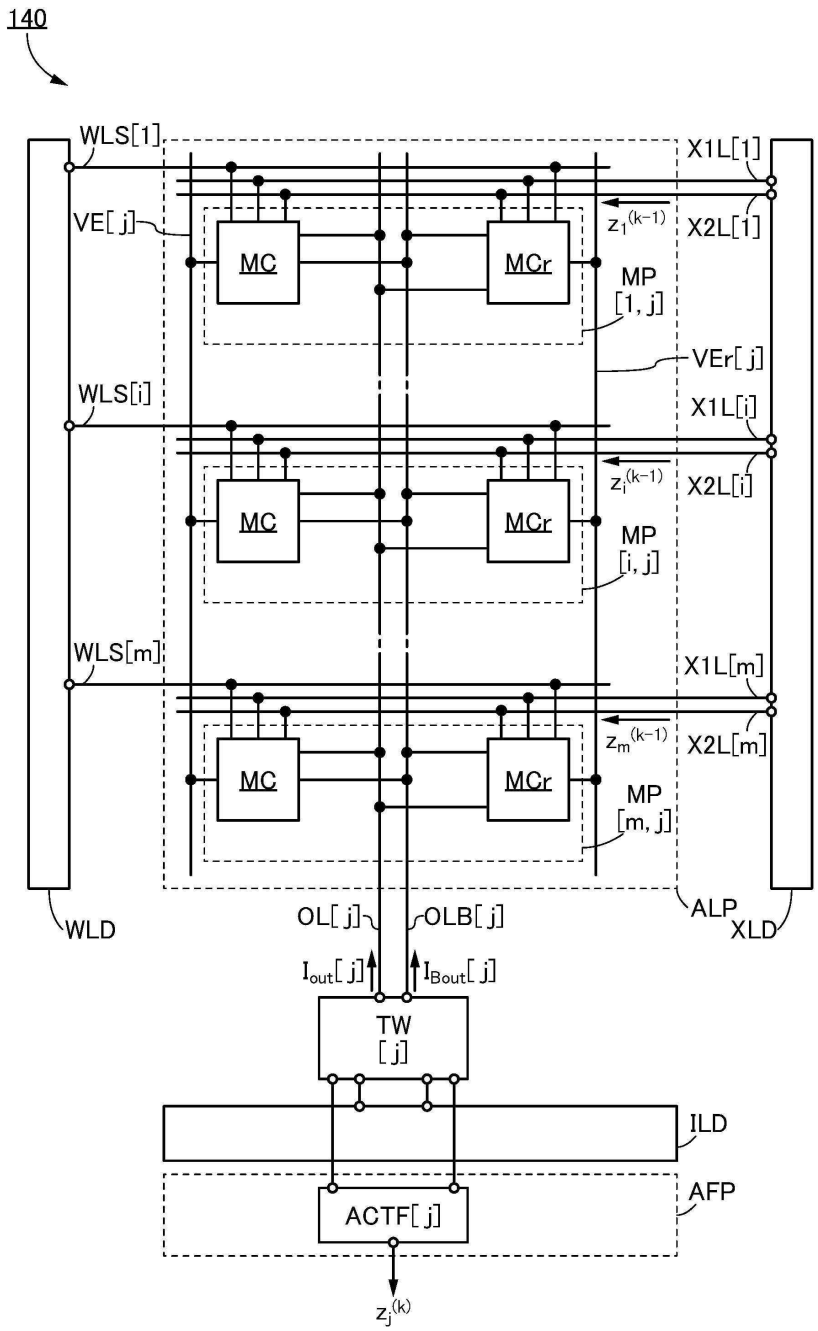
도면11


150
WL[1]
WX1L[1]
X2L[1]
MP [1,1]
MP [1,n]
WL[i]
WX1L[i]
X2L[i]
MP [i, j]
WL[m]
WX1L[m]
X2L[m]
MP [m, 1]
MP [m,n]
WLD
OL[1]
OLB[1]
OL[j]
OLB[j]
OL[n]
OLB[n]
ALP
XLD
TSa
TSaB
TW [1]
TW [j]
TW [n]
TSb
TSc
TSbB
TScB
ILD
AFP
ACTF[1]
ACTF[j]
ACTF[n]

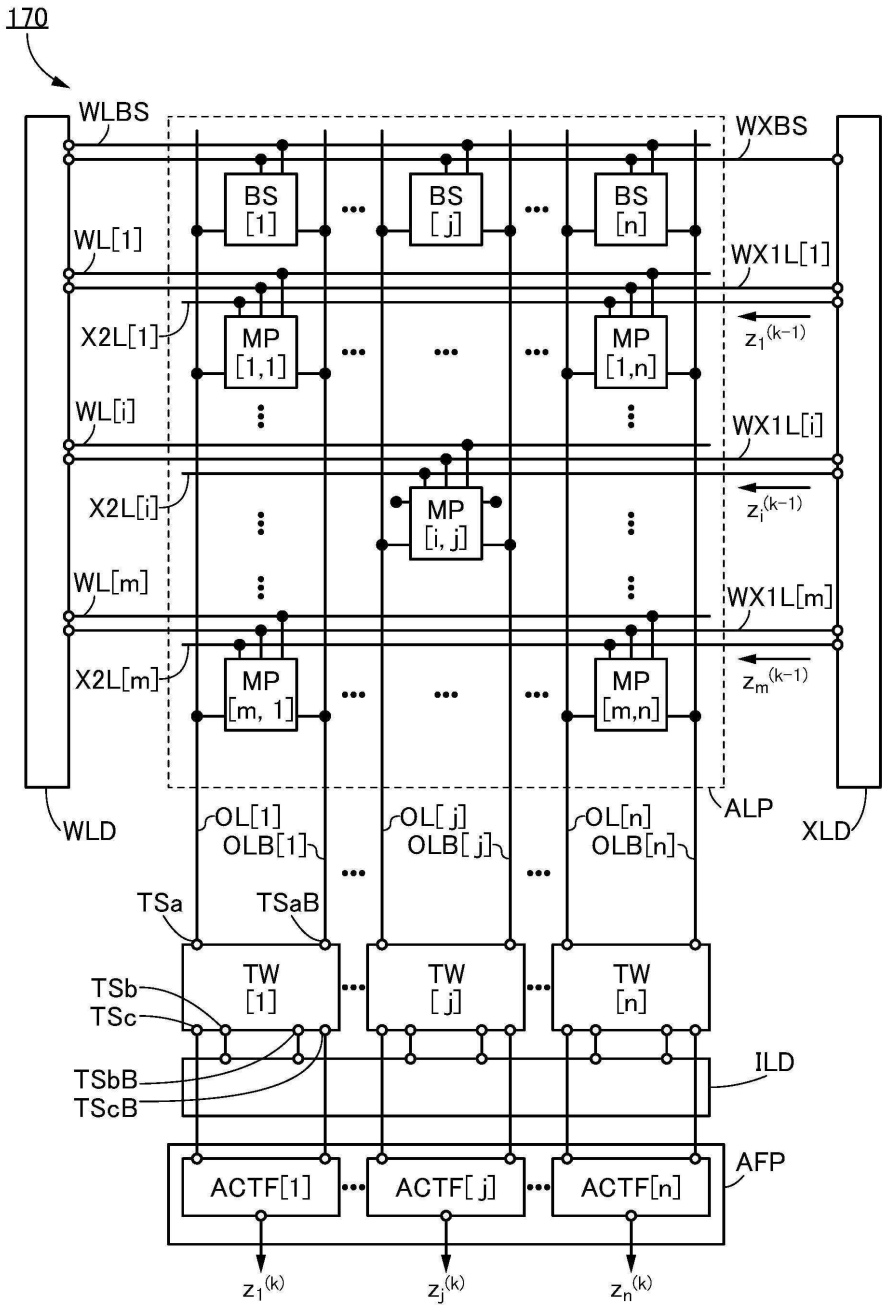
도면12


160
ILD
IL[1]
IL[j]
IL[m]
WLS[1]
X2L[1]
MP [1,1]
MP [1,n]
X1L[1]
$z_1^{(k-1)}$
WLS[i]
X2L[i]
MP [i, j]
X1L[i]
$z_i^{(k-1)}$
WLS[m]
X2L[m]
MP [m,1]
MP [m,n]
X1L[m]
$z_m^{(k-1)}$
ALP
WLD
XLD
OL[1]
OLB[1]
OL[j]
OLB[j]
OL[n]
OLB[n]
AFP
ACTF[1]
ACTF[j]
ACTF[n]
$z_1^{(k)}$
$z_j^{(k)}$
$z_n^{(k)}$

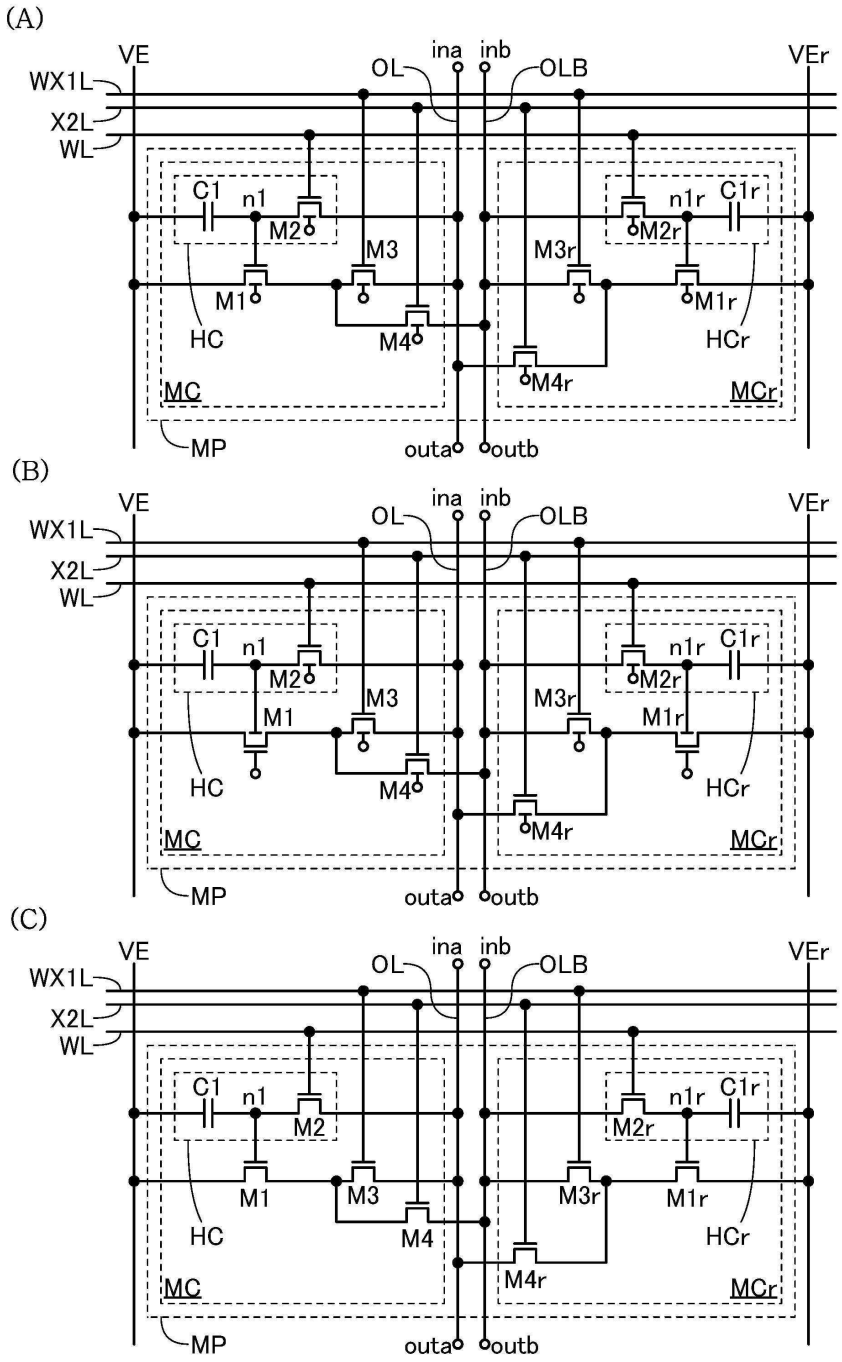
도면13


140
WLS[1]
X1L[1]
VE[j]
MC
MCr
$z_1^{(k-1)}$
X2L[1]
MP
[1, j]
VEr[j]
WLS[i]
X1L[i]
$z_i^{(k-1)}$
X2L[i]
MP
[i, j]
WLS[m]
X1L[m]
$z_m^{(k-1)}$
X2L[m]
MP
[m, j]
WLD
OL[j]
OLB[j]
ALP
XLD
I_{out}[j]
I_{Bout}[j]
TW
[j]
ILD
AFP
ACTF[j]
$z_j^{(k)}$

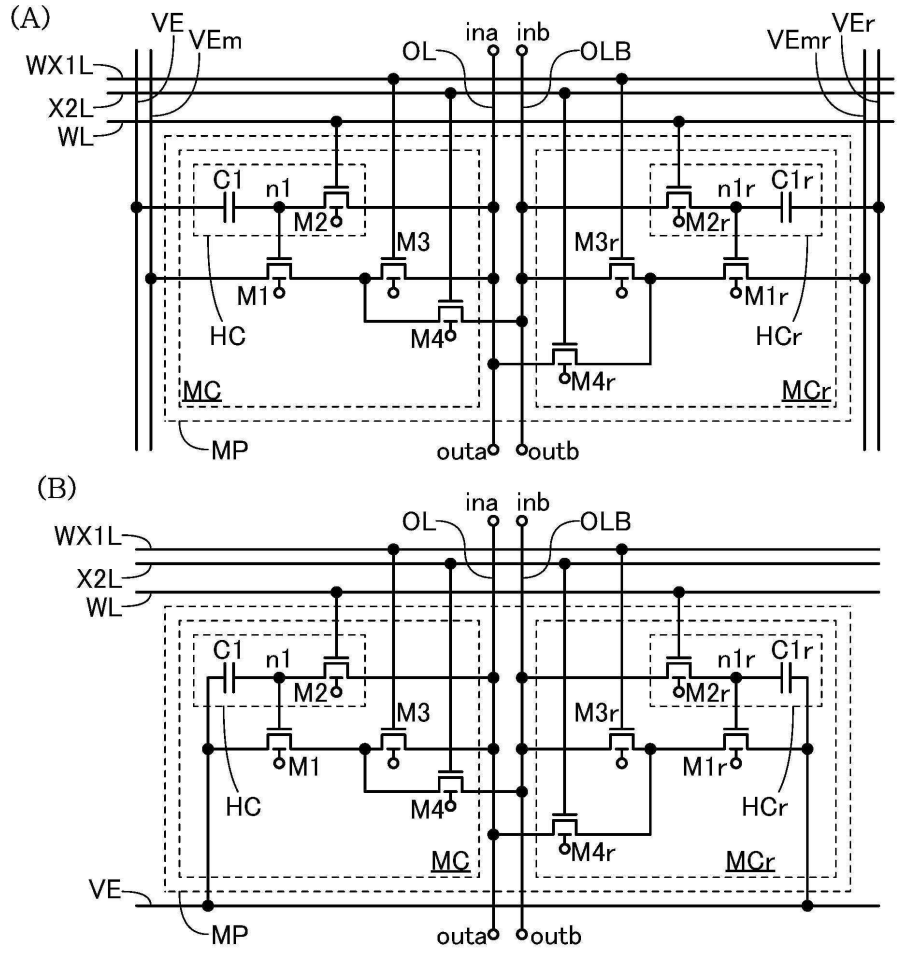
도면14


170
WLBS
WXBS
BS [1]
BS [j]
BS [n]
WL[1]
WX1L[1]
X2L[1]
MP [1,1]
MP [1,n]
$z_1^{(k-1)}$
WL[i]
WX1L[i]
X2L[i]
MP [i, j]
$z_i^{(k-1)}$
WL[m]
WX1L[m]
X2L[m]
MP [m, 1]
MP [m,n]
$z_m^{(k-1)}$
WLD
ALP
XLD
OL[1]
OLB[1]
OL[j]
OLB[j]
OL[n]
OLB[n]
TSa
TSaB
TW [1]
TW [j]
TW [n]
TSb
TSc
TSbB
TScB
ILD
AFP
ACTF[1]
ACTF[j]
ACTF[n]
$z_1^{(k)}$
$z_j^{(k)}$
$z_n^{(k)}$

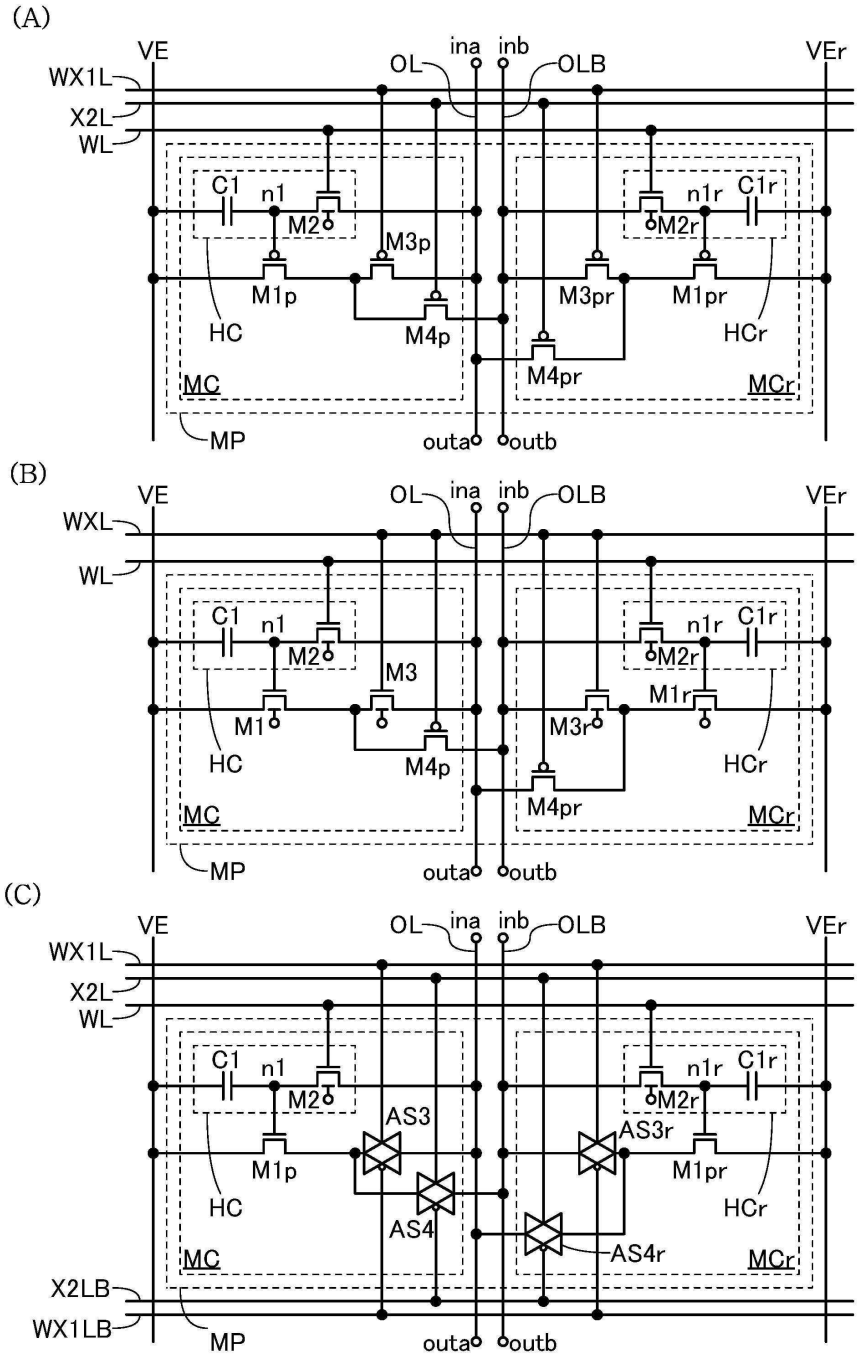
도면15


(A)
VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
M3
M1
HC
M4
MC
MP
outa
outb
M3r
M2r
n1r
C1r
M1r
HCr
M4r
MCr
(B)
VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
M3
M1
HC
M4
MC
MP
outa
outb
M3r
M2r
n1r
C1r
M1r
HCr
M4r
MCr
(C)
VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
M1
M3
HC
M4
MC
MP
outa
outb
M3r
M2r
n1r
C1r
M1r
HCr
M4r
MCr

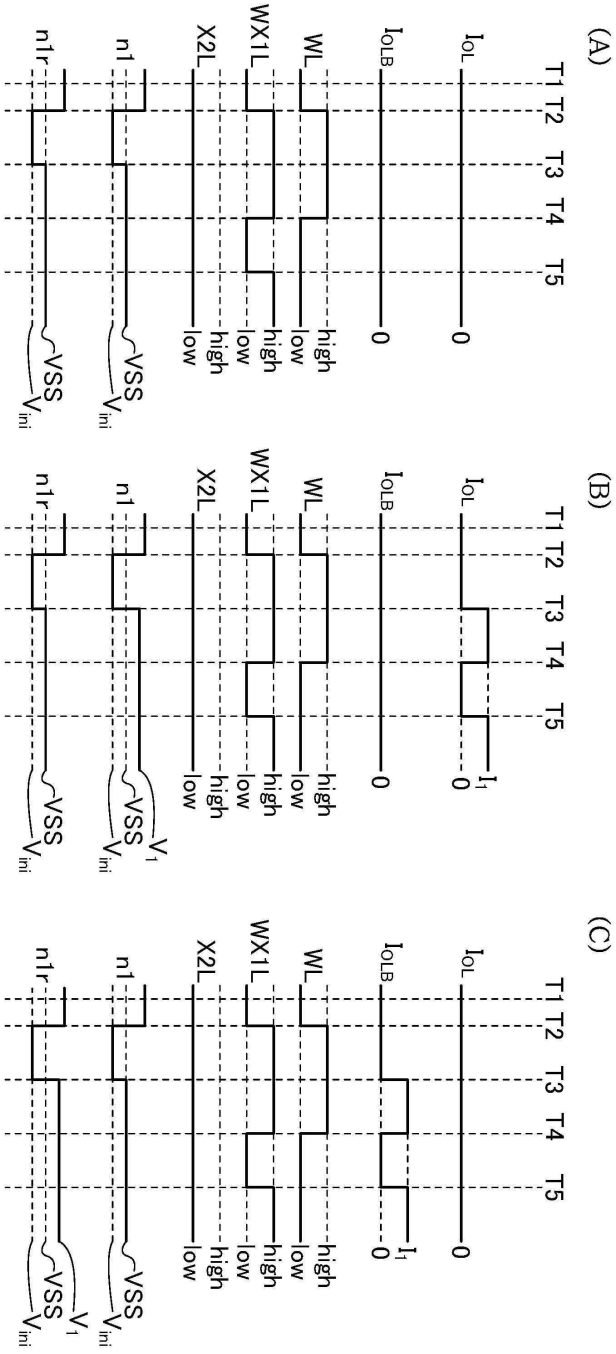
도면16


(A)
VE
VEm
ina
inb
VEmr
VEr
WX1L
OL
OLB
X2L
WL
C1
n1
M2
M3
M3r
n1r
C1r
M2r
M1
M1r
HC
M4
HCr
M4r
MC
MCr
MP
outa
outb
(B)
WX1L
OL
ina
inb
OLB
X2L
WL
C1
n1
M2
M3
M3r
n1r
C1r
M2r
M1
M1r
HC
M4
HCr
M4r
MC
MCr
VE
MP
outa
outb

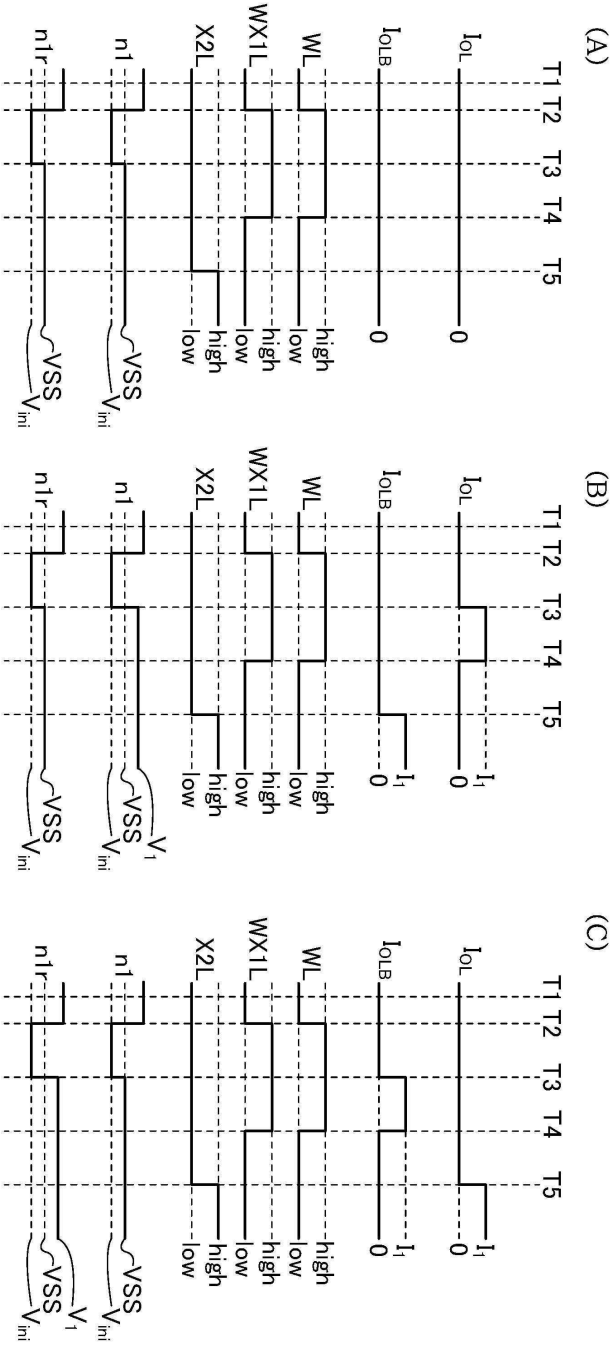
도면17


(A)
VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
M3p
M1p
HC
M4p
MC
MP
outa
outb
n1r
C1r
M2r
M3pr
M1pr
HCr
M4pr
MCr
(B)
WXL
WL
M3
M1
M1r
M3r
(C)
AS3
AS4
AS3r
AS4r
X2LB
WX1LB

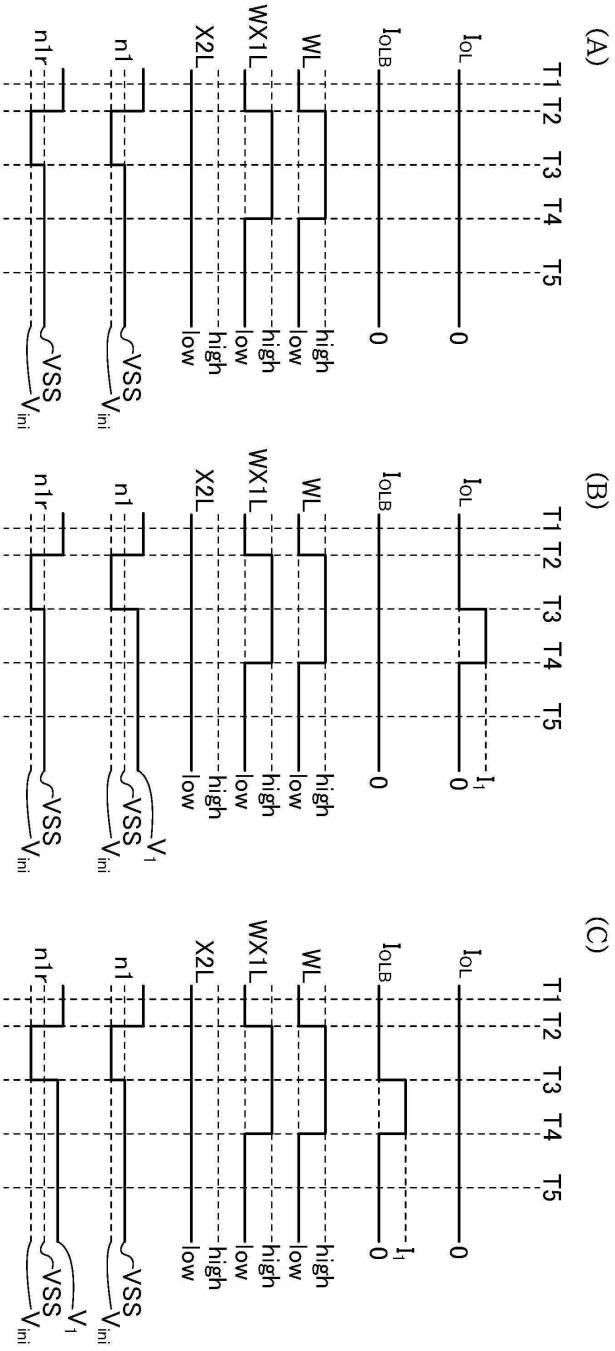
도면18


(A)
(B)
(C)
T1 T2 T3 T4 T5
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
0
I_1
high
low
VSS
V_{ini}
V_1

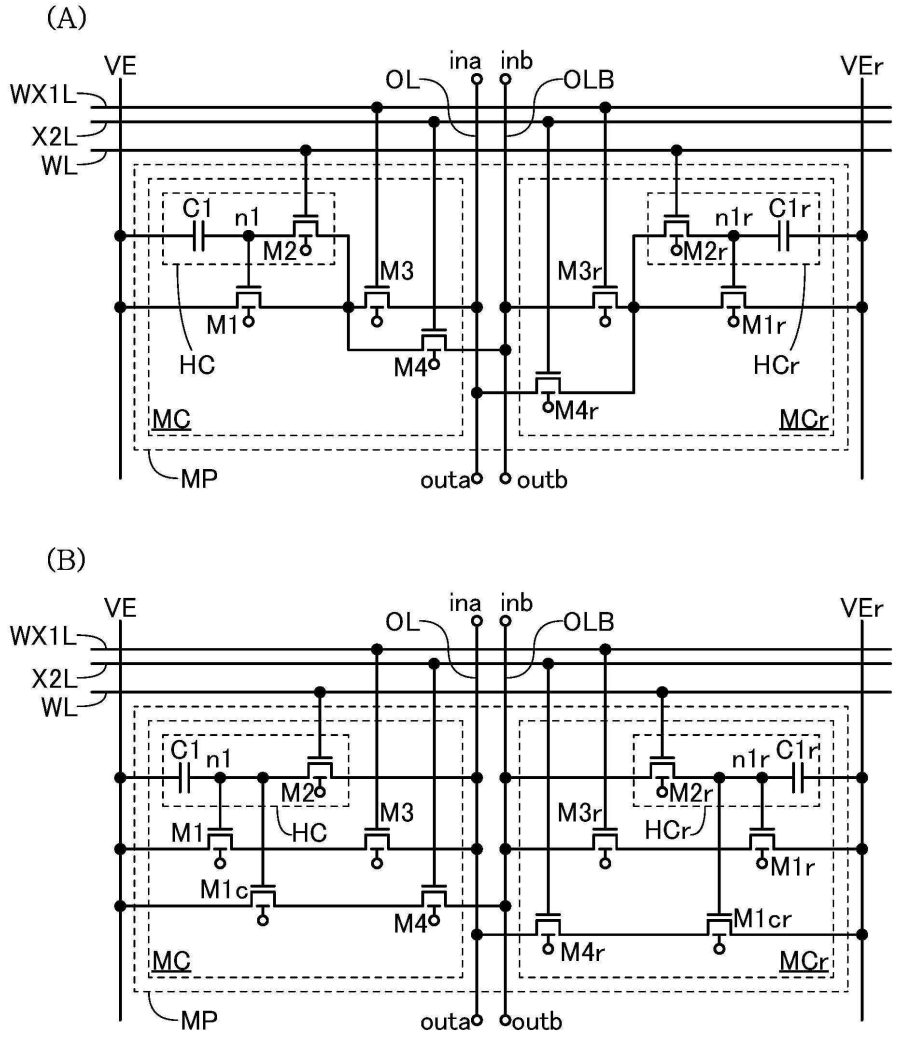
도면19


(A)
(B)
(C)
T1 T2 T3 T4 T5
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
0
I_1
high
low
VSS
V_{ini}
V_1

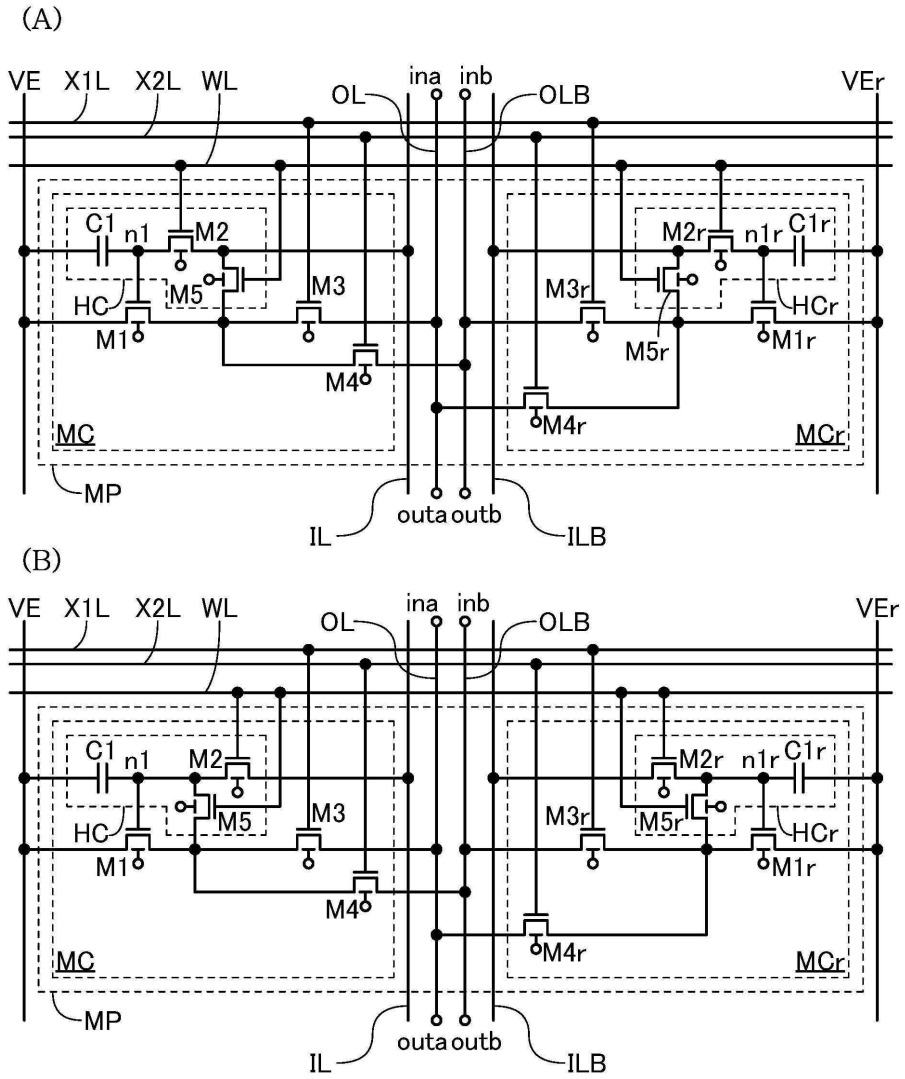
도면20


(A)
(B)
(C)
T1 T2 T3 T4 T5
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
0
I_1
high
low
VSS
V_{ini}
V_1

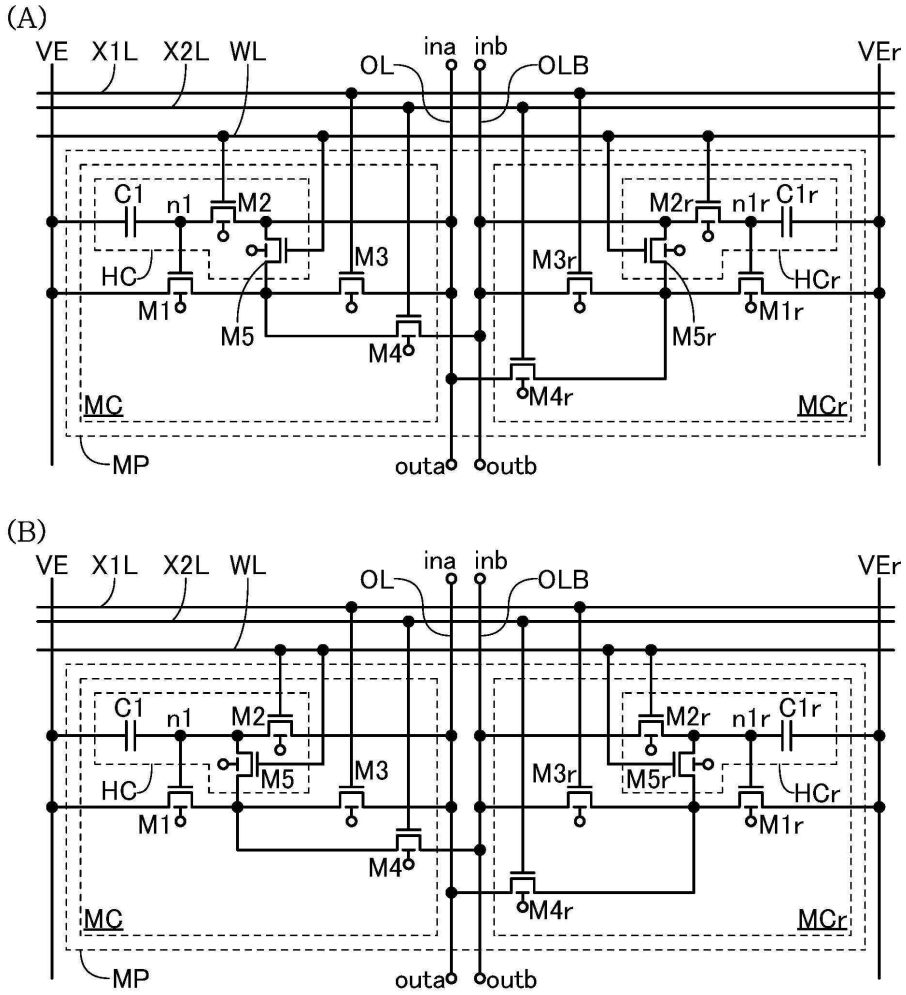
도면21


(A)
VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
M3
M3r
n1r
C1r
M2r
M1
M1r
HC
HCr
M4
M4r
MC
MCr
MP
outa
outb
(B)
VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
M1
HC
M3
M3r
HCr
n1r
C1r
M2r
M1r
M1c
M1cr
M4
M4r
MC
MCr
MP
outa
outb

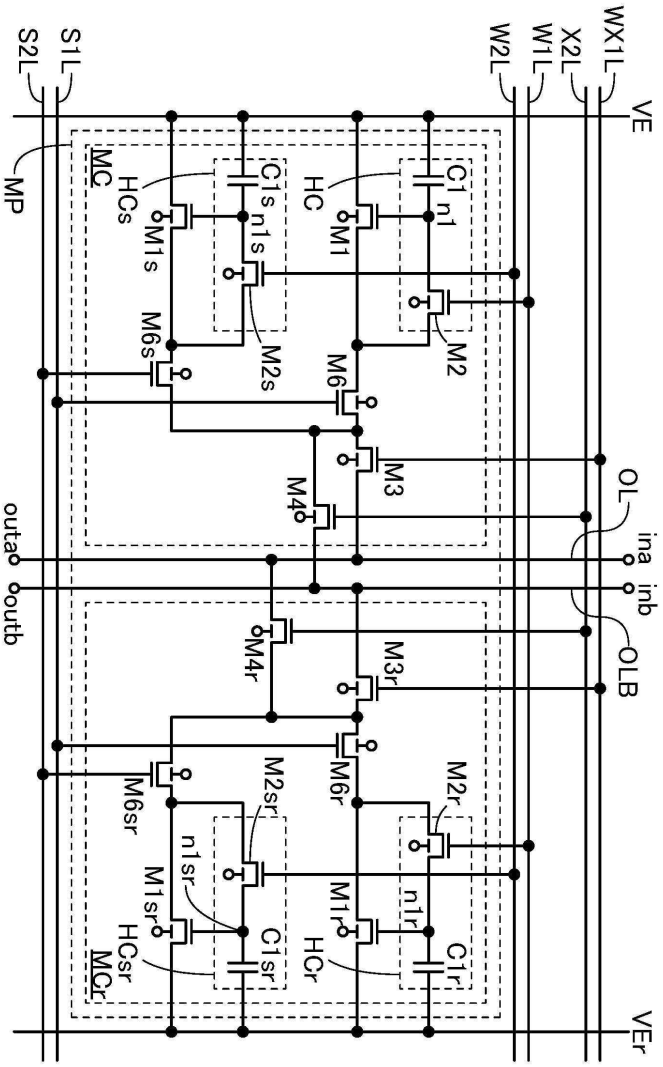
도면22


(A)
VE
X1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
HC
M5
M3
M1
M4
M2r
n1r
C1r
M3r
HCr
M5r
M1r
M4r
MC
MCr
MP
IL
outa
outb
ILB
(B)
VE
X1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
HC
M5
M3
M1
M4
M2r
n1r
C1r
M3r
M5r
HCr
M1r
M4r
MC
MCr
MP
IL
outa
outb
ILB

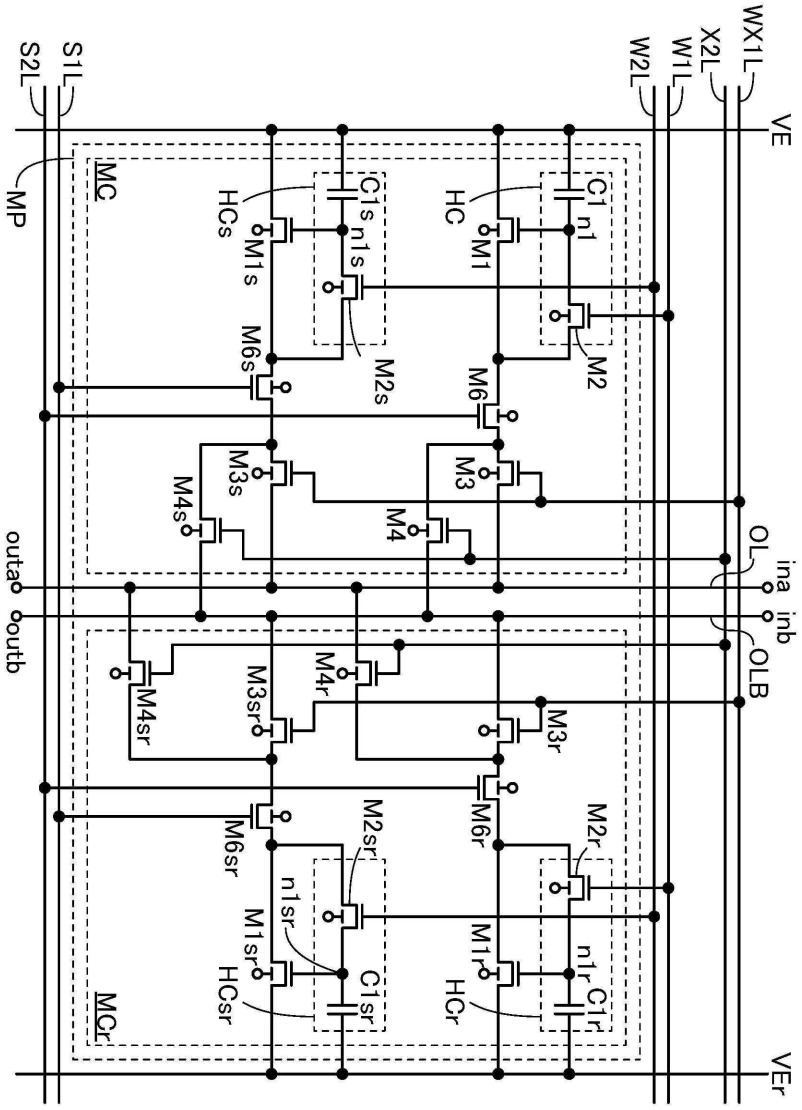
도면23


(A)
VE
X1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
HC
M1
M3
M5
M4
M2r
n1r
C1r
M3r
HCr
M1r
M5r
M4r
MC
MCr
MP
outa
outb
(B)
VE
X1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
M5
HC
M1
M3
M4
M2r
n1r
C1r
M5r
M3r
HCr
M1r
M4r
MC
MCr
MP
outa
outb

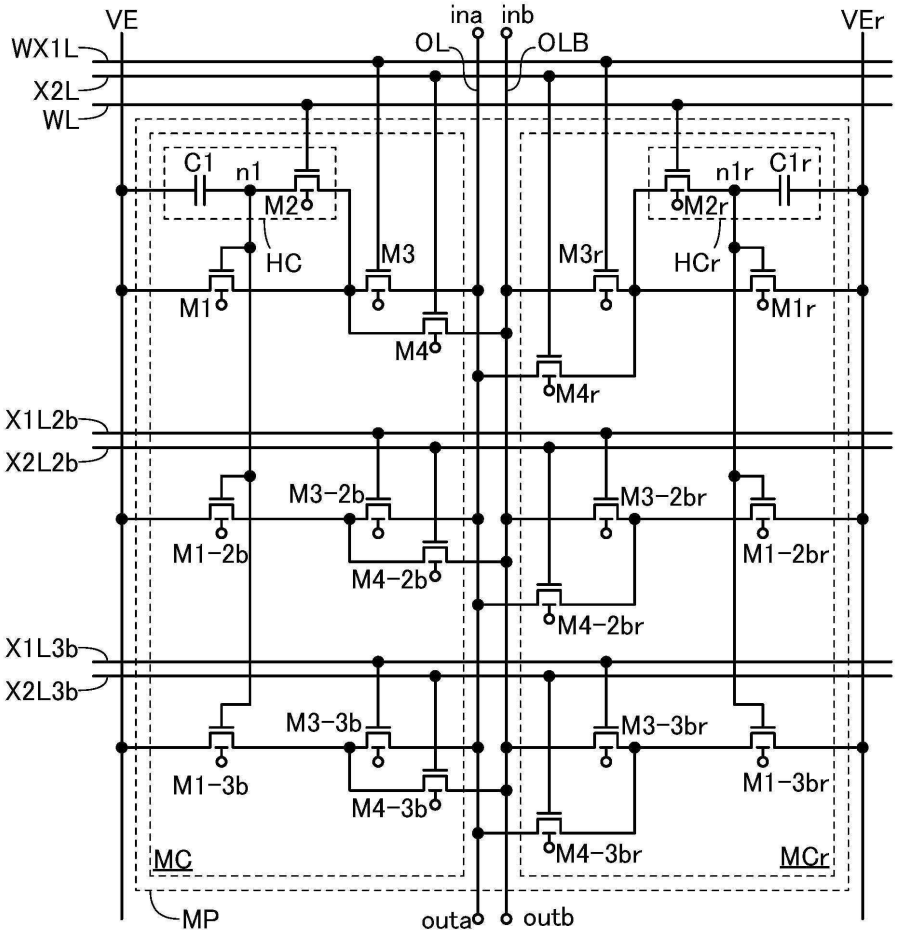
도면24


WX1L
X2L
W1L
W2L
VE
S1L
S2L
MP
MC
HCs
M1s
C1s
n1s
M6s
M2s
HC
M1
C1
n1
M2
M6
M3
M4
OL
outa
outb
ina
inb
M4r
M3r
OLB
M6r
M2r
M6sr
M2sr
n1sr
M1sr
HCsr
MCr
C1sr
M1r
n1r
HCr
C1r
VEr

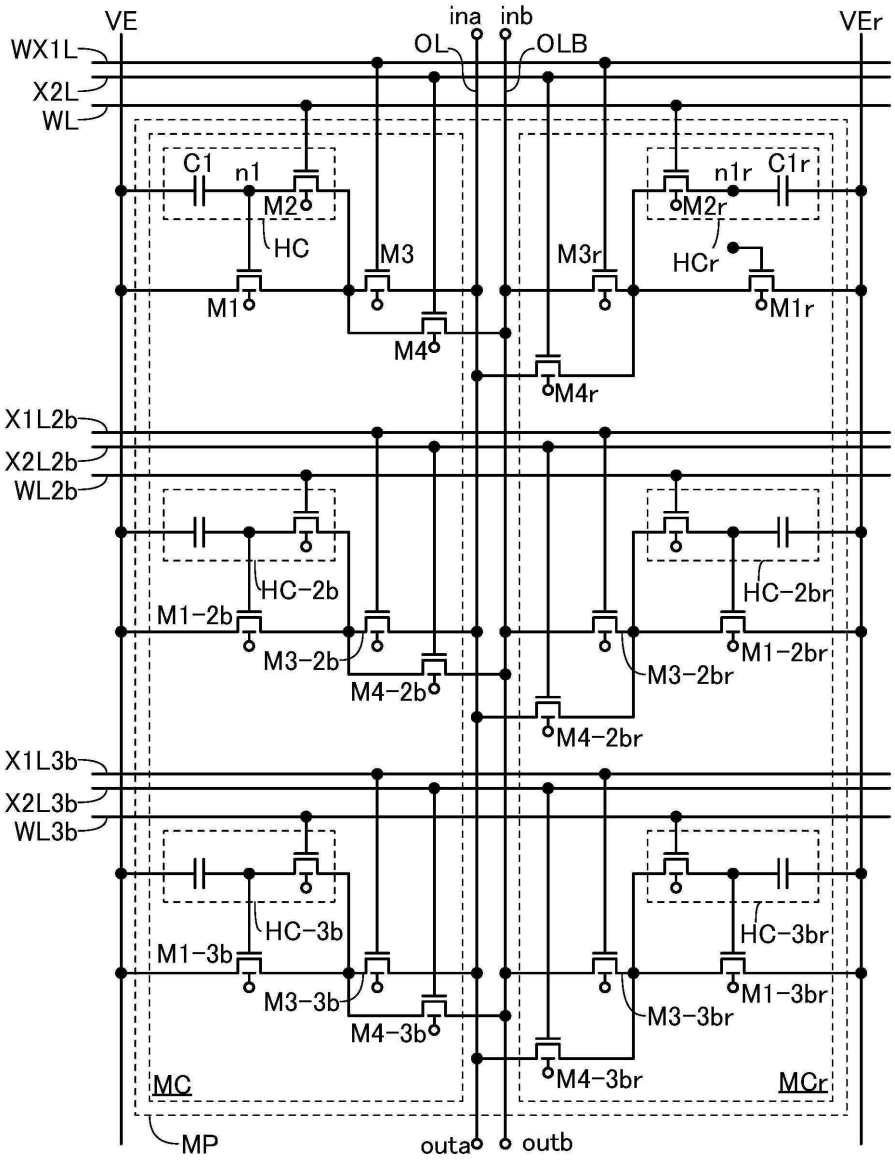
도면25


S2L
S1L
W2L
W1L
X2L
WX1L
VE
MP
MC
HCs
C1s
n1s
M1s
M2s
M6s
HC
C1
n1
M1
M2
M6
M3s
M4s
M3
M4
OL
ina
inb
OLB
outa
outb
M4sr
M3sr
M4r
M3r
M6sr
M2sr
n1sr
M1sr
HCsr
C1sr
M6r
M2r
M1r
HCr
n1r
C1r
MCr
VEr

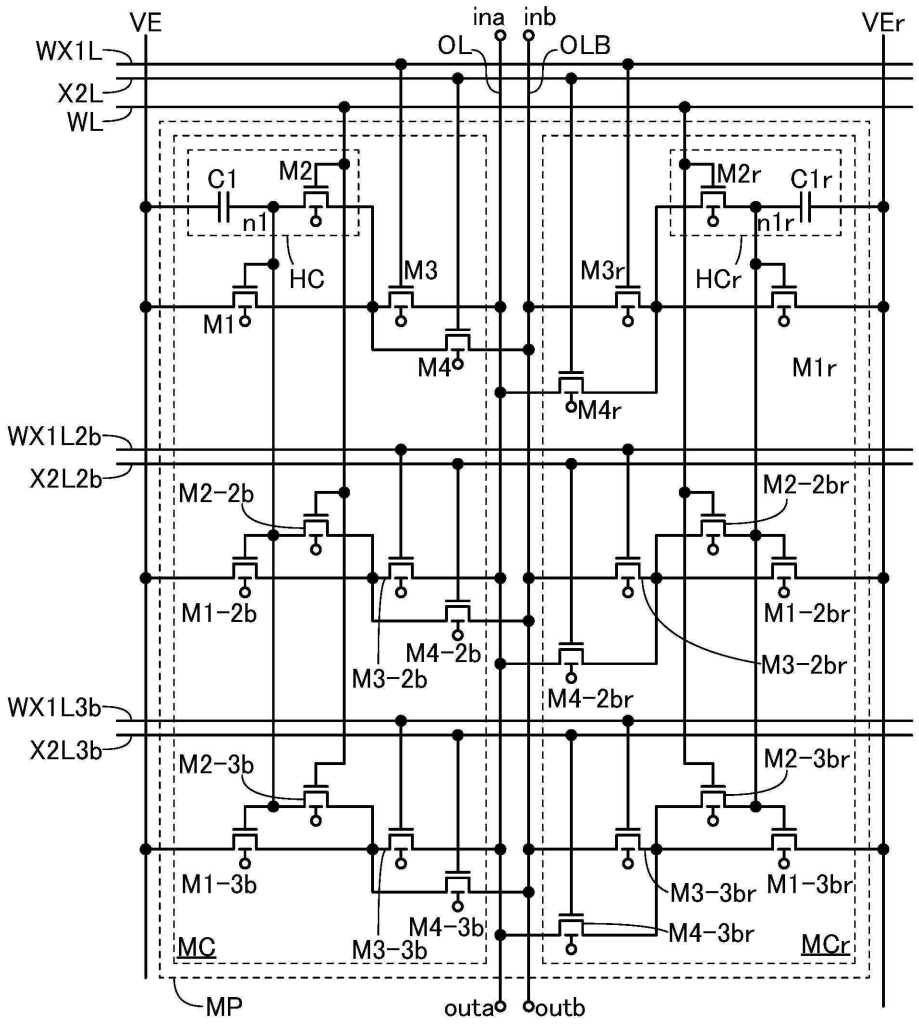
도면26


VE
ina
inb
VEr
WX1L
OL
OLB
X2L
WL
C1
n1
M2
n1r
C1r
M2r
HC
M3
M3r
HCr
M1
M1r
M4
M4r
X1L2b
X2L2b
M3-2b
M3-2br
M1-2b
M1-2br
M4-2b
M4-2br
X1L3b
X2L3b
M3-3b
M3-3br
M1-3b
M1-3br
M4-3b
M4-3br
MC
MCr
MP
outa
outb

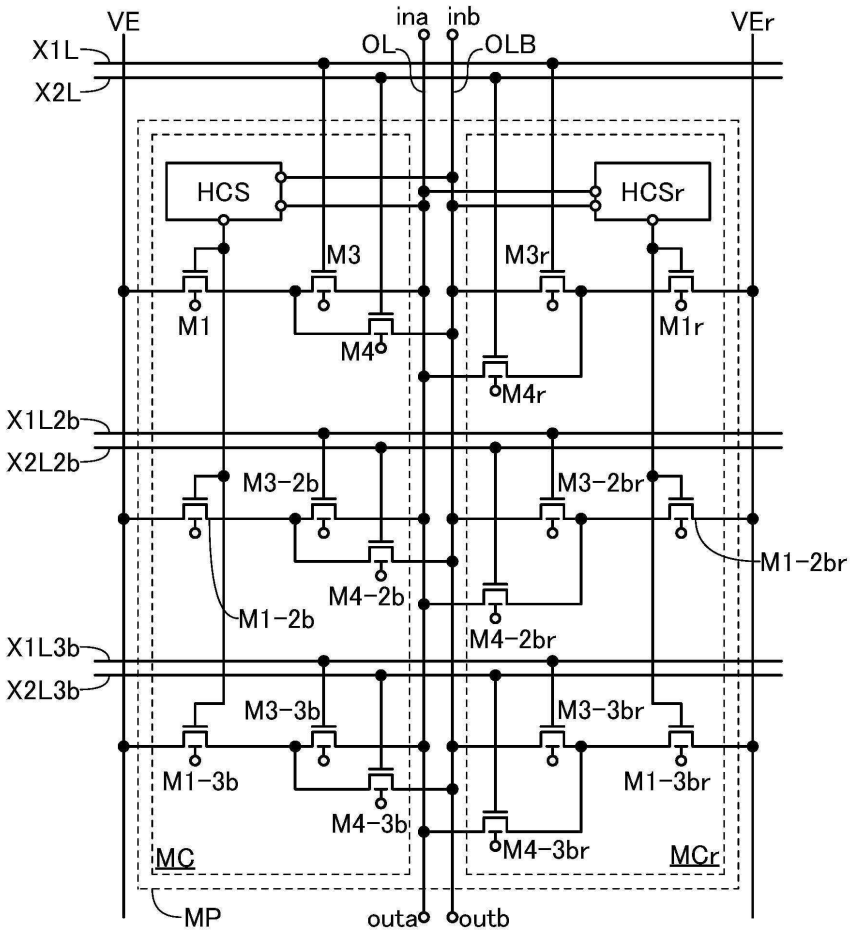
도면27


VE
ina
inb
VEr
WX1L
OL
OLB
X2L
WL
C1
n1
M2
HC
M3
M3r
n1r
C1r
M2r
HCr
M1
M1r
M4
M4r
X1L2b
X2L2b
WL2b
HC-2b
M1-2b
M3-2b
M4-2b
HC-2br
M1-2br
M3-2br
M4-2br
X1L3b
X2L3b
WL3b
HC-3b
M1-3b
M3-3b
M4-3b
HC-3br
M1-3br
M3-3br
M4-3br
MC
MCr
MP
outa
outb

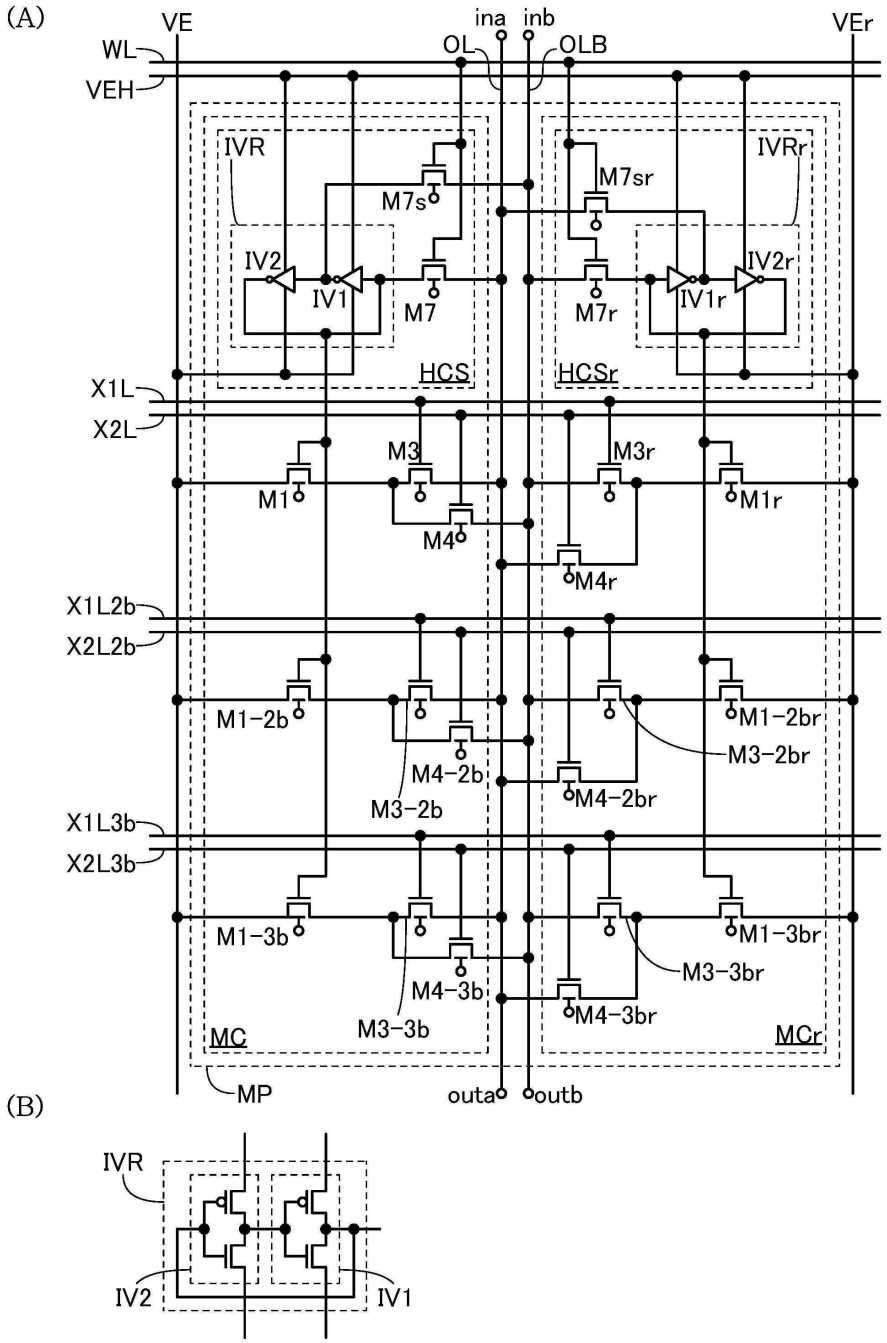
도면28


VE
ina
inb
VEr
WX1L
OL
OLB
X2L
WL
C1
M2
M2r
C1r
n1
n1r
HC
M3
M3r
HCr
M1
M4
M1r
M4r
WX1L2b
X2L2b
M2-2b
M2-2br
M1-2b
M1-2br
M4-2b
M3-2b
M3-2br
M4-2br
WX1L3b
X2L3b
M2-3b
M2-3br
M1-3b
M3-3br
M1-3br
M4-3b
M4-3br
MC
M3-3b
MCr
MP
outa
outb

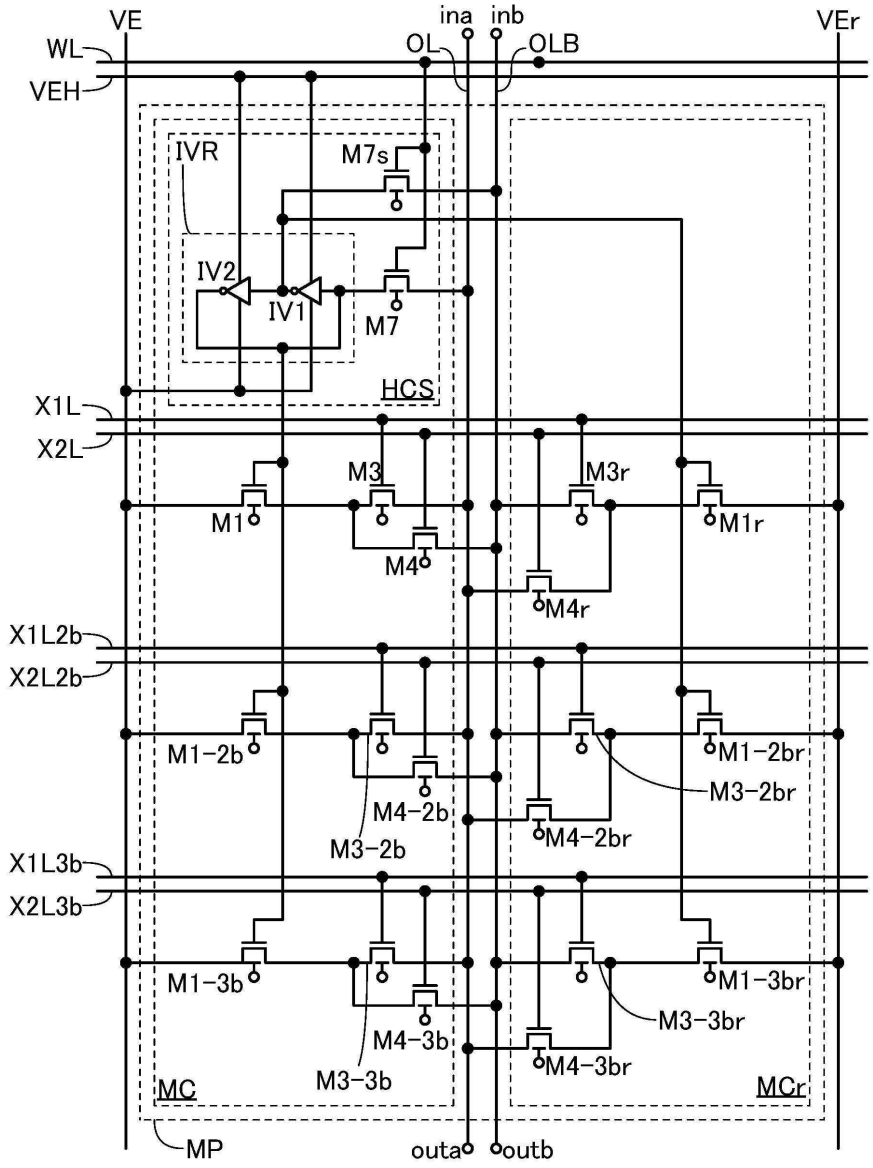
도면29


VE
ina
inb
VEr
X1L
OL
OLB
X2L
HCS
HCSr
M3
M3r
M1
M1r
M4
M4r
X1L2b
X2L2b
M3-2b
M3-2br
M1-2br
M4-2b
M1-2b
M4-2br
X1L3b
X2L3b
M3-3b
M3-3br
M1-3b
M1-3br
M4-3b
M4-3br
MC
MCr
MP
outa
outb

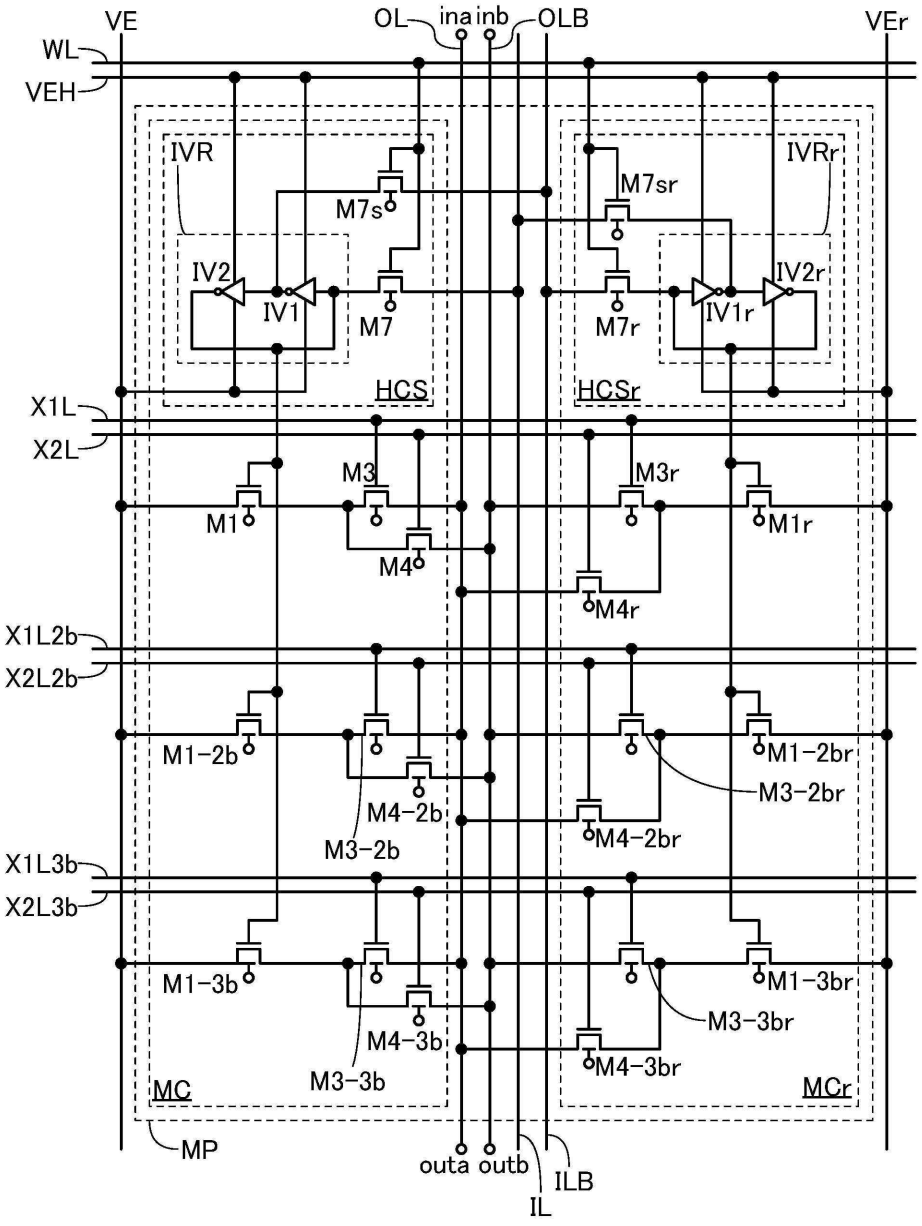
도면30


(A)
VE
ina
inb
VEr
WL
OL
OLB
VEH
IVR
M7s
M7sr
IVRr
IV2
IV1
M7
M7r
IV1r
IV2r
HCS
HCSr
X1L
X2L
M3
M3r
M1
M1r
M4
M4r
X1L2b
X2L2b
M1-2b
M1-2br
M3-2br
M4-2b
M3-2b
M4-2br
X1L3b
X2L3b
M1-3b
M1-3br
M3-3br
M4-3b
M3-3b
M4-3br
MC
MCr
MP
outa
outb
(B)
IVR
IV2
IV1

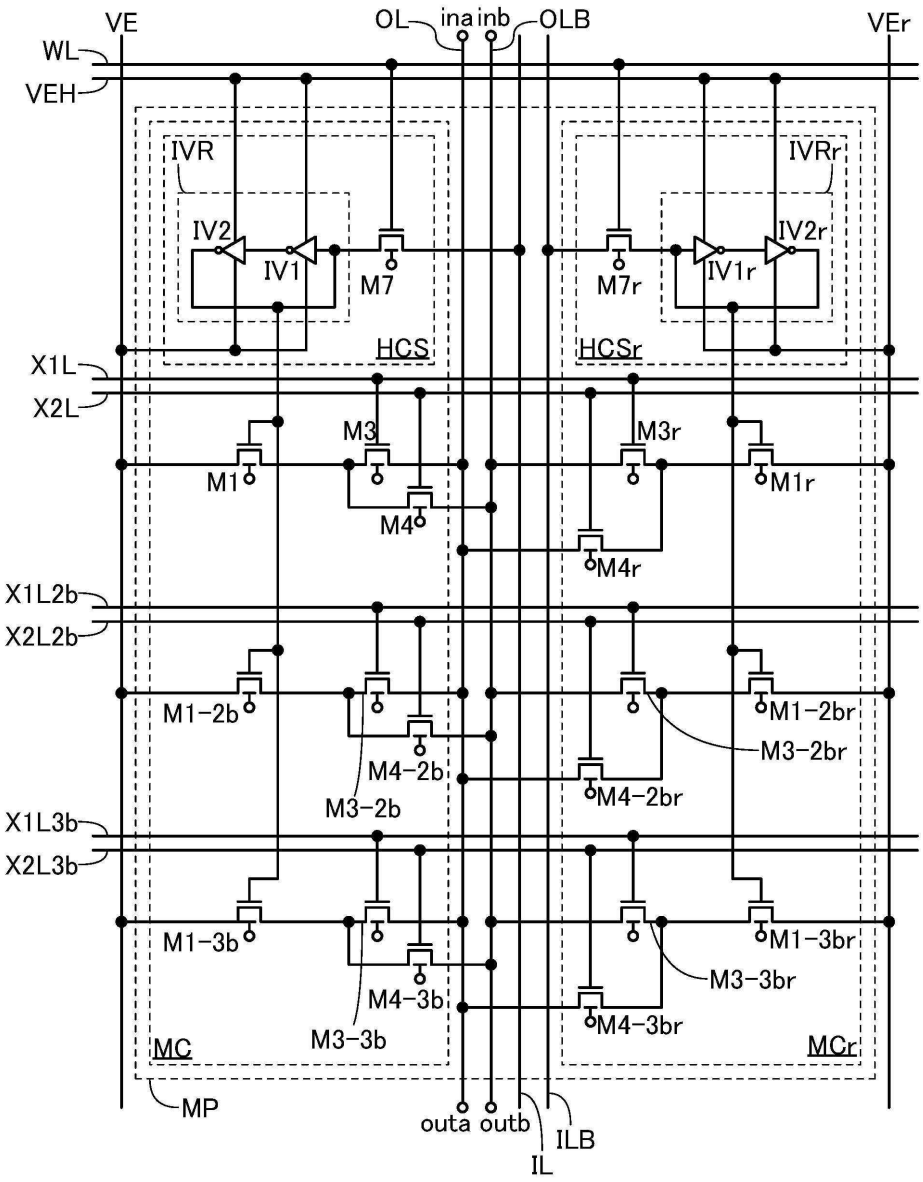
도면31


VE
ina
inb
VEr
WL
OL
OLB
VEH
IVR
M7s
IV2
IV1
M7
HCS
X1L
X2L
M3
M3r
M1
M1r
M4
M4r
X1L2b
X2L2b
M1-2b
M1-2br
M3-2br
M4-2b
M4-2br
M3-2b
X1L3b
X2L3b
M1-3b
M1-3br
M3-3br
M4-3b
M4-3br
M3-3b
MC
MCr
MP
outa
outb

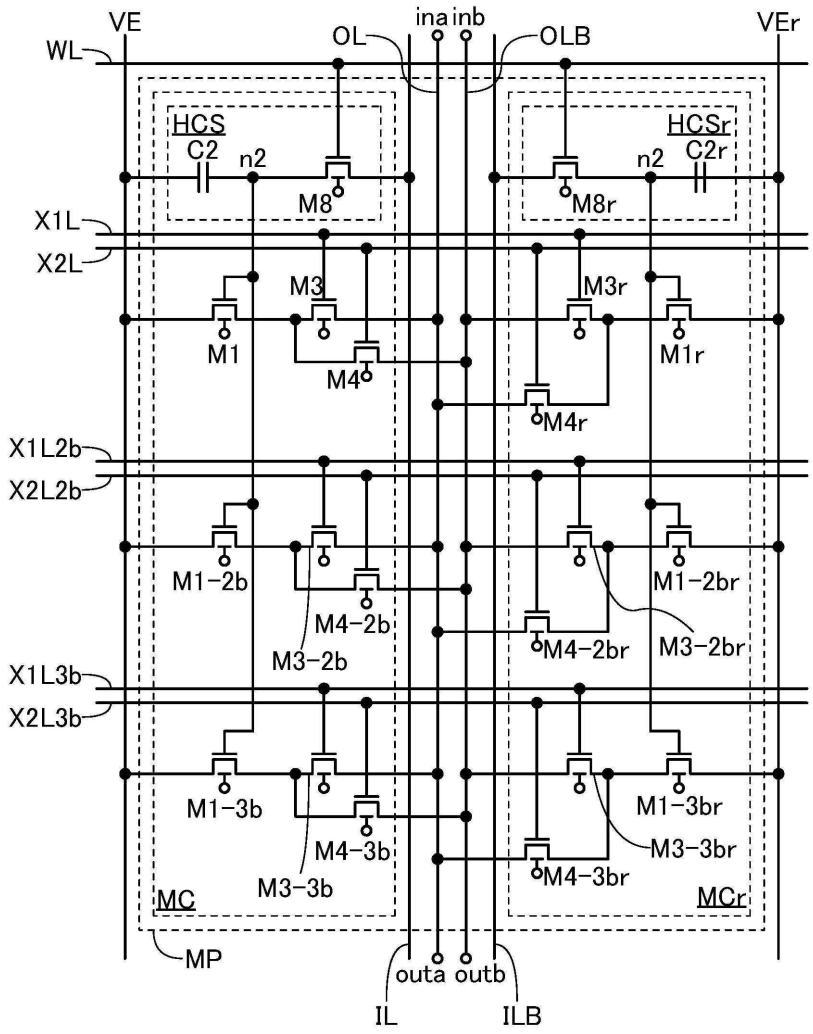
도면32


VE
OL
ina
inb
OLB
VEr
WL
VEH
IVR
M7s
M7sr
IVRr
IV2
IV1
M7
M7r
IV1r
IV2r
HCS
HCSr
X1L
X2L
M3
M3r
M1
M1r
M4
M4r
X1L2b
X2L2b
M1-2b
M1-2br
M3-2br
M4-2b
M3-2b
M4-2br
X1L3b
X2L3b
M1-3b
M1-3br
M3-3br
M4-3b
M3-3b
M4-3br
MC
MCr
MP
outa
outb
ILB
IL

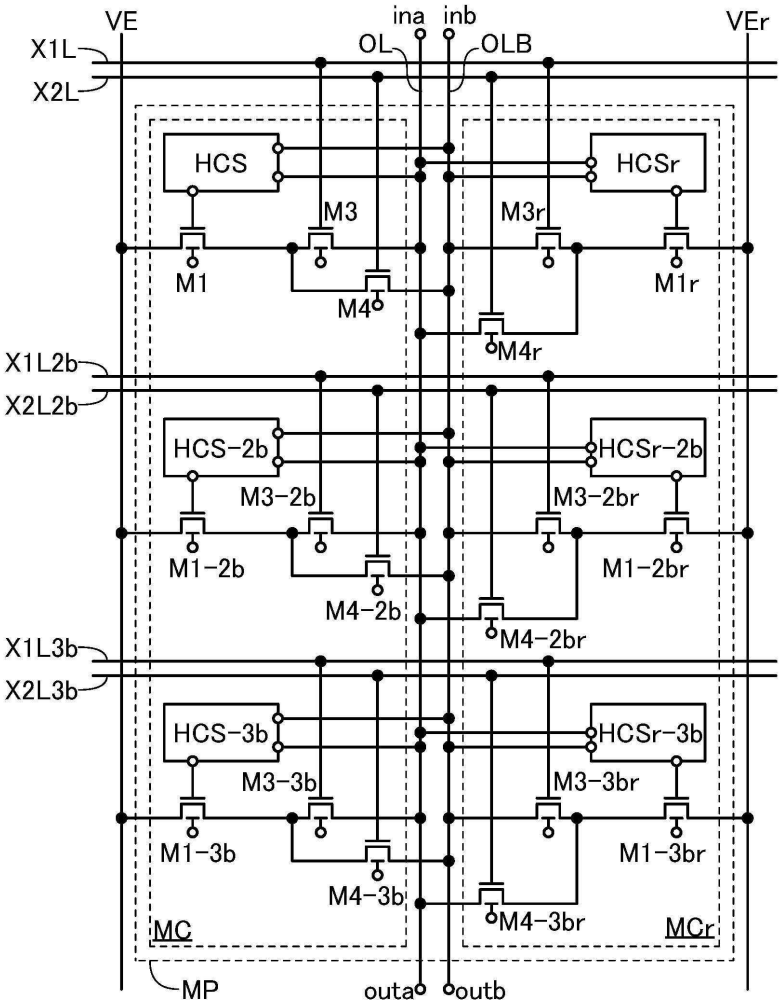
도면33


VE
OL
ina
inb
OLB
VEr
WL
VEH
IVR
IVRr
IV2
IV1
M7
M7r
IV1r
IV2r
HCS
HCSr
X1L
X2L
M3
M3r
M1
M1r
M4
M4r
X1L2b
X2L2b
M1-2b
M1-2br
M3-2br
M4-2b
M3-2b
M4-2br
X1L3b
X2L3b
M1-3b
M1-3br
M3-3br
M4-3b
M3-3b
M4-3br
MC
MCr
MP
outa
outb
ILB
IL

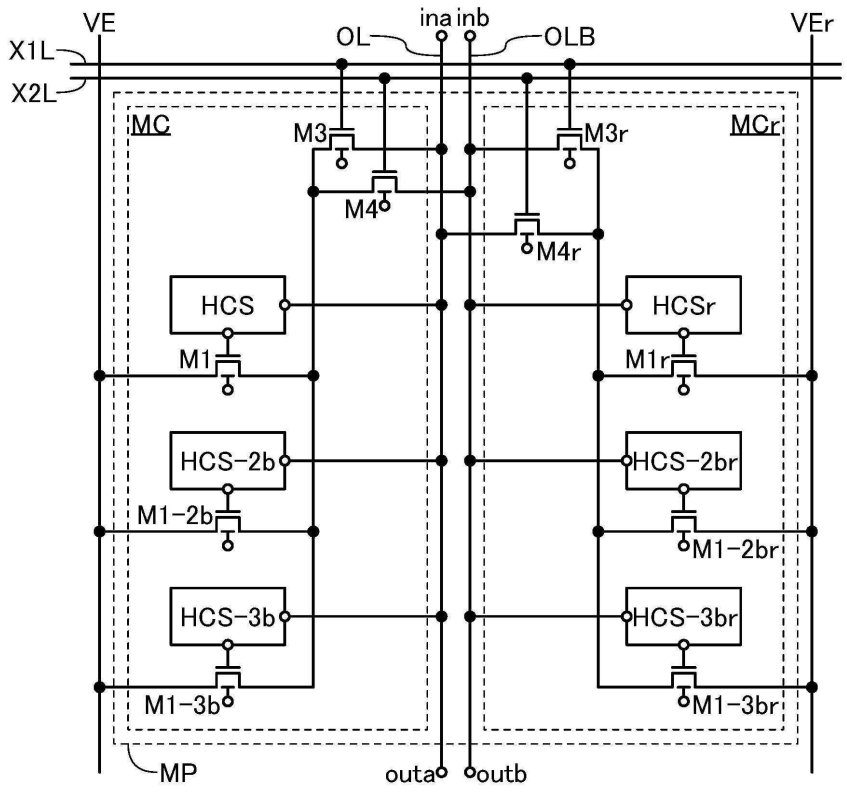
도면34


VE
WL
OL
ina
inb
OLB
VEr
HCS
C2
n2
M8
HCSr
C2r
n2
M8r
X1L
X2L
M3
M1
M4
M3r
M1r
M4r
X1L2b
X2L2b
M1-2b
M4-2b
M3-2b
M1-2br
M4-2br
M3-2br
X1L3b
X2L3b
M1-3b
M4-3b
M3-3b
M1-3br
M4-3br
M3-3br
MC
MCr
MP
outa
outb
IL
ILB

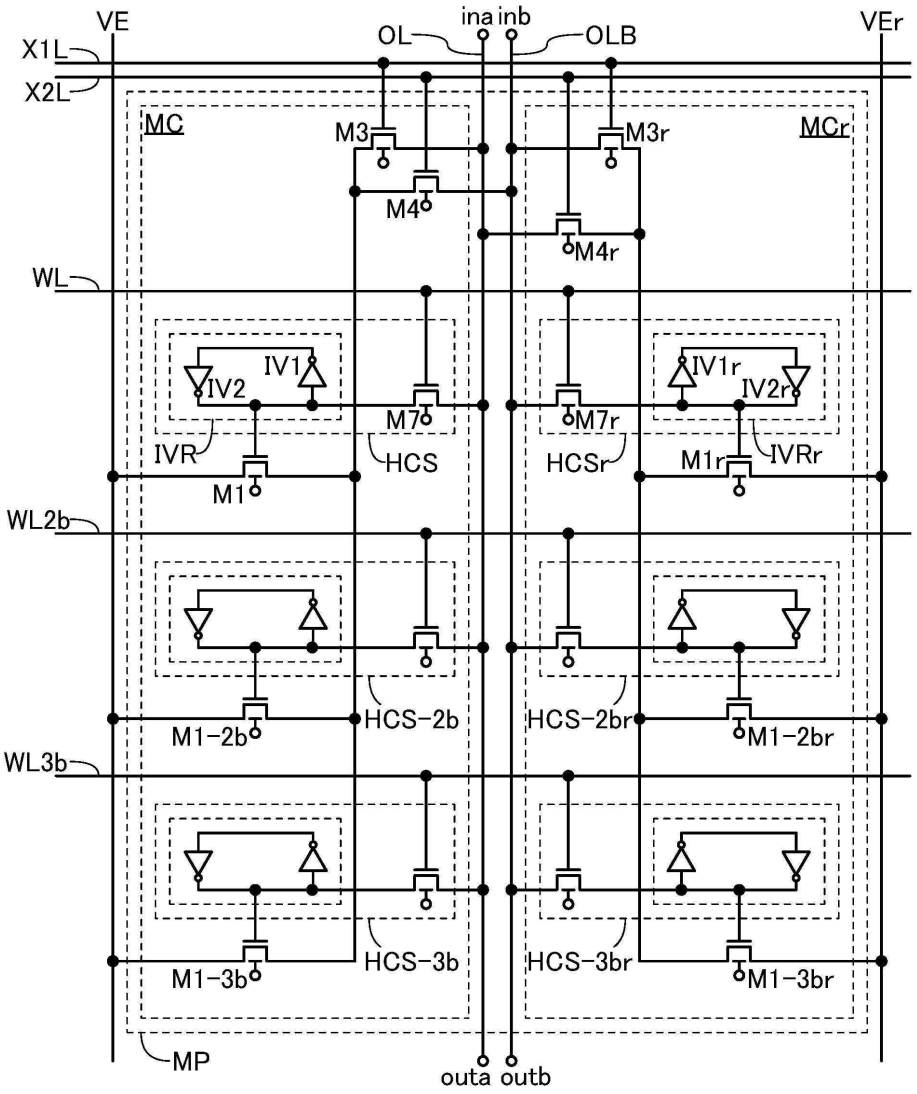
도면35


VE
ina
inb
VEr
X1L
OL
OLB
X2L
HCS
HCSr
M3
M3r
M1
M1r
M4
M4r
X1L2b
X2L2b
HCS-2b
HCSr-2b
M3-2b
M3-2br
M1-2b
M1-2br
M4-2b
M4-2br
X1L3b
X2L3b
HCS-3b
HCSr-3b
M3-3b
M3-3br
M1-3b
M1-3br
M4-3b
M4-3br
MC
MCr
MP
outa
outb

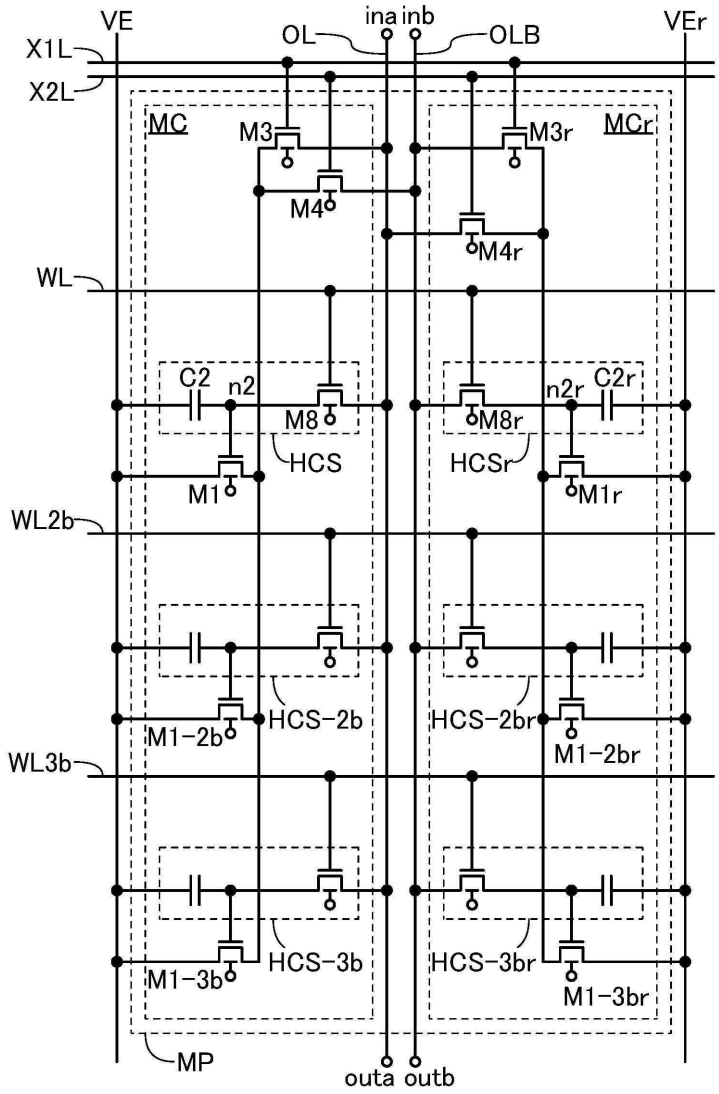
도면36


VE
X1L
X2L
OL
ina
inb
OLB
VEr
MC
M3
M3r
MCr
M4
M4r
HCS
HCSr
M1
M1r
HCS-2b
HCS-2br
M1-2b
M1-2br
HCS-3b
HCS-3br
M1-3b
M1-3br
MP
outa
outb

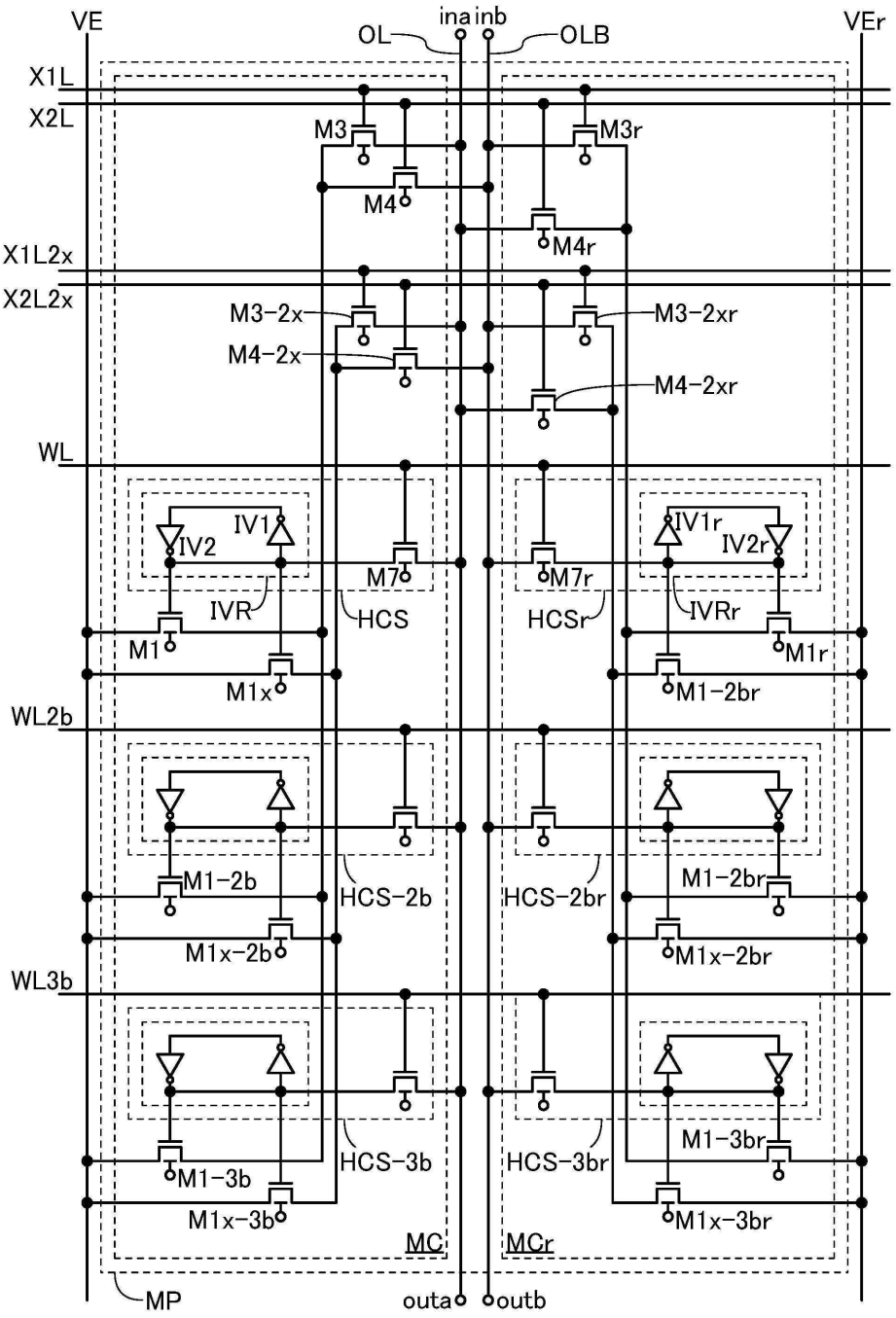
도면37


VE
ina inb
OL
OLB
VEr
X1L
X2L
MC
M3
M3r
MCr
M4
M4r
WL
IV1
IV2
IV1r
IV2r
M7
M7r
IVR
HCS
HCSr
M1r
IVRr
M1
WL2b
M1-2b
HCS-2b
HCS-2br
M1-2br
WL3b
M1-3b
HCS-3b
HCS-3br
M1-3br
MP
outa outb

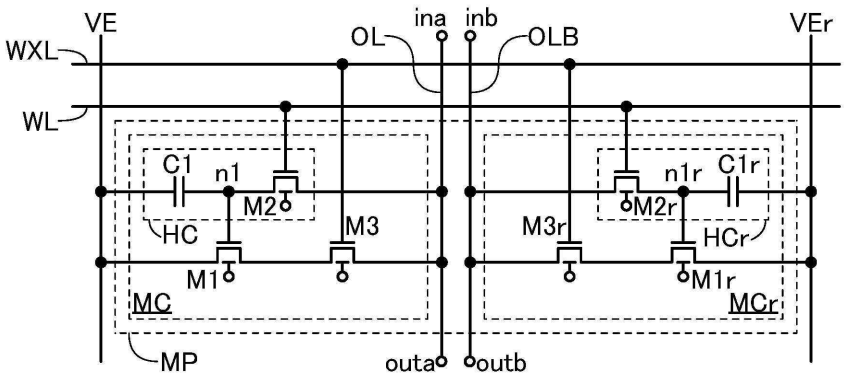
도면38


VE
OL
ina inb
OLB
VEr
X1L
X2L
MC
M3
M3r
MCr
M4
M4r
WL
C2
n2
M8
n2r
C2r
M8r
HCS
HCSr
M1
M1r
WL2b
HCS-2b
HCS-2br
M1-2b
M1-2br
WL3b
HCS-3b
HCS-3br
M1-3b
M1-3br
MP
outa outb

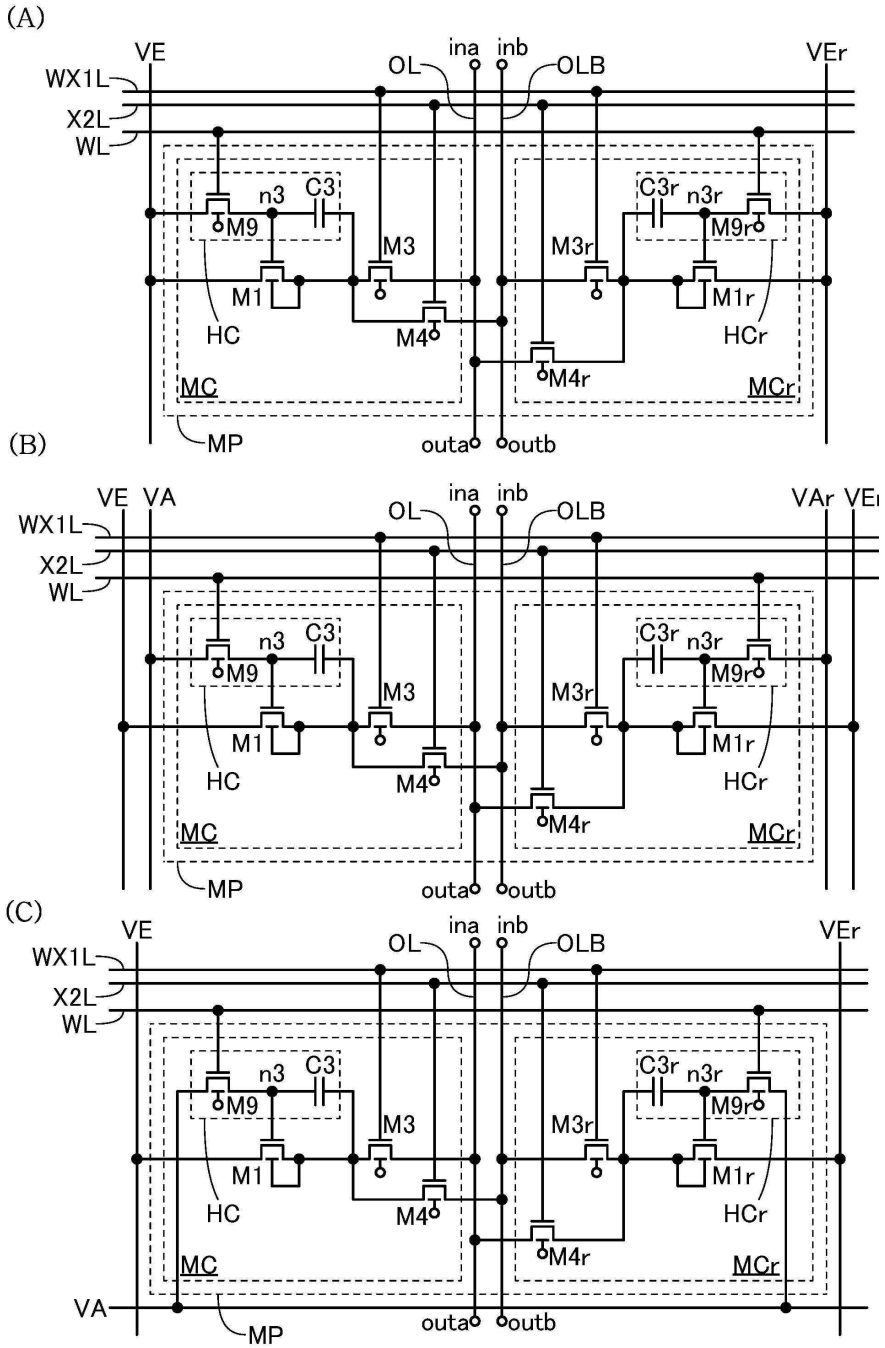
도면39


VE
ina
inb
VEr
OL
OLB
X1L
X2L
M3
M3r
M4
M4r
X1L2x
X2L2x
M3-2x
M3-2xr
M4-2x
M4-2xr
WL
IV1
IV2
IV1r
IV2r
M7
M7r
IVR
IVRr
HCS
HCSr
M1
M1r
M1x
M1-2br
WL2b
M1-2b
HCS-2b
HCS-2br
M1-2br
M1x-2b
M1x-2br
WL3b
M1-3b
HCS-3b
HCS-3br
M1-3br
M1x-3b
M1x-3br
MC
MCr
MP
outa
outb

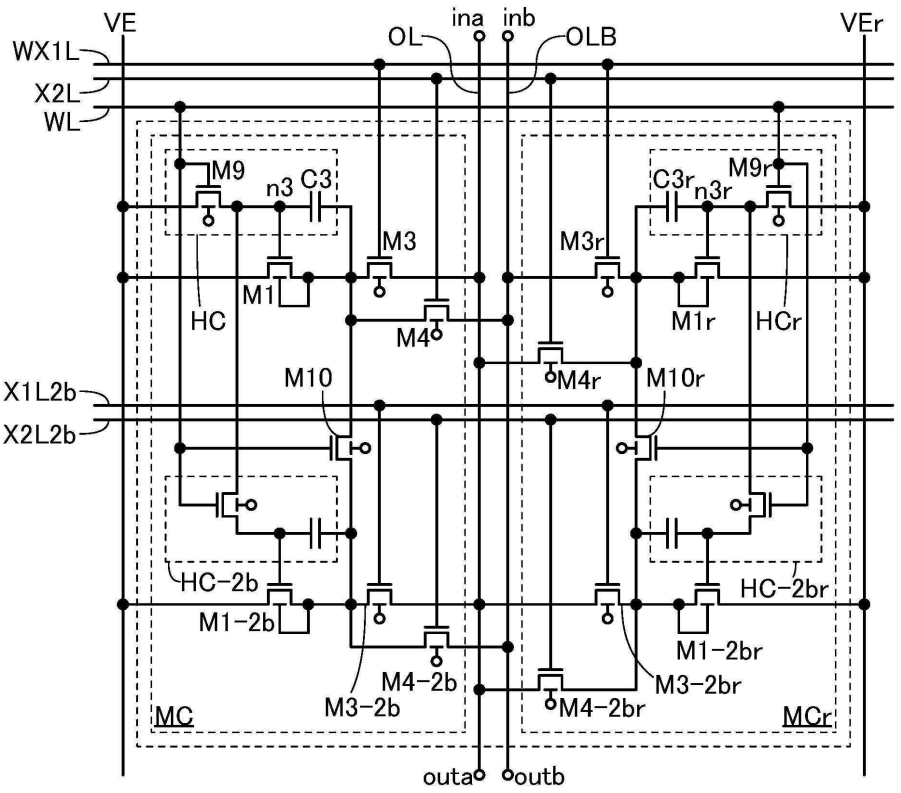
도면40


VE
WXL
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
HC
M1
M3
MC
MP
outa
outb
M3r
n1r
C1r
M2r
HCr
M1r
MCr

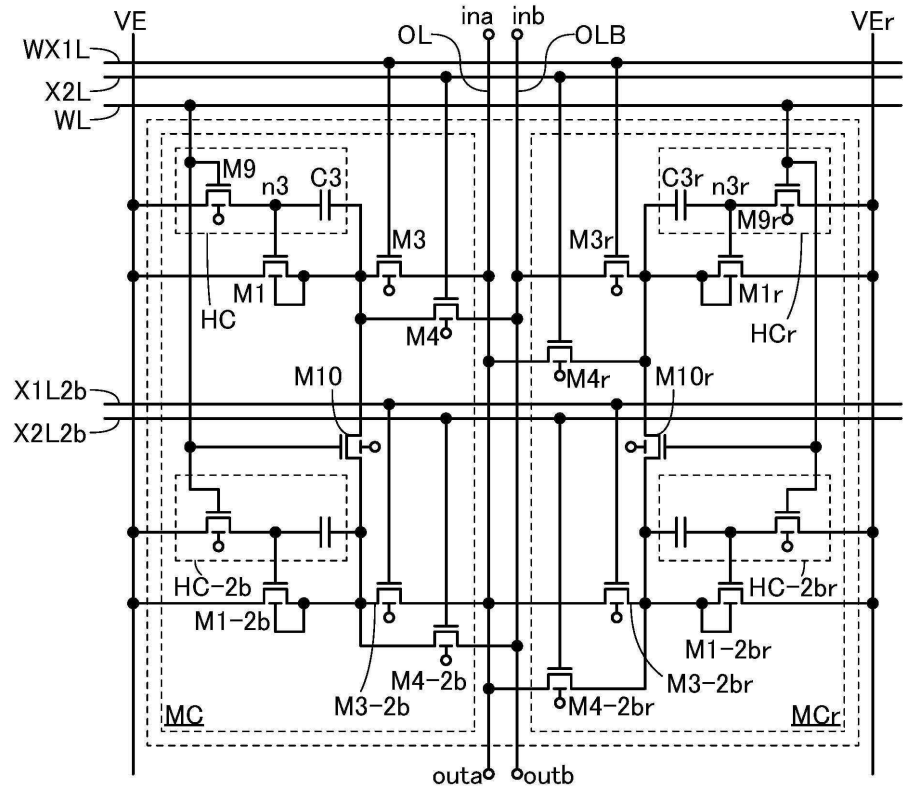
도면41


(A)
VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
n3
C3
M9
M3
M1
HC
M4
C3r
n3r
M9r
M3r
M1r
HCr
M4r
MC
MCr
MP
outa
outb
(B)
VE
VA
WX1L
X2L
WL
OL
ina
inb
OLB
VAr
VEr
n3
C3
M9
M3
M1
HC
M4
C3r
n3r
M9r
M3r
M1r
HCr
M4r
MC
MCr
MP
outa
outb
(C)
VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
n3
C3
M9
M3
M1
HC
M4
C3r
n3r
M9r
M3r
M1r
HCr
M4r
MC
MCr
VA
MP
outa
outb

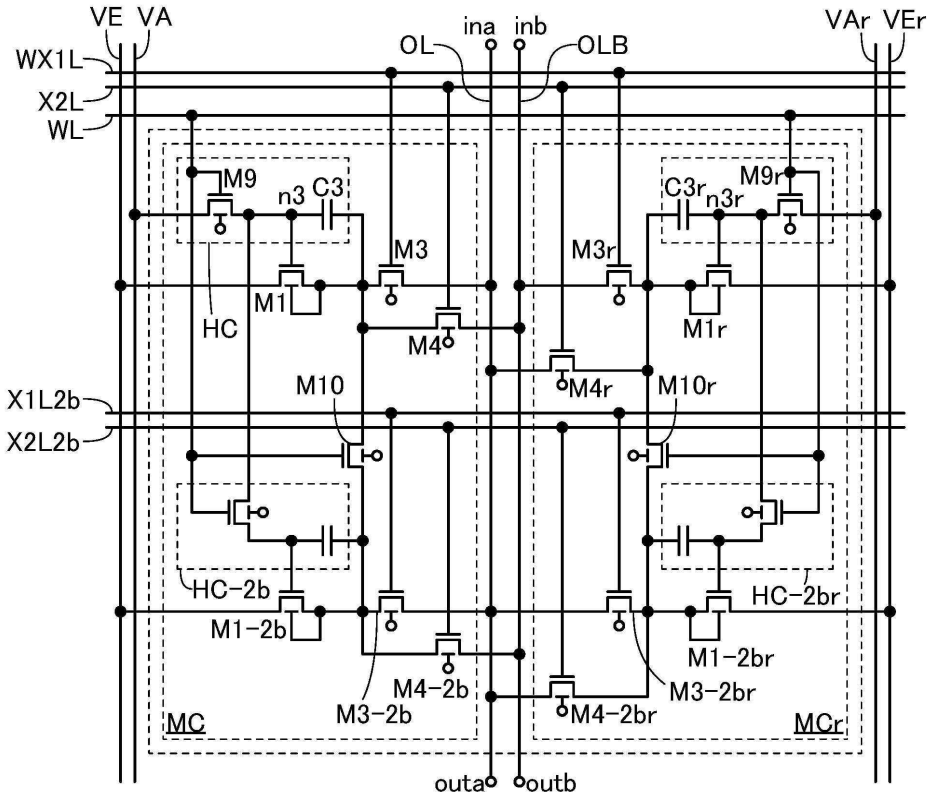
도면42


VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
M9
n3
C3
M3
M3r
C3r
n3r
M9r
M1
HC
M4
M1r
HCr
M4r
M10
M10r
X1L2b
X2L2b
HC-2b
M1-2b
HC-2br
M1-2br
M4-2b
M3-2b
M3-2br
M4-2br
MC
MCr
outa
outb

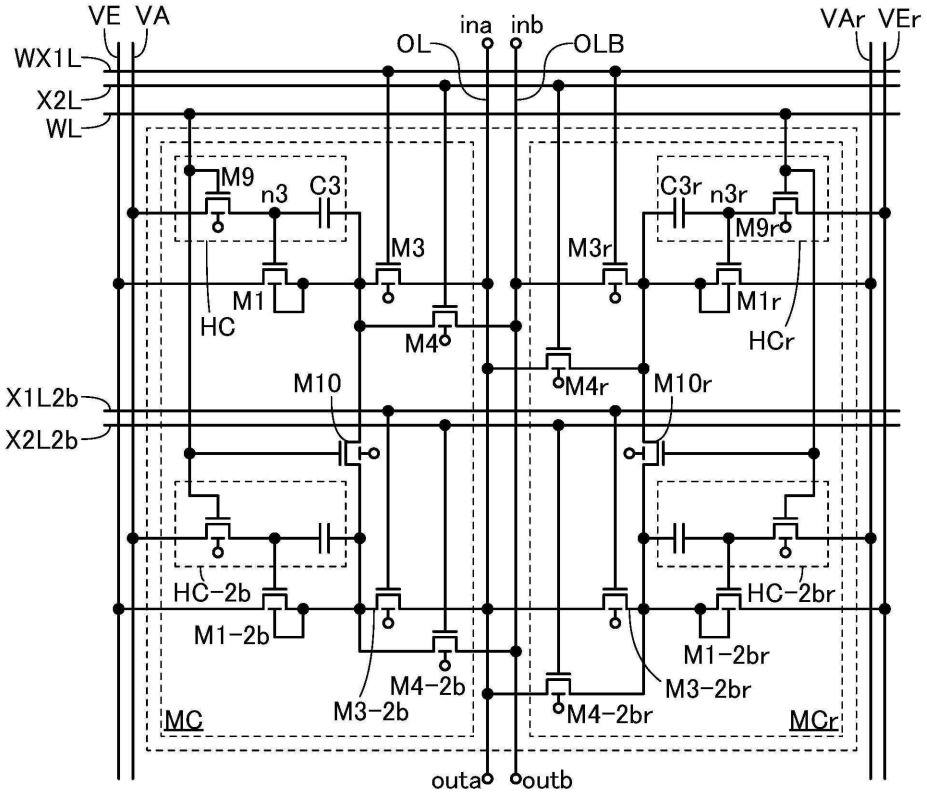
도면43


VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
M9
n3
C3
M3
M3r
C3r
n3r
M9r
M1
HC
M4
M1r
HCr
M4r
M10
M10r
X1L2b
X2L2b
HC-2b
M1-2b
HC-2br
M1-2br
M4-2b
M3-2b
M3-2br
M4-2br
MC
MCr
outa
outb

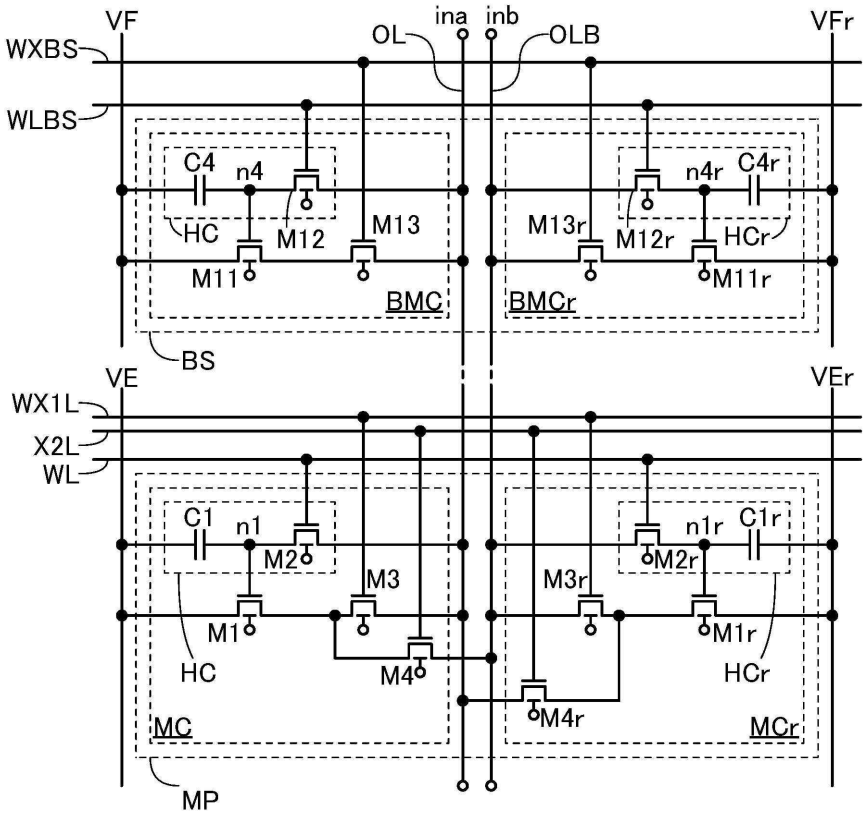
도면44


VE
VA
ina
inb
VAr
VEr
WX1L
OL
OLB
X2L
WL
M9
n3
C3
C3r
n3r
M9r
M3
M3r
HC
M1
M1r
M4
M4r
M10
M10r
X1L2b
X2L2b
HC-2b
HC-2br
M1-2b
M1-2br
M4-2b
M3-2b
M3-2br
M4-2br
MC
MCr
outa
outb

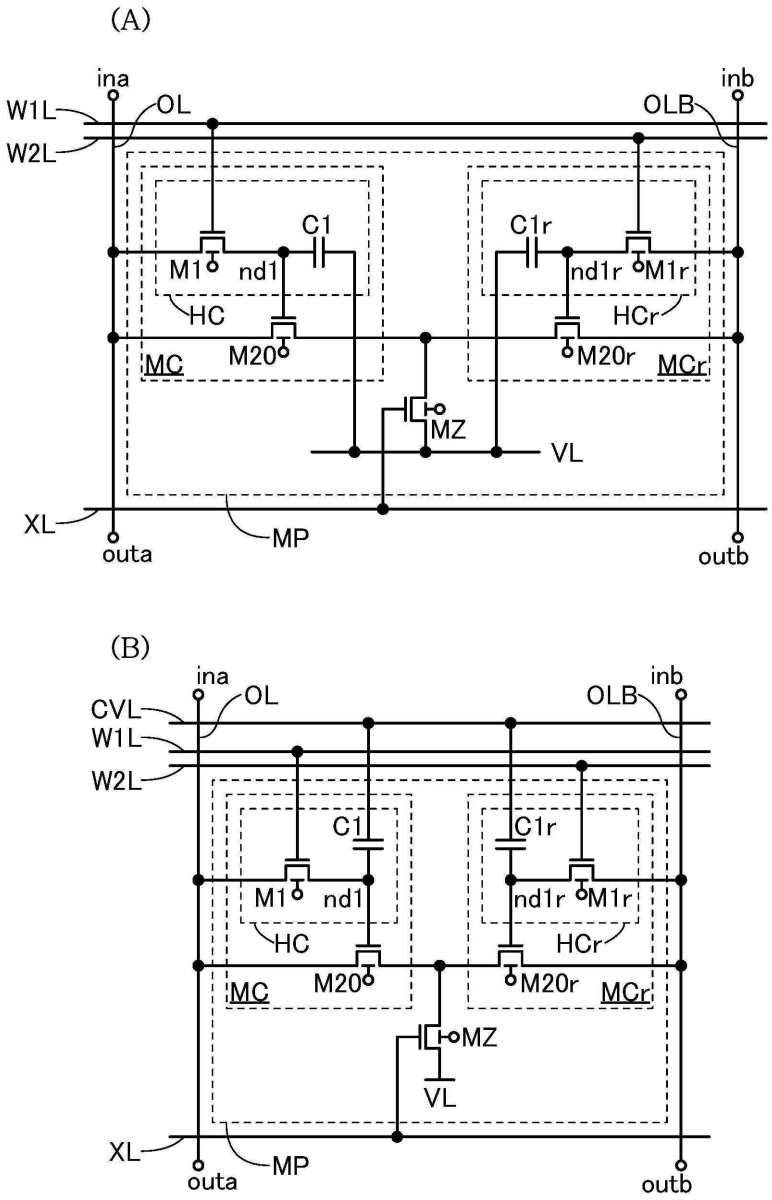
도면45


VE
VA
ina
inb
VAr
VEr
WX1L
OL
OLB
X2L
WL
M9
n3
C3
C3r
n3r
M9r
M3
M3r
HC
M1
M1r
HCr
M4
M4r
M10
M10r
X1L2b
X2L2b
HC-2b
HC-2br
M1-2b
M1-2br
M4-2b
M3-2b
M3-2br
M4-2br
MC
MCr
outa
outb

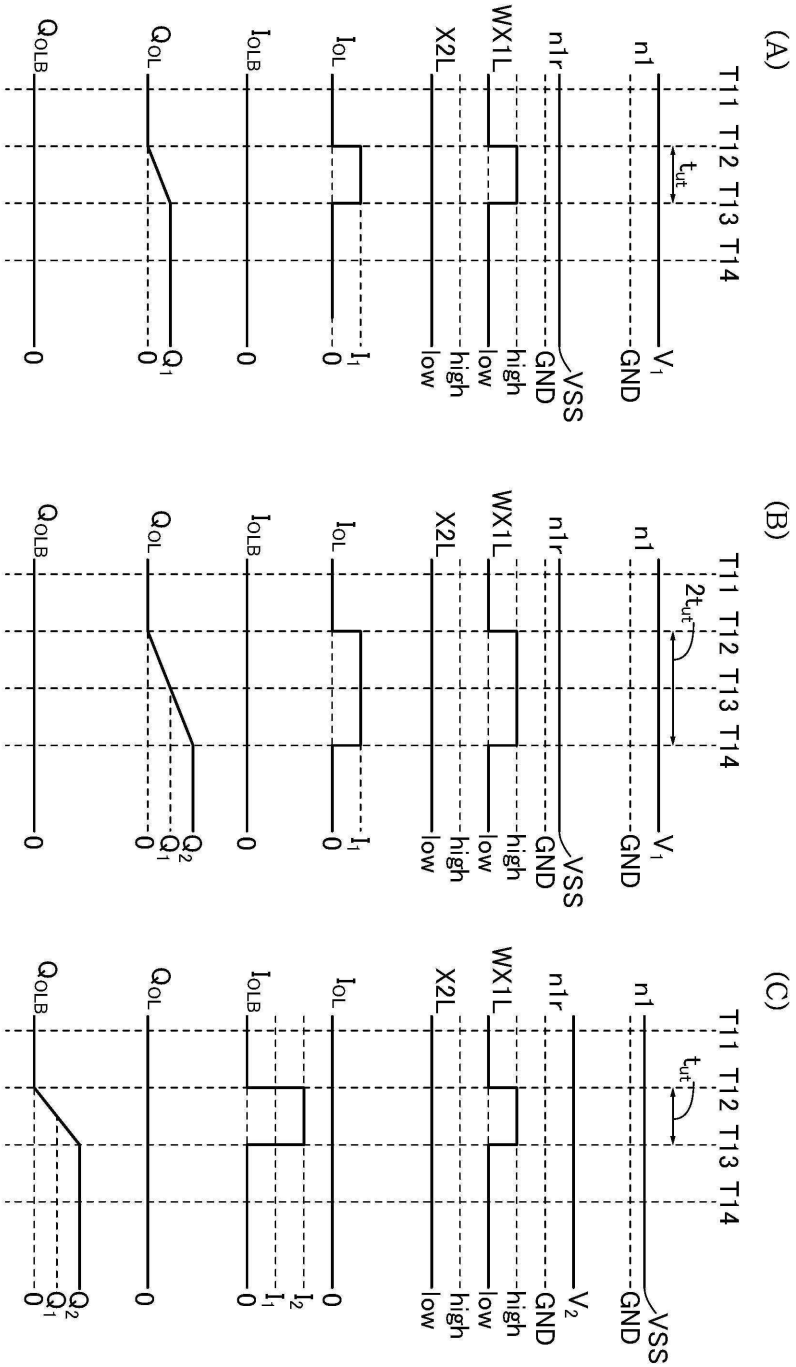
도면46


VF
ina
inb
VFr
WXBS
OL
OLB
WLBS
C4
n4
n4r
C4r
HC
M12
M13
M13r
M12r
HCr
M11
M11r
BMC
BMCr
BS
VE
VEr
WX1L
X2L
WL
C1
n1
n1r
C1r
M2
M2r
M3
M3r
M1
M1r
HC
M4
HCr
M4r
MC
MCr
MP

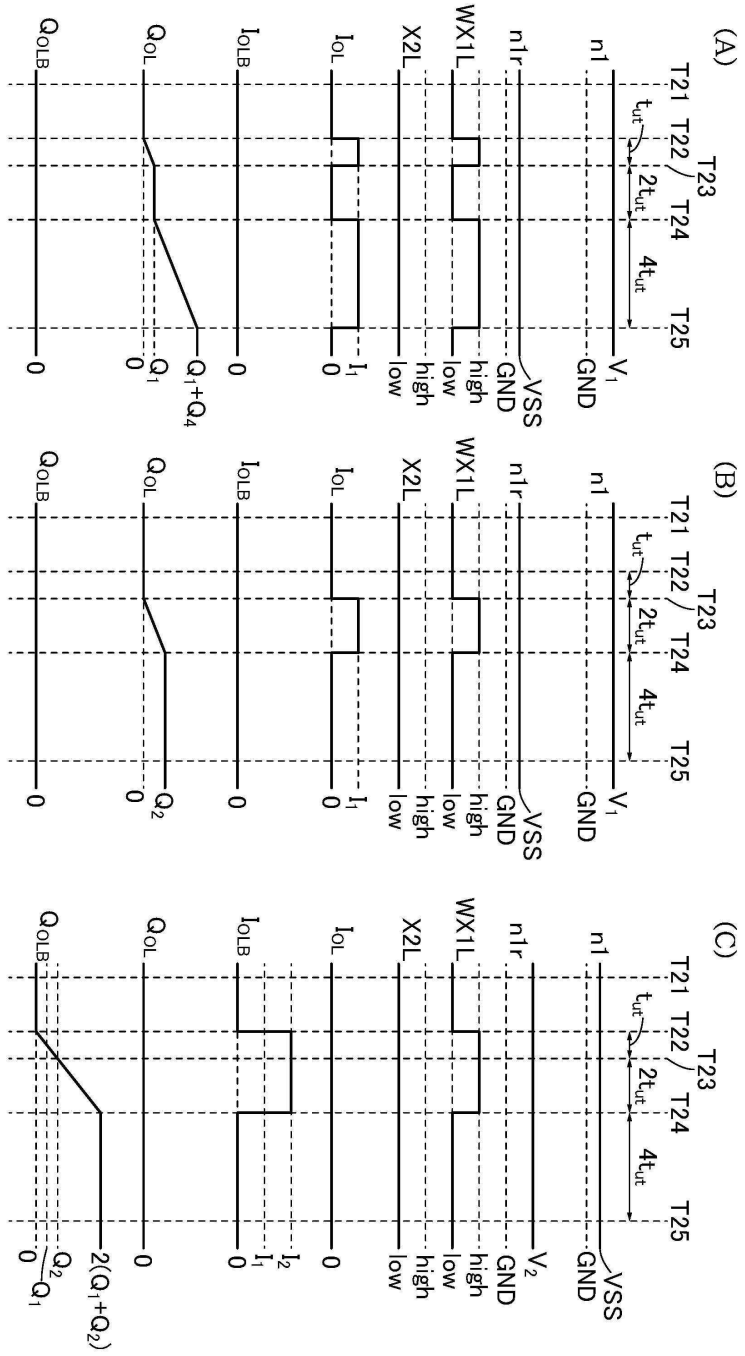
도면47


(A)
ina
inb
W1L
OL
OLB
W2L
C1
C1r
M1
nd1
nd1r
M1r
HC
HCr
MC
M20
M20r
MCr
MZ
VL
XL
MP
outa
outb
(B)
ina
inb
CVL
OL
OLB
W1L
W2L
C1
C1r
M1
nd1
nd1r
M1r
HC
HCr
MC
M20
M20r
MCr
MZ
VL
XL
MP
outa
outb

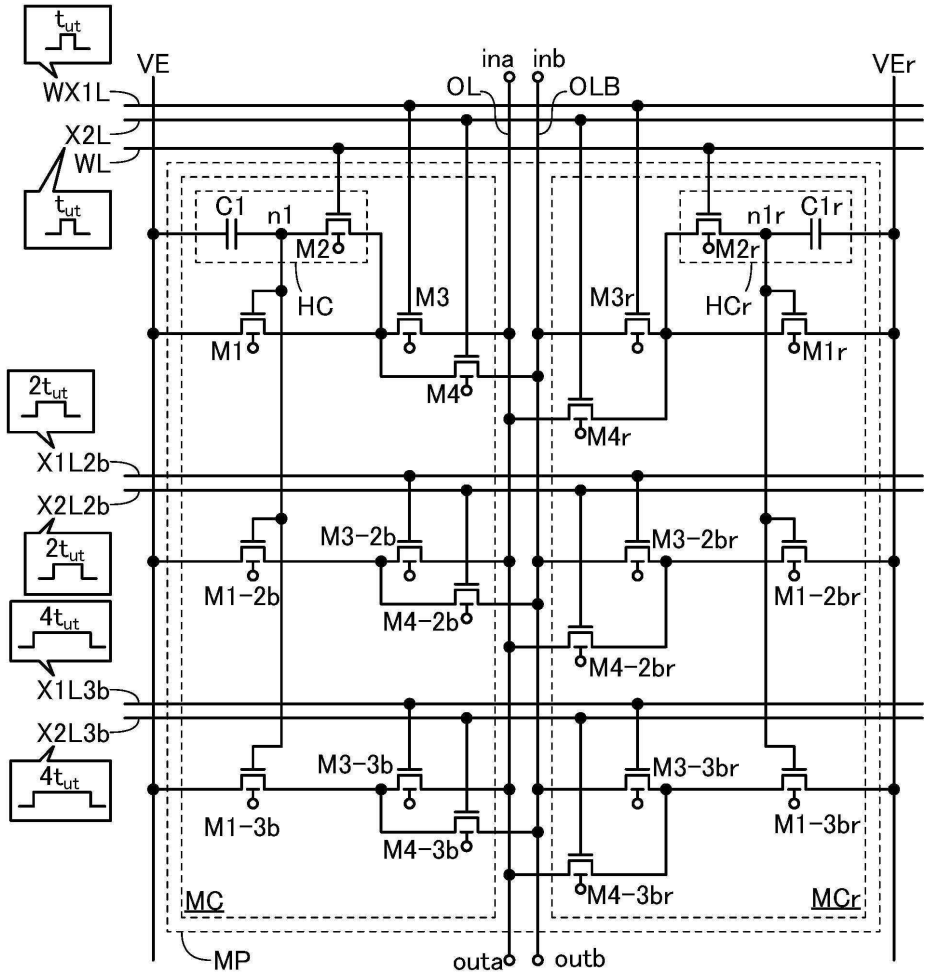
도면48


(A)
T11 T12 T13 T14
n1
n1r
WX1L
X2L
I_{OL}
I_{OLB}
Q_{OL}
Q_{OLB}
t_{ut}
V_1
GND
VSS
low
high
0
I_1
Q_1
(B)
$2t_{ut}$
Q_2
(C)
V_2
I_2

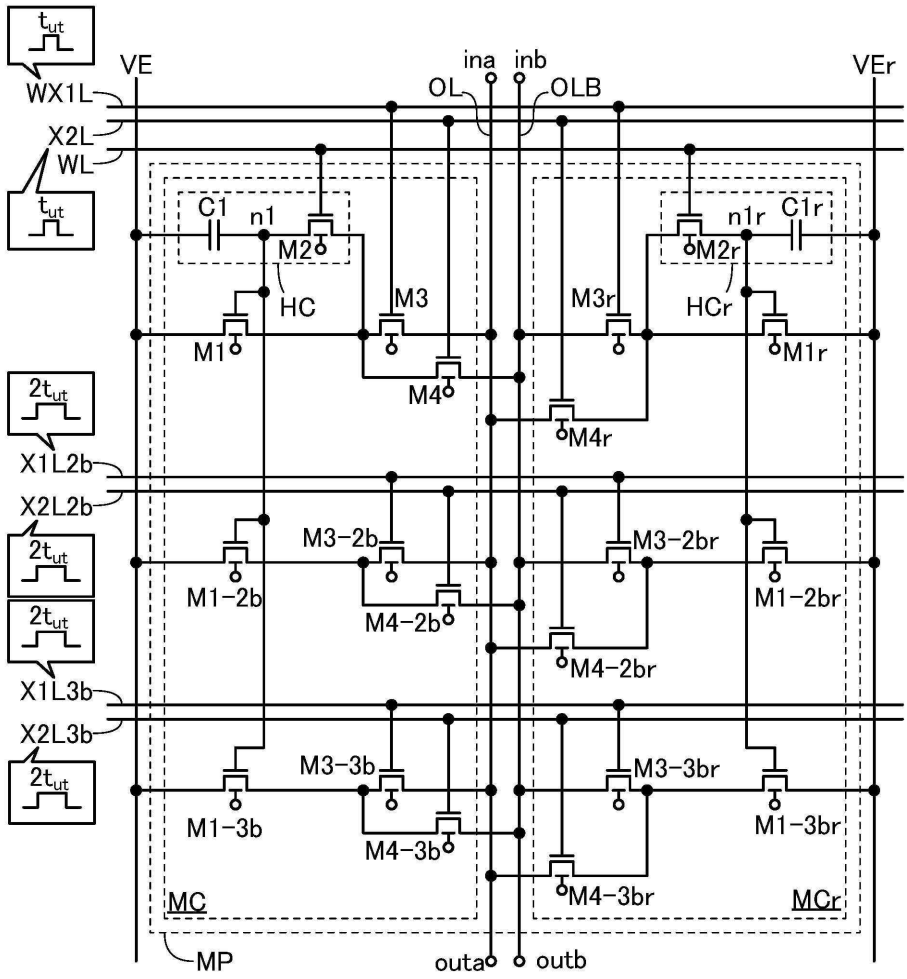
도면49


(A)
(B)
(C)
T21
T22 / T23
T24
T25
t_{ut}
$2t_{ut}$
$4t_{ut}$
n1
n1r
WX1L
X2L
I_{OL}
I_{OLB}
Q_{OL}
Q_{OLB}
V_1
V_2
VSS
GND
high
low
0
I_1
I_2
Q_1
Q_2
Q_1+Q_4
$2(Q_1+Q_2)$

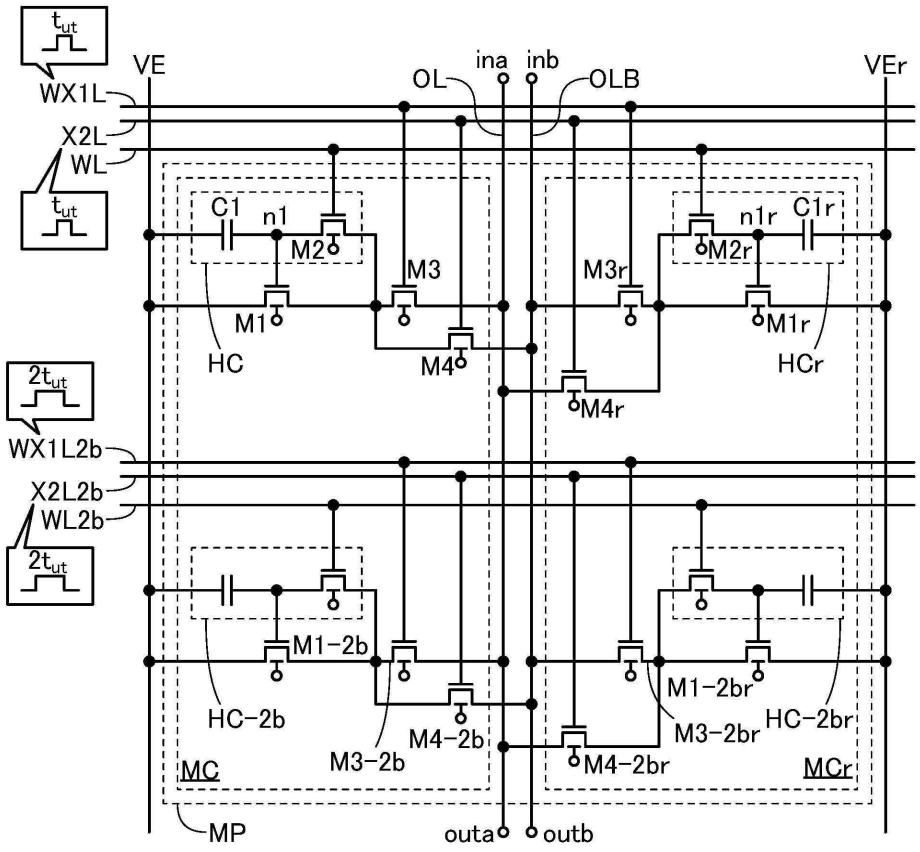
도면50


t_{ut}
VE
ina
inb
VEr
WX1L
OL
OLB
X2L
WL
t_{ut}
C1
n1
M2
n1r
C1r
M2r
HC
M3
M3r
HCr
M1
M1r
M4
M4r
$2t_{ut}$
X1L2b
X2L2b
$2t_{ut}$
M3-2b
M3-2br
M1-2b
M1-2br
M4-2b
M4-2br
$4t_{ut}$
X1L3b
X2L3b
$4t_{ut}$
M3-3b
M3-3br
M1-3b
M1-3br
M4-3b
M4-3br
MC
MCr
MP
outa
outb

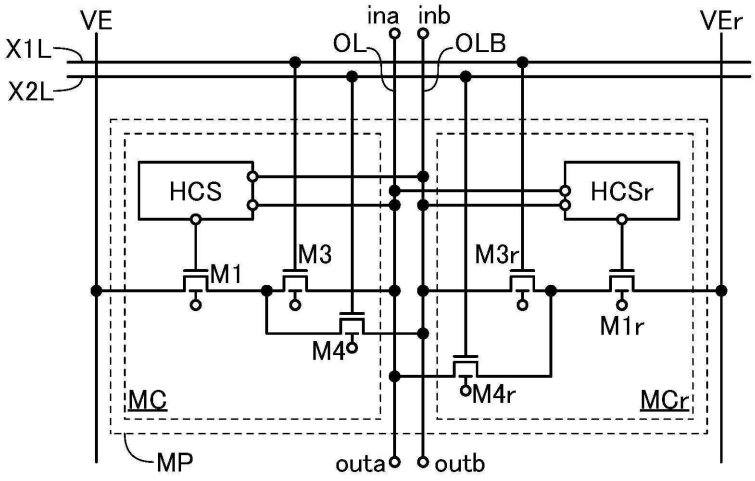
도면51


t_{ut}
VE
ina
inb
VEr
WX1L
OL
OLB
X2L
WL
t_{ut}
C1
n1
M2
n1r
C1r
M2r
HC
M3
M3r
HCr
M1
M1r
M4
M4r
$2t_{ut}$
X1L2b
X2L2b
$2t_{ut}$
M3-2b
M3-2br
M1-2b
M1-2br
M4-2b
M4-2br
$2t_{ut}$
X1L3b
X2L3b
$2t_{ut}$
M3-3b
M3-3br
M1-3b
M1-3br
M4-3b
M4-3br
MC
MCr
MP
outa
outb

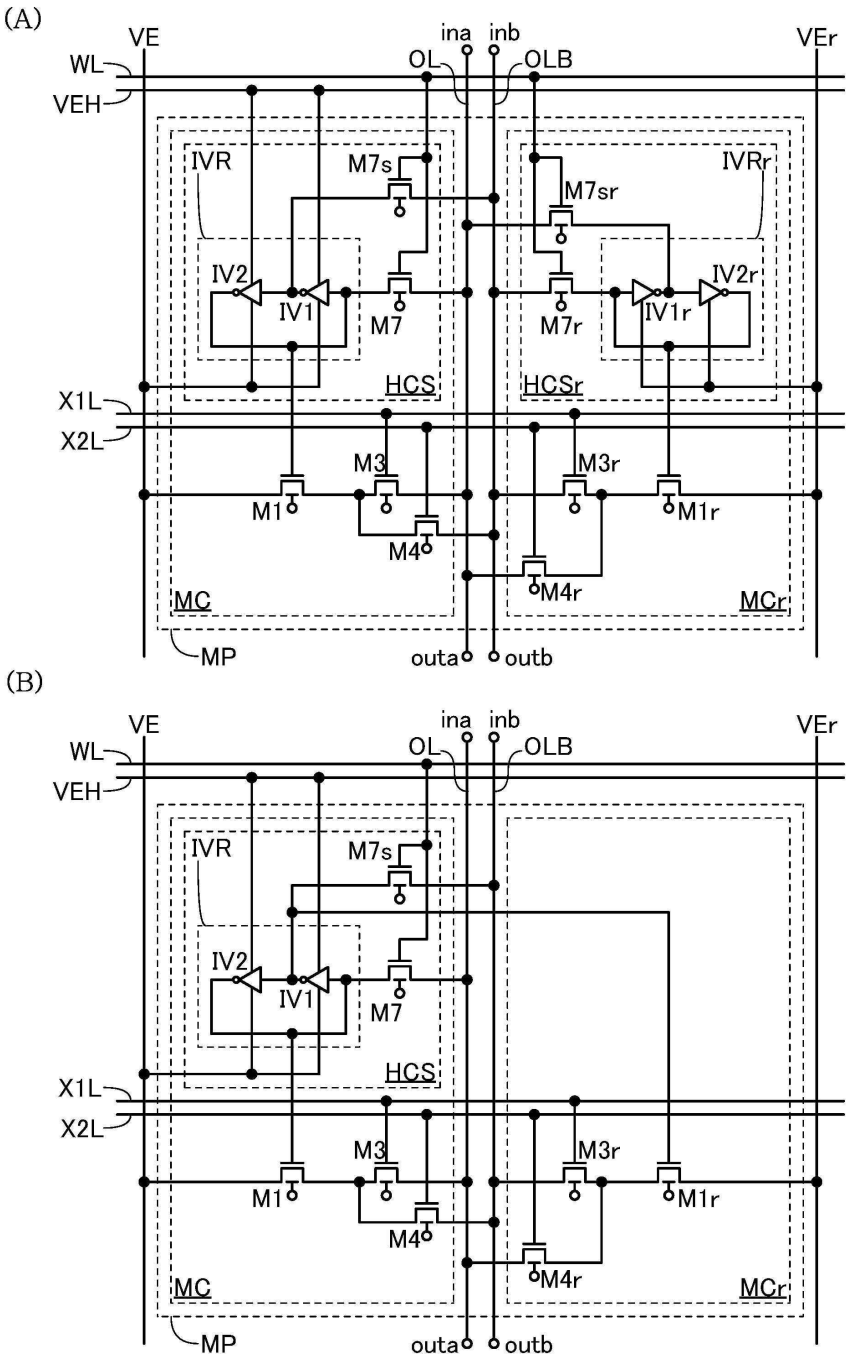
도면52


t_{ut}
VE
ina
inb
VEr
WX1L
OL
OLB
X2L
WL
t_{ut}
C1
n1
M2
M3
M3r
n1r
C1r
M2r
M1
M1r
HC
M4
HCr
M4r
$2t_{ut}$
WX1L2b
X2L2b
WL2b
$2t_{ut}$
M1-2b
M1-2br
HC-2b
M4-2b
M3-2br
HC-2br
M3-2b
M4-2br
MC
MCr
MP
outa
outb

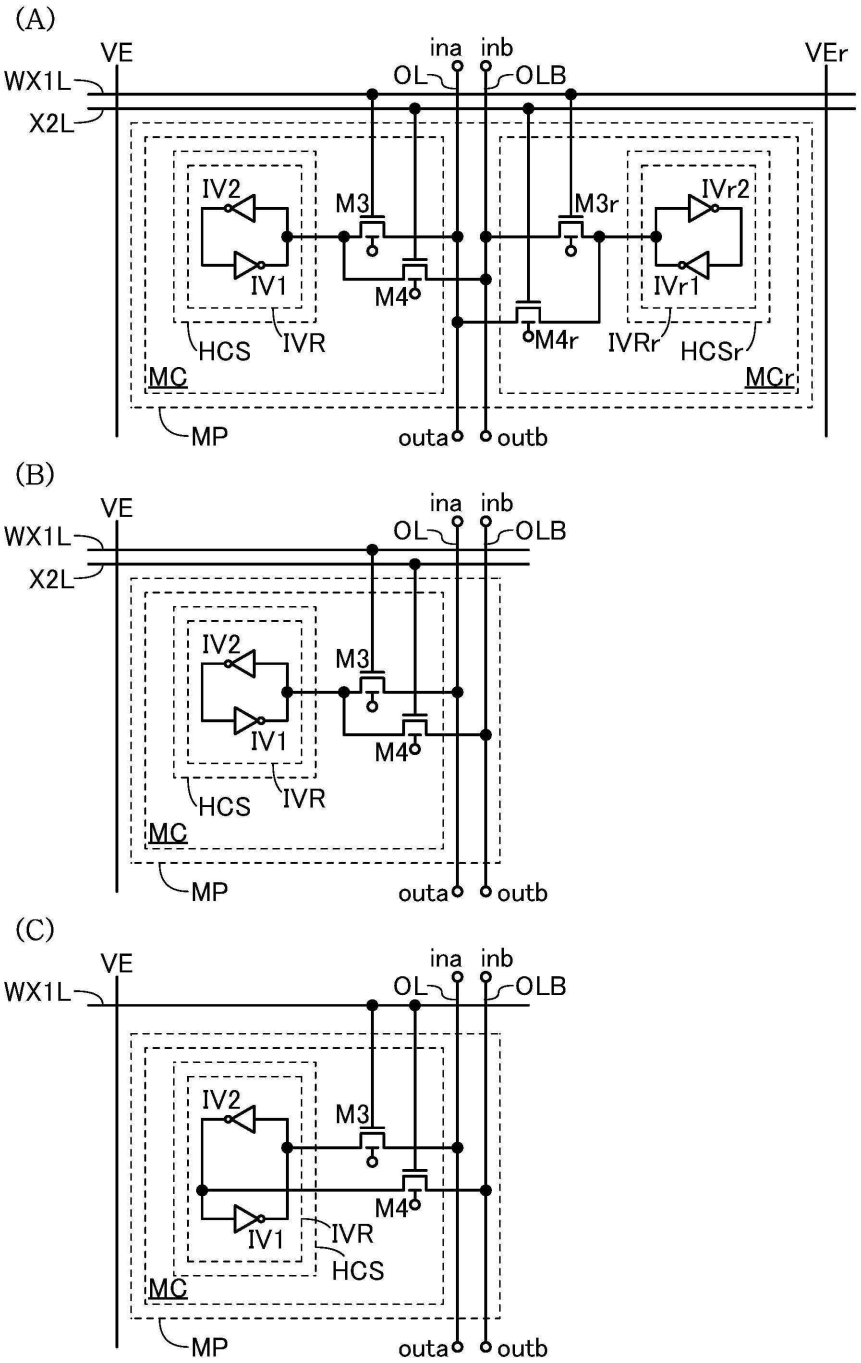
도면53


VE
ina
inb
VEr
X1L
OL
OLB
X2L
HCS
HCSr
M1
M3
M3r
M1r
M4
M4r
MC
MCr
MP
outa
outb

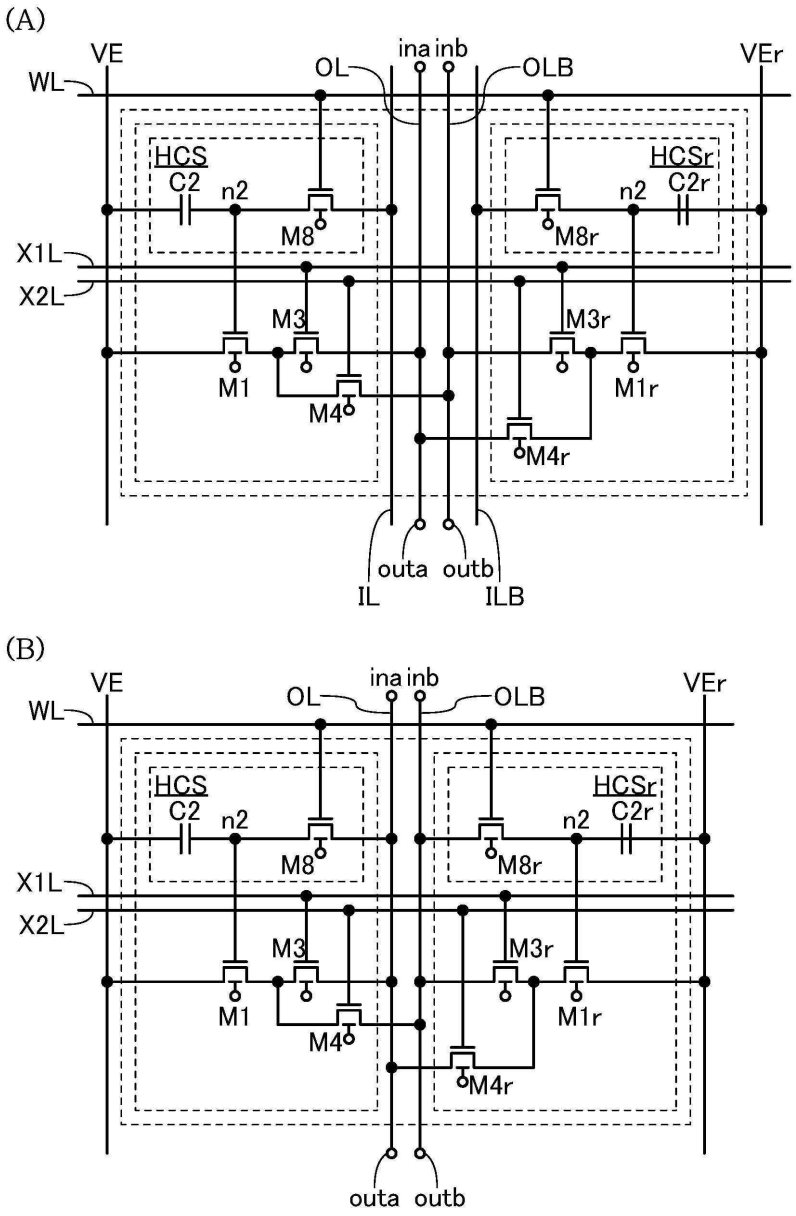
도면54


(A)
VE
ina
inb
VEr
WL
OL
OLB
VEH
IVR
M7s
IVRr
M7sr
IV2
IV2r
IV1
M7
M7r
IV1r
HCS
HCSr
X1L
X2L
M3
M3r
M1
M1r
M4
M4r
MC
MCr
MP
outa
outb
(B)
VE
ina
inb
VEr
WL
OL
OLB
VEH
IVR
M7s
IV2
IV1
M7
HCS
X1L
X2L
M3
M3r
M1
M1r
M4
M4r
MC
MCr
MP
outa
outb

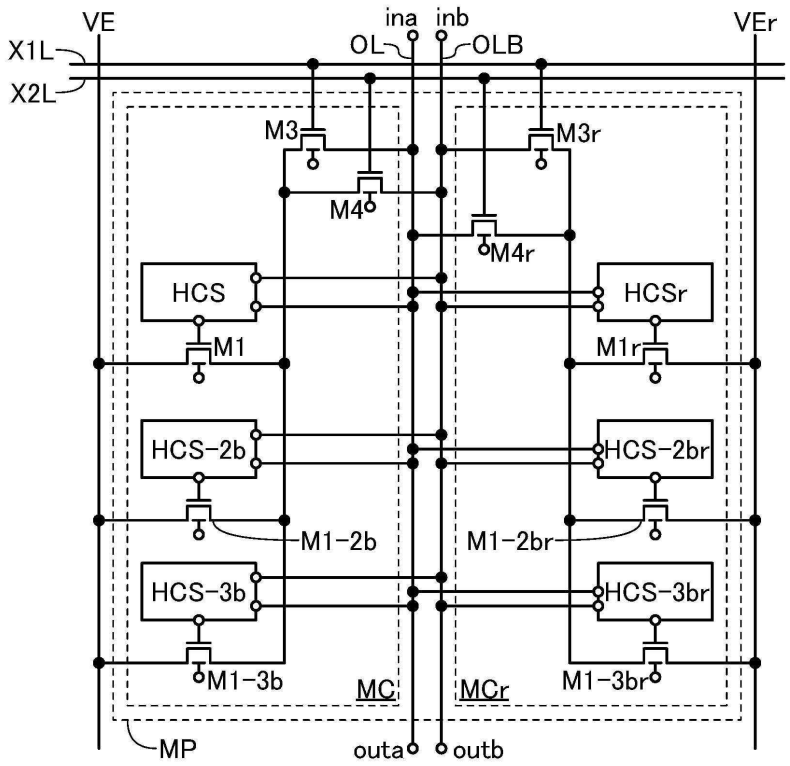
도면55


(A)
VE
WX1L
X2L
ina
inb
OL
OLB
VEr
IV2
M3
M3r
IVr2
IV1
M4
IVr1
HCS
IVR
M4r
IVRr
HCSr
MC
MCr
MP
outa
outb
(B)
VE
WX1L
X2L
ina
inb
OL
OLB
IV2
M3
IV1
M4
HCS
IVR
MC
MP
outa
outb
(C)
VE
WX1L
ina
inb
OL
OLB
IV2
M3
M4
IV1
IVR
HCS
MC
MP
outa
outb

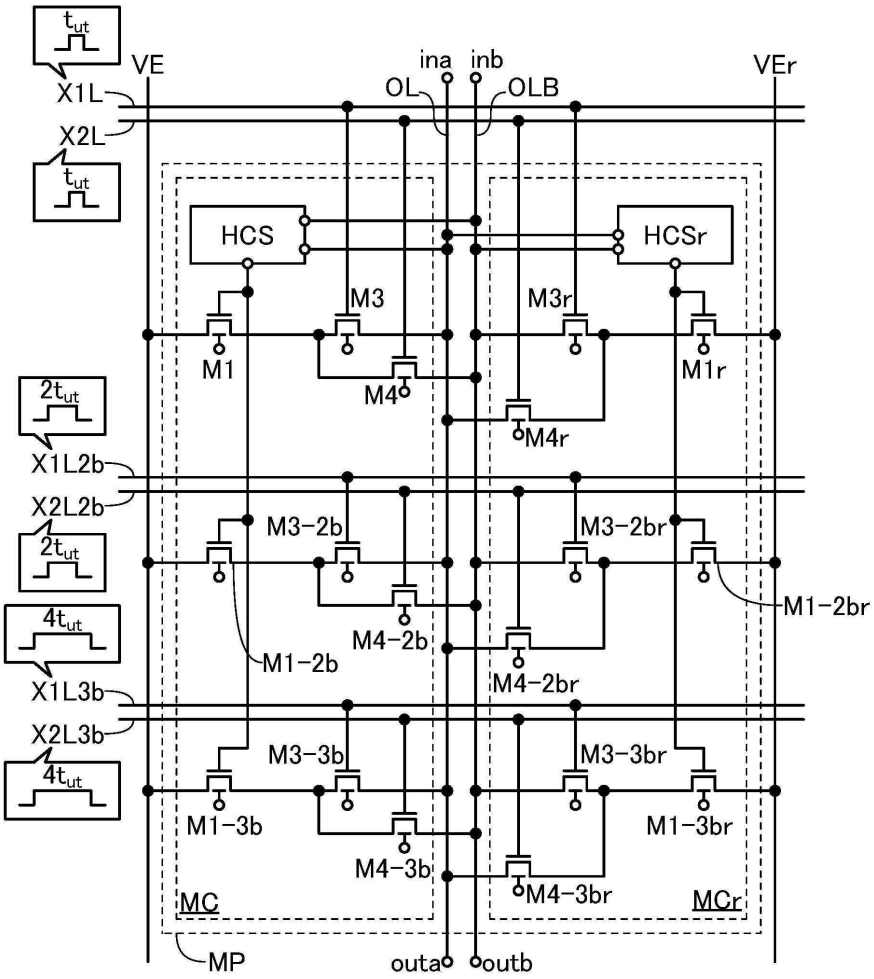
도면56


(A)
VE
WL
OL
ina inb
OLB
VEr
HCS
C2
n2
M8
HCSr
C2r
n2
M8r
X1L
X2L
M3
M3r
M1
M4
M1r
M4r
outa outb
IL
ILB
(B)
VE
WL
OL
ina inb
OLB
VEr
HCS
C2
n2
M8
HCSr
C2r
n2
M8r
X1L
X2L
M3
M3r
M1
M4
M1r
M4r
outa outb

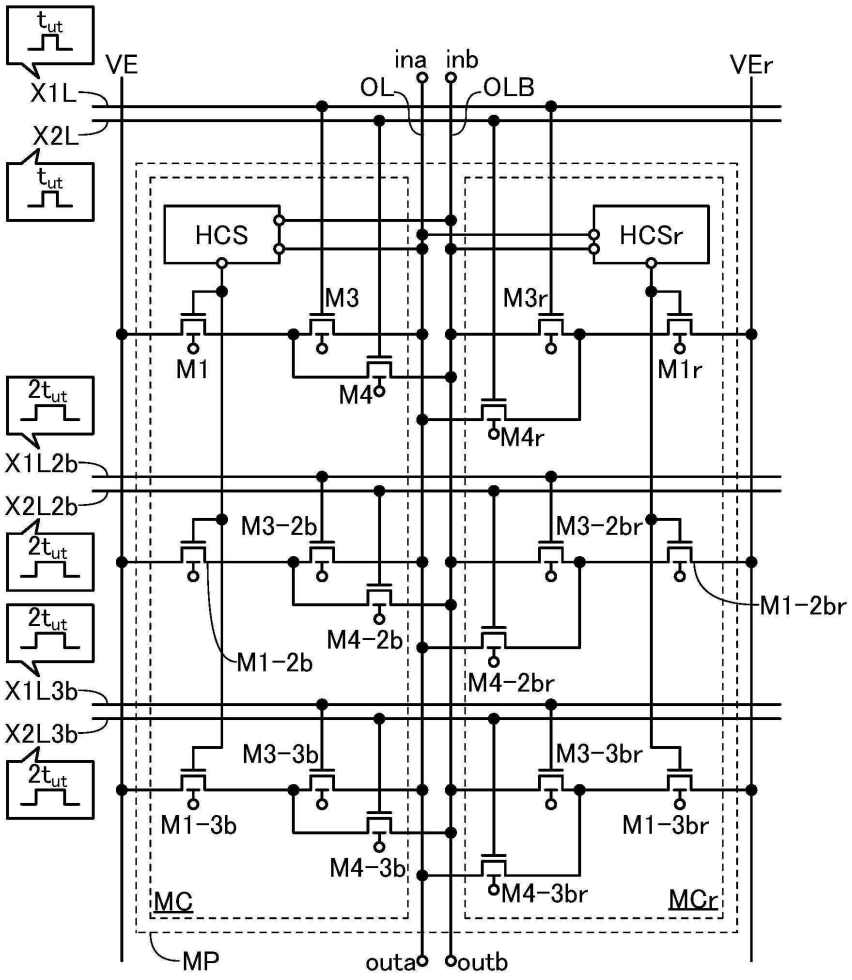
도면57


VE
X1L
X2L
ina
inb
OL
OLB
VEr
M3
M3r
M4
M4r
HCS
HCSr
M1
M1r
HCS-2b
HCS-2br
M1-2b
M1-2br
HCS-3b
HCS-3br
M1-3b
M1-3br
MC
MCr
MP
outa
outb

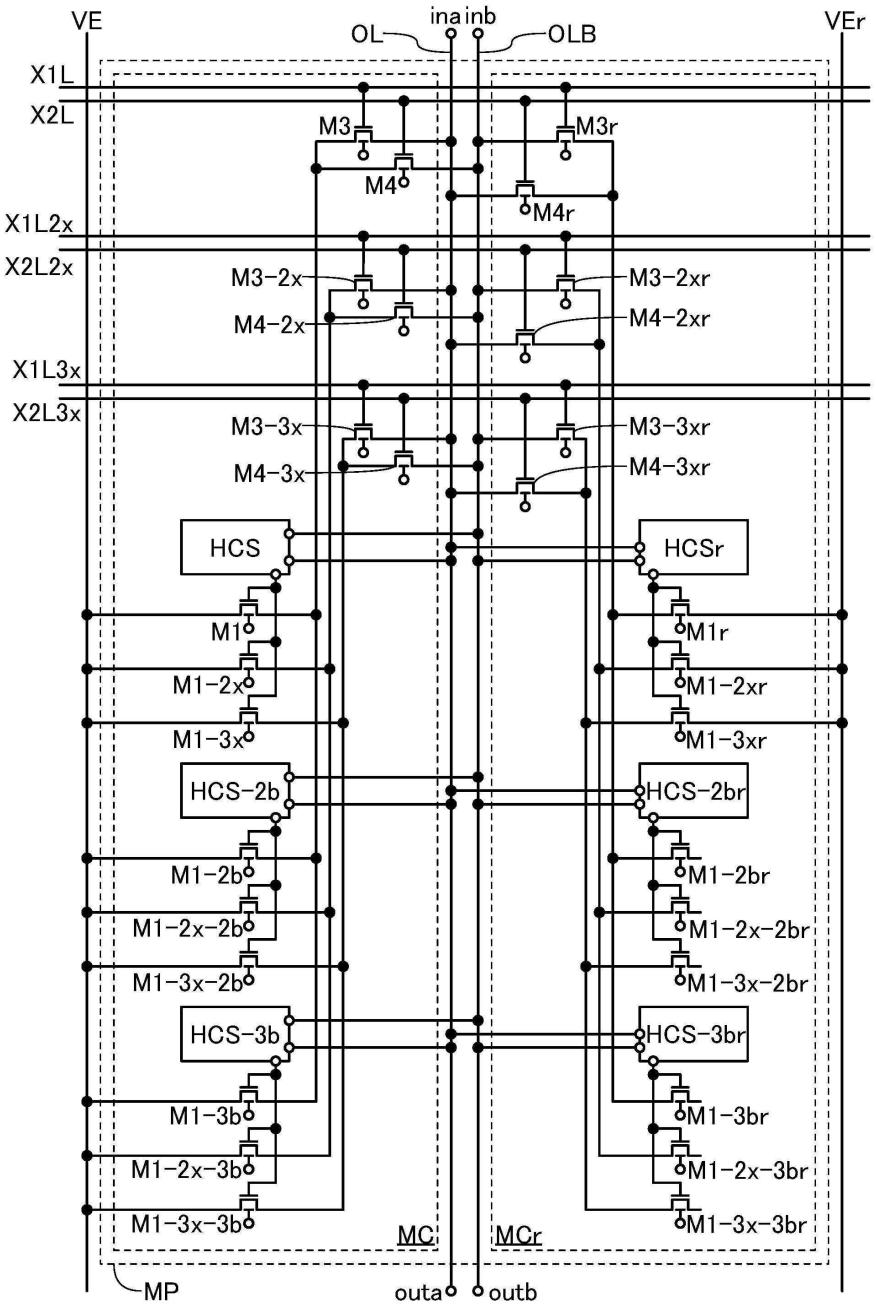
도면58


tut
VE
ina
inb
VEr
X1L
OL
OLB
X2L
tut
HCS
HCSr
M3
M3r
M1
M1r
M4
M4r
2tut
X1L2b
X2L2b
2tut
M3-2b
M3-2br
M1-2br
M4-2b
M1-2b
M4-2br
4tut
X1L3b
X2L3b
4tut
M3-3b
M3-3br
M1-3b
M1-3br
M4-3b
M4-3br
MC
MCr
MP
outa
outb

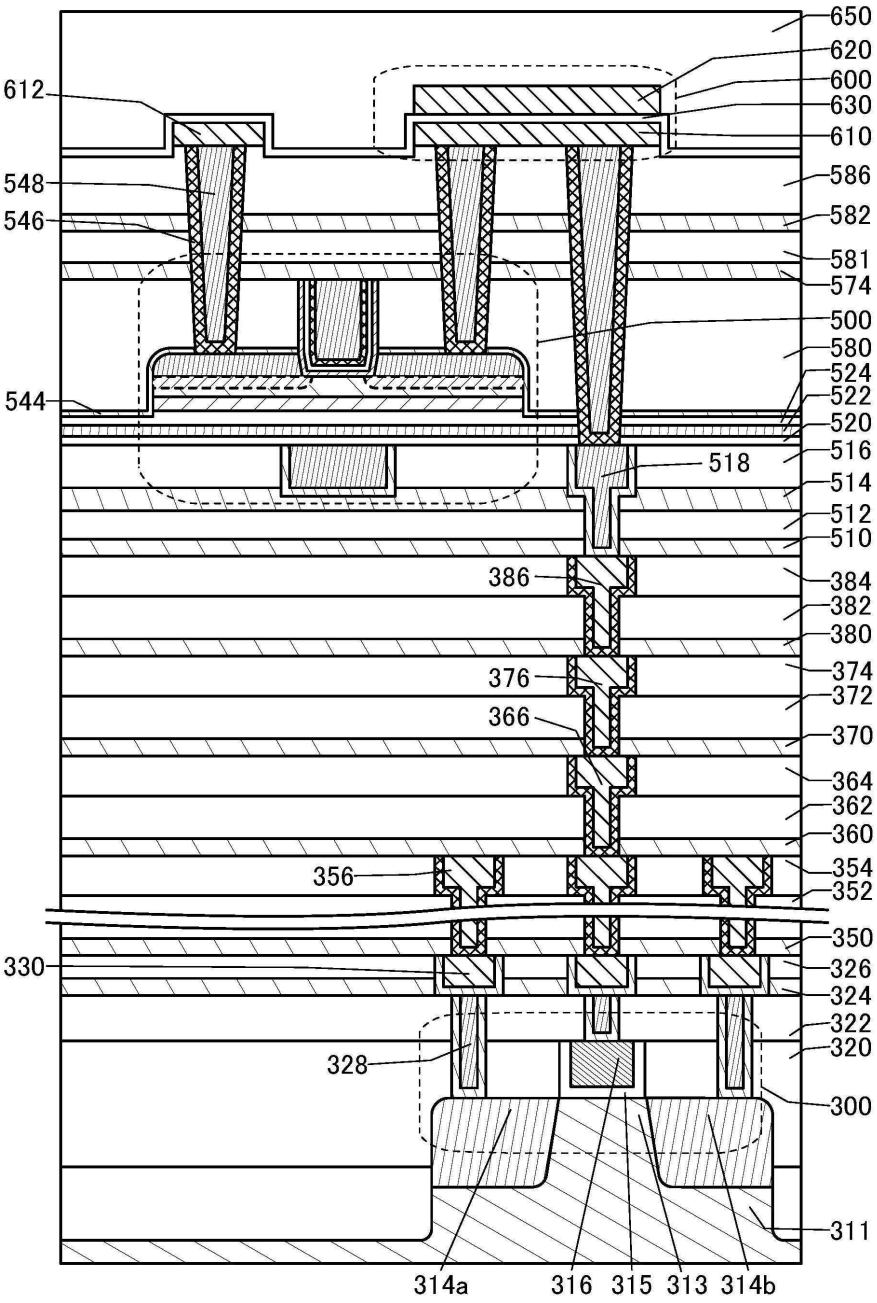
도면59


tut
VE
ina
inb
VEr
X1L
OL
OLB
X2L
tut
HCS
HCSr
M3
M3r
M1
M1r
M4
M4r
2tut
X1L2b
X2L2b
M3-2b
M3-2br
2tut
M1-2br
2tut
M4-2b
M1-2b
M4-2br
X1L3b
X2L3b
M3-3b
M3-3br
2tut
M1-3b
M1-3br
M4-3b
M4-3br
MC
MCr
MP
outa
outb

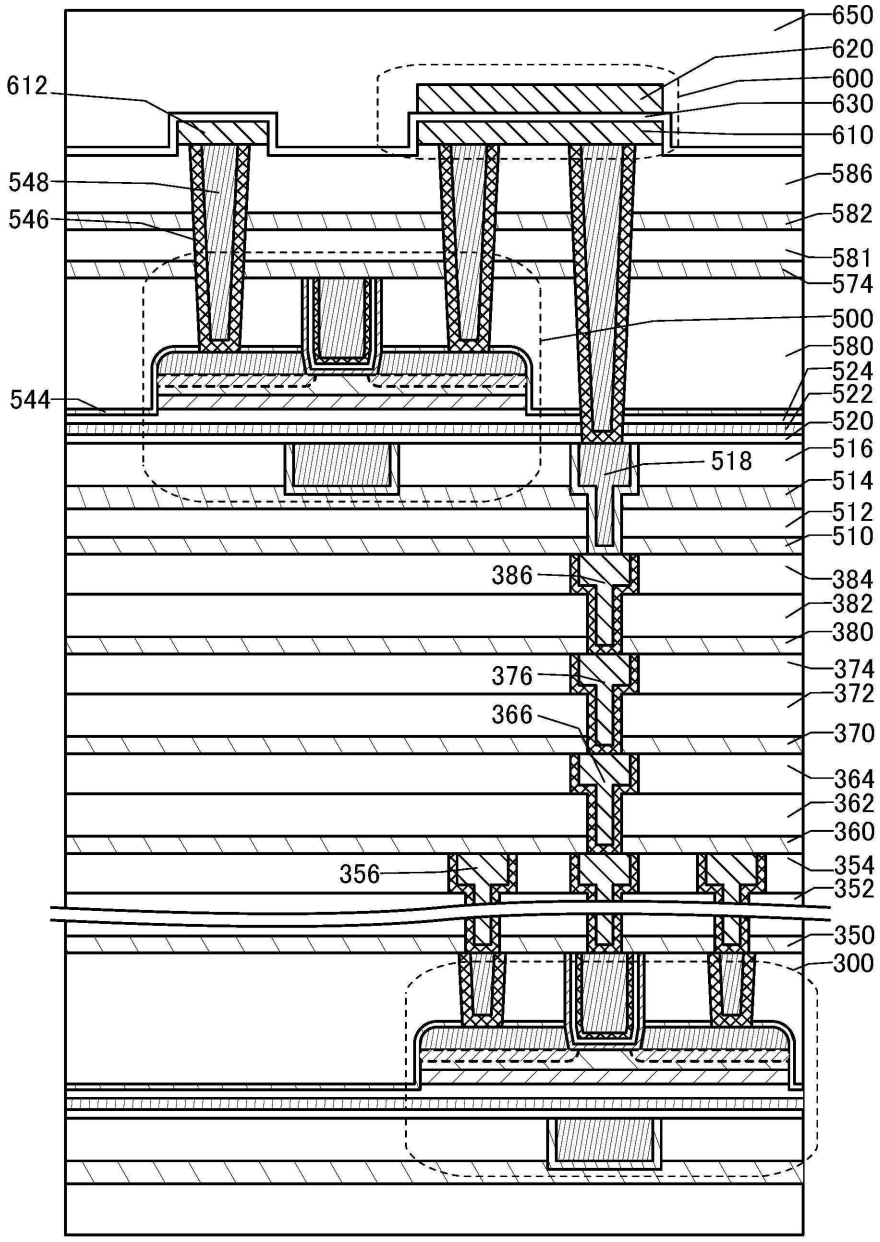
도면60


VE
OL
ina
inb
OLB
VEr
X1L
X2L
M3
M3r
M4
M4r
X1L2x
X2L2x
M3-2x
M3-2xr
M4-2x
M4-2xr
X1L3x
X2L3x
M3-3x
M3-3xr
M4-3x
M4-3xr
HCS
HCSr
M1
M1r
M1-2x
M1-2xr
M1-3x
M1-3xr
HCS-2b
HCS-2br
M1-2b
M1-2br
M1-2x-2b
M1-2x-2br
M1-3x-2b
M1-3x-2br
HCS-3b
HCS-3br
M1-3b
M1-3br
M1-2x-3b
M1-2x-3br
M1-3x-3b
M1-3x-3br
MC
MCr
MP
outa
outb

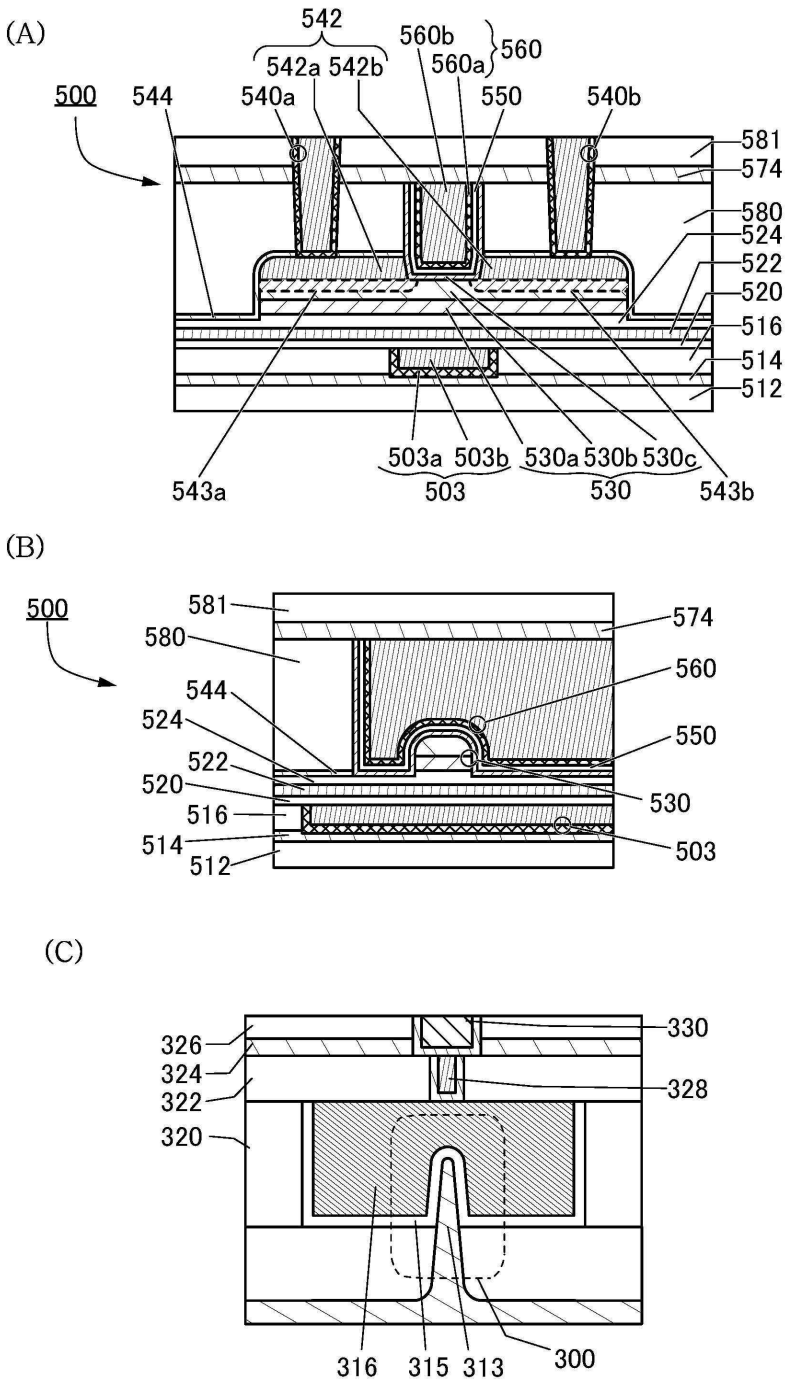
도면61


650
620
600
630
610
612
586
548
582
546
581
574
500
580
524
544
522
520
516
518
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
330
326
324
322
328
320
300
311
314a
316
315
313
314b

도면62

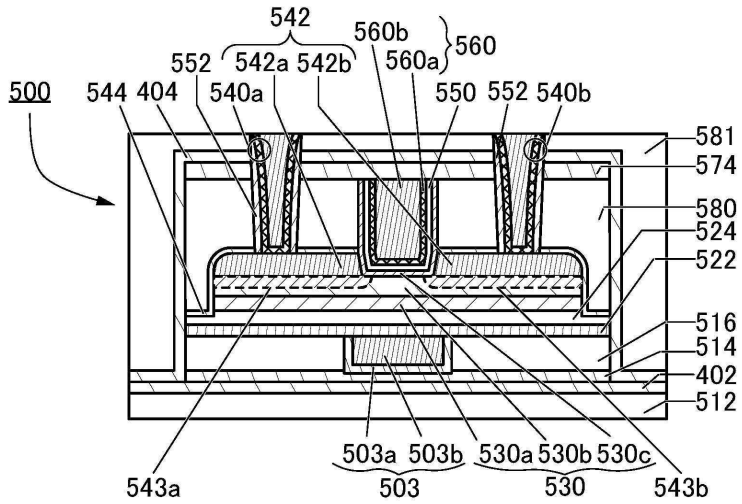

650
620
600
630
610
612
586
548
582
546
581
574
500
580
524
544
522
520
516
518
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
300

도면63

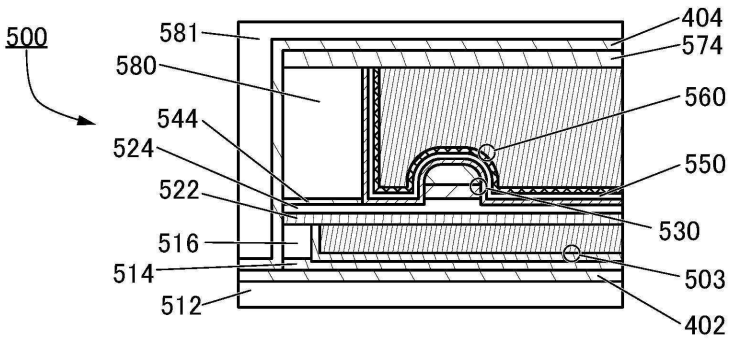

(A)
542
560b
560
542a
542b
560a
500
544
540a
550
540b
581
574
580
524
522
520
516
514
512
503a
503b
530a
530b
530c
543a
503
530
543b
(B)
500
581
574
580
560
544
524
550
522
520
530
516
514
503
512
(C)
326
330
324
328
322
320
316
315
313
300

도면64

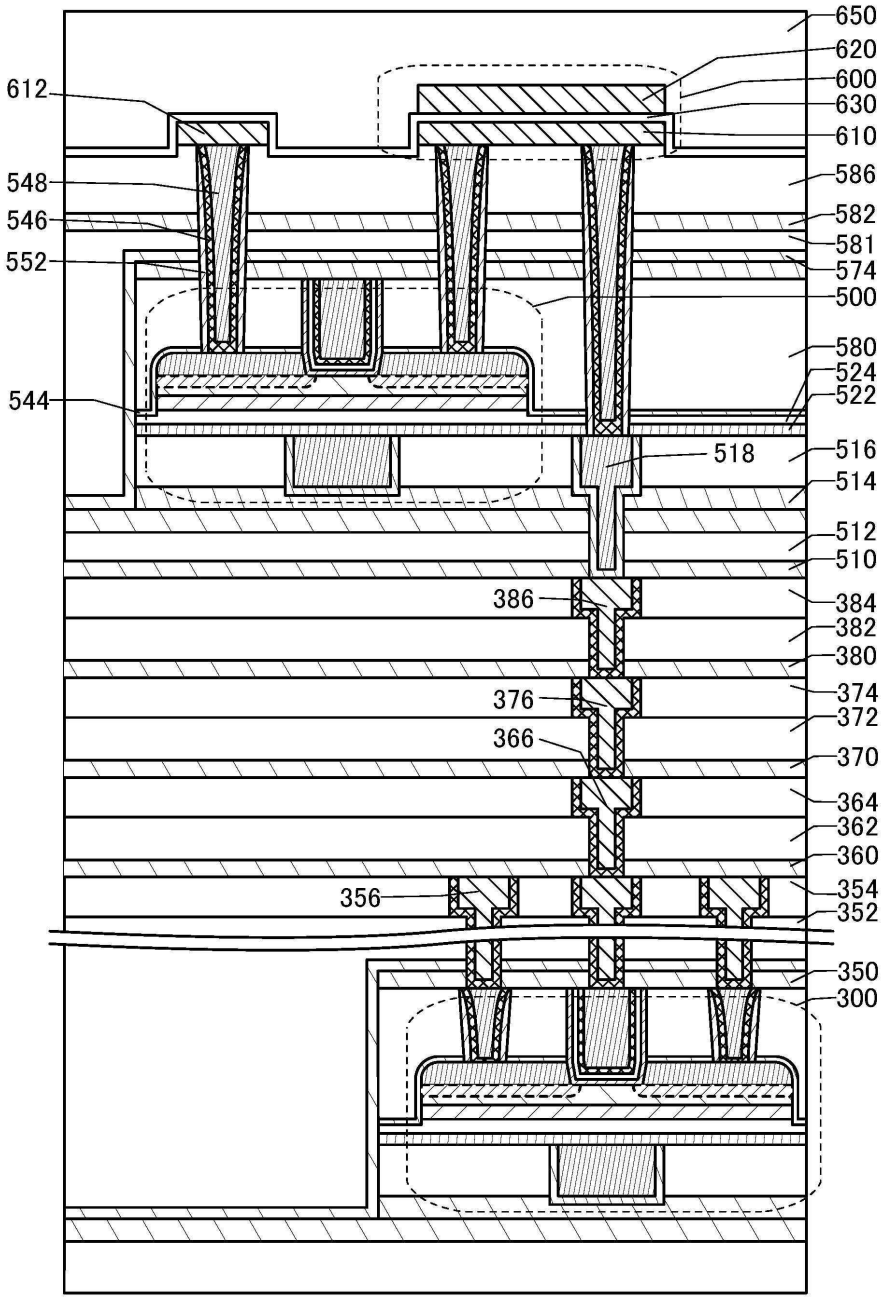
(A)


542
560b
560
552
542a
542b
560a
500
544
404
540a
550
552
540b
581
574
580
524
522
516
514
402
512
503a
503b
530a
530b
530c
543a
503
530
543b

(B)

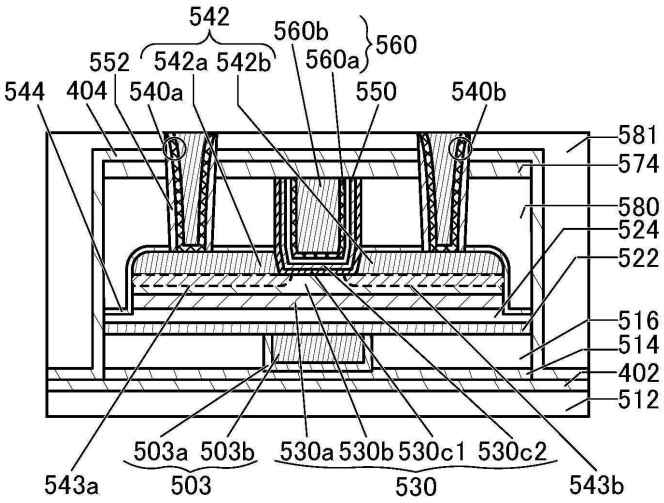

500
581
404
574
580
560
544
524
550
522
530
516
503
514
512
402

도면65

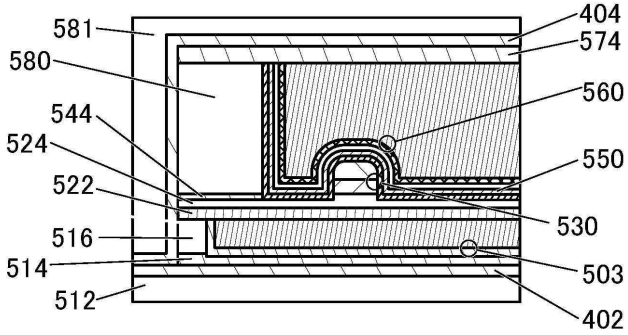

650
620
600
630
610
612
586
548
582
546
581
552
574
500
580
524
544
522
518
516
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
300

도면66

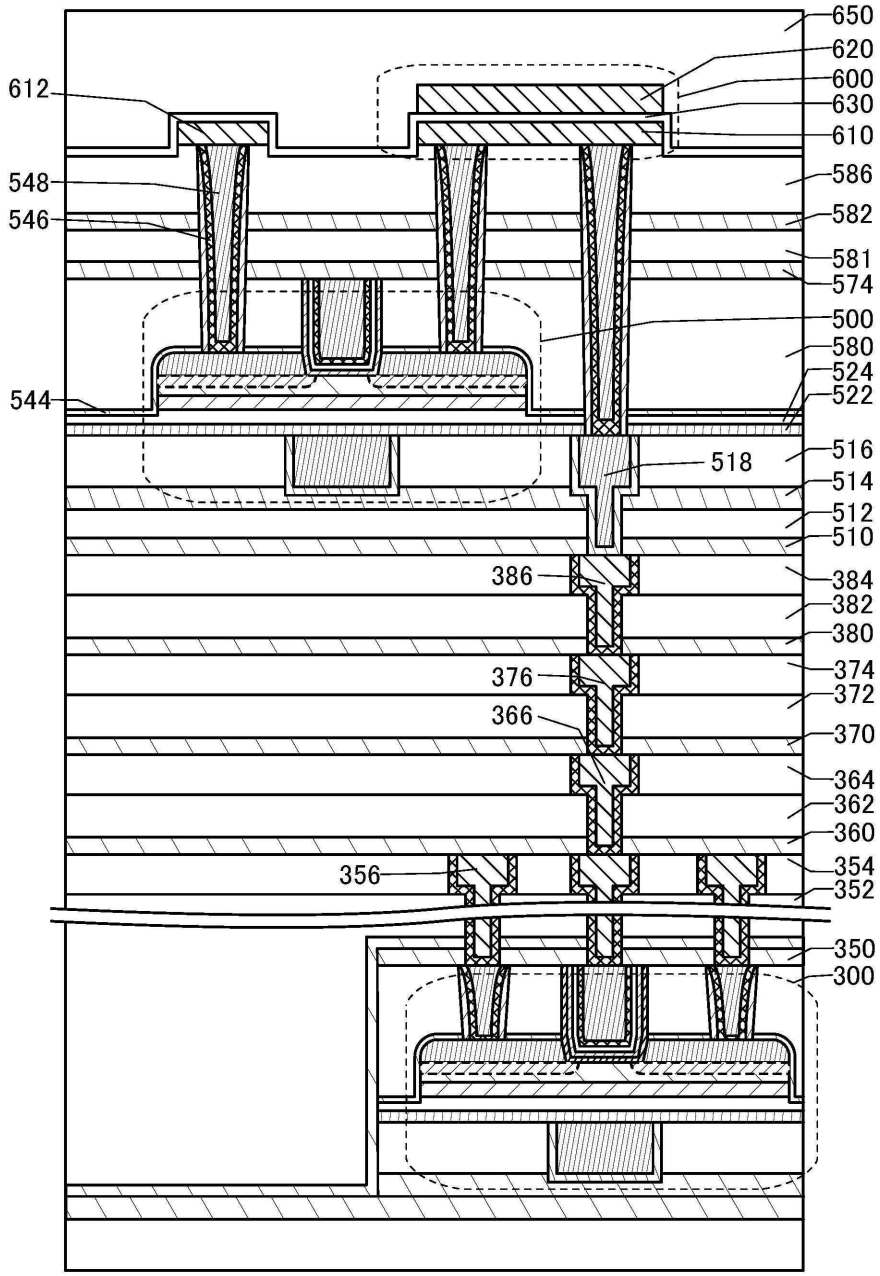
(A)


542
560b
560
552
542a
542b
560a
544
404
540a
550
540b
581
574
580
524
522
516
514
402
512
503a
503b
530a
530b
530c1
530c2
543a
503
530
543b

(B)

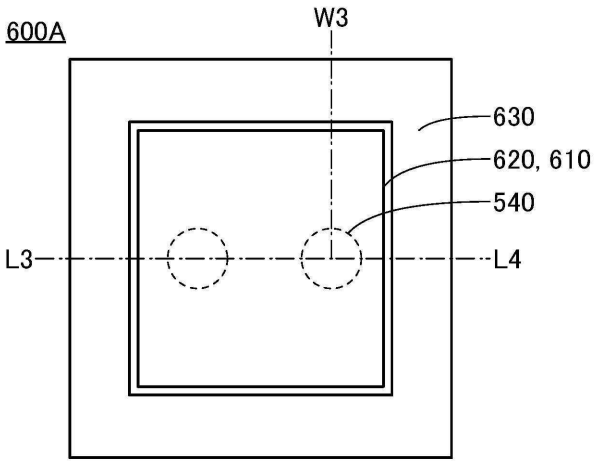

581
404
574
580
560
544
524
550
522
530
516
503
514
512
402

도면67

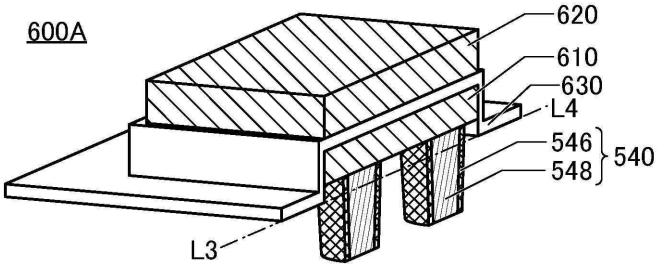

650
620
600
630
610
612
586
548
582
546
581
574
500
580
524
544
522
516
518
514
512
510
386
384
382
380
376
374
372
366
370
364
362
360
356
354
352
350
300

도면68

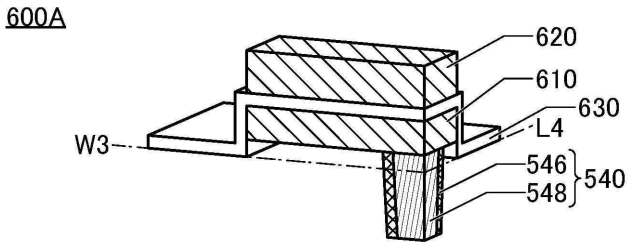
(A)


600A
W3
630
620, 610
540
L3
L4

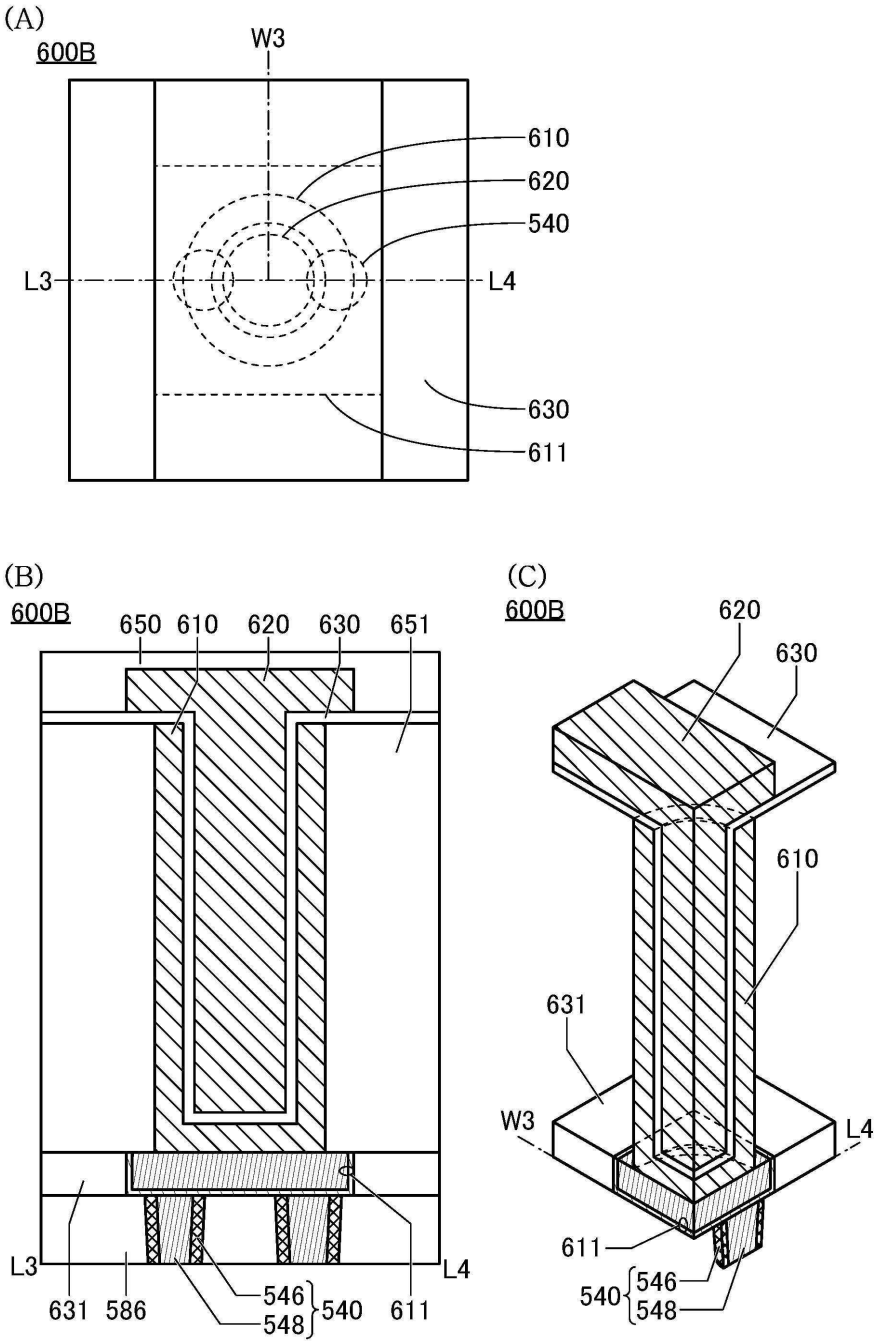
(B)


600A
620
610
630
L4
546
548
540
L3

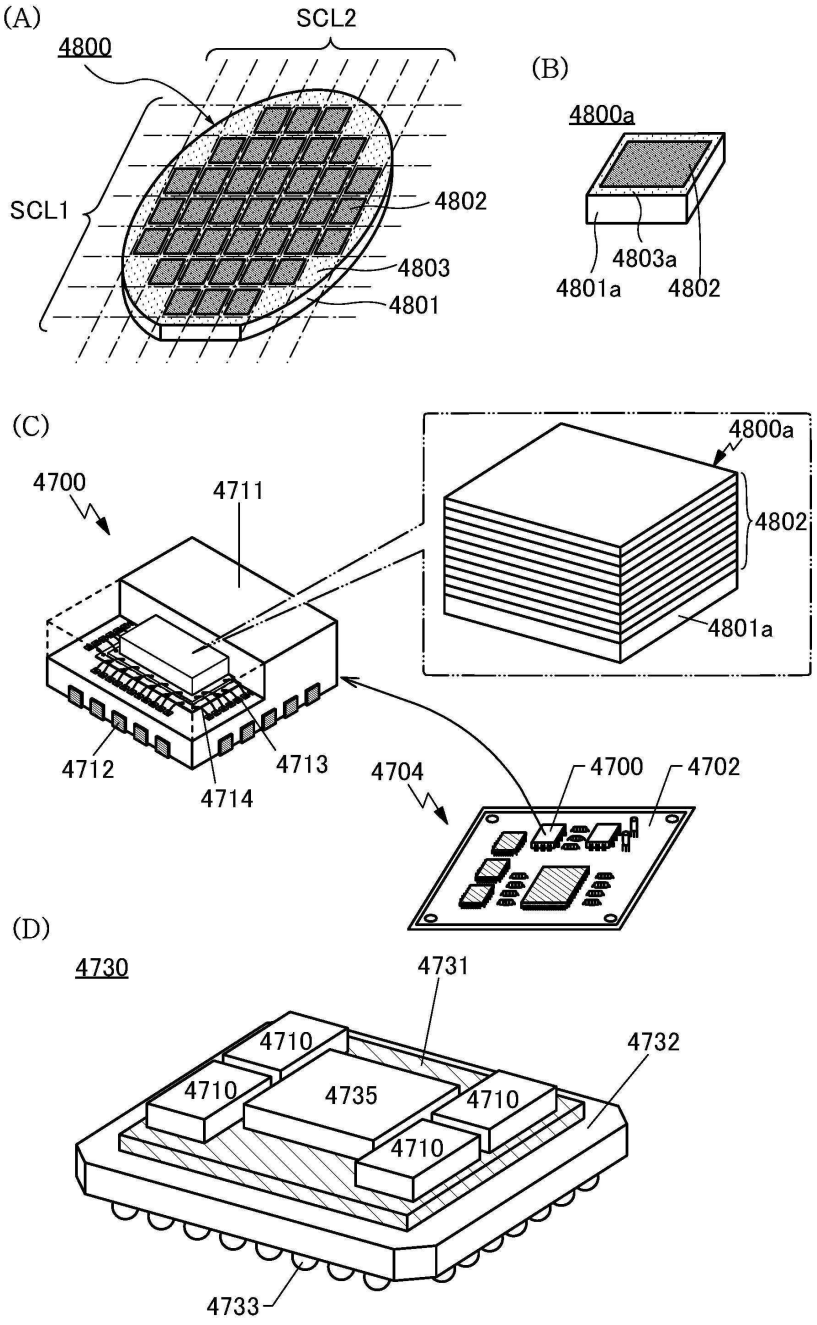
(C)


600A
620
610
630
L4
W3
546
548
540

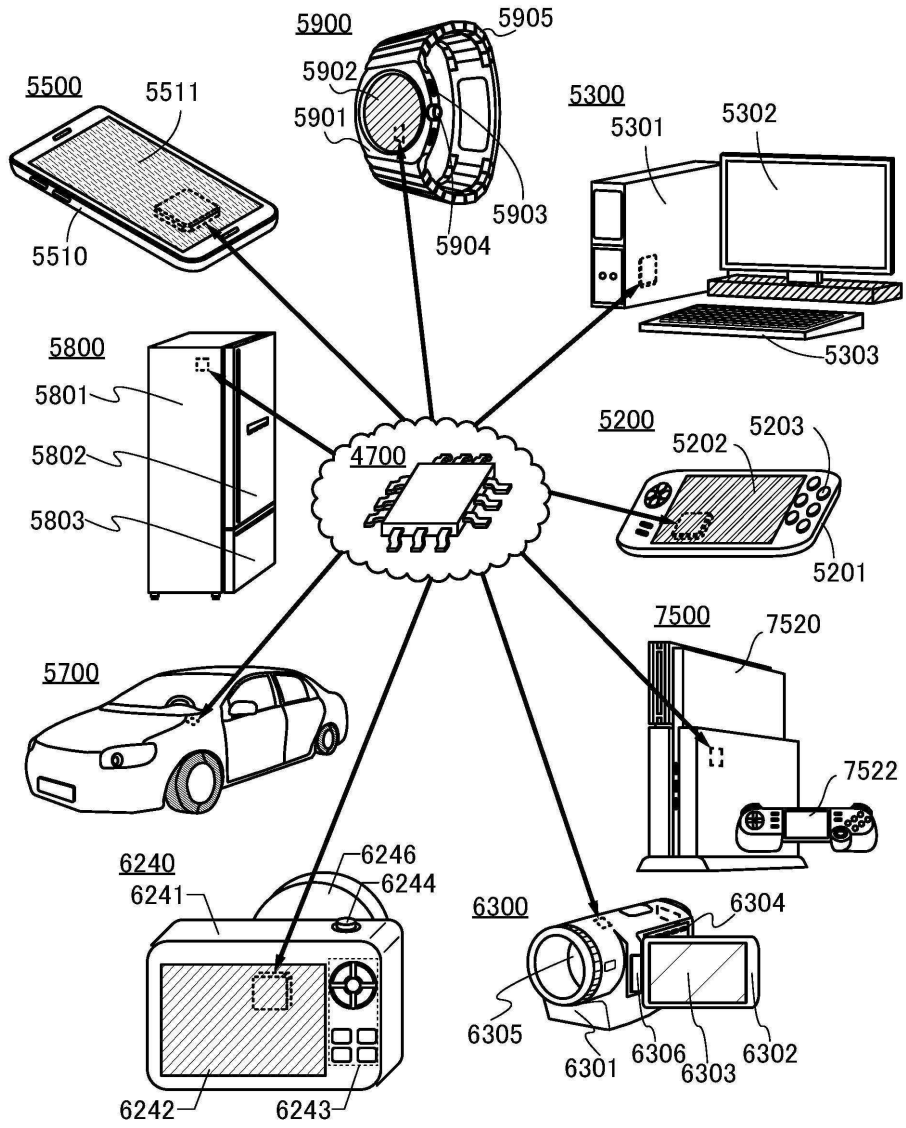
도면69


(A)
600B
W3
610
620
540
L3
L4
630
611
(B)
600B
650
610
620
630
651
L3
L4
631
586
546
548
540
611
(C)
600B
620
630
610
631
W3
L4
611
540
546
548

도면70

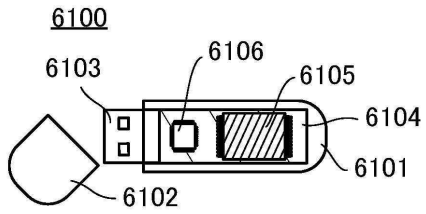

(A)
SCL2
4800
SCL1
4802
4803
4801
(B)
4800a
4803a
4801a
4802
(C)
4700
4711
4800a
4802
4801a
4712
4713
4714
4704
4700
4702
(D)
4730
4731
4732
4710
4710
4735
4710
4710
4733

도면71

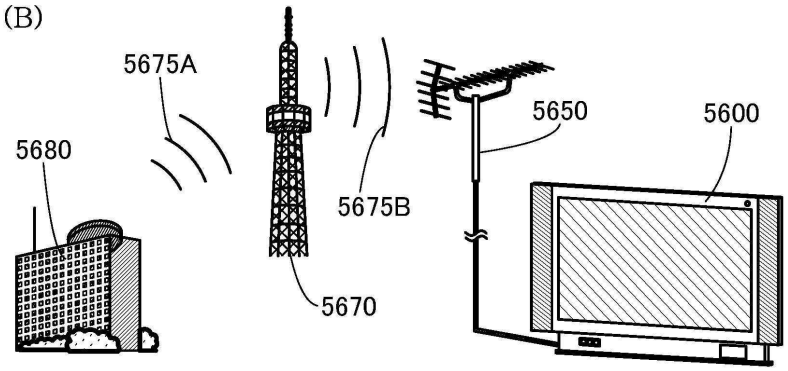

5900
5905
5902
5901
5903
5904
5500
5511
5510
5300
5301
5302
5303
5800
5801
5802
5803
4700
5200
5202
5203
5201
5700
7500
7520
7522
6240
6241
6246
6244
6242
6243
6300
6304
6305
6301
6306
6303
6302

도면72

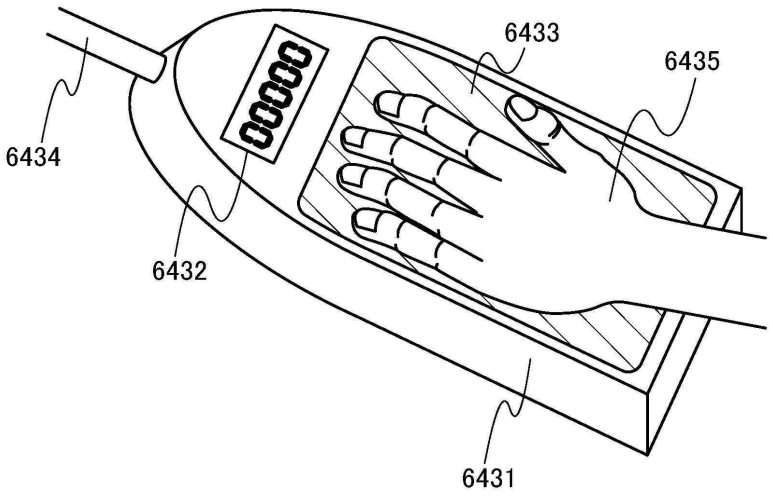
(A)


6100
6103
6106
6105
6104
6101
6102

(B)


5675A
5680
5675B
5650
5600
5670

(C)


6433
6435
6434
6432
6431