

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 11 月 24 日 (2006.11.24)

【公開番号】特開 2004-153255 (P2004-153255A)

【公開日】平成 16 年 5 月 27 日 (2004.5.27)

【年通号数】公開・登録公報 2004-020

【出願番号】特願 2003-346862 (P2003-346862)

【国際特許分類】

**H 0 1 L 29/786 (2006.01)**

**G 0 2 F 1/1368 (2006.01)**

**H 0 1 L 21/20 (2006.01)**

**H 0 1 L 27/08 (2006.01)**

**H 0 1 L 51/50 (2006.01)**

**H 0 1 L 21/336 (2006.01)**

**H 0 1 L 21/8234 (2006.01)**

**H 0 1 L 27/088 (2006.01)**

**H 0 1 L 29/41 (2006.01)**

**H 0 1 L 23/522 (2006.01)**

**H 0 1 L 21/768 (2006.01)**

【F I】

H 0 1 L 29/78 6 1 7 N

G 0 2 F 1/1368

H 0 1 L 21/20

H 0 1 L 27/08 3 3 1 E

H 0 5 B 33/14 A

H 0 1 L 29/78 6 1 7 U

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 6 A

H 0 1 L 27/08 1 0 2 C

H 0 1 L 29/44 L

H 0 1 L 29/44 Y

H 0 1 L 21/90 M

H 0 1 L 29/78 6 1 7 S

H 0 1 L 29/78 6 1 7 K

【手続補正書】

【提出日】平成 18 年 10 月 4 日 (2006.10.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

同一基板上に第 1 の薄膜トランジスタと第 2 の薄膜トランジスタとを有する半導体装置であって、

前記第 1 の薄膜トランジスタは、第 1 の半導体層と、第 1 のゲート絶縁膜と、第 1 のゲート電極とを有し、

前記第 2 の薄膜トランジスタは、第 2 の半導体層と、積層された第 2 のゲート絶縁膜と

、第2のゲート電極と、

前記積層された第2のゲート絶縁膜の間に挟まれ、かつ少なくとも前記第2の半導体層のドレイン領域と前記第2のゲート電極との間に配置された第1の補助電極とを有し、

前記第1のゲート絶縁膜は、前記積層された第2のゲート絶縁膜よりも薄いことを特徴とする半導体装置。

【請求項2】

同一基板上に第1の薄膜トランジスタと第2の薄膜トランジスタとを有する半導体装置であって、

前記第1の薄膜トランジスタは、第1の半導体層と、第1のゲート絶縁膜と、第1のゲート電極とを有し、

前記第2の薄膜トランジスタは、第2の半導体層と、積層された第2のゲート絶縁膜と、第2のゲート電極と、

前記積層された第2のゲート絶縁膜の間に挟まれ、かつ前記第2の半導体層中のキャリア濃度を制御する第1の補助電極とを有し、

前記第1のゲート絶縁膜は、前記積層された第2のゲート絶縁膜よりも薄いことを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、前記第1の補助電極、前記第1のゲート電極、及び前記第2のゲート電極は、それぞれ異なる配線に接続されていることを特徴とする半導体装置。

【請求項4】

同一基板上に第1の薄膜トランジスタと第2の薄膜トランジスタとを有する半導体装置であって、

前記第1の薄膜トランジスタは、第1の半導体層と、第1のゲート絶縁膜と、第1のゲート電極とを有し、

前記第2の薄膜トランジスタは、第2の半導体層と、積層された第2のゲート絶縁膜と、第2のゲート電極と、

前記積層された第2のゲート絶縁膜の間に挟まれ、かつ少なくとも前記第2の半導体層のドレイン領域と前記第2のゲート電極との間に配置された第1の補助電極と、

前記積層された第2のゲート絶縁膜上に配置され、かつ前記第2の半導体層の前記ドレイン領域又はソース領域と前記第2のゲート電極との間に配置された湾曲面又は傾斜面を有する第2の補助電極とを有し、

前記第1のゲート絶縁膜は、前記積層された第2のゲート絶縁膜よりも薄いことを特徴とする半導体装置。

【請求項5】

請求項4において、前記第1の補助電極、前記第2のゲート電極、前記第1のゲート電極及び前記第2の補助電極は、それぞれ異なる配線に接続されていることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、前記積層された第2のゲート絶縁膜の一つは、前記第1のゲート絶縁膜であることを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれか一項において、前記第1の薄膜トランジスタは、前記第1のゲート電極及び前記第1のゲート絶縁膜を覆う絶縁膜を有し、該絶縁膜上に形成される第3の補助電極を有することを特徴とする半導体装置。

【請求項8】

請求項7において、前記第3の補助電極は湾曲面又は傾斜面を有することを特徴とする半導体装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、前記第1のゲート絶縁膜は、1～10

0 nmであり、前記積層された第2のゲート絶縁膜は、6 ~ 200 nmであることを特徴とする半導体装置。

【請求項10】

請求項1乃至請求項9のいずれか一項において、前記第1の補助電極は、前記第2のゲート電極と一部重なっていることを特徴とする半導体装置。

【請求項11】

請求項1乃至請求項10のいずれか一項において、前記第2の半導体層は、低濃度不純物領域を有することを特徴とする半導体装置。

【請求項12】

請求項1乃至請求項11のいずれか一項において、前記第1の薄膜トランジスタを機能回路の薄膜トランジスタとして用い、前記第2の薄膜トランジスタを画素領域の薄膜トランジスタ又は駆動回路の薄膜トランジスタとして用いることを特徴とする半導体装置。

【請求項13】

第1のチャンネル形成領域、第1のソース領域、及び第1のドレイン領域を有する第1の半導体層と、

第2のチャンネル形成領域、第2のソース領域、第2のドレイン領域、及び前記第2のソース領域又は前記第2のドレイン領域と前記第2のチャンネル形成領域との間に形成された第1の領域を有する第2の半導体層と、

前記第1の半導体層及び前記第2の半導体層上に形成された第1の絶縁膜と、

前記第1の絶縁膜を介して前記第2の半導体層上に形成された第1の補助電極と、

前記第1の絶縁膜を介して前記第1の半導体層上に形成された第1のゲート電極と、

前記第1の絶縁膜、前記第1の補助電極、及び前記第1のゲート電極上に形成された第2の絶縁膜と、

前記第2の絶縁膜を介して、前記第2のチャンネル形成領域上に形成された第2のゲート電極とを有し、

前記第1の補助電極は、前記第1の絶縁膜を介して前記第1の領域上に形成されていることを特徴とする半導体装置。

【請求項14】

請求項13において、前記第1の補助電極、及び前記第1のゲート電極は、それぞれ異なる配線に接続されていることを特徴とする半導体装置。

【請求項15】

第1のチャンネル形成領域、第1のソース領域、及び第1のドレイン領域を有する第1の半導体層と、

第2のチャンネル形成領域、第2のソース領域、第2のドレイン領域、及び前記第2のソース領域又は前記第2のドレイン領域と前記第2のチャンネル形成領域との間に形成された第1の領域を有する第2の半導体層と、

前記第1の半導体層及び前記第2の半導体層上に形成された第1の絶縁膜と、

前記第1の絶縁膜を介して前記第2の半導体層上に形成された第1の補助電極と、

前記第1の絶縁膜を介して前記第1の半導体層上に形成された第1のゲート電極と、

前記第1の絶縁膜、前記第1の補助電極、及び前記第1のゲート電極上に形成された第2の絶縁膜と、

前記第2の絶縁膜を介して、前記第2の半導体層上に形成された第2のゲート電極と、湾曲面又は傾斜面を有する第2の補助電極とを有し、

前記第1の補助電極は、前記第1の絶縁膜を介して前記第1の領域上に形成されていることを特徴とする半導体装置。

【請求項16】

第1のチャンネル形成領域、第1のソース領域、及び第1のドレイン領域を有する第1の半導体層と、

第2のチャンネル形成領域、第2のソース領域、第2のドレイン領域、及び前記第2のソース領域又は前記第2のドレイン領域と前記第2のチャンネル形成領域との間に形成された

第 1 の領域を有する第 2 の半導体層と、

前記第 1 の半導体層及び前記第 2 の半導体層上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜を介して前記第 2 の半導体層上に形成された第 1 の補助電極と、

前記第 1 の絶縁膜を介して前記第 1 の半導体層上に形成された第 1 のゲート電極と、

前記第 1 の絶縁膜、前記第 1 の補助電極、及び前記第 1 のゲート電極上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜を介して、前記第 2 の半導体層上に形成された第 2 のゲート電極及び湾曲面又は傾斜面を有する第 2 の補助電極と、前記第 1 の半導体層上に形成された湾曲面又は傾斜面を有する第 3 の補助電極とを有し、

前記第 1 の補助電極は、前記第 1 の絶縁膜を介して前記第 1 の領域上に形成されていることを特徴とする半導体装置。

【請求項 17】

請求項 15 又は請求項 16 において、前記第 1 の補助電極、前記第 2 補助電極、前記第 1 のゲート電極、及び前記第 2 のゲート電極は、それぞれ異なる配線に接続されていることを特徴とする半導体装置。

【請求項 18】

請求項 13 乃至請求項 17 のいずれか一項において、前記第 1 の絶縁膜の膜厚は、1 ~ 100 nm であり、前記第 2 の絶縁膜は、5 ~ 100 nm であることを特徴とする半導体装置。

【請求項 19】

請求項 13 乃至請求項 18 のいずれか一項において、前記第 1 の補助電極は、前記第 2 のゲート電極と一部重なっていることを特徴とする半導体装置。

【請求項 20】

請求項 13 乃至請求項 19 のいずれか一項において、前記第 2 の半導体層は、低濃度不純物領域を有することを特徴とする半導体装置。

【請求項 21】

請求項 13 乃至請求項 20 のいずれか一項において、前記第 1 の領域に、不純物が添加されていることを特徴とする半導体装置。

【請求項 22】

第 1 の半導体層、第 1 のゲート電極、第 1 の絶縁膜、及び第 2 の絶縁膜を有する第 1 の薄膜トランジスタと、第 2 の半導体層、第 2 のゲート電極、第 1 の補助電極、前記第 1 の絶縁膜及び前記第 2 の絶縁膜を有する第 2 の薄膜トランジスタを有する半導体装置の作製方法であって、

絶縁表面上に、前記第 1 の半導体層及び前記第 2 の半導体層を形成し、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に第 1 のゲート電極及び第 1 の補助電極を形成し、

前記第 1 のゲート電極、前記第 1 の補助電極、及び前記第 1 の絶縁膜上に、前記第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜上に前記第 2 のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 23】

請求項 22 において、前記第 1 の補助電極、前記第 2 のゲート電極、及び前記第 1 のゲート電極を、それぞれ異なる配線に接続するようにエッチングすることを特徴とする半導体装置の作製方法。

【請求項 24】

第 1 の半導体層、第 1 のゲート電極、湾曲面又は傾斜面を有する第 2 の補助電極、第 1 の絶縁膜、及び第 2 の絶縁膜を有する第 1 の薄膜トランジスタと、第 2 の半導体層、第 2 のゲート電極、第 1 の補助電極、前記第 1 の絶縁膜及び前記第 2 の絶縁膜を有する第 2 の薄膜トランジスタを有する半導体装置の作製方法であって、

絶縁表面上に、前記第 1 の半導体層及び前記第 2 の半導体層を形成し、

前記第 1 の半導体層及び前記第 2 の半導体層上に前記第 1 の絶縁膜を形成し、  
前記第 1 の絶縁膜上に前記第 1 のゲート電極及び前記第 1 の補助電極を形成し、  
前記第 1 のゲート電極、前記第 1 の補助電極、及び前記第 1 の絶縁膜上に、前記第 2 の  
絶縁膜を形成し、  
前記第 2 の絶縁膜上に前記第 2 のゲート電極、及び前記第 2 の補助電極を形成すること  
を特徴とする半導体装置の作製方法。

【請求項 25】

第 1 の半導体層、第 1 のゲート電極、第 1 の絶縁膜、及び第 2 の絶縁膜を有する第 1 の  
薄膜トランジスタと、第 2 の半導体層、第 2 のゲート電極、第 1 の補助電極、湾曲面又は  
傾斜面を有する第 2 の補助電極、前記第 1 の絶縁膜及び前記第 2 の絶縁膜を有する第 2 の  
薄膜トランジスタを有する半導体装置の作製方法であって、

絶縁表面上に、前記第 1 の半導体層及び前記第 2 の半導体層を形成し、  
前記第 1 の半導体層及び前記第 2 の半導体層上に前記第 1 の絶縁膜を形成し、  
前記第 1 の絶縁膜上に前記第 1 のゲート電極及び前記第 1 の補助電極を形成し、  
前記第 1 のゲート電極、前記第 1 の補助電極、及び前記第 1 の絶縁膜上に、前記第 2 の  
絶縁膜を形成し、  
前記第 2 の絶縁膜上に前記第 2 のゲート電極、及び前記第 2 の補助電極を形成すること  
を特徴とする半導体装置の作製方法。

【請求項 26】

請求項 24 又は請求項 25 において、前記第 1 の補助電極、前記第 2 の補助電極、前記  
第 2 のゲート電極、及び前記第 1 のゲート電極を、それぞれ異なる配線に接続するように  
エッチングすることを特徴とする半導体装置の作製方法。

【請求項 27】

請求項 22 乃至請求項 26 のいずれか一項において、前記第 1 の補助電極の一部に重な  
るように、前記第 2 のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 28】

請求項 22 乃至請求項 27 のいずれか一項において、前記第 1 の薄膜トランジスタを機  
能回路の薄膜トランジスタとして用い、前記第 2 の薄膜トランジスタを画素領域の薄膜ト  
ランジスタ又は駆動回路の薄膜トランジスタとして用いることを特徴とする半導体装置の  
作製方法。