

(此處由本局於收文時黏貼條碼)

101. 10. 24
765447

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：096114631

※申請日期：96 年 04 月 25 日

※IPC 分類：G02F 1/343, G02F 1/368

一、發明名稱：

(中) 光電裝置及電子機器

(英) Electro-optical device and electronic apparatus

二、申請人：(共 1 人)

1. 姓 名：(中) 日本顯示器西股份有限公司
(英) JAPAN DISPLAY WEST INC.代表人：(中) 1. 西 康宏
(英) 1. NISHI, YASUHIRO地 址：(中) 日本國愛知縣知多郡東浦町大字緒川字上舟木五〇番地
(英) 50 Aza Kamifunaki, O-Aza Ogawa, Higashiura-cho, Chita-gun,
Aichi-ken, 470-2102 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 平林幸哉
(英) HIRABAYASHI, YUKIYA國 稷：(中) 日本
(英) JAPAN2. 姓 名：(中) 佐藤尚
(英) SATO, TAKASHI國 稷：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2006/04/26 ; 2006-121642 有主張優先權

五、中文發明摘要

發明之名稱：光電裝置及電子機器

本發明的課題是在於提供一種即使將保持電容的介電體層形成薄時還是可以防止在下電極的外周端部與上電極重疊的部份之耐電壓的低下之光電裝置、及具備該光電裝置的電子機器。

其解決手段是在構成液晶裝置的保持電容時，在形成閘極絕緣層 4 之厚的下層側閘極絕緣層 4a 之後，藉由乾蝕刻來除去與下電極 3c 重疊的部份之下層側閘極絕緣層 4a。其次，形成薄的上層側閘極絕緣層 4b，以該上層側閘極絕緣層 4b 作為保持電容 1h 的介電體層 4c 使用。此時，至少下電極 3c 的外周端部與上電極 6c 所重疊的部份為閘極絕緣層 4 中下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 所積層後的厚膜部份。

六、英文發明摘要

發明之名稱：Electro-optical device and electronic apparatus

An electro-optical device includes an element substrate having a plurality of pixel regions; thin-film transistors, arranged in the pixel regions, including gate electrodes, portions of a gate insulating layer, and semiconductor layers; pixel electrodes electrically connected to drain regions of the thin-film transistors; and storage capacitors including lower electrodes and upper electrodes that are opposed to the lower electrodes with insulating layers disposed therebetween, the insulating layers being made of the same material as that for forming the gate insulating layer. The upper electrodes overlap with some of end portions of the lower electrodes. The gate insulating layer has thin portions located in inner portions of regions overlapping with the lower and upper electrodes and thick portions which are located in regions overlapping with the upper electrodes and the end portions of the lower electrodes and which have a thickness greater than that of the thin portions.

七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖

(二)、本代表圖之元件符號簡單說明：

1b：畫素	1c：薄膜電晶體
1e：畫素區域	1f：液晶
1h：保持電容	2a：畫素電極
3a：閘極線（閘極電極/掃描線）	
3b：電容線	3c：保持電容的下電極
4：閘極絕緣層	4a：下層側閘極絕緣層
4b：上層側閘極絕緣層	4c：介電體層
6a：源極線（資料線）	6b：汲極電極
6c：保持電容的上電極	7a：半導體層
7b：歐姆接觸層	7c：歐姆接觸層
9：平坦化膜	10：元件基板
11：絕緣基板	19：配向膜
20：對向基板	28：對向電極
29：配向膜	41：開口
81：接觸孔	91：接觸孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

九、發明說明

【發明所屬之技術領域】

本發明是有關在元件基板上具備薄膜電晶體及保持電容的光電裝置、及具備該光電裝置的電子機器。

【先前技術】

在各種的光電裝置中，就主動矩陣型的液晶裝置而言，是例如在圖 16 (a)、(b) 所示的元件基板 10 與對向基板（未圖示）之間保持液晶。在元件基板 10 中，對應於閘極線 3a（掃描線）與源極線 6a（資料線）的交叉之複數個畫素區域 1e 中分別形成有畫素開關用的薄膜電晶體 1c、及電性連接至該薄膜電晶體 1c 的汲極區域之畫素電極 2a，根據從源極線 6a 經由薄膜電晶體 1c 來施加至畫素電極 2a 的畫像信號，對每個畫素控制液晶的配向。在畫素區域 1e 中形成有以電容線 3b 的一部份作為下電極 3c，以汲極電極 6b 的延設部份作為上電極 6c 之保持電容 1h，且在保持電容 1h 大多是利用薄膜電晶體 1c 的閘極絕緣層 4 作為介電體層 4c。在此，若提高保持電容 1h 的每單位面積的電容值，則電荷的保持特性會提升。又，若提高保持電容 1h 的每單位面積的電容值，則可縮小佔有面積，提高畫素開口率。

於是提案一不使薄膜電晶體之閘極絕緣層的耐電壓低下，提高保持電容的每單位面積的電容值之構成，亦即增厚閘極絕緣層，使介電體層變薄。

(2)

例如，提案一保持電容的介電體層為利用對下電極的陽極氧化膜，有關閘極絕緣膜則是使用對閘極電極的陽極氧化膜與形成於上電極的上層的矽氮化膜之積層膜（參照專利文獻 1）。

又，提案一藉由使用半色調光罩（Half Tone Mask）的蝕刻來針對閘極絕緣膜的一部份除去至途中位置而形成薄膜部份，利用該薄膜部份作為保持電容的介電體層（參照專利文獻 2）。

又，提案一在形成保持電容的介電體層之後，在薄膜電晶體的形成區域，除去介電體層，從新形成閘極絕緣膜（參照專利文獻 3）。

又，提案一在形成從下層側依序積層半導體層、閘極絕緣層、及閘極電極的頂閘極構造之薄膜電晶體時，以藉由對半導體層的熱氧化來形成之矽氧化膜所構成的第一絕緣膜與藉由 CVD 法來形成之矽氮化膜所構成的第二絕緣膜的積層膜作為閘極絕緣層形成之後，以阻絕層光罩來覆蓋閘極絕緣層中與通道區域重疊的區域，而藉由蝕刻來除去第二絕緣膜，利用閘極絕緣層中膜厚薄的部份作為保持電容的介電體層之構成（參照專利文獻 4）。

[專利文獻 1] 特開平 9-160070 號公報

[專利文獻 2] 特開 2005-217342 號公報

[專利文獻 3] 特開 2004-45811 號公報

[專利文獻 4] 專利第 3106566 號公報

(3)

【發明內容】

(發明所欲解決的課題)

然，在上述專利文獻中皆是提案一使保持電容的介電體層形成薄的構成，但在使保持電容的介電體層形成薄時，有關下電極的外周端部與上電極重疊的部份之耐電壓的低下方面未作一切的考量。亦即，在下電極的外周端部是將介電體層形成反映其階部形狀的形狀，因此在下電極與上電極之間施加電壓時，在介電體層不被形成均一的電場，電場會集中於下電極的外周端部，其結果容易發生耐電壓的低下，甚至絕緣破壞（短路）。並且，在將介電體層成膜時，膜的成長方向或成膜速度會受到底層形狀的影響，其結果，在介電體層中覆蓋下電極的外周端部之部份的膜質會容易形成不均一，如此的膜質不均一也會容易發生耐電壓的低下。

有鑑於以上的問題點，本發明的課題是在於一種即使將保持電容的介電體層形成薄時還是可以防止在下電極的外周端部與上電極重疊的部份之耐電壓的低下之光電裝置、及具備該光電裝置的電子機器。

(用以解決課題的手段)

為了解決上述課題，本發明的光電裝置，係於元件基板上的複數的各畫素區域中分別具有：積層閘極電極、閘極絕緣層及半導體層的薄膜電晶體、及電性連接至該薄膜電晶體的汲極區域之畫素電極、及具備夾著使用構成上述

(4)

閘極絕緣層的材料的絕緣層而對向的下電極及上電極之保持電容，其特徵為：

上述上電極係以能夠和上述下電極的外周端部的至少一部份重疊之方式形成，

上述閘極絕緣層係於上述下電極與上述上電極重疊的區域的至少內側區域具有膜厚薄的薄膜部份，至少上述下電極的外周端部與上述上電極重疊的部份具有膜厚比上述薄膜部份更厚的厚膜部份。

由於本發明是在下電極與上電極重疊的區域的至少內側區域閘極絕緣層為形成膜厚薄的薄膜部份，因此保持電容的每單位面積的電容值高。並且，使保持電容的介電體層形成薄，另一方面，閘極絕緣層的厚部份（厚膜部份）會位於下電極的外周端部與上電極所重疊的部份。因此，在下電極的外周端部中因階部形狀所引起的電場集中會藉由厚的絕緣膜所緩和，耐電壓不會降低。因此，在下電極的外周端部中，即使因介電體層被形成反映其階部形狀的形狀而引起電場集中於下電極的外周端部與上電極之間時，還是會因為此部份的介電體層厚，所以耐電壓的低下不會發生。並且，在形成閘極絕緣層時，即使膜的成長方向或成膜速度受到底層形狀的影響結果，在介電體層中覆蓋下電極的外周端部之部份的膜質形成不均一時，還是會因為該部份的介電體層厚，所以耐電壓的低下或絕緣破壞（短路）不會發生。特別是使介電體層形成越薄，越容易發生上述的不良情況，但若根據本發明，則即使介電體層形

(5)

成薄，照樣可以迴避上述的不良情況。因此，若利用本發明，則即使在弄薄保持電容的介電體層來提高每單位面積的電容值時，還是可以構成耐電壓高的保持電容。

在本發明中，上述薄膜電晶體可採用由下層側起依序積層上述閘極電極、上述閘極絕緣層及上述半導體層的構成。

在本發明中，上述閘極絕緣層最好在上述下電極與上述上電極重疊的區域中，於上述下電極的外周端部與上述上電極重疊的部份以外的區域具有上述薄膜部份。

若如此地構成，則可擴張薄膜部份，因此可提高每單位面積的電容值。並且，在下電極的外周端部與上電極所重疊的部份以外的區域，即使為上電極的外周端部，還是不會發生因階差所引起的電場集中或膜質劣化，因此不會有保持電容的耐電壓低下的情況。

在本發明中，在上述下電極的外周端部與上述上電極重疊的部份中，上述厚膜部份最好是從上述下電極的外周端部往內側形成具有上述厚膜部份的膜厚以上的寬度尺寸。

若設定如此的條件，則可確實地防止階差所引起的電場集中或膜質劣化等原因之耐電壓的低下。並且，只要在符合如此條件的範圍內擴張薄膜部份，便可提高每單位面積的電容值。

在本發明中，最好上述閘極絕緣層係具備：由 1 層乃至複數層的絕緣膜所構成的下層側閘極絕緣層、及由 1 層

(6)

乃至複數層的絕緣膜所構成的上層側閘極絕緣層，

在上述閘極絕緣層，藉由上述下層側閘極絕緣層的除去部份來構成上述薄膜部份，藉由上述下層側閘極絕緣層與上述上層側閘極絕緣層所被積層的部份來構成上述厚膜部份。

若如此地構成，則可連續使上層側閘極絕緣層及半導體層成膜，因此可在閘極絕緣層與半導體層之間構成清淨的界面，可提高薄膜電晶體的可靠度。並且，在以部份使閘極絕緣層形成薄的部份作為保持電容的介電體層使用時，不殘留下層側閘極絕緣層，僅以上層側閘極絕緣層來構成介電體層，因此不必採用將閘極絕緣層蝕刻至深度方向的途中位置之構成。所以，可防止因蝕刻深度的不均所引起之保持電容的電容不均。而且，在下層側閘極絕緣層及上層側閘極絕緣層的其中，除去下層側閘極絕緣層，使用上層側閘極絕緣層作為保持電容的介電體層，若為如此的上層側閘極絕緣層，則不會有暴露於部份乾蝕刻下層側閘極絕緣層時的靜電氣或電漿之情況，因此可防止在上層側閘極絕緣層發生表面的損傷或缺陷。又，由於上層側閘極絕緣層亦不會有接觸於部份溼蝕刻下層側閘極絕緣層時的蝕刻液之情況，因此在上層側閘極絕緣層中亦無針孔（pinhole）發生。所以，可防止保持電容的耐電壓低下。

在本發明中，可採用上述下層側閘極絕緣層為由 1 層的絕緣膜所構成，上述上層側閘極絕緣層為由 1 層的絕緣膜所構成之構成。

(7)

在本發明中，上述半導體層例如由非晶形矽膜所構成。

本發明的光電裝置可利用於行動電話或攜帶型電腦等的電子機器。

【實施方式】

以下，參照圖面來說明本發明的實施形態。另外，在使用於以下的說明之各圖中，為了使各層的各構件在圖面上成為可辨識的程度大小，而依各層或各構件使縮小比例有所不同。並且，在以下的說明中，對具有共通機能的部份賦予同一符號來進行說明，而使與圖 16 所示例的對應能夠明確。

〔實施形態 1〕

(液晶裝置的全體構成)

圖 1 (a)、(b) 是分別表示從對向基板側來看液晶裝置（光電裝置）與形成於其上的各構成要素的平面圖，及其 H-H'剖面圖。在圖 1 (a)、(b) 中，本形態的液晶裝置 1 為 TN (Twisted Nematic) 模式、ECB (Electrically Controlled Birefringence) 模式、或 VAN (Vertical Aligned Nematic) 模式的透過型的主動矩陣型的液晶裝置。在此液晶裝置 1 是經由密封材 22 來貼合元件基板 10 與對向基板 20，液晶 1f 會被保持於其間。在元件基板 10 中，位於密封材 22 外側的端部區域中，資料線驅

(8)

動用 IC60、及掃描線驅動用 IC30 會被 COG (Chip On Glass) 安裝，且沿著基板邊來形成安裝端子 12。密封材 22 是由用以使元件基板 10 與對向基板 20 在該等的周邊貼合之光硬化樹脂或熱硬化性樹脂等所構成的黏合劑，且配合有供以使兩基板間的距離形成所定值之玻璃纖維 (glass fiber)、或玻璃微珠 (glass beads) 等的間隙材。在密封材 22 中，藉由其中斷部份來形成有液晶注入口 25，在注入液晶 1f 後，利用封止材 26 來予以封止。

詳細會在往後敘述，在元件基板 10 中，薄膜電晶體 1c 或畫素電極 2a 會被形成矩陣狀，在其表面形成有配向膜 19。在對向基板 20 中，於密封材 22 的內側區域形成有由遮光性材料所構成的框緣 24 (在圖 1(b) 中省略圖示)，其內側為形成畫像顯示區域 1a。在對向基板 20 中，雖圖示省略，但實際在與各畫素的縱橫的境界區域對向的區域中形成有被稱為黑矩陣、或黑條紋 (Black stripe) 等的遮光膜，且於其上層側形成有對向電極 28 及配向膜 29。在圖 1(b) 中雖圖示省略，但實際在對向基板 20 中，對向於元件基板 10 的各畫素之區域中，RGB 的彩色濾光片會與其保護膜一起形成，藉此，可將液晶裝置 1 作為攜帶型電腦、行動電話、液晶電視等電子機器的彩色顯示裝置使用。

(元件基板 10 的構成)

圖 2 是表示圖 1 所示之液晶裝置的元件基板的電氣構

(9)

成說明圖。如圖 2 所示，在元件基板 10 中，在相當於畫像顯示區域 1a 的區域中複數的源極線 6a（資料線）及閘極線 3a（掃描線）會形成於互相交叉的方向，在對應於該等配線的交叉部份的位置構成畫素 1b。閘極線 3a 是從掃描線驅動用 IC30 延伸，源極線 6a 是從資料線驅動用 IC60 延伸。並且，在元件基板 10 中，用以控制液晶 1f 的驅動之畫素開關用的薄膜電晶體 1c 會被形成於各畫素 1b，在薄膜電晶體 1c 的源極電性連接有源極線 6a，在薄膜電晶體 1c 的閘極電性連接有閘極線 3a。

並且，在元件基板 10 中，與閘極線 3a 並行形成有電容線 3b。在本形態中是對薄膜電晶體 1c 串連有被構成於與對向基板 20 之間的液晶電容 1g，且對液晶電容 1g 並連有保持電容 1h。在此，電容線 3b 是被連接至掃描線驅動用 IC30，被保持於定電位。另外，有時保持電容 1h 是被構成於與前段的閘極線 3a 之間，此情況，電容線 3b 可省略。

在如此構成的液晶裝置 1 中，使薄膜電晶體 1c 只在一定期間成為其開啓狀態，藉此，以所定的時序來將自源極線 6a 供給的畫像信號寫入各畫素 1b 的液晶電容 1g。被寫入液晶電容 1g 之所定位準的畫像信號是在液晶電容 1g 保持一定期間，且保持電容 1h 是在於防止被保持於液晶電容 1g 的畫像信號洩漏。

(各畫素的構成)

(10)

圖 3 (a)、(b) 是表示本發明的實施形態 1 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A1-B1 的位置切斷液晶裝置時的剖面圖。在圖 3 (a) 中是以粗長的點線來表示畫素電極，以細的實線來表示閘極線及同時被形成的薄膜，以細的一點鎖線來表示源極線及同時被形成的薄膜，以細短的點線來表示半導體層。並且，在保持電容的介電體層中，有關閘極絕緣層的薄部份是以粗的實線來表示，有關接觸孔是與閘極線等同樣以細的實線來表示。

如圖 3 (a) 所示，在元件基板 10，以閘極線 3a 及源極線 6a 所圍繞的畫素區域 1e 中形成有構成畫素 1b 的以下要素。首先，在畫素區域 1e 中形成有由非晶形矽膜所構成的半導體層 7a，其係構成底閘極型的薄膜電晶體 1c 的主動層。並且，藉由來自閘極線 3a 的突出部份來形成閘極電極。在構成薄膜電晶體 1c 的主動層之半導體層 7a 中，在源極側的端部重疊有作為源極電極的源極線 6a，在汲極側的端部重疊有汲極電極 6b。並且，與閘極線 3a 並列而形成有電容線 3b。

並且，在畫素區域 1e 中形成有以來自電容線 3b 的突出部份作為下電極 3c，以來自汲極電極 6b 的延設部份作為上電極 6c 之保持電容 1h。而且，對於上電極 6c 是經由接觸孔 81、91 來電性連接由 ITO 膜 (Indium Tin Oxide) 所構成的畫素電極 2a。

如此構成的元件基板 10 的 A1-B1 剖面是如圖 3 (b) 所示那樣顯示。首先，在由玻璃基板或石英基板所構成的

(11)

絕緣基板 11 上形成有由導電膜所構成的閘極線 3a（閘極電極）、及電容線 3b（保持電容 1h 的下電極 3c）。在本形態中，閘極線 3a 及電容線 3b 皆是形成 2 層構造，亦即在膜厚 150 nm 之含釤的鋁合金膜的上層積層膜厚 20 nm 的鉬膜之 2 層構造。

在本形態中，在閘極線 3a 的上層側以能夠覆蓋閘極線 3a 之方式形成有閘極絕緣層 4。在閘極絕緣層 4 的上層中，與閘極線 3a 的突出部份（閘極電極）部份重疊的區域中形成有構成薄膜電晶體 1c 的主動層之半導體層 7a。在半導體層 7a 中，於源極區域的上層積層有由摻雜矽膜所構成的歐姆接觸（ohmic contact）層 7b、及源極線 6a，且於汲極區域的上層形成有由摻雜矽膜所構成的歐姆接觸層 7c、及汲極電極 6b，而構成薄膜電晶體 1c。並且，藉由汲極電極 6b 的延設部份來形成保持電容 1h 的上電極 6c。在本形態中，半導體層 7a 是由膜厚 150 nm 的固有非晶形矽膜所構成，歐姆接觸層 7b、7c 是由被摻雜磷之膜厚 50 nm 的 n⁺型非晶形矽膜所構成。源極線 6a 及汲極電極 6b（上電極 6c）皆是具備 3 層構造，亦即從下層側往上層側積層膜厚 5 nm 的鉬膜、膜厚 1500 nm 的鋁膜、及膜厚 50 nm 的鉬膜者。

在源極線 6a、汲極電極 6b、及上電極 6c 的上層側，由矽氮化膜等所構成的鈍化（passivation）膜 8、及由丙烯酸樹脂等的感光性樹脂層所構成的平坦化膜 9 會分別作為層間絕緣膜來形成，且在平坦化膜 9 的上層形成有畫素

(12)

電極 2a。畫素電極 2a 是經由形成於平坦化膜 9 的接觸孔 91、及形成於鈍化膜 8 的接觸孔 81 來電性連接至上電極 6c，且經由上電極 6c 及汲極電極 6b 來電性連接至薄膜電晶體 1c 的汲極區域。在畫素電極 2a 的表面形成有配向膜 19。在本形態中，鈍化膜 8 是由膜厚 250 nm 的矽氮化膜所構成，畫素電極 2a 是由膜厚 100 nm 的 ITO 膜所構成。

以對向於如此構成的元件基板 10 之方式來配置對向基板 20，在元件基板 10 與對向基板 20 之間保持液晶 1f。在對向基板 20 中形成有各色的彩色濾光片 27、對向電極 28 及配向膜 29，且在畫素電極 2a 與對向電極 28 之間構成液晶電容 1g（參照圖 2）。另外，有時會在對向基板 20 側形成有黑矩陣或保護膜等，但該等的圖示省略。

（閘極絕緣層及介電體層的構成）

圖 4(a)、(b)、(c) 是表示圖 3 所示之保持電容的擴大平面圖、下電極的外周端部與上電極的重疊部份的擴大剖面圖、及下電極與上電極的外周端部的重疊部份的擴大剖面。另外，在圖 4(a) 中，對下電極與上電極重疊的部份賦予斜線。

如圖 3(a)、(b) 及圖 4(a) 所示，在本形態的液晶裝置 1 中，閘極絕緣層 4 是形成 2 層構造，亦即由下層側的厚矽氮化膜所構成的下層側閘極絕緣層 4a、及由上層側的薄矽氮化膜所構成的上層側閘極絕緣層之 2 層構造。在本形態中，下層側閘極絕緣層 4a 的膜厚是形成縮小薄

(13)

膜電晶體 1c 之寄生電容的影響的厚度，上層側閘極絕緣膜 4b 的膜厚是形成比下層側閘極絕緣膜 4a 更薄。例如下層側閘極絕緣膜 4a 為 $250 \sim 500\text{ nm}$ ，最好是 300 nm ，上層側閘極絕緣層 4b 的膜厚為 $50 \sim 200\text{ nm}$ ，最好是 100 nm 。該等的膜厚是在考量薄膜電晶體 1c 的寫入能力、寄生電容及保持電容 1h 的平衡下作最適化來決定。例如，為高精細，畫素 1b 的尺寸小之構造時（例如 1 畫素的短邊為 $40\mu\text{m}$ 以下），畫素 1b 之保持電容 1h、液晶電容 1g 會變小，但薄膜電晶體 1c 的最小尺寸受限於光刻（Photolithography）的解像度。因此，在如此的高精細畫素中，薄膜電晶體 1c 的寄生電容佔據於 1 畫素全體的電容的比例高。一旦該寄生電容的比例（以下稱為寄生電容比）變大，則可知光電裝置 1 會招來閃爍、或串音（Cross Talk）、燒結等顯示品質劣化的情況，一般是以該寄生電容比能夠極力形成小的方式來進行設計。然而，根據上述那樣高精細的佈局，寄生電容比受到約制時，就以往的手法而言，是難以改善的。但，若利用本發明的構造、製程，則可與保持電容 1h 側完全獨立設定・製造薄膜電晶體 1c 的閘極絕緣膜的膜厚。亦即，在上述高精細畫素中是將閘極絕緣膜設定成比標準的條件更厚，藉此可低減薄膜電晶體 1c 的寄生電容，縮小寄生電容比。另外，在如此的條件設定中，雖薄膜電晶體 1c 的電流驅動能力（往畫素 1b 的信號寫入能力）會低下，但由於高精細畫素其寫入的畫素電容本身會變小，因此即使如此增厚閘極絕緣膜的膜厚

(14)

，還是能夠以寫入能力不會產生問題之方式來進行設計。

在閘極絕緣層 4 中，下層側閘極絕緣層 4a 是在與保持電容 1h 的下電極 3c 及上電極 6c 平面性重疊的區域被除去於厚度方向的全體，形成開口 41。相對的，上層側閘極絕緣層 4b 是大略形成於全面。因此，閘極絕緣層 4 是在與下電極 3c 及上電極 6c 平面性重疊的區域（與開口 41 平面性重疊的區域）中具備只由上層側閘極絕緣層 4b 所構成之膜厚薄的薄膜部份 40a，其他的區域則是形成積層下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 的厚膜部份 40b。因此，保持電容 1h 是以閘極絕緣層 4 的薄膜部份作為介電體層 4c 利用。

在如此構成的保持電容 1h 中，來自汲極電極 6b 的矩形延設部份（上電極 6c）是形成一部份能夠從來自電容線 3b 的矩形突出部份（下電極 3c）突出。因此，上電極 6c 會對相當於下電極 3c 的 3 邊之外周端部 31c、32c、33c 重疊。在此，在下電極 3c 的外周端部 31c、32c、33c，如圖 4(b) 所示，形成有閘極絕緣層 4，其係形成反映下電極 3c 的外周端部 31c、32c、33c 的階差形狀之形狀，在該部份容易發生電場的集中，且容易受底層的階差形狀的影響，而閘極絕緣層 4 的膜質低下。

於是，本形態是從下電極 3c 的外周端部 31c、32c、33c 僅以所定的寬度尺寸在內側的區域形成開口 41。因此，下電極 3c 與上電極 6c 的重疊部份的內側區域是只由上層側閘極絕緣層 4b 所構成的薄膜部份 40a，但沿著下電極

(15)

$3c$ 的外周端部 $31c$ 、 $32c$ 、 $33c$ 與上電極 $6c$ 的重疊部份形成積層下層側閘極絕緣層 $4a$ 與上層側閘極絕緣層 $4b$ 的薄膜部份 $40b$ 。因此，在下電極 $3c$ 的外周端部 $31c$ 、 $32c$ 、 $33c$ 中，閘極絕緣層 4 會被形成反映其階差形狀的形狀，所以即使在該部份發生電場的集中時，或受到底層的階差形狀的影響而閘極絕緣層 4 的膜質低下時，還是會因為在該部份形成有薄膜部份 $40b$ ，所以保持電容 $1h$ 的耐電壓高。

另外，本形態，如圖 4(c) 所示，沿著相當於下電極 $3c$ 與上電極 $6c$ 的重疊部份的其他邊之外周端部 $64c$ 亦形成有積層下層側閘極絕緣層 $4a$ 與上層側閘極絕緣層 $4b$ 的薄膜部份 $40b$ 。

(液晶裝置 1 的製造方法)

圖 5(a) ~ (g)、及圖 6(a) ~ (d) 是表示使用於本形態的液晶裝置 1 之元件基板 10 的製造方法的工程剖面圖。另外，為了製造元件基板 10，是在可多數取得元件基板 10 的大型基板的狀態下進行以下的工程，但在以下的說明中，有關大型基板亦作為元件基板 10 來進行說明。

首先，在圖 5(a) 所示的閘極電極形成工程中，在大型的玻璃基板等的絕緣基板 11 表面形成金屬膜（膜厚 150 nm 的鋁合金膜與膜厚 20 nm 的鉻膜之積層膜）後，利用光刻技術來使金屬膜圖案化，同時形成閘極線 $3a$ （閘極

(16)

電極）、及電容線 3b（下電極 3c）。

其次，進行閘極絕緣層形成工程。在本形態中，閘極絕緣層形成工程是首先在圖 5(b) 所示的下層側閘極絕緣層形成工程中，藉由電漿 CVD 法來形成厚的下層側閘極絕緣層 4a，其係構成閘極絕緣層 4 的下層側。在本形態中，下層側閘極絕緣層 4a 是由膜厚約為 300 nm 的矽氮化膜所構成。

其次，在圖 5(c) 所示的下層側閘極絕緣層蝕刻工程中，是利用光刻技術來形成在與下電極 3c 平面性重疊的區域中具備開口之阻絕層光罩（未圖示）後，對下層側閘極絕緣層 4a 進行利用 SF_6 等的氟系蝕刻氣體之反應性離子蝕刻（乾蝕刻），形成開口 41。由於如此的反應性離子蝕刻是利用離子的物理性濺鍍效果、及自由基的化學性蝕刻效果的相乘效果，因此可取得各向異性佳，且高生產性。

其次，在圖 5(d) 所示的上層側閘極絕緣層成膜工程中，是藉由電漿 CVD 法來形成薄的上層側閘極絕緣層 4b，其係構成閘極絕緣層 4 的上層側。在本形態中，上層側閘極絕緣層 4b 是由膜厚約為 100 nm 的矽氮化膜所構成。其結果，在閘極線 3a（閘極電極）的上層側形成由厚的下層側閘極絕緣層 4a 及薄的上層側閘極絕緣層 4b 所構成的閘極絕緣層 4，另一方面，在與開口 41 平面性重疊的區域中形成有只由上層側閘極絕緣層 4b 所構成的介電體層 4c。

(17)

其次，在圖 5(e) 所示的半導體層形成工程中，是藉由電漿 CVD 法來連續形成膜厚 150 nm 的固有非晶形矽膜 7d、及膜厚 50 nm 的 n⁺型矽膜 7e。此時，將進行圖 5(d) 所示的上層側閘極絕緣層形成工程後的元件基板 10 原封不動地保持於真空環境中，進行圖 5(e) 所示的半導體層形成工程，不使元件基板 10 與大氣接觸。藉此，閘極絕緣層 4(上層側閘極絕緣層 4b) 的表面可在清淨的狀態下積層非晶形矽膜 7d。

其次，如圖 5(f) 所示，利用光刻技術來對非晶形矽膜 7d、及 n⁺型矽膜 7e 進行蝕刻，形成島狀的半導體層 7a、及島狀的 n⁺型矽膜 7e。在此蝕刻中亦進行利用 SF₆ 等氟系的蝕刻氣體之反應性離子蝕刻（乾蝕刻）。

其次，如圖 5(g) 所示，在形成金屬膜（膜厚 5 nm 的鉬膜、膜厚 1500 nm 的鋁膜、及膜厚 50 nm 的鉬膜之積層膜）後，利用光刻技術來使圖案化，形成源極線 6a、汲極電極 6b、及上電極 6c。接著，將源極線 6a 及汲極電極 6b 作為光罩使用，藉由蝕刻來除去源極線 6a 與汲極電極 6b 之間的 n⁺型矽膜 7e，進行源極·汲極的分離。其結果，從未形成源極線 6a 及汲極電極 6b 的區域來除去 n⁺型矽膜 7e 而形成歐姆接觸層 7b、7c。此時，半導體層 7a 的表面一部份會被蝕刻。如此一來，底閘極型的畫素開關用的薄膜電晶體 1c 會被形成，且保持電容 1h 會被形成。

其次，如圖 6(a) 所示，藉由電漿 CVD 法來形成由膜厚 250 nm 的矽氮化膜所構成的鈍化膜 8。

(18)

其次，如圖 6 (b) 所示，藉由旋轉塗佈法來塗佈丙烯酸樹脂 (acrylic resin) 等的感光性樹脂之後，進行曝光、顯像，而形成具備接觸孔 91 的平坦化膜 9。

其次，如圖 6 (c) 所示，利用光刻技術來對鈍化膜 8 進行蝕刻，在與接觸孔 91 重疊的位置形成接觸孔 81。在此蝕刻中亦進行利用 SF_6 等氟系的蝕刻氣體之反應性離子蝕刻（乾蝕刻）。

其次，如圖 6 (d) 所示，藉由濺鍍法來形成膜厚 100 nm 的 ITO 膜之後，利用光刻技術及溼蝕刻來圖案化，形成畫素電極 2a。其結果，畫素電極 2a 是經由接觸孔 91 、 81 來電性連接至上電極 6c。接著，在形成供以形成圖 3 所示的配向膜 19 之聚醯亞胺膜後，施以研磨處理。

如此一來，有關在大型基板的狀態下形成各種配線或 TFT 的元件基板 10 是在使用密封材 22 來與另外形成的大型對向基板 20 貼合之後，切斷成所定的大小。因為液晶注入口 25 為開口，所以從液狀注入口 25 來注入液晶 1f 至元件基板 10 與對向基板 20 之間後，藉由封止材 26 來封止液晶注入口 25。

(本形態的主要效果)

如以上說明，在本形態的液晶裝置 1 中，由於是以底閘極 (Bottom gate) 構造來構成薄膜電晶體 1c，因此可連續形成上層側閘極絕緣膜 4b、用以構成主動層 (半導體層 7a) 的固有非晶形矽膜 7d、及用以構成歐姆接觸層 7b

(19)

、 $7c$ 的 n^+ 型矽膜 $7e$ 。所以，可在清淨的上層側閘極絕緣膜 $4b$ 的上層形成非晶形矽膜 $7d$ 。且，本形態在構成上層側閘極絕緣膜 $4b$ 、非晶形矽膜 $7d$ 、及歐姆接觸層 $7b$ 、 $7c$ 時，是將元件基板 10 持續保持於真空環境中，所以可確實地防止上層側閘極絕緣膜 $4b$ 表面的污染。因此，閘極絕緣層 4 與半導體層 $7a$ 的界面為清淨，薄膜電晶體 $1c$ 的可靠度高。

又，由於保持電容 $1h$ 的介電體層 $4c$ 的厚度為閘極絕緣層 4 的厚度的 $1/4$ 倍，因此每單位面積的靜電電容為 4 倍。且，構成介電體層 $4c$ 的上層側閘極絕緣層 $4b$ 為矽氮化膜（介電率約為 $7 \sim 8$ ），介電率比矽氧化膜高，因此保持電容 $1h$ 每單位面積的靜電電容高。所以，保持電容 $1h$ 是電荷的保持特性高，另一方面每單位面積的電容值會變高，只要縮小其佔有面積，便可提高畫素開口率。

又，本形態是在以部份使閘極絕緣層 4 形成薄的部份作為保持電容 $1h$ 的介電體層 $4c$ 使用時，不殘留下層側閘極絕緣層 $4a$ ，只以上層側閘極絕緣層 $4b$ 來構成介電體層 $4c$ ，因此與部份殘留下層側閘極絕緣層 $4a$ 時不同，可防止因蝕刻深度的不均所引起之保持電容 $1h$ 的電容不均。

又，本形態是在以部份使閘極絕緣層 4 形成薄的部份作為保持電容 $1h$ 的介電體層 $4c$ 使用時，在下層側閘極絕緣層 $4a$ 及上層側閘極絕緣層 $4b$ 的其中，除去下層側閘極絕緣層 $4a$ ，以形成於該下層側閘極絕緣層 $4a$ 的上層之上層側閘極氮化膜 $4b$ 作為保持電容 $1h$ 的介電體層 $4c$ 使用

(20)

。若為如此的上層側閘極絕緣層 4b，則不會有暴露於藉由乾蝕刻來除去下層側閘極絕緣層 4a 時的靜電氣或電漿之情況，因此上層側閘極絕緣層 4b 的缺陷密度低。所以，可防止保持電容 1h 的耐電壓低下等不良情況的發生。

又，由於本形態是從下電極 3c 與上電極 6c 的重疊部份的外周端部 31c、32c、33c 僅以所定的寬度尺寸在內側的區域形成開口 41，因此沿著下電極 3c 的外周端部 31c、32c、33c 與上電極 6c 的重疊部份是形成有積層下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 的厚膜部份 40b。因此，在下電極 3c 的外周端部 31c、32c、33c 中，閘極絕緣層 4 會被形成反映下電極 3c 的外周端部 31c、32c、33c 的階差形狀之形狀的結果，在該部份因階部形狀所引起的電場集中會藉由厚的閘極絕緣膜而被緩和，且即使受到底層的階差形狀的影響而閘極絕緣層 4 的膜質容易低下時，照樣保持電容 1h 的耐電壓不會有低下的情況。

另外，本形態中是對下層側閘極絕緣層 4a 進行乾蝕刻來形成開口 41，但亦可進行溼蝕刻來形成開口 41。即使如此，也不會有上層側閘極絕緣層 4b 接觸於對下層側閘極絕緣層 4a 的蝕刻液之情況，因此在上層側閘極絕緣層 4b 不會有針孔發生的情況。所以，可防止保持電容 1h 的耐電壓不均。

(在實施形態 1 的條件設定例)

圖 7(a)、(b) 是表示圖 3 所示之保持電容的擴大

(21)

平面圖、及下電極的外周端部與上電極的重疊部份的擴大剖面圖。

如圖 7 (a)、(b) 所示，若從下電極 3c 與上電極 6c 的重疊部份的外周端部 31、32c、33c 僅以所定的寬度尺寸在內側的區域形成開口 41，則會沿著下電極 3c 的外周端部 31c、32c、33c 與上電極 6c 的重疊部份來形成積層下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 的厚膜部份 40b。在此，有關厚膜部份 40b 最好是從下電極 3c 的外周端部 31c、32c、33c 往內側具有厚膜部份 40b 的膜厚 d 以上的寬度尺寸 w 來形成。

若設定如此的條件，則可確實地防止下電極 3c 的外周端部 31c、32c、33c 的階差所引起的電場集中或膜質劣化等原因之耐電壓的低下。並且，只要在符合如此條件的範圍內擴張薄膜部份 40a，便可提高保持電容 1h 的每單位面積的電容值。另外，以上的條件可適用於以下說明的所有實施形態。

[實施形態 2]

圖 8 (a)、(b) 是表示本發明的實施形態 2 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A2-B2 的位置切斷液晶裝置時的剖面圖。圖 9 (a)、(b) 及 (c) 是表示圖 8 所示之保持電容的擴大平面圖、下電極的外周端部與上電極的重疊部份的擴大剖面圖、及下電極與上電極的外周端部的重疊部份的擴大剖面。在圖 8 (a) 中是以粗長的

(22)

點線來表示畫素電極，以細的實線來表示閘極線及同時被形成的薄膜，以細的一點鎖線來表示源極線及同時被形成的薄膜，以細短的點線來表示半導體層。並且，在保持電容的介電體層中，有關閘極絕緣層的薄部份是以粗的實線來表示，有關接觸孔是與閘極線等同樣以細的實線來表示。在圖 9(a) 中是對下電極與上電極的重疊部份賦予斜線。另外，本形態的基本構成是與實施形態 1 同樣，因此對共通的部份賦予同一符號，而省略該等的說明。

如圖 8(a)、(b)、及圖 9(a) 所示，本形態亦與實施形態 1 同樣，在元件基板 10 中，在以閘極線 3a 及源極線 6a 所圍繞的畫素區域 1e 中形成有底閘極型的薄膜電晶體 1c 及保持電容 1h。保持電容 1h 是以來自電容線 3b 的突出部份作為下電極 3c，以來自汲極電極 6b 的延設部份作為上電極 6c。閘極絕緣層 4 是與實施形態 1 同樣形成 2 層構造，亦即由下層側的厚矽氮化膜所構成的下層側閘極絕緣層 4a、及由上層側的薄矽氮化膜所構成的上層側閘極絕緣層之 2 層構造。

本形態亦與實施形態 1 同樣，在閘極絕緣層 4 中，下層側閘極絕緣層 4a 是在與保持電容 1h 的下電極 3c 及上電極 6c 平面性重疊的區域被除去於厚度方向的全體，形成開口 41。相對的，上層側閘極絕緣層 4b 是大略形成於全面。因此，閘極絕緣層 4 是在與下電極 3c 及上電極 6c 平面性重疊的區域（與開口 41 平面性重疊的區域）中具備只由上層側閘極絕緣層 4b 所構成之膜厚薄的薄膜部份

(23)

40a，其他的區域則是形成積層下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 的厚膜部份 40b。因此，保持電容 1h 是以閘極絕緣層 4 的薄膜部份作為介電體層 4c 利用。

在如此構成的保持電容 1h 中，就本形態而言，來自汲極電極 6b 的矩形延設部份（上電極 6c）會重疊於相當於來自電容線 3b 的矩形突出部份（下電極 3c）的 1 邊之外周端部 31c。在此，在下電極 3c 的外周端部 31c，如圖 9 (b) 所示，形成有閘極絕緣層 4，形成反映下電極 3c 的外周端部 31c 的階差形狀之形狀，在該部份容易發生電場的集中，且容易受底層的階差形狀的影響，而閘極絕緣層 4 的膜質低下。

於是，本形態是從下電極 3c 的外周端部 31c 僅以所定的寬度尺寸在內側的區域形成開口 41。因此，下電極 3c 與上電極 6c 的重疊部份的大部份是只由上層側閘極絕緣層 4b 所構成的薄膜部份 40a，沿著下電極 3c 的外周端部 31c 與上電極 6c 的重疊部份形成有積層下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 的厚膜部份 40b。

在此，下電極 3c 的外周端部 31c、32c、33c、34c 中，就外周端部 32c、33c、34c 而言，上電極 6c 的外周端部會位於其內側區域。於是，本形態是將開口 41 形成至比下電極 3c 的外周端部 32c、33c、34c 更外側區域。因此，閘極絕緣層 4，如圖 9 (c) 所示，在下電極 3c 與上電極 6c 重疊的區域中，下電極 3c 的外周端部 31c 與上電極 6 重疊的部份以外的區域全部會形成薄膜部份 40a。其

(24)

他的構成則是與實施形態 1 同樣，因此省略說明。

如此，在本形態中，保持電容 1h 的基本構成是與實施形態 1 同樣，因此可形成可靠度高的薄膜電晶體 1c ，且可形成電容高的保持電容 1h 等，發揮與實施形態 1 同樣的效果。

又，本形態中，在下電極 3c 與上電極 6c 重疊的區域中，下電極 3c 的外周端部 31c 與上電極 6c 重疊的部份以外的區域全部會形成薄膜部份 40a ，薄膜部份 40a 所佔的範圍廣。並且，在下電極 3c 的外周端部 31c 與上電極 6c 重疊的部份以外的區域，例如即使是上電極 6c 的外周端部也不會發生因階差所引起的電場集中或膜質劣化，所以保持電容 1h 的耐電壓不會降低。因此，不會發生因下電極 3c 的外周端部 31c 的階差所引起之保持電容 1h 的耐電壓降低，可將保持電容 1h 的每單位面積的電容值提高至最大限度。

(實施形態 2 的變形例)

圖 10 是表示在本發明的實施形態 2 之液晶裝置的保持電容中，下電極與上電極的外周端部的重疊部份的擴大剖面。就實施形態 2 而言，如圖 9(c) 所示，在下電極 3c 的外周端部 $32\text{c}、33\text{c}、34\text{c}$ ，至其外側區域為止形成開口 41 ，但如圖 10 所示，亦可至比下電極 3c 的外周端部 $32\text{c}、33\text{c}、34\text{c}$ 更內側，且比上電極 6c 的外周端部更外側形成開口 41 。如此構成時，也是在下電極 3c 與上電極 6c

(25)

重疊的區域中，可使下電極 3c 的外周端部 31c 與上電極 6 重疊的部份以外的區域全部形成薄膜部份 40a，因此可將保持電容 1h 的每單位面積的電容值提高至最大限度。

[實施形態 3]

圖 11 (a)、(b) 是表示本發明的實施形態 3 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A3-B3 的位置切斷液晶裝置時的剖面圖。在圖 11 (a) 中是以粗長的點線來表示畫素電極，以細的實線來表示閘極線及同時被形成的薄膜，以細的一點鎖線來表示源極線及同時被形成的薄膜，以細短的點線來表示半導體層。並且，在保持電容的介電體層中，有關閘極絕緣層的薄部份是以粗的實線來表示，有關接觸孔是與閘極線等同樣以細的實線來表示。另外，本形態的基本構成是與實施形態 1 同樣，因此對共通的部份賦予同一符號，而省略該等的說明。

如圖 11 (a)、(b) 所示，本形態亦與實施形態 1 同樣，在元件基板 10 中，在以閘極線 3a 及源極線 6a 所圍繞的畫素區域 1e 中形成有底閘極型的薄膜電晶體 1c、及保持電容 1h。

在本形態中，保持電容 1h 將來自電容線 3b 的突出部份作為下電極 3c 的點是與實施形態 1 同樣。但，保持電容 1h 的上電極 5a 是藉由形成於閘極絕緣層 4 與汲極電極 6b 的層間之 ITO 膜所構成，上電極 5a 是藉由與汲極電極 6b 的部份重疊的部份來電性連接至汲極電極 6b。在本形

(26)

態中，構成上電極 5a 的 ITO 膜的膜厚為 50 nm。另外，對於上電極 5a 而言是經由接觸孔 81、91 來電性連接形成於平坦化膜 9 上層的畫素電極 2a。

閘極絕緣層 4 是與實施形態 1 同樣形成 2 層構造，亦即由下層側的厚矽氮化膜所構成的下層側閘極絕緣層 4a、及由上層側的薄矽氮化膜所構成的上層側閘極絕緣層之 2 層構造。下層側閘極絕緣層 4a 是在與保持電容 1h 的下電極 3c 及上電極 5a 平面性重疊的區域被除去於厚度方向的全體，形成開口 41。

在如此構成的保持電容 1h 中，上電極 5a 是形成能夠從來自電容線 3b 的矩形突出部份（下電極 3c）突出至四方，且上電極 5a 會對相當於下電極 3c 的 4 邊之外周端部重疊。因此，本形態是與實施形態 1 同樣，從下電極 3c 與上電極 5a 的重疊部份的外周端部僅以所定的寬度尺寸在內側的區域形成開口 41，沿著下電極 3c 的外周端部與上電極 5a 的重疊部份形成積層下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 的厚膜部份。其他的構成則是與實施形態 1 同樣，因此省略說明。另外，本形態是使用 ITO 膜（透明電極）作為上電極 5a，因此與使用汲極電極 6b 的延設部份作為上電極時相較之下，可提高畫素開口率。

[實施形態 4]

圖 12 (a)、(b) 是表示本發明的實施形態 4 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A4-B4 的位置切

(27)

斷液晶裝置時的剖面圖。在圖 12(a) 中是以粗長的點線來表示畫素電極，以細的實線來表示閘極線及同時被形成的薄膜，以細的一點鎖線來表示源極線及同時被形成的薄膜，以細短的點線來表示半導體層。並且，在保持電容的介電體層中，有關閘極絕緣層的薄部份是以粗的實線來表示。另外，本形態的基本構成是與實施形態 1 同樣，因此對共通的部份賦予同一符號，而省略該等的說明。

如圖 12(a)、(b) 所示，本形態亦與實施形態 1 同樣，在元件基板 10 中，在以閘極線 3a 及源極線 6a 所圍繞的畫素區域 1e 中形成有底閘極型的薄膜電晶體 1c、及保持電容 1h。但，與實施形態 1~3 不同的是本形態中未形成平坦化膜，畫素電極 2a 是形成於閘極絕緣層 4 與汲極電極 6b 的層間，藉由與汲極電極 6b 部份重疊的部份來電性連接至汲極電極 6b。

並且，保持電容 1h 以來自電容線 3b 的突出部份作為下電極 3c 的點是與實施形態 1 同樣。但，保持電容 1h 的上電極是藉由畫素電極 2a 中，與下電極 3c 平面性重疊的部份所構成。

閘極絕緣層 4 是與實施形態 1 同樣形成 2 層構造，亦即由下層側的厚矽氮化膜所構成的下層側閘極絕緣層 4a、及由上層側的薄矽氮化膜所構成的上層側閘極絕緣層之 2 層構造。下層側閘極絕緣層 4a 是在與保持電容 1h 的下電極 3c 及畫素電極 2a 平面性重疊的區域被除去於厚度方向的全體，形成開口 41。因此，保持電容 1h 的介電體層 4c

(28)

是藉由閘極絕緣層 4 中，膜厚薄的部份（下層側閘極絕緣層 4a）所構成。

在如此構成的保持電容 1h 中，畫素電極 2a（上電極）是形成能夠從來自電容線 3b 的矩形突出部份（下電極 3c）突出，且對相當於下電極 3c 的 4 邊之外周端部重疊。因此，本形態是與實施形態 1 同樣，從下電極 3c 與畫素電極 2a 的重疊部份的外周端部僅以所定的寬度尺寸在內側的區域形成開口 41，沿著下電極 3c 的外周端部與畫素電極 2a 的重疊部份形成積層下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 的厚膜部份。其他的構成則是與實施形態 1 同樣，因此省略說明。

[實施形態 5]

圖 13 (a)、(b) 是表示本發明的實施形態 5 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A5-B5 的位置切斷液晶裝置時的剖面圖。在圖 13 (a) 中是以粗長的點線來表示畫素電極，以細的實線來表示閘極線及同時被形成的薄膜，以細的一點鎖線來表示源極線及同時被形成的薄膜，以細短的點線來表示半導體層。並且，在保持電容的介電體層中，有關閘極絕緣層的薄部份是以粗的實線來表示，有關接觸孔是與閘極線等同樣以細的實線來表示。另外，本形態的基本構成是與實施形態 1 同樣，因此對共通的部份賦予同一符號，而省略該等的說明。

如圖 13 (a)、(b) 所示，本形態亦與實施形態 1 同

(29)

樣，在元件基板 10 中，在以閘極線 3a 及源極線 6a 所圍繞的畫素區域 1e 中形成有底閘極型的薄膜電晶體 1c、及保持電容 1h。但，與實施形態 1~4 不同是本形態中未形成電容線，藉由掃描方向（與閘極線 3a 的延伸方向交叉的方向/源極線 6a 的延伸方向）之前段側的閘極線 3a 的一部份來構成保持電容 1h 的下電極 3c。

並且，保持電容 1h 是在與下電極 3c 重疊的區域中形成有上電極 6d，在本形態中，上電極 6d 是使用與源極線 6a 或汲極電極 6b 同時形成的金屬層。在此，上電極 6d 是與汲極電極 6b 分離形成。因此，形成於平坦化膜 9 上層的畫素電極 2a 是經由鈍化膜 8 的接觸孔 81、及平坦化膜 9 的接觸孔 91 來電性連接至上電極 6d，且經由鈍化膜 8 的接觸孔 82、及平坦化膜 9 的接觸孔 92 來電性連接至汲極電極 6b。

閘極絕緣層 4 是與實施形態 1 同樣形成 2 層構造，亦即由下層側的厚矽氮化膜所構成的下層側閘極絕緣層 4a、及由上層側的薄矽氮化膜所構成的上層側閘極絕緣層之 2 層構造。下層側閘極絕緣層 4a 是在與保持電容 1h 的下電極 3c 及上電極 6d 平面性重疊的區域被除去於厚度方向的全體，形成開口 41。因此，保持電容 1h 的介電體層 4c 是藉由閘極絕緣層 4 中，膜厚薄的部份（下層側閘極絕緣層 4a）所構成。

在如此構成的保持電容 1h 中，上電極 6d 是對相當於前段的閘極線 3a 的 1 邊之外周端部重疊。因此，本形態

(30)

是與實施形態 1 同樣，從下電極 3c 的外周端部與上電極 6d 的重疊部份僅以所定的寬度尺寸在內側的區域形成開口 41，沿著下電極 3c 的外周端部與上電極 6d 的重疊部份形成積層下層側閘極絕緣層 4a 與上層側閘極絕緣層 4b 的薄膜部份。其他的構成則是與實施形態 1 同樣，因此省略說明。

[其他的實施形態]

上述實施形態中，構成閘極絕緣層 4 的下層側閘極絕緣層 4a 及上層側閘極絕緣層 4b 皆為由同一絕緣膜所構成，但下層側閘極絕緣層 4a 及上層側閘極絕緣層 4b 亦可由相異的絕緣膜所構成。此時，藉由矽氧化膜及矽氮化膜來構成閘極絕緣層 4 時，有關作為介電體層 4c 利用的上層側閘極絕緣層 4b 最好是藉由介電率高的矽氮化膜所構成。並且，在上述實施形態中，下層側閘極絕緣層 4a 及上層側閘極絕緣層 4b 是分別由 1 層的絕緣膜所構成，但下層側閘極絕緣層 4a 及上層側閘極絕緣層 4b 亦可為複數層的絕緣膜所構成。

在上述實施形態中，閘極線 3a 為使用鋁合金膜與鉬膜的多層膜，源極線 6a 為使用鋁膜與鉬膜的多層膜，但該等的配線可使用其他的金屬膜，且亦可使用矽化物膜等的導電膜。又，上述實施形態中，半導體層 7a 為使用固有的非晶形矽膜，但亦可使用其他的矽膜、或有機半導體膜、氧化鋅等的透明半導體膜。

(31)

又，上述實施形態中，是除去下層側閘極絕緣層 4a 而利用上層側閘極絕緣層 4b 作為介電體層的構成，但亦可將本發明適用於以蝕刻來除去閘極絕緣層的厚度方向的一部份而使膜厚變薄的構成、或參照圖 14 如以下說明一般，除去上層側閘極絕緣層 4b 而利用下層側閘極絕緣層 4a 作為介電體層的構成。

就圖 14 所示的例子而言，首先，如圖 14 (a) 所示，使閘極線 3a (閘極電極) 與下電極 3c (電容線 3b 的一部份) 同時形成後，如圖 14 (b) 所示，形成構成閘極絕緣層 4 的下層側之下層側閘極絕緣層 4a、及構成閘極絕緣層 4 的上層側之上層側閘極絕緣層 4b。其次，在依序形成用以構成主動層的固有非晶形矽膜 7d、及用以構成歐姆接觸層的 n^+ 型矽膜 7e 之後，進行蝕刻，如圖 14 (c) 所示，使構成主動層的半導體層 7a 及 n^+ 型矽膜 7e 圖案化成島狀。其次，如圖 14 (d) 所示，在閘極絕緣層 4 中對與下電極 3c 重疊的部份進行蝕刻，除去上層側閘極絕緣層 4b，形成開口 41。其次，形成導電膜後，進行蝕刻，形成源極電極 (源極線 6a) 及汲極電極 6b。接著，對 n^+ 型矽膜 7e 進行蝕刻，形成歐姆接觸層 7b、7c。其結果，薄膜電晶體 1c 會被形成。並且，以下層側閘極絕緣層 4a 作為介電體層 4c，以汲極電極 6b 的延設部份作為上電極 6c 之保持電容 1h 會被形成。

此外，在上述實施形態中，雖是以透過型的液晶裝置為例來進行說明，但亦可將本發明適用於半透過反射型的

(32)

液晶裝置或全反射型的液晶裝置。並且，在上述實施形態中，雖是以 TN 模式、ECB 模式、VAN 模式的主動矩陣型的液晶裝置為例來進行說明，但亦可將本發明適用於 IPS (In-Plane Switching) 模式的液晶裝置（光電裝置）。

另外，光電裝置並非限於液晶裝置，例如有機 EL (organic electroluminescence) 裝置亦在以有機 EL 膜作為光電物質保持的元件基板上的各畫素區域中形成有薄膜電晶體、及電性連接至該薄膜電晶體的畫素電極、以及在比上述薄膜電晶體的閘極絕緣層更下層側具備下電極的保持電容，因此亦可將本發明適用於該有機 EL 裝置。

〔電子機器的實施形態〕

圖 15 是表示以本發明的液晶裝置作為各種電子機器的顯示裝置使用時之一實施形態。在此所示的電子機器為個人電腦或行動電話等，具有顯示資訊輸出源 170、顯示資訊處理電路 171、電源電路 172、時序產生器 173、以及液晶裝置 1。並且，液晶裝置 1 具有面板 175 及驅動電路 176，可使用前述的液晶裝置 1。顯示資訊輸出源 170 具備 ROM (Read Only Memory)、RAM (Random Access Memory) 等的記憶體，各種碟片等的儲存單元、同步輸出數位畫像訊號的同步電路等，根據時序產生器 173 所產生的各種時脈訊號來將所定格式的畫像訊號等的顯示資訊供給至顯示資訊處理電路 171。顯示資訊處理電路 171 具備：串列-序列變換電路，放大・反相電路，低壓電路，γ

(33)

校正電路，及箇位電路等習知的各種電路，執行所輸入之顯示資訊的處理，且將該畫像訊號與時脈訊號 CLK 一起供給至驅動電路 176。又，電源電路 172 會將所定的電壓供給至各構成要件。

【圖式簡單說明】

圖 1 (a)、(b) 是分別表示從對向基板側來看液晶裝置（光電裝置）與形成於其上的各構成要素的平面圖，及其 H-H'剖面圖。

圖 2 是表示圖 1 所示之液晶裝置的元件基板的電氣構成的說明圖。

圖 3 (a)、(b) 是分別表示本發明的實施形態 1 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A1-B1 的位置切斷液晶裝置時的剖面圖。

圖 4 (a)、(b)、(c) 是表示圖 3 所示之保持電容的擴大平面圖、下電極的外周端部與上電極的重疊部份的擴大剖面圖、及下電極與上電極的外周端部的重疊部份的擴大剖面。

圖 5 (a) ~ (g) 是表示使用於圖 3 所示之液晶裝置的元件基板的製造方法的工程剖面圖。

圖 6 (a) ~ (d) 是表示使用於圖 3 所示之液晶裝置的元件基板的製造方法的工程剖面圖。

圖 7 (a)、(b) 是表示圖 3 所示之保持電容的條件設定例的保持電容的擴大平面圖、及下電極的外周端部與

(34)

上電極的重疊部份的擴大剖面圖。

圖 8 (a)、(b) 是分別表示本發明的實施形態 2 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A2-B2 的位置切斷液晶裝置時的剖面圖。

圖 9 (a)、(b)、(c) 是表示圖 8 所示之保持電容的擴大平面圖、下電極的外周端部與上電極的重疊部份的擴大剖面圖、及下電極與上電極的外周端部的重疊部份的擴大剖面。

圖 10 是表示本發明的實施形態 2 的變形例之液晶裝置的下電極與上電極的外周端部的重疊部份的擴大剖面。

圖 11 (a)、(b) 是分別表示本發明的實施形態 3 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A3-B3 的位置切斷液晶裝置時的剖面圖。

圖 12 (a)、(b) 是分別表示本發明的實施形態 4 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A4-B4 的位置切斷液晶裝置時的剖面圖。

圖 13 (a)、(b) 是分別表示本發明的實施形態 5 之液晶裝置的畫素 1 個份的平面圖、及在相當於 A5-B5 的位置切斷液晶裝置時的剖面圖。

圖 14 是表示本發明的其他實施形態之液晶裝置的元件基板的製造方法的工程剖面圖。

圖 15 是表示使用本發明的液晶裝置作為各種電子機器的顯示裝置時的說明圖。

圖 16 (a)、(b) 是分別表示以往的液晶裝置的畫素

(35)

1 個份的平面圖、及在相當於 A11-B11 的位置切斷液晶裝置時的剖面圖。

【主要元件符號說明】

1：液晶裝置（光電裝置）

1b：畫素

1c：薄膜電晶體

1e：畫素區域

1f：液晶

1g：液晶電容

1h：保持電容

2a：畫素電極

3a：閘極線（閘極電極/掃描線）

3b：電容線

3c：保持電容的下電極

4：閘極絕緣層

4a：下層側閘極絕緣層

4b：上層側閘極絕緣層

4c：介電體層

6a：源極線（資料線）

6b：汲極電極

5a、6c、6d：保持電容的上電極

31c、32c、33c、34c：下電極的外周端部

40a：閘極絕緣層的薄膜部份

(36)

40b：閘極絕緣層的厚膜部份

十、申請專利範圍

1. 一種光電裝置，係於元件基板上的複數的各畫素區域中分別具有：依序積層閘極電極、閘極絕緣層及半導體層的薄膜電晶體、及電性連接至該薄膜電晶體的汲極區域之畫素電極、及具備夾著使用構成上述閘極絕緣層的材料的絕緣層而對向的下電極及上電極之保持電容，其特徵為：

上述上電極係從上述薄膜電晶體的汲極區域延設者，以能夠和上述下電極的外周端部的至少一部份重疊之方式形成，

上述閘極絕緣層係於上述下電極與上述上電極重疊的區域具有膜厚薄的薄膜部份，在上述下電極的外周端部與上述上電極重疊的部份具有膜厚比上述薄膜部份更厚的厚膜部份，

上述厚膜部分係從上述下電極的外周端部往內側形成具有上述厚膜部分的膜厚以上的寬度尺寸，在上述下電極的外周端部與上述上電極所重疊的部分以外的區域，上述上電極的外周端部係位於比上述下電極的外周端部更內側。

2. 如申請專利範圍第 1 項之光電裝置，其中，上述薄膜電晶體係由下層側起依序積層上述閘極電極、上述閘極絕緣層及上述半導體層。

3. 如申請專利範圍第 1 或 2 項之光電裝置，其中，上述閘極絕緣層係具備：由 1 層乃至複數層的絕緣膜所構

成的下層側閘極絕緣層、及由 1 層乃至複數層的絕緣膜所構成的上層側閘極絕緣層，

在上述閘極絕緣層，藉由上述下層側閘極絕緣層的除去部份來構成上述薄膜部份，藉由上述下層側閘極絕緣層與上述上層側閘極絕緣層所被積層的部份來構成上述厚膜部份。

4. 如申請專利範圍第 3 項之光電裝置，其中，上述下層側閘極絕緣層係由 1 層的絕緣膜所構成，上述上層側閘極絕緣層係由 1 層的絕緣膜所構成。

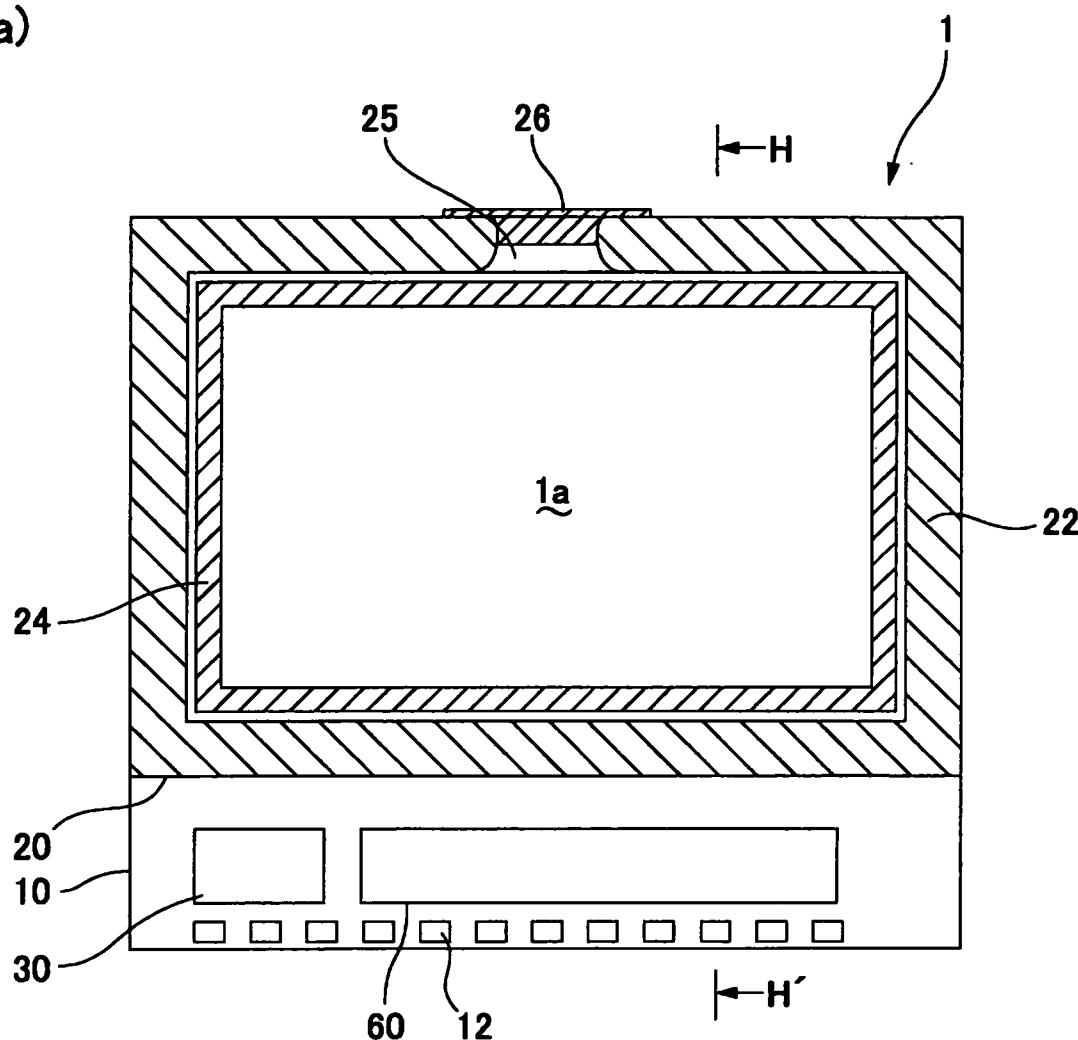
5. 如申請專利範圍第 1 或 2 項之光電裝置，其中，上述半導體層係由非晶形矽膜所構成。

6. 一種電子機器，其特徵係具備如申請專利範圍第 1 ~ 5 項中任一項所記載之光電裝置。

公告本
765447

圖 1

(a)



(b)

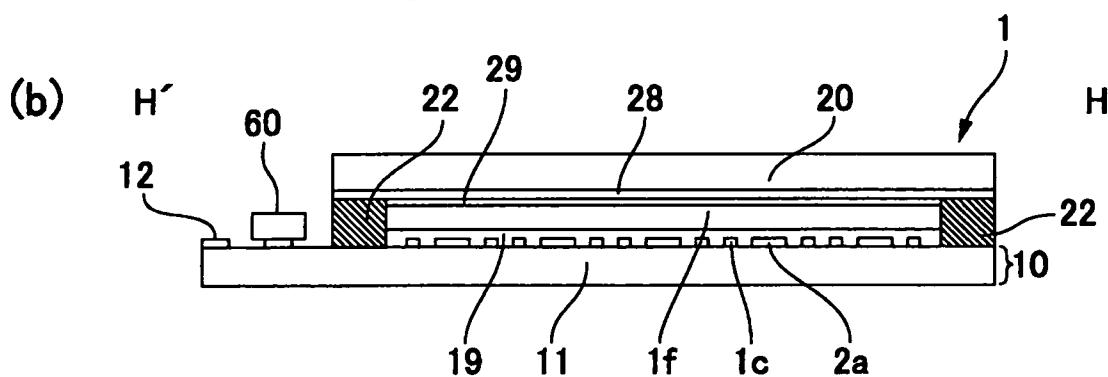


圖 2

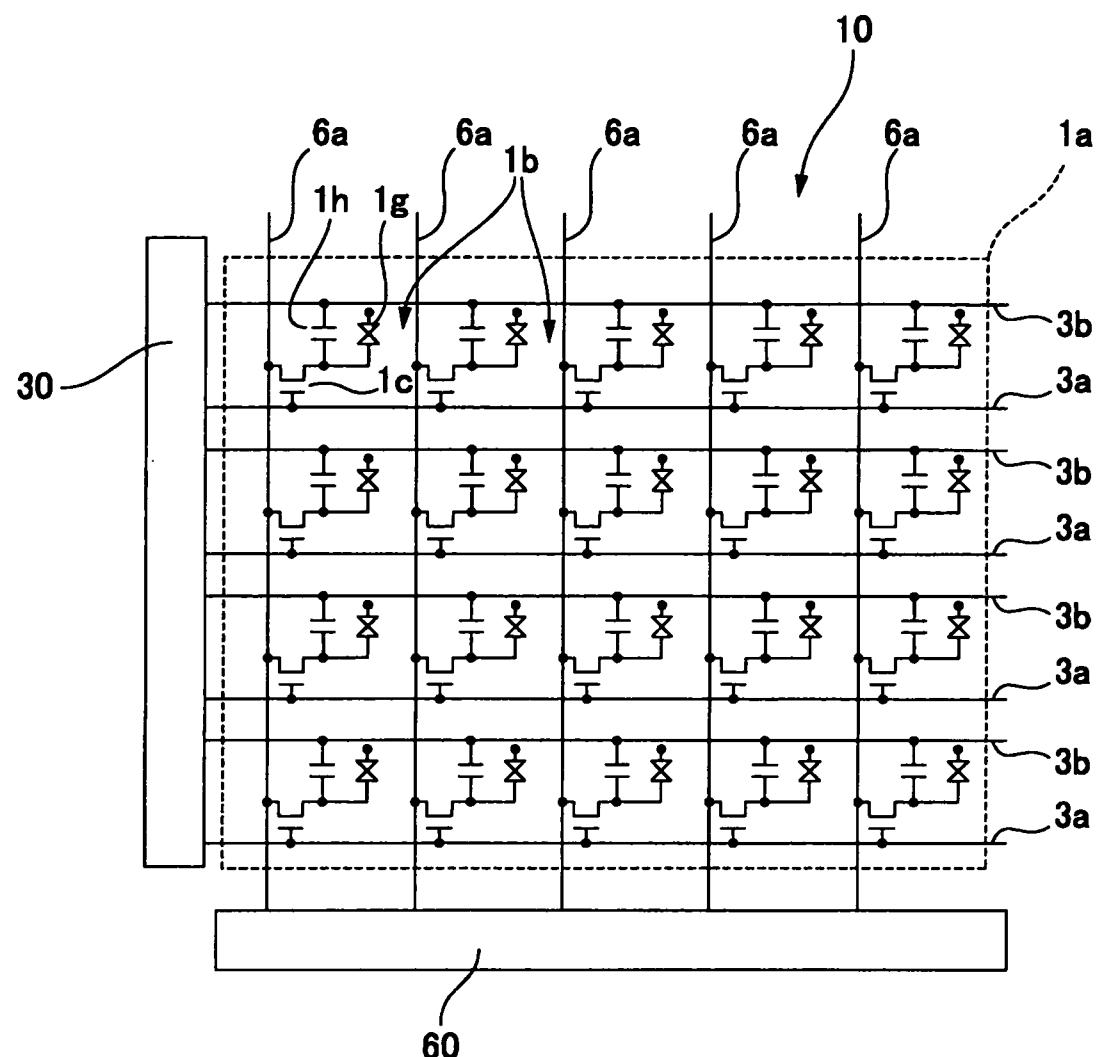
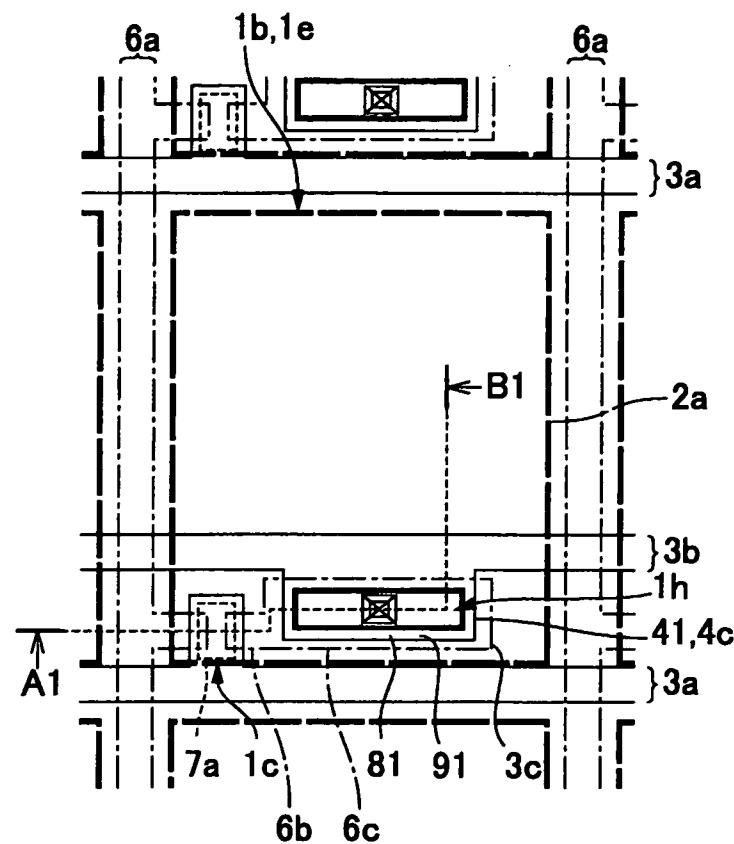


圖3

(a)



(b)

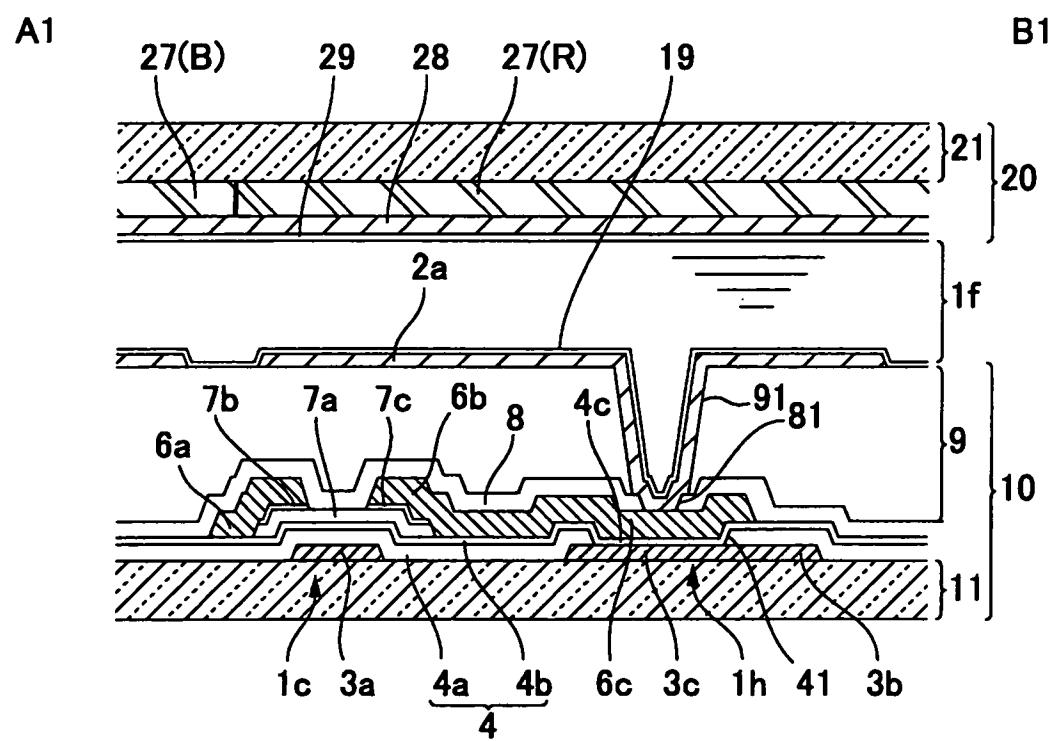
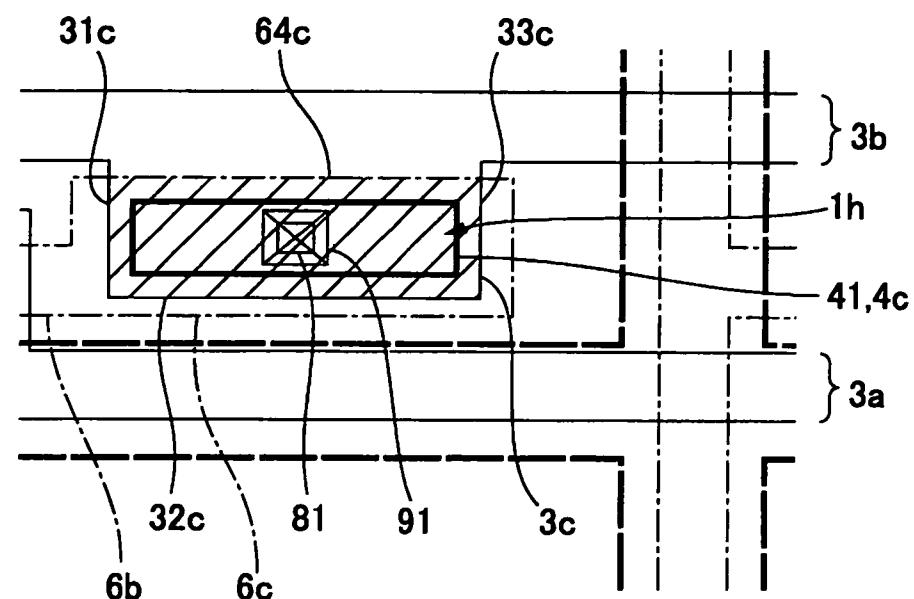
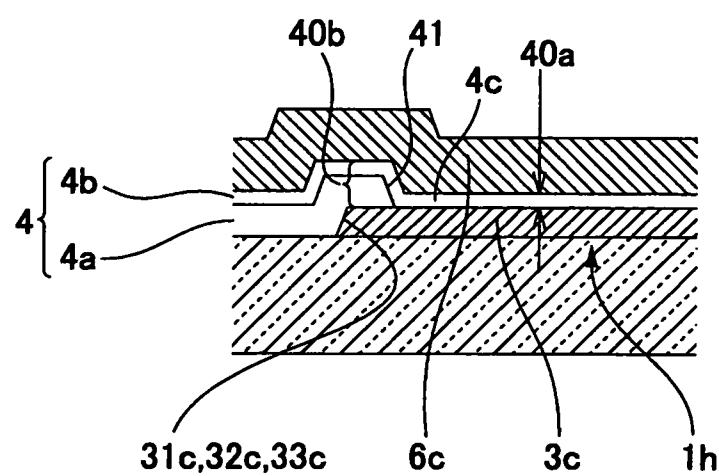


圖 4

(a)



(b)



(c)

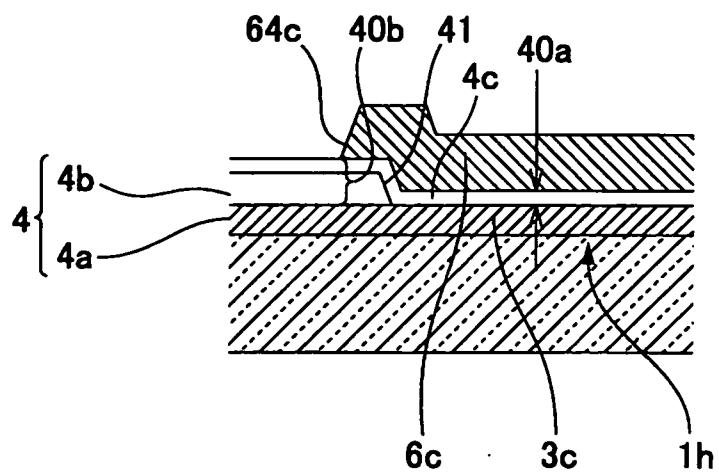


圖 5

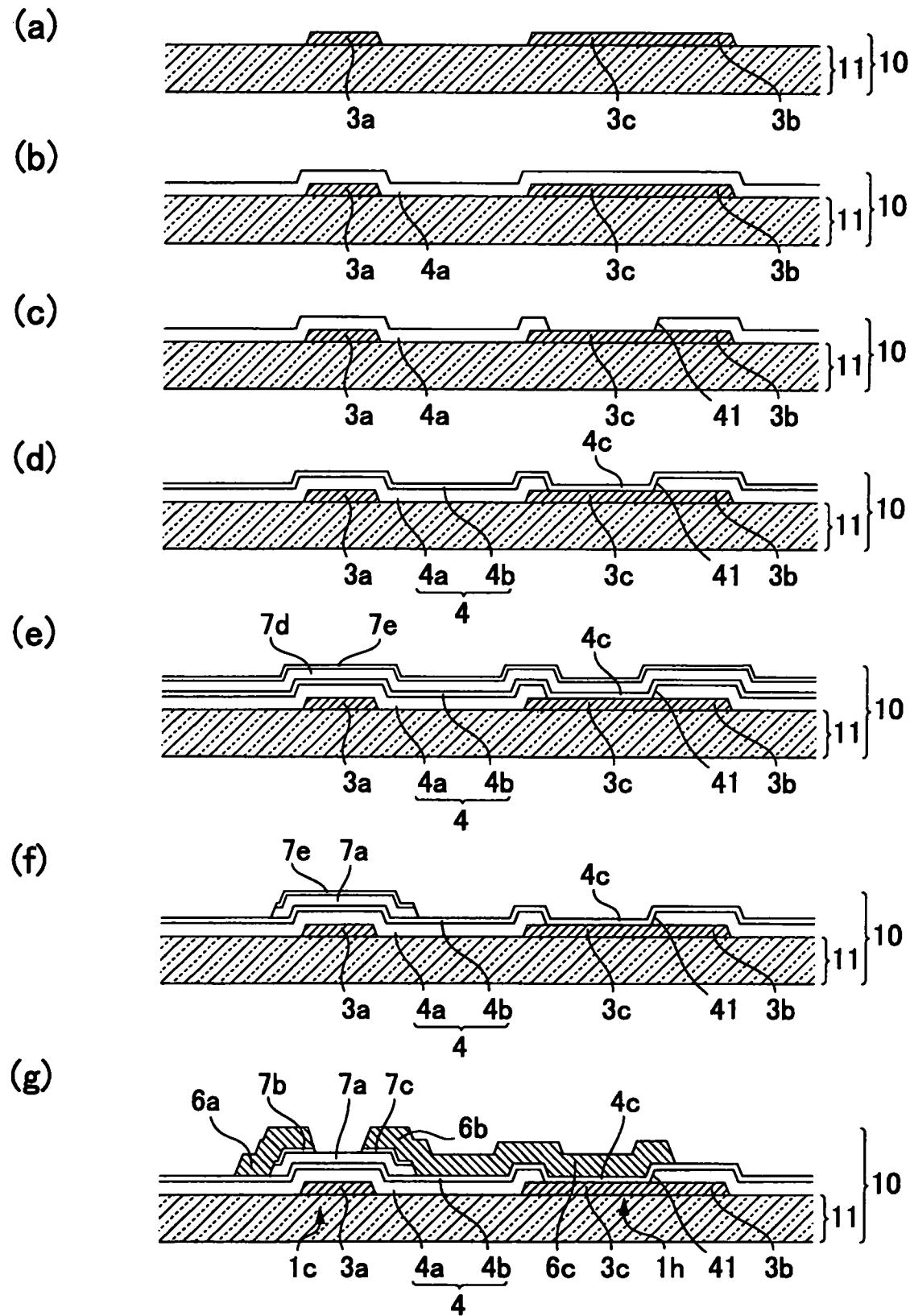
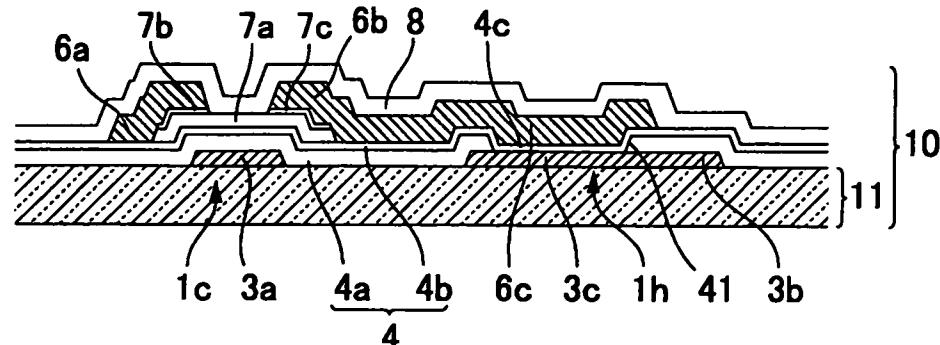
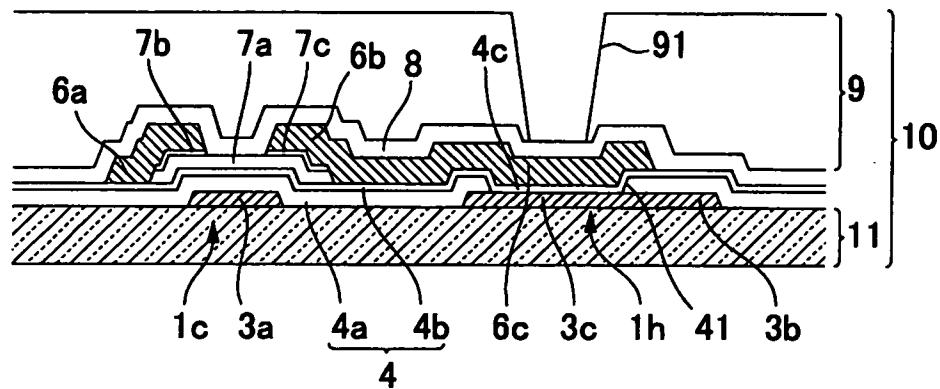


圖 6

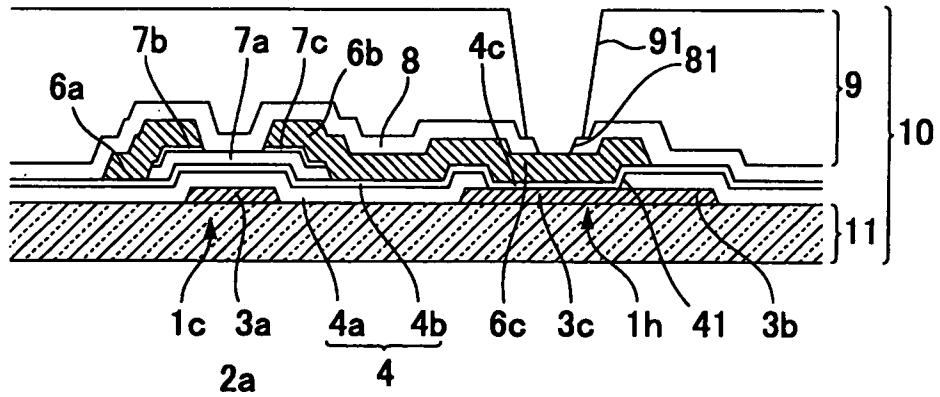
(a)



(b)



(c)



(d)

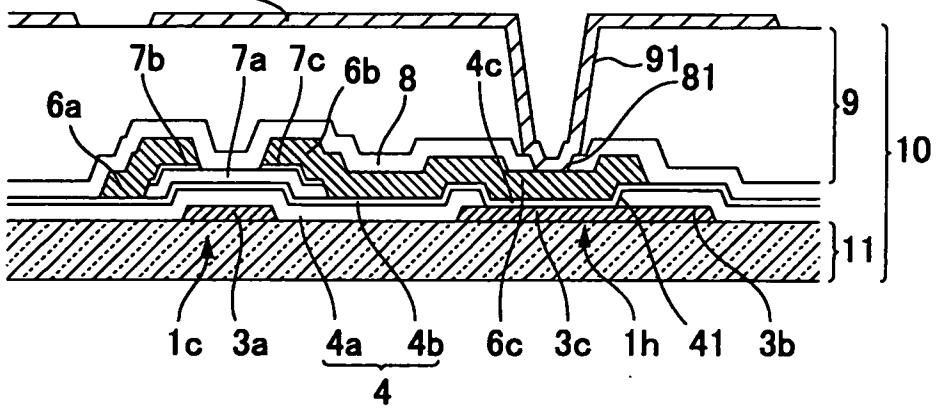
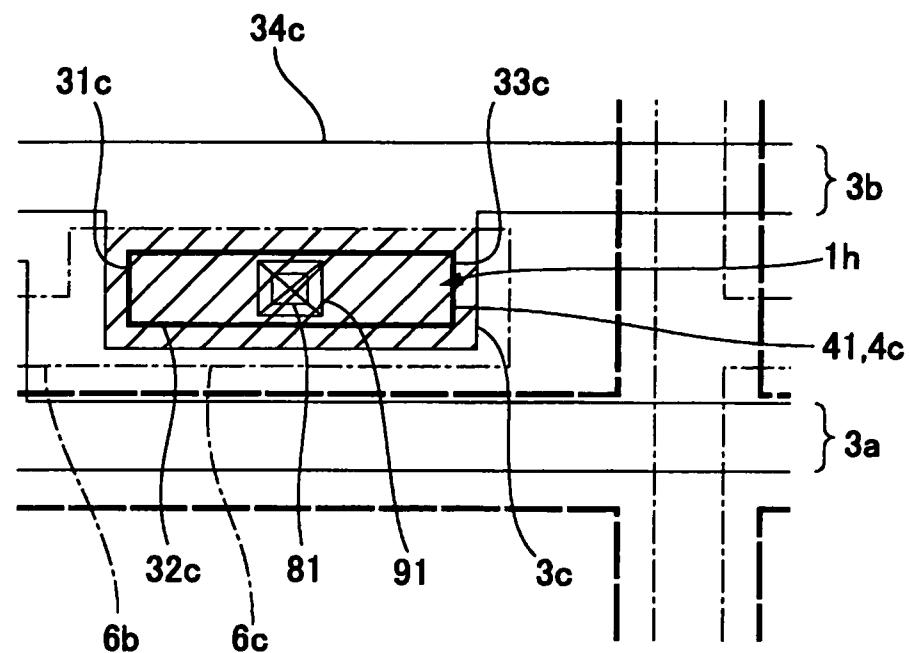


圖 7

(a)



(b)

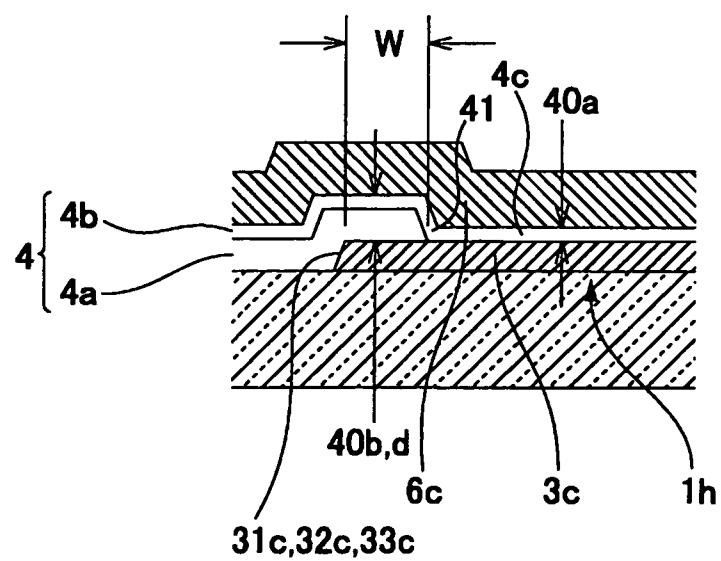
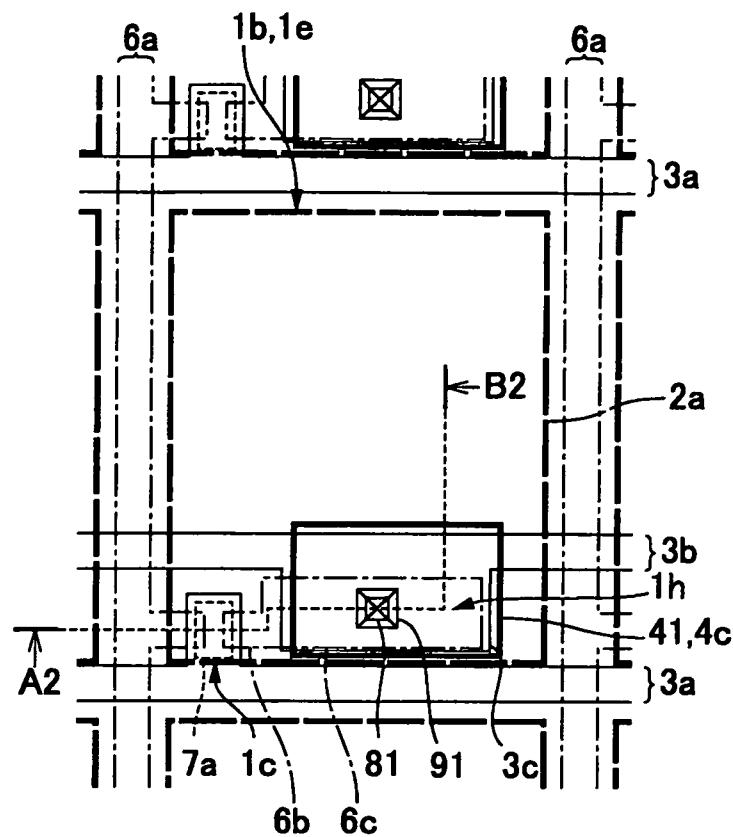


圖 8

(a)



(b)

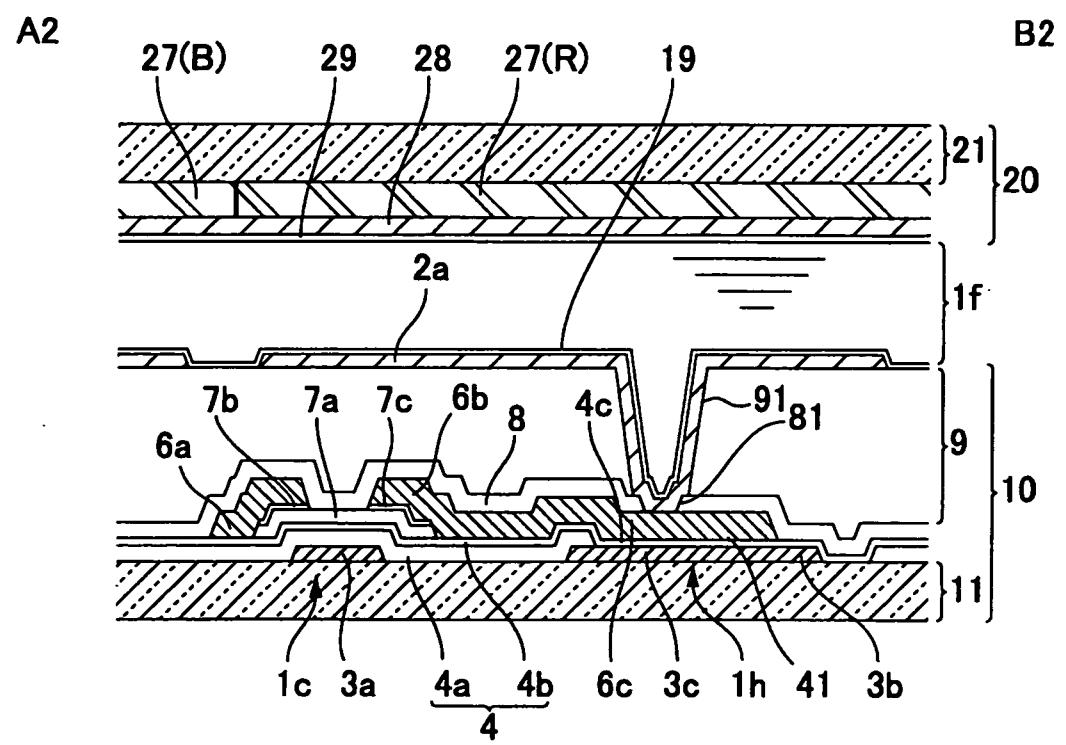
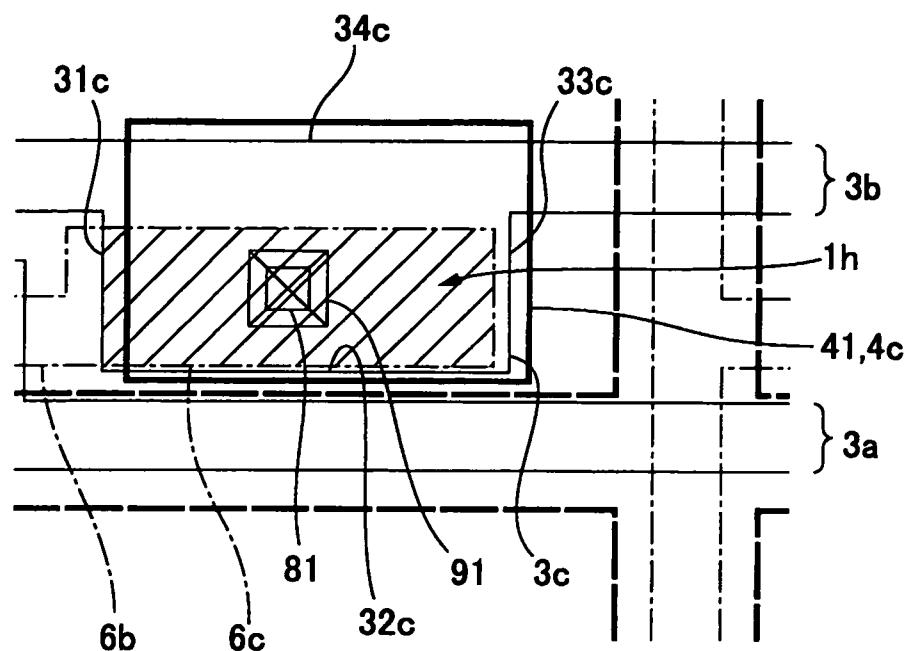
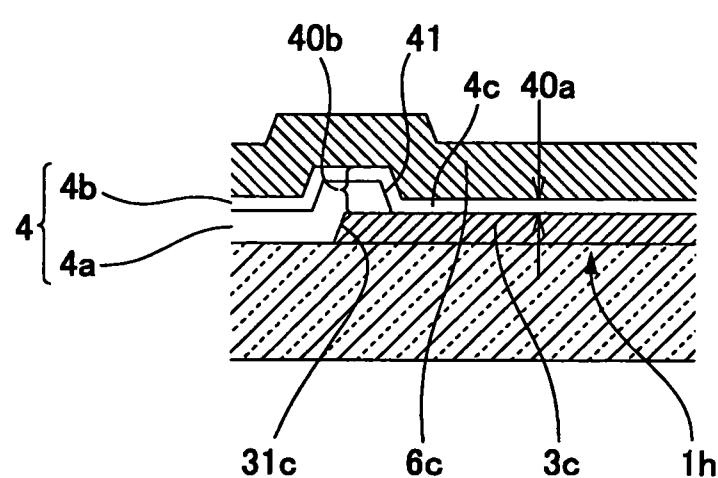


圖 9

(a)



(b)



(c)

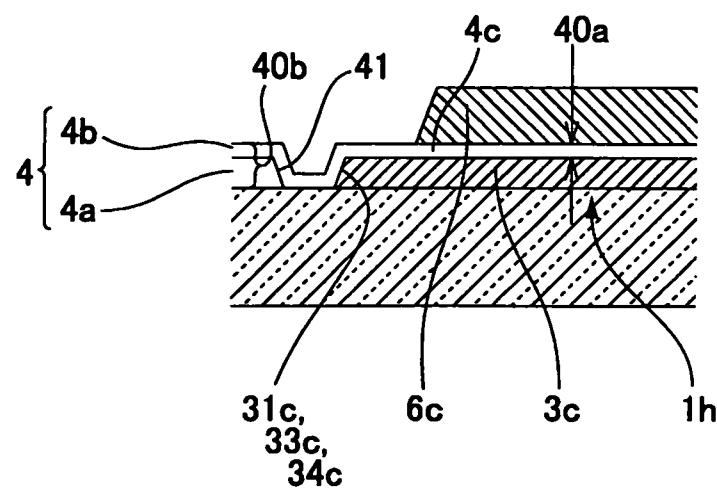


圖 10

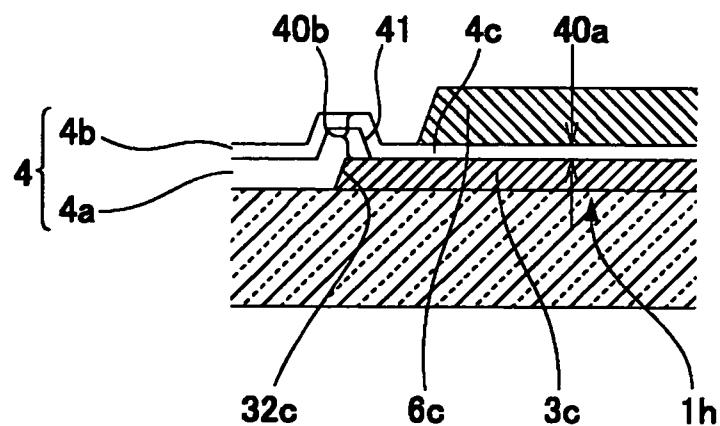
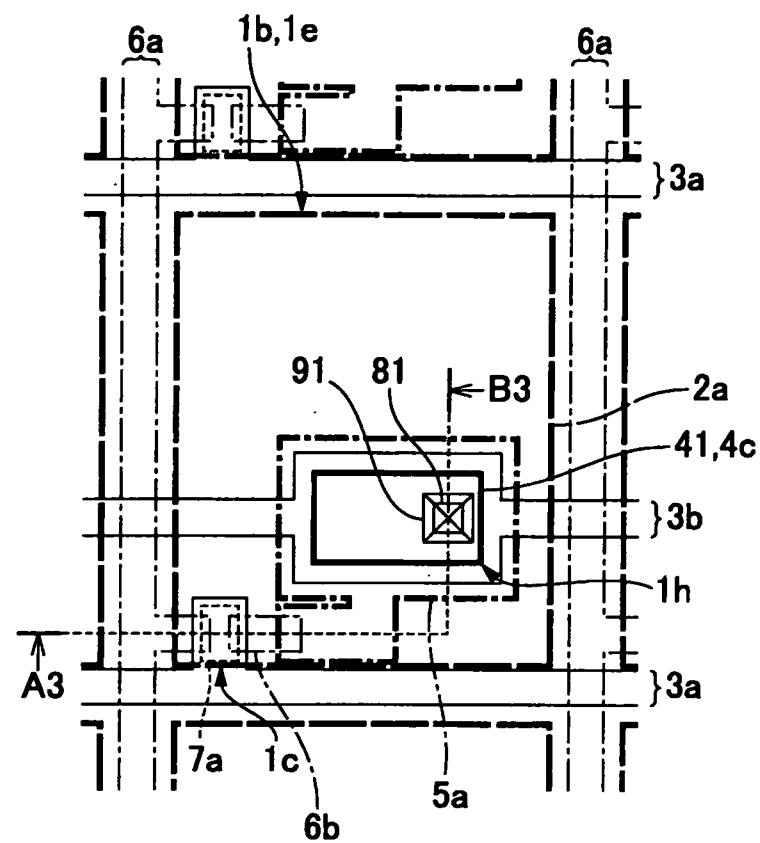


圖 11

(a)



(b)

A3

B3

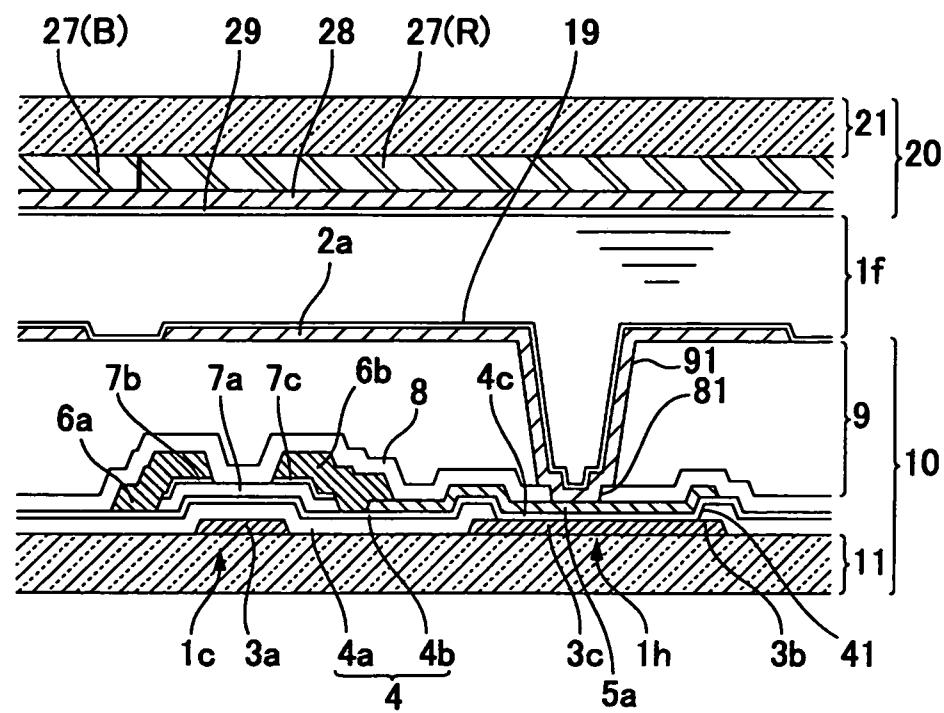
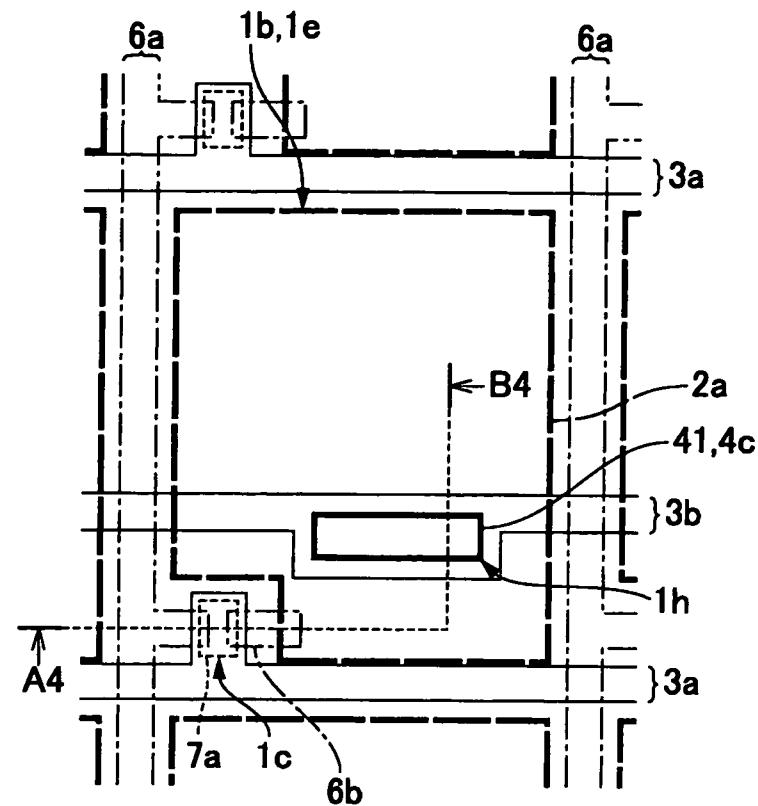


圖 12

(a)



(b)

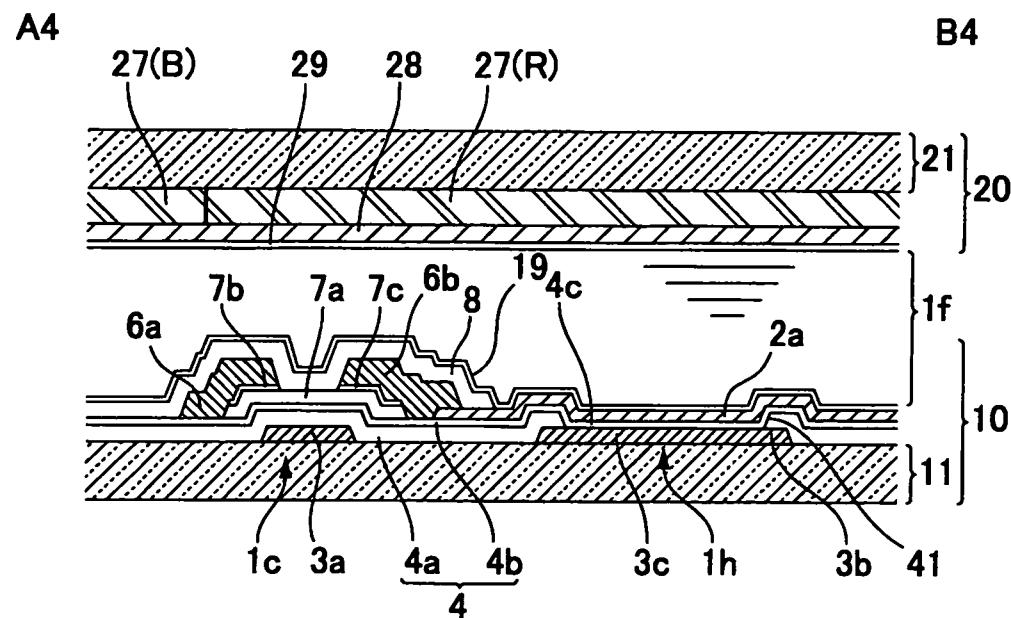
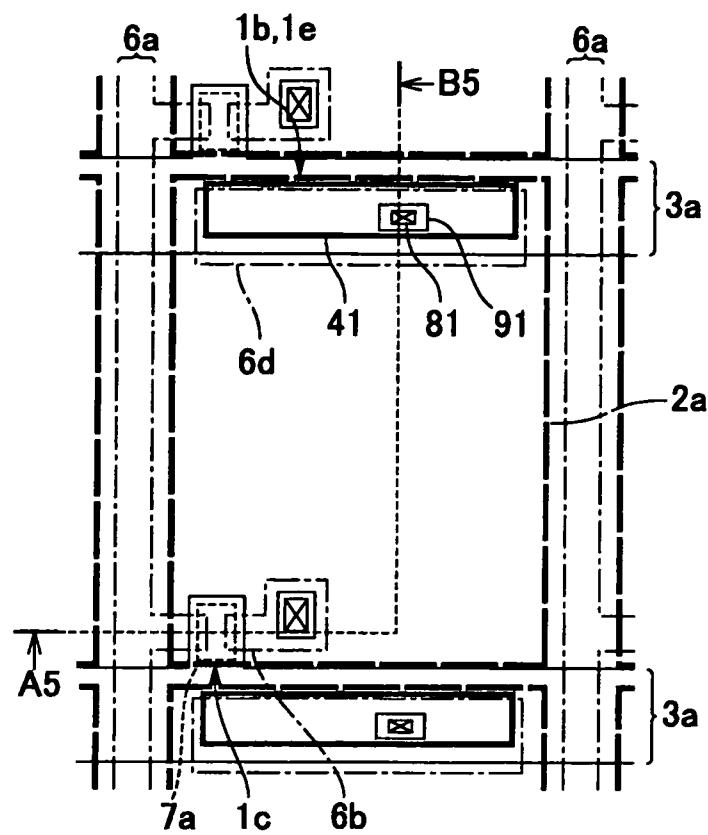


圖 13

(a)



(b)

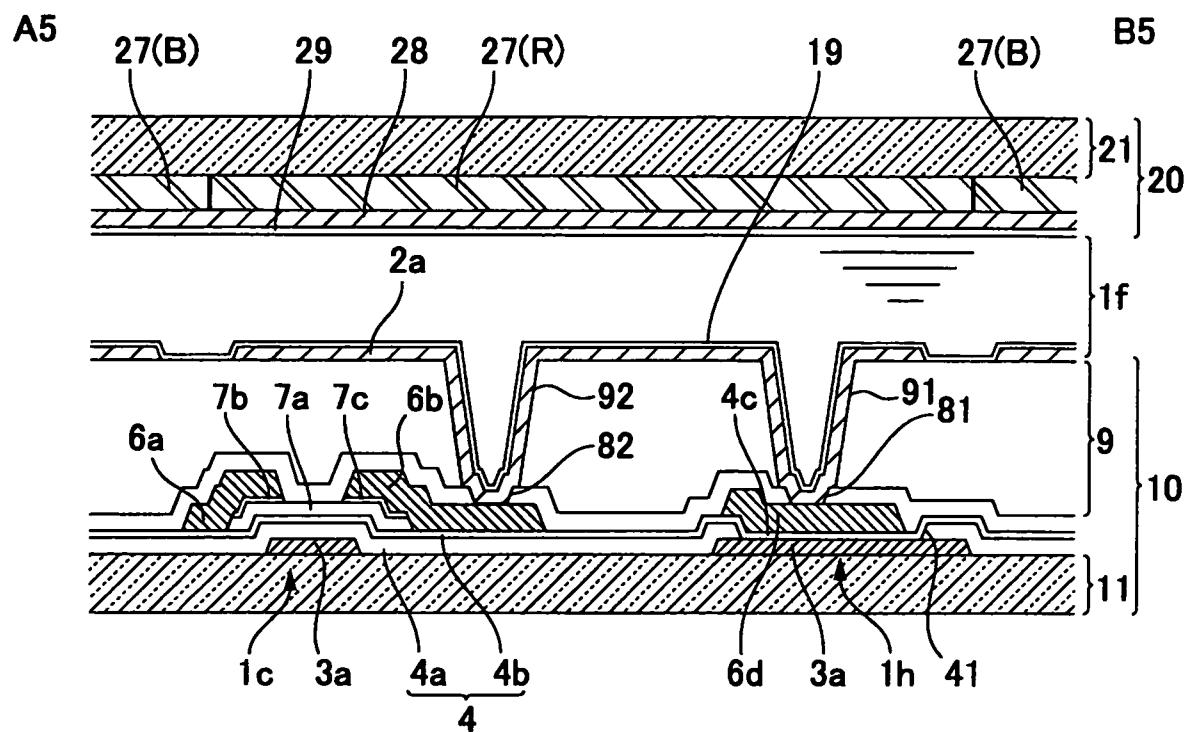
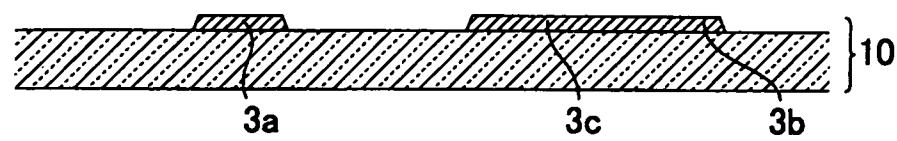
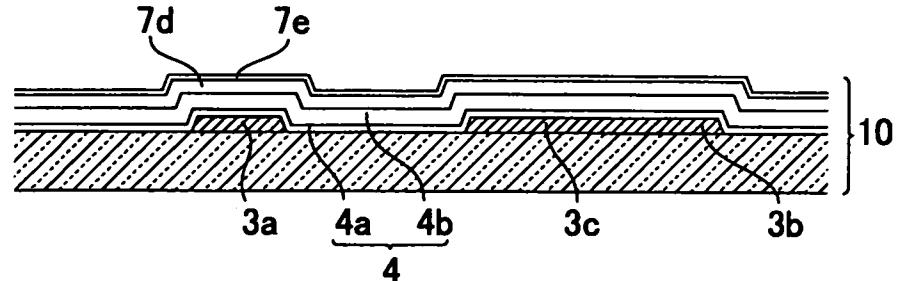


圖 14

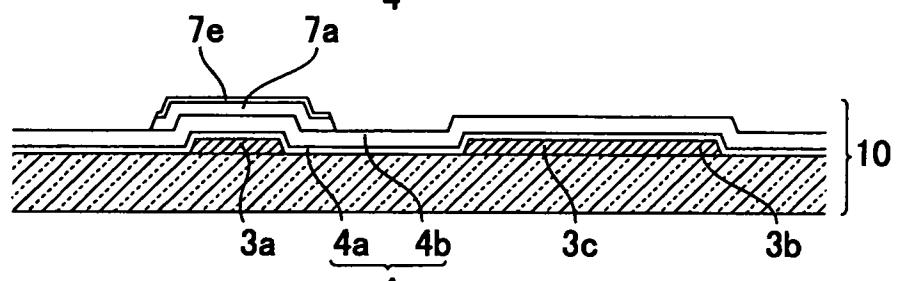
(a)



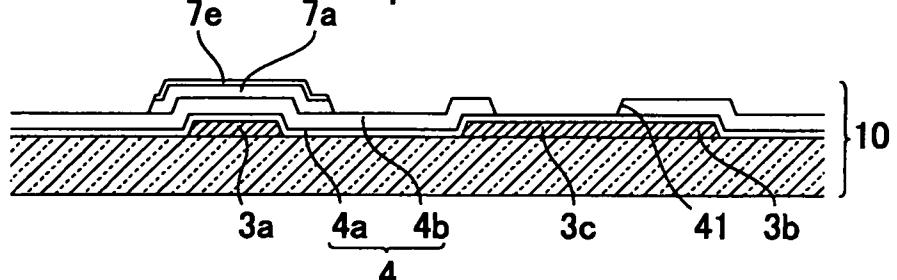
(b)



(c)



(d)



(e)

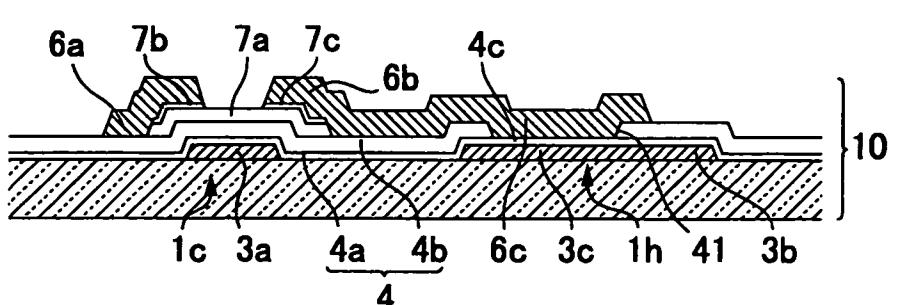


圖 15

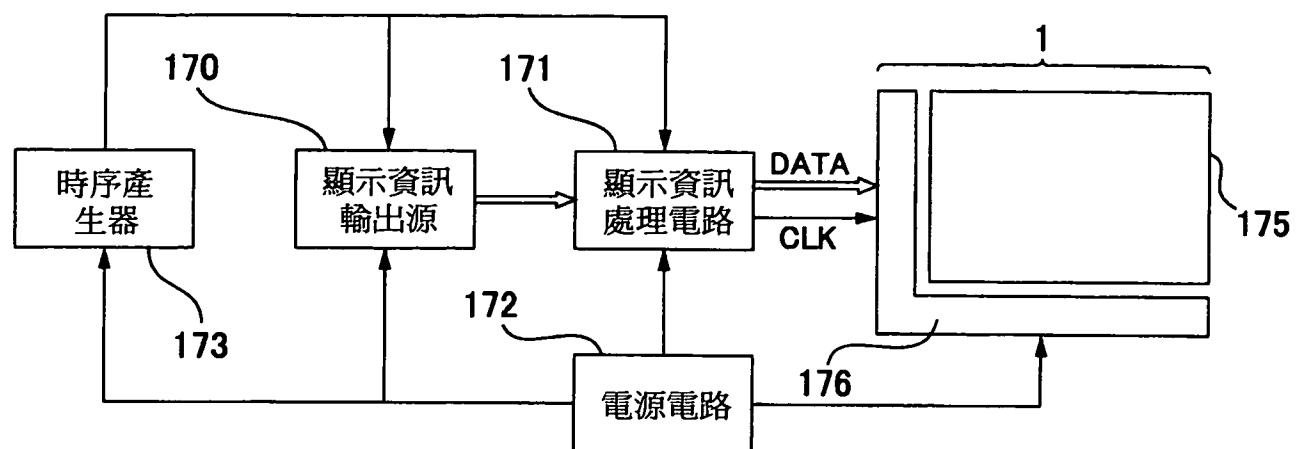
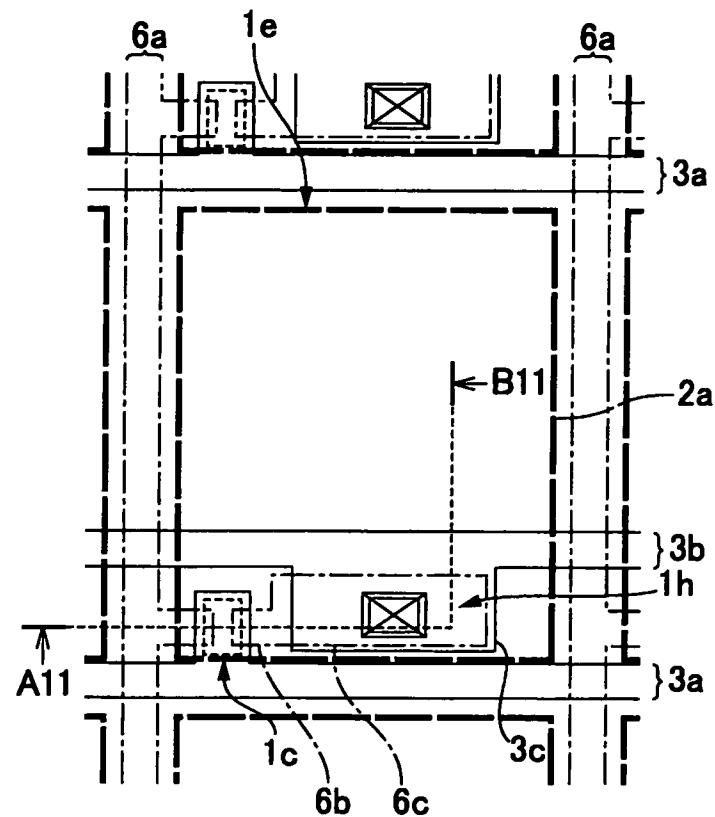


圖 16

(a)



(b)

