

公告本

申請日期	91. 6. 10
案 號	9 1 1 1 2 5 3 5
類 別	G11C11/00

A4
C4

(以上各欄由本局填註)

發明 專利 說明 書 I222062		
一、發明 名稱	中 文	具有短讀取時間之記憶體裝置
	英 文	MEMORY DEVICE WITH SHORT READ TIME
二、發明 人	姓 名	朗 T. 崔恩 Lung T. TRAN
	國 籍	美 國 USA
	住、居所	美國加州薩拉多加·伍德伯瑞巷5085號 5085 Woodbrae Court, Saratoga, California 95070, USA
三、申請人	姓 名 (名稱)	美商·惠普公司 HEWLETT-PACKARD COMPANY
	國 籍	美 國 USA
	住、居所 (事務所)	美國加州帕羅亞托·哈諾維街3000號 3000 Hanover Street, Palo Alto, CA 94304, USA
	代 表 人 姓 名	安 O. 巴斯金 Ann O. Baskins

裝

訂

線

A6
B6

美 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
2001,07,24 09/910,823

有關微生物已寄存於： _____，寄存日期： _____，寄存號碼： _____

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

該技術領域為一種有電阻的交叉接點記憶體裝置，更特別地，該技術領域為一種具有短讀取時間之記憶體裝置。

磁性隨機存取記憶體(“MRAM”)是一種受推薦的非揮發性記憶體。因為從MRAM裝置存取資料，較快於從傳統遠距儲存裝置諸如硬碟機中存取資料。此外，MRAM比傳統遠距儲存裝置更緊密且消耗更少功率。

第1圖為一種傳統MRAM記憶體陣列10的示意圖，具有電阻的記憶體儲存格12，位於字元線14與位元線16的交叉接點上。該等字元線14係沿著該記憶體陣列10的諸列而水平地延伸，及該等位元線16係沿著該記憶體陣列10的諸行而垂直地延伸。每一個記憶體儲存格12皆能儲存”0”及”1”的二進位狀態。

第2圖為一種傳統記憶體儲存格12的示意圖。該記憶體儲存格12是一種自旋相依隧穿(spin dependent tunneling, “SDT”)裝置。該記憶體儲存格12包括有一固定層24及一自由層18，該固定層24具有一不變定向的磁化向量，如箭頭26所示。該自由層18的磁化向量，如雙箭頭28所示，可被取向在該自由層18”簡軸”所指的兩個方向。如果該自由層18及該固定層24的磁化向量在同一方向，則該記憶體儲存格12的定向為”同向”，如果該等磁化向量在相反的方向，則該定向為”反向”。該二定向相當於分別表示”1”與”0”的二進位狀態。

該自由層18及該固定層24被一絕緣的隧道障礙層20隔離，該絕緣的隧道障礙層20允許量子力學的隧穿發生在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

該自由層18及該固定層24之間。該隧穿係電子自旋相依，使該記憶體儲存格12的電阻具有一相對於該自由層18及該固定層24磁化向量定向的功能。如果該定向為同向，則該記憶體儲存格12的電阻具有一”低的”R值，及如果該定向為反向，則具有一”高的” $R + \Delta R$ 值。

在該記憶體陣列10的每一個記憶體儲存格12皆具有其二進位狀態，可被一寫入操作而改變。供應給該字元線14及該位元線16的寫入電流交會在一特定記憶體儲存格12，切換該自由層18的磁化向量係與該固定層24同向或反向。一電流 I_y 流經該位元線16產生該磁場 H_x 。當一電流 I_x 流經該字元線14時，一類似的磁場 H_y 也被產生。該等磁場 H_x 及 H_y 共同來切換該記憶體儲存格12的磁性定向。改變記憶體儲存格磁化向量所產生的電阻改變，極易用來判別該記憶體儲存格12的二進位狀態。

在該記憶體陣列10的每一個位元線16被連接到一開關(圖未示)，且每一個開關被連接到一感知放大器的一輸入端(圖未示)。在交會於該記憶體儲存格12的該位元線16被連接到一感知放大器的一輸入端期間，應用一讀取電壓至一特定記憶體儲存格12的該字元線14，則一選擇的記憶體儲存格12的二進位狀態，或”位元”，即被讀取。該連接選擇的位元線16至該感知放大器的開關可選擇地開與關，以讀取該選擇的記憶體儲存格12。

傳統記憶體陣列10的讀取操作被該記憶體陣列10需在讀取該等記憶體儲存格12間”安頓”的要求而速度減慢。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

該記憶體陣列10必須安頓是因為每一次連接一選擇的位元線至該感知放大器的一開關被開或被關，使在該位元線16末端的電位改變所導致。該位元線16末端的電位的改變導致跨接於該記憶體儲存格12的電壓改變成一不同的平衡狀態。因此該微處理器控制該讀取操作必須併入一安頓時間至該讀取操作，以使該記憶體陣列10在該等記憶體儲存格12讀取之間安頓至一所需的平衡狀態。因為在每個單位時間內皆有少數的記憶體儲存格被讀取，所以這種安頓時間是不被期待的。

因此，需要縮短記憶體陣列的讀取時間。

根據一主要的目的，使一記憶體裝置達到一縮減的讀取時間。該記憶體裝置包括一記憶體陣列的記憶體儲存格，且交會字元線與位元線。一組感知放大器選擇開關選擇地耦合該等位元線至一感知放大器。該組感知放大器選擇開關的每一個開關皆能被導通，以使該感知放大器能感知一選擇的記憶體儲存格的二進位狀態。一組讀/寫選擇開關選擇地耦合該等位元線至一行寫入電流源，及至一參考電位電壓，該組讀/寫選擇開關的該等開關皆能各自被導通，以耦合一選擇的位元線至該參考電位電壓。在讀取操作期間，該組感知放大器選擇開關及該組讀/寫選擇開關被操作，致使在該記憶體陣列的該等位元線皆維持在一等電位狀態。

根據該主要目的，該陣列不會被該等位元線是否連接到該感知放大器而妨礙。該感知放大器係被設定在該參考

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (4)

電位電壓，如該組讀/寫選擇開關提供相同的電位至該等位元線。因為該記憶體陣列的該等位元線並不會妨礙到該等電位狀態，即不需一切換到該放大器的安頓時間。因此讀取時間較短於傳統裝置。

其它目的及優點由以下配合圖式的詳細說明將更清楚明瞭。

第1圖為一種傳統記憶體儲存格陣列的示意圖；

第2圖為一種傳統記憶體儲存格的二進位狀態示意圖；

第3圖為一種記憶體裝置一較佳實施例的結構圖；

第4圖為第3圖之記憶體裝置寫入操作的流程圖；

第5圖為第3圖之記憶體裝置的讀取時序圖；

第6圖為第3圖之記憶體裝置讀取操作的流程圖。；

藉由較佳實施例及該等圖式，一記憶體裝置50將被描述。

第3圖為該記憶體裝置50的結構圖。該記憶體裝置50包括一控制器52、一行解碼器54、一列解碼器56、一記憶體陣列100、一組寫入選擇開關200、一組讀/寫選擇開關300、一組感知放大器選擇開關400、一組讀/寫選擇開關500、一組寫入終止選擇開關600及一感知放大器700。

該控制器52經由該列解碼器56及行解碼器54控制該記憶體裝置50的讀寫操作。該控制器52被耦合至該列解碼器56，以傳送指令至該列解碼器56，其具有讀/寫(R/W)資料及位址資料。該列解碼器56被耦合至開關組500及600的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

該等開關的閘極，且依據該控制器52指令開及關該等開關。同理，該控制器52被耦合至該行解碼器54，該行解碼器54被耦合至開關組200,300,400的該等開關的閘極。被利用在該記憶體裝置50的該等開關皆為電晶體。然而，開關諸如場效電晶體或金氧半場效電晶體開關也可被使用。

該記憶體陣列100儲存供以該記憶體裝置50的資料。在該記憶體陣列100中，字元線110以水平列延伸，及位元線120以垂直行延伸。該等字元線110與該等位元線120交會於記憶體儲存格130。每一個記憶體儲存格130能儲存一"1"或"0"的二進位狀態。在第3圖中，三列的字元線110及八行的位元線120，交會在二十四個記憶體儲存格130，如圖所示。實際上，例如1024*1024記憶體儲存格或更大的陣列也可被使用。在第3圖中，一示範的記憶體儲存格130係被一圍繞該記憶體儲存格130的橢圓形所指出。這個記憶體儲存格130係位於該字元線110第二列與該位元線120第五行的交會處。

為了寫進該記憶體陣列100的任一記憶體儲存格130，一行寫入電流被供應至設置有該記憶體儲存格130的該行位元線120，及一列寫入電流被供應至設置有該記憶體儲存格130的該列字元線110。被在該等字元及位元線上的寫入電流產生的該等磁場共同改變該記憶體儲存格130的二進位狀態從"0"至"1"，反之亦然。

該組寫入選擇開關200包括寫入選擇開關201, 202, 203, 204, 205, 206, 207, 208，每一個寫入選擇開關皆被耦

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

合至該記憶體陣列100的一位元線120。該組寫入選擇開關200允許一行寫入電流被供應至一選擇的位元線120。該行寫入電流被一行寫入電流源210產生，一開關212選擇地耦合該行寫入電流源210至該組寫入選擇開關200。一開關214選擇地耦合該組寫入選擇開關200至接地。

該組讀/寫選擇開關300包括讀/寫選擇開關301, 302, 303, 304, 305, 306, 307, 308，每一個讀/寫選擇開關皆被耦合至該記憶體陣列100的一位元線120。該組讀/寫選擇開關300允許一行寫入電流被供應至一選擇的位元線120。該行寫入電流係被一行寫入電流源310所供應，該行寫入電流源310經由一開關312被選擇地耦合至該組讀/寫選擇開關300。該組讀/寫選擇開關300經由一開關314被選擇地耦合至一參考電位電壓。在第3圖所示的較佳實施例中，一接地的參考電位電壓被使用，然而也可使用其它的參考電位電壓。

該組感知放大器選擇開關400選擇地耦合該感知放大器700至該記憶體陣列100的該位元線120。該組感知放大器選擇開關400包括開關401, 402, 403, 404, 405, 406, 407, 408，每一個開關選擇地耦合一相應的位元線120至該感知放大器700。該開關組400允許該感知放大器700偵測選擇的記憶體儲存格130的二進位狀態。

該組讀/寫選擇開關500包括讀/寫選擇開關501, 502, 503，每一個讀/寫選擇開關皆被耦合至該記憶體陣列100的一字元線110。該組讀/寫選擇開關500經由一開關512被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

耦合至一列寫入電流源510，且經由一開關514被被耦合至一讀取電壓Vr。該組寫入終止選擇開關600包括開關601, 602, 603，該組寫入終止選擇開關600選擇地耦合每一個字元線110至接地。當一列寫入電流被提供給一選擇的字元線110時，則該組寫入終止選擇開關600中相應的開關被導通，以使該列寫入電流流經該選擇的字元線110。

請參閱第3及4圖，該記憶體裝置50的一寫入操作現在將被描述。第4圖為記憶體裝置50寫入操作的流程圖。

在步驟S10，該控制器52選擇交會在一選擇的記憶體儲存格130的該列及該行。在步驟S12，該控制器52開始該記憶體裝置50的一寫入序列。在步驟S14，該控制器52設定所有記憶體裝置50的開關為斷路。

在步驟S16，該等開關組500及600被致能以提供一列寫入電流給該記憶體陣列100。該等開關組500及600係被導通該開關512而致能。導通該開關512使一列寫入電流一旦該等開關組500及600之選擇的開關被導通時，即流經該選擇的字元線110。

在步驟S18，該等開關組200及300被致能以提供一列寫入電流給該記憶體陣列100。如果該控制器52正寫入一"0"的狀態至該選擇的記憶體儲存格130，該等開關組200及300將被導通該等開關212,314而致能。在該等開關組200及300之選擇的開關被導通後，這種組態使一行寫入電流從該行寫入電流源210，經該選擇的位元線120及該開關314而流至接地。反之，如果一"1"的狀態被寫進該選擇的記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

體儲存格130時，該等開關組200及300將被導通該等開關214,312而致能。在該等開關組200及300之選擇的開關被導通後，這種組態使一行寫入電流從該行寫入電流源310，經該選擇的位元線120及該開關214而流至接地。

在步驟S20，一列寫入電流被應用於該選擇的字元線110及一行寫入電流被應用於該選擇的位元線120。該列寫入電流被應用係藉由導通一選擇的列所對應的開關組500及600。例如，在該記憶體陣列100第二列第五行的該經指出的記憶體儲存格130的二進位狀態被選擇時，該等開關502及602被導通，使該列寫入電流流經在該第二列的該字元線110。

該行寫入電流被應用係藉由導通該選擇的位元線120所對應的開關組200及300。在上例中，該等開關205及305被導通，使該行寫入電流流經在該第五行的該位元線120。

在該記憶體陣列100中，該經指出的記憶體儲存格130係位於該選擇的列及行的交點上，具有可被寫入操作改變的二進位狀態。在位於該選擇的字元線110及位元線120交點上的該記憶體儲存格130的合磁場，為該列及行寫入電流所產生的磁場總合。該合磁場會改變該記憶體儲存格130的二進位狀態。

該列及行寫入電流幾乎是同時被應用。在該列及行寫入電流的應用期間，該等開關組的該等開關只有一短時間的導通。例如，該等開關被導通的時間為1-100奈秒(十億分之一秒)。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (9)

該記憶體裝置50的讀取操作現在將配合第3、5及6圖被詳述。第5圖為該記憶體裝置的一讀取時序圖，及第6圖為該記憶體裝置50的一讀取操作流程圖。

在步驟S32，該控制器將該記憶體裝置設在一讀取模式。此時，該控制器52會送出一選擇的記憶體儲存格130的該列及行位址至該列解碼器56及該行解碼器54。該位址的傳送相當於第5圖該讀取時序圖的該“位址”線。

在步驟S34，該控制器啟動一讀取序列。在步驟S36，該記憶體裝置50的所有開關皆設定為斷路。

在步驟S38，該位元線120藉由導通該等開關314及301-308被連接到該參考電位電壓。該參考電位電壓可為接地。在第5圖，為方便說明，在該“開關組300”線該組開關300於該讀取時序圖的開始皆被例示為導通。

在步驟S40，在該開關組500對應於該選擇的列的開關被導通，以提供該讀取電位Vr至該選擇的位元線120。例如，如果該經指出的記憶體儲存格130被讀取時，該開關502(對應於該第二列)將被導通。然後該讀取電位Vr被提供在該第二列的該字元線110。當該記憶體陣列100安頓下來時允許經過一段時間，此安頓時間使該位元線120上的電流達到平衡狀態。參閱第3圖，這些電流從一選擇的字元線110，流經與該選擇的字元線110連接的該記憶體儲存格130，再流經該位元線120、在開關組300的該等開關及該開關314。

在步驟S44，在該開關組400對應於該選擇的行的開關

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

被導通，在上例中，該開關405將被導通，其餘開關401-404、406-408仍維持斷路。導通開關組400的該開關，係將該選擇的行連接至該感知放大器700。此連接被例示在第5圖中該讀取時序圖的“開關組400”。

該感知放大器700係處於該參考電位電壓。例如，如果該開關314被連接到一接地的參考電位電壓，則該感知放大器700會處於實質上的接地。因此，當該感知放大器700被連接時，耦合至該選擇的位元線120的電位將不會改變。當該感知放大器700被連接時，該讀取電流流經路線上的電阻僅最低限度地改變，因為幾乎所有在路線上的電阻都置於該記憶體儲存格130。因此，當該選擇的位元線120被連接到該感知放大器700時，實質上並沒有擾亂該記憶體陣列100。

在步驟S46，在該開關組300對應於該選擇的行的開關被斷路，使該選擇的位元線120不連接至該開關314的該參考電位電壓，在該開關組300的其餘開關仍維持導通。在本例中，係開關305被斷路。

當該感知放大器經由該開關405維持與該選擇的位元線連接時，該開關305仍維持斷路。因為該選擇的位元線120維持與該感知放大器700連接，則該選擇的位元線120即維持連接至該參考電位電壓，且在該記憶體陣列100僅有最低限度的擾亂，因此該記憶體陣列100仍維持在其平衡電位。

在步驟50，該感知放大器700感知來自該選擇的位元線120的電流，以判別該選擇的記憶體儲存格130的二進位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

狀態。該二進位狀態能被該控制器52從該感知放大器700的輸出端偵測到。該感知放大器700的輸出端能指出該選擇的記憶體儲存格130的電阻狀態。選擇地，該感知放大器可包括支援電路來判別該二進位狀態，且輸出該二進位狀態至該控制器52。該二進位狀態可被判別為該選擇的記憶體儲存格130的電阻改變，係由於流經該選擇的位元線120的電流增加或減少。例如，一高電阻狀態(反向狀態)導致一低電流流經該記憶體儲存格130，其可表示一為"0"的二進位狀態。一低電阻狀態(同向狀態)導致一高電流流經該記憶體儲存格130，且可表示一為"1"的二進位狀態。

在步驟S52，在該開關組300對應於該選擇的位元線120的開關被導通，該開關被導通使該選擇的位元線120經由該開關314耦合至該參考電位電壓。在步驟S54，在該開關組400對應於該選擇的位元線120的開關被斷路，該開關被斷路使該選擇的位元線120不連接至該感知放大器。此時，在該記憶體陣列100的所有位元線120皆經由該開關314連接至該參考電位電壓。

當步驟S52及S54的該等開關打開及關閉時，在該選擇的位元線120的末端仍維持在該參考電位電壓。因此該記憶體陣列100被保持在其平衡電位。

在步驟S56，該控制器判別是否在該選擇的列有一不同的記憶體儲存格130被讀取。如果是，該流程回到步驟S44。如果不是，則至步驟S58，該控制器判別是否在不同列有一記憶體儲存格130被讀取。如果是，該流程回到步驟

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

S42。如果不是，則該讀取操作被結束在步驟S60。

根據以上讀取一記憶體陣列的方法，該記憶體陣列由於一選擇的位元線120連接及不連接至該感知放大器700產生的該安頓時間即被消除。因為在讀取操作從頭到尾該記憶體陣列100被保持在其平衡電位，所以不需要該安頓時間。而該平衡電位被保持係因為該等位元線120在連接及不連接該感知放大器700時皆被選擇地連接到該相同的參考電位電壓。

在以上實施例中，該等位元線120經由該開關組300及400而被連接到接地，這只不過是其中一種參考電位電壓，當然也能使用其它的參考電位電壓。

該感知放大器700為用來偵測在記憶體裝置50中該等記憶體儲存格130二進位狀態的其中一種感知裝置。實際上，其它感知裝置，諸如一超阻抗型感知放大器、一電荷注入型感知放大器、一差動型感知放大器或一數位差動型感知放大器皆能被使用。

如第3圖所例不的一種感知放大器700，用以感知該等記憶體儲存格130的二進位狀態。實際上，大多數的感知裝置可被耦合至一記憶體陣列。例如，一感知放大器可被含在一記憶體陣列的每一個位元線，或者，一感知放大器可被含在一記憶體陣列的每兩個或更多的位元線。

用電流在該記憶體陣列寫入"0"及"1"的狀態在慣例上是很隨意的，且可被再分配以適合該記憶體裝置50所有想要的應用。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

使用在該記憶體陣列100的該記憶體儲存格130可因應一讀取及寫入電流而為任何型式的記憶體儲存格。例如，該等記憶體儲存格諸如巨大的磁阻(GMR)裝置、自旋隧道接面(STJ)及其它型式的記憶體儲存格皆能被使用在該記憶體陣列100。

該記憶體陣列100可被使用在各式各樣的應用。其中一種是具有一MRAM儲存模組的計算裝置。該MRAM儲存模組會包括一或多個用於長距離儲存的MRAM記憶體陣列。

MRAM儲存模組MRAM儲存模組可被使用在諸如膝上型電腦、個人電腦及伺服器等裝置上。

雖然該記憶體裝置50係配合示範的實施例而被描述，但熟悉該項技藝者將體會到許多的修飾。意指本發明的揭露應涵蓋其變化。

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 (14)

元 件 標 號 對 照

10… 磁性隨機存取記憶體 (“MRAM”)陣列	210… 行寫入電流源
12… 記憶體儲存格	212,214… 開關
14… 字元線	300… 讀/寫選擇開關組
16… 位元線	301-308… 讀/寫選擇開關
18… 自由層	310… 行寫入電流源
24… 固定層	312,314… 開關
26… 箭頭	400… 感知放大器選擇開 關組
28… 雙箭頭	401-408… 感知放大器選 擇開關
50… 記憶體裝置	500… 讀/寫選擇開關組
52… 控制器	501-503… 讀/寫選擇開關
54… 行解碼器	510… 列寫入電流源
56… 列解碼器	512,514… 開關
100… 記憶體陣列	600… 寫入終止選擇開關組
110… 字元線	601-603… 寫入終止選擇 開關
120… 位元線	700… 感知放大器
130… 記憶體儲存格	
200… 寫入選擇開關組	
201-208… 寫入選擇開關	

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱： 具有短讀取時間之記憶體裝置)

該記憶體裝置包括一記憶體陣列的記憶體儲存格，且交會字元線與位元線。在該陣列的一端，一組讀/寫選擇開關耦合該等位元線至一行寫入電流源，及至一參考電位電壓。一組感知放大器選擇開關選擇地耦合該等位元線至一感知放大器，也是在該參考電位電壓。該組感知放大器選擇開關的每一個開關皆能被導通，使該感知放大器感知一選擇的記憶體儲存格的二進位狀態。該組讀/寫選擇開關的每一個開關皆能被導通，以耦合一選擇的位元線至該參考電位電壓。在讀取操作期間，該組感知放大器選擇開關及該組讀/寫選擇開關被操作，使該等位元線的末端皆耦合至該參考電位電壓。致使該記憶體陣列保持在一等電位狀態。因為該記憶體陣列保持在一等電位狀態，故不需要切換至該放大器所需的一安頓時間，因此讀取操作較快於傳統裝置。

英文發明摘要(發明之名稱： MEMORY DEVICE WITH SHORT READ TIME)

The memory device includes a memory array of memory cells, and intersecting word lines and bit lines. At one end of the array, a bank of read/write select switches selectively couples the bit lines to a column write current source, and to a reference potential voltage. A bank of sense amplifier select switches selectively couples the bit lines to a sense amplifier, which is also at the reference potential voltage. Each switch in the bank of sense amplifier select switches may be closed to allow the sense amplifier to sense the binary state of a selected memory cell. The switches in the bank of read/write select switches may each be closed to couple a selected bit line to reference potential voltage. During read operations, the bank of sense amplifier select switches and the bank of read write select switches are operated so that ends of the bit lines are coupled to the reference potential voltage, so that the memory array remains in an equipotential state. Because the memory array remains in the equipotential state, a settling time due to switching to the amplifier is not required. Read operations are therefore faster than in conventional devices.



六、申請專利範圍

1. 一種讀取一記憶體陣列(100)的方法，該記憶體陣列包括複數個字元線(110)及複數個位元線(120)，該等字元線及位元線交會在複數個記憶體儲存格(130)，該方法包含：

提供一讀取電壓(V_r)給耦合至一選擇的記憶體儲存格(130)的一選擇的字元線(110)；

將耦合至該選擇的記憶體儲存格的一選擇的位元線(120)，經由一第一開關(301-308)耦合至一參考電位電壓；

將該選擇的記憶體儲存格經由一第二開關(401-408)耦合至一感知裝置(700)；

將該第一開關(301-308)斷路，使該選擇的記憶體儲存格不連接於該參考電位電壓；及

使用該感知裝置讀取該選擇的記憶體儲存格的二進位狀態。

2. 如申請專利範圍第1項之方法，其中該第一與第二開關被耦合至該選擇的位元線一端，將該第一開關斷路的步驟包含：

在該選擇的記憶體儲存格耦合至該感知裝置的步驟後使該第一開關斷路。

3. 如申請專利範圍第1項之方法，其中將該第一開關斷路的步驟包含：

在讀取該選擇的記憶體儲存格的二進位狀態的步驟前使該第一開關斷路。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

4. 如申請專利範圍第3項之方法，包含：

在讀取該選擇的記憶體儲存格的二進位狀態的步驟後導通使該第一開關。

5. 如申請專利範圍第4項之方法，包含：

在讀取該選擇的記憶體儲存格的二進位狀態的步驟後使該第二開關斷路。

6. 如申請專利範圍第5項之方法，其中在該提供一讀取電壓給一選擇的字元線的步驟包含：

導通耦合該讀取電壓至該選擇的字元線的一開關。

7. 如申請專利範圍第6項之方法，在耦合該選擇的記憶體儲存格至一感知裝置的步驟包含：

耦合該選擇的位元線至該參考電位電壓。

8. 如申請專利範圍第7項之方法，其中該參考電位電壓為一接地電位。

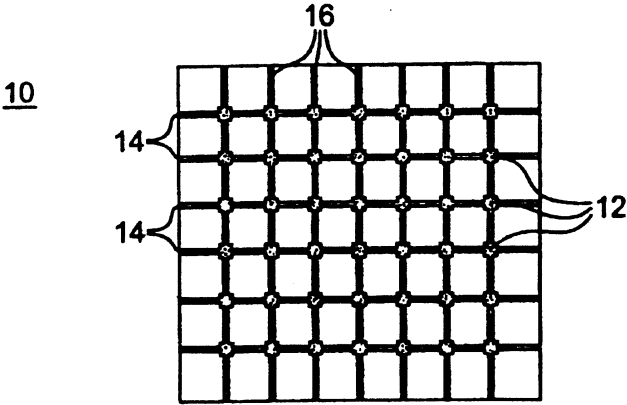
9. 如申請專利範圍第2項之方法，其中當該選擇的記憶體儲存格被耦合至該感知裝置時，位於該選擇的位元線該端的電位大體上不被改變。

10. 如申請專利範圍第9項之方法，其中該參考電位電壓為一接地電位。

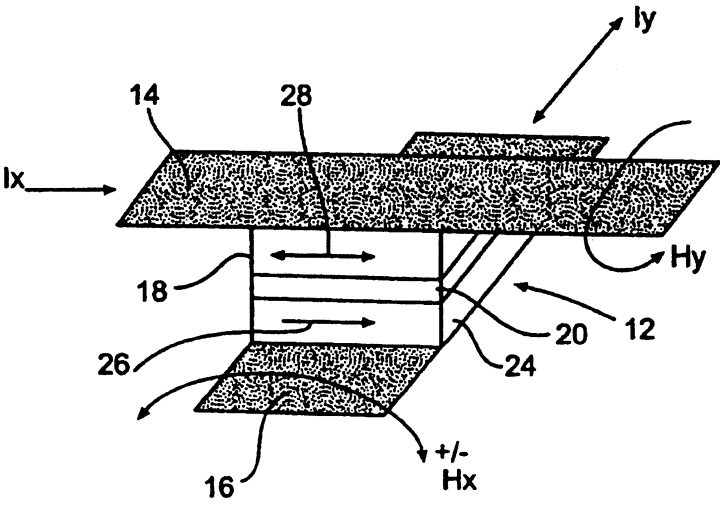
(請先閱讀背面之注意事項再填寫本頁)

訂

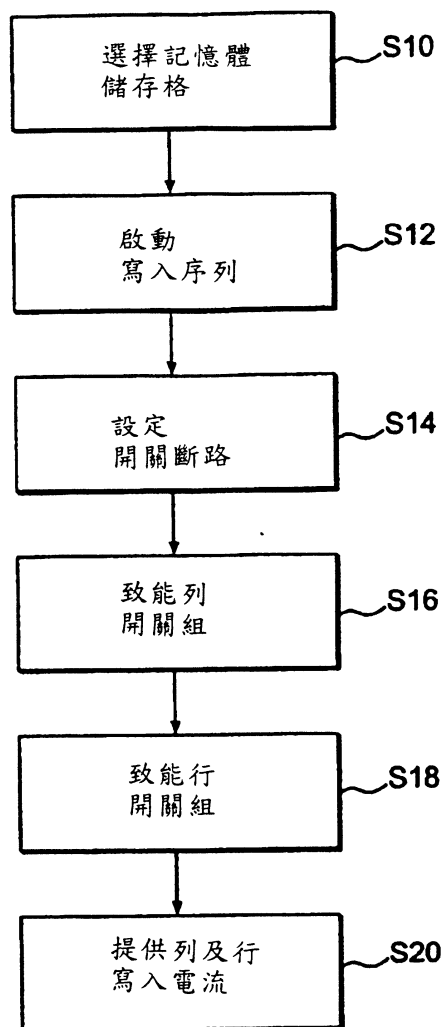
9 1 1 1 2 5 3 5



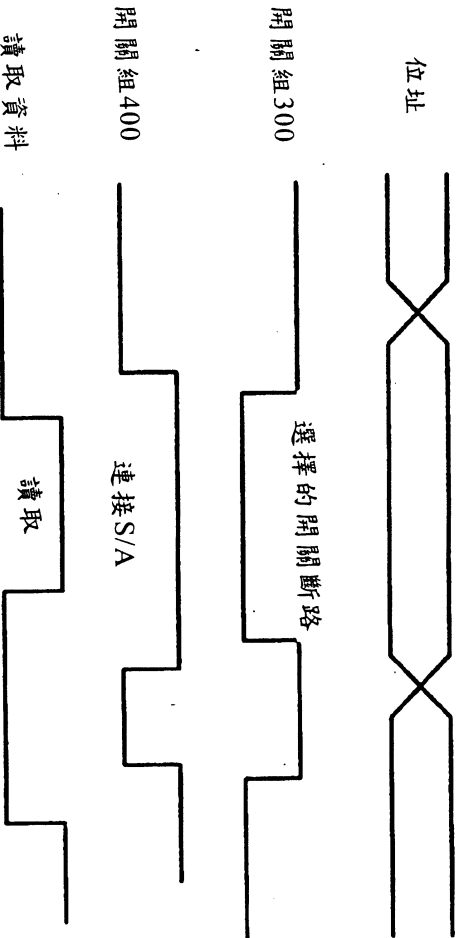
第 1 圖



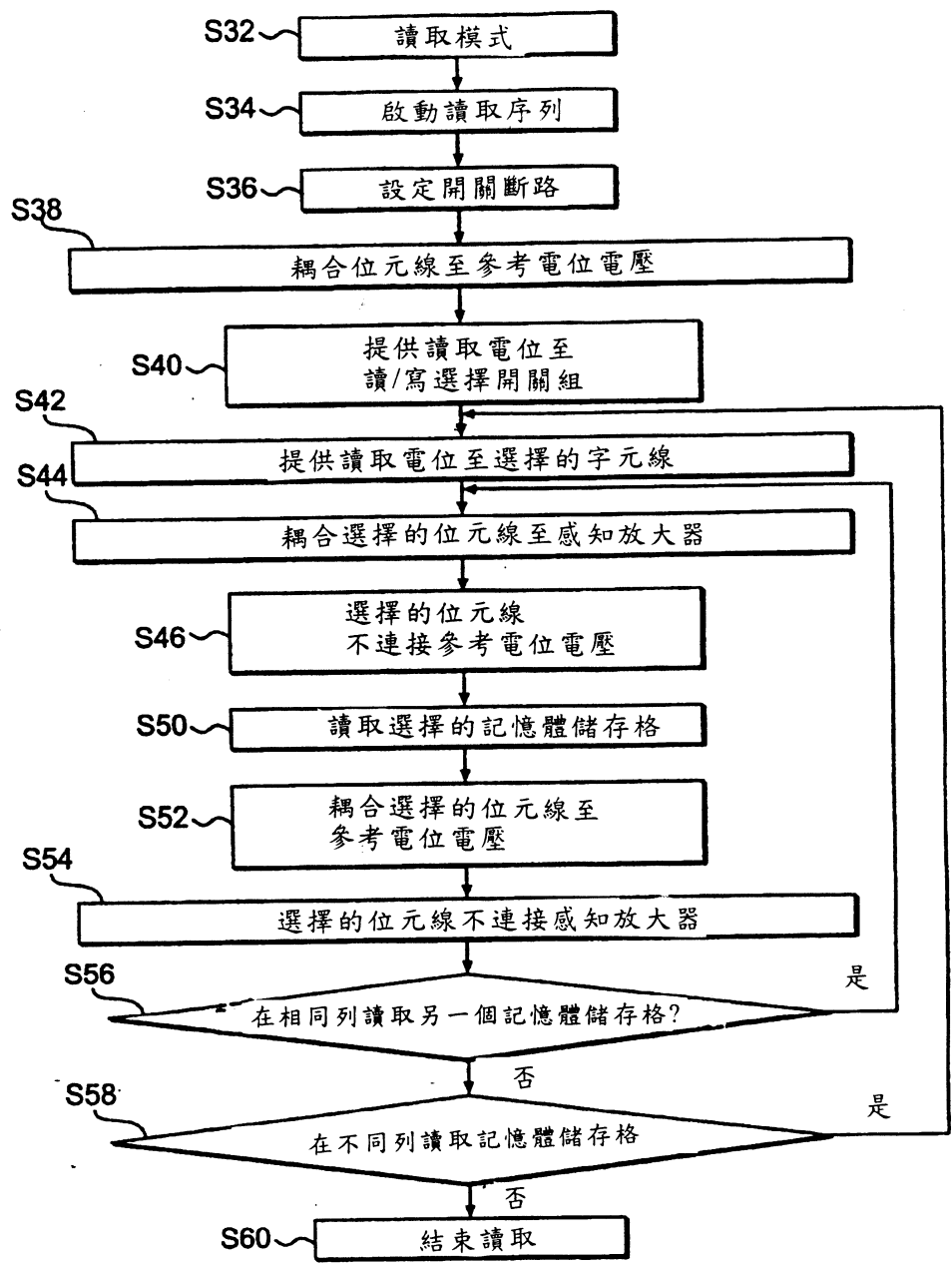
第 2 圖



第 4 圖

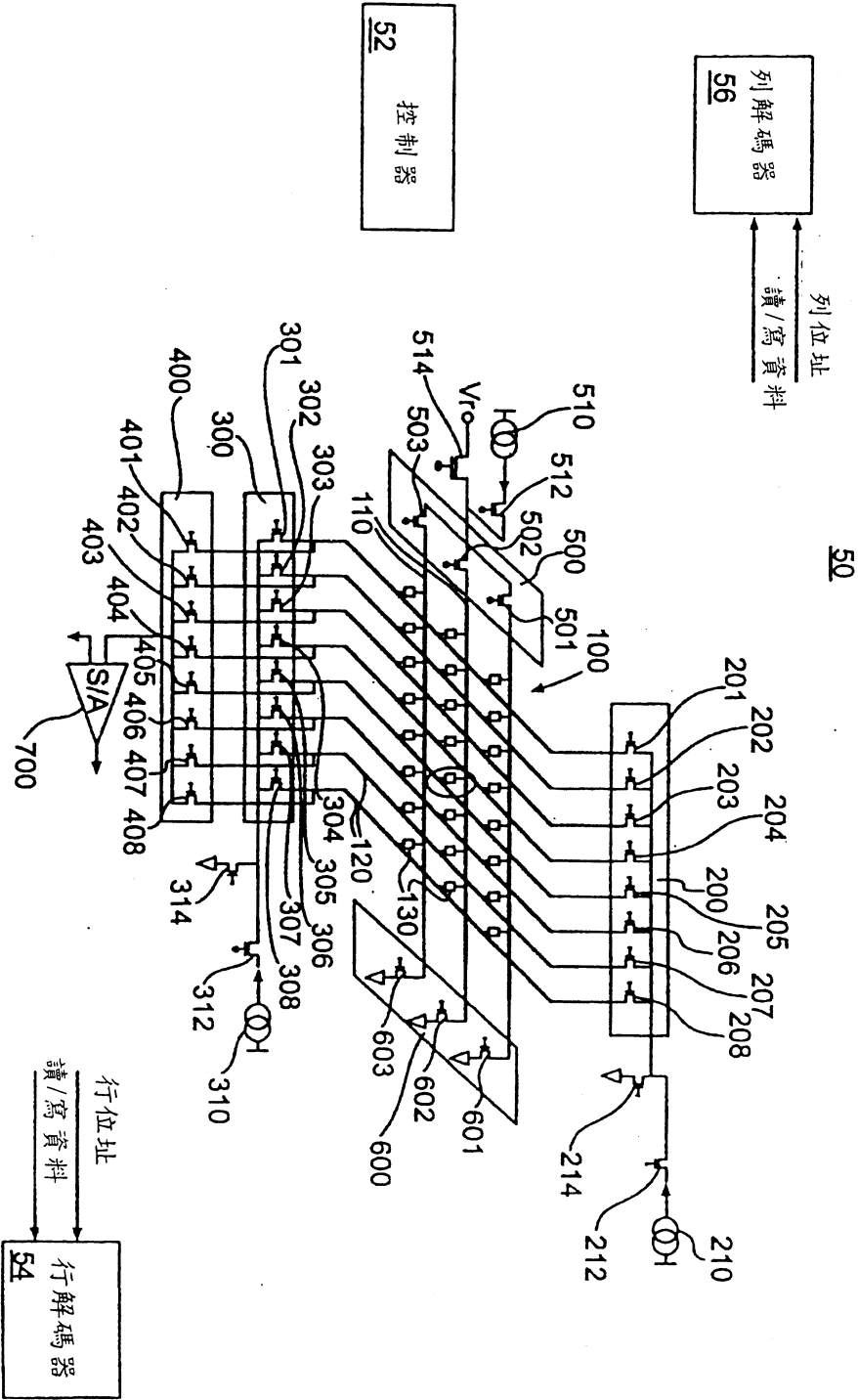


第 5 圖



第 6 圖

修正
年 月 日



第 3 圖