

# 公告本

89年9月4日 修正補充

申請日期	88.1.14
案 號	88100510
類 別	H01L 21/8242

A4  
C4

424305

(以上各欄由本局填註)

## 發明專利說明書 (89年9月修正)

一、發明 名稱	中 文	半導體配置中堆疊電容器之製造方法 以及由此方法而製成之堆疊電容器
	英 文	Method to Produce a Stack-capacitor in A Semiconductor Device and Said Stack-capacitor produced by said method
二、發明人 創作	姓 名	1.艾姆里契伯塔格諾里 (Emmerich Bertagnolli) 2.約瑟夫威爾勒 (Josef Willer)
	國 籍	1.~2.德國
	住、居所	1.德國慕尼黑D-80799諾登德街5號 2.德國萊姆林D-85521佛萊德佛羅貝爾街62號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴黎廣場2號
	代 表 人 名 姓	貝斯納 (Basner) 雷哈特 (Reinhardt)

煩請委員明示89年9月4日所提之修正本有無變更實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

德國(地區) 申請專利，申請日期：1998.4.8 案號：198 15 869.6，有 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

本發明係關於半導體配置中堆疊電容器之製造方法，其中堆疊電容器之一個電極是經由第一種導電型式之終端區而與電晶體之源極或汲極相連接且堆疊電容器之此一電極是利用第二種導電型式之摻雜度極不相同之各個半導體層之不同之蝕刻速率而產生。此外，本發明亦涉及一種依據此方法所製成之堆疊電容器。

此種概念  $p^-$  摻雜， $p^+$  摻雜， $p^-$  摻雜， $n^-$  摻雜， $n^+$  摻雜， $n^-$  摻雜對半導體技術之專家而言是很平常的，且在此處是與簡寫  $p^-$ ， $p^+$ ， $p^-$ ， $n^-$ ， $n^+$ ， $n^-$  等等同義。

在 DE19526952A1 中製造 DRAM 單胞配置所用之已知之方法中，記憶體電容器是配置在溝渠中且含有一種電極結構，此種電極結構具有多個以洋蔥形式構成之元件，這些元件之表面設有記憶體介電質以及反電極。此種電極結構是以選擇性地對  $p^+$  摻雜之多晶矽此種方式來對  $p^-$  摻雜之多晶矽進行蝕刻而製成。此處因此是使用以下事實： $p^-$  摻雜之多晶矽相對於  $p^+$  摻雜之多晶矽而言可以快很多之速率（其數量級大小是 100）而被蝕刻。在製造一種在 US5153813 中已為人所知之溝渠式記憶體電容器時，在交替地相反摻雜之半導體層中採用乾蝕刻方式且因此利用下述事實：相反摻雜之半導體層具有不同之蝕刻速率。以此種方式，則可使表面增大，因此亦使電容器之電容增大。

由 US5637523 中已知有一種方法，其中為了使配置在半導

## 五、發明說明(2)

體本體上之堆疊電容器之電容器面積增大，則此堆疊電容器須由交替地配置之第一和第二半導體層所構成，此二種層可以不同速率而被蝕刻。例如就此二種層而言，非晶矽或多晶矽是可具有不同之摻雜濃度的。

在US5053351中已描述一種製造DRAM單胞之堆疊電容器所用之方法，其中交替地配置之多晶層和介電層是塗佈在半導體本體上且然後在選擇性蝕刻步驟中去除電層以便達成一種盡可能大之電容器面積。

最後，在DE19546999C1中已知有一種方法是用來在設有電晶體之半導體本體上製造一種堆疊電容器，其中（類似於DE19526952A1中已為人知之方法）是利用 $p^+$ -摻雜之多晶矽及 $p^-$ -摻雜之多晶矽之選擇性可蝕刻性，以便產生此堆疊電容器之薄片式電極。

最後所提及之方法由於 $p^+$ -多晶矽和 $p^-$ -多晶矽較高之選擇性可蝕刻性而顯示是特別有效的，以便可由 $p^+$ -多晶矽產生薄片式或葉片式之結構，此種結構是用作堆疊電容器之第一電極。在此種電極上以習知方法首先塗佈一種介電質（氧化矽及/或氮氮化矽或ON或ONO等等），然後再形成反電極。

但這些習知之方法（其非常適合用來製造一種堆疊電容器）具有一種對記憶體單胞（其具有堆疊電容器）之功能而言是非常重大之缺點；堆疊電容器之由於蝕刻過程而得之 $p^+$ -導電之內電極可間接地與半導體本體中所設置之電

## 五、發明說明(3)

晶體之由於其它原因所得之 $n^+$  - 導電性之源極 / 汲極 - 終端區相接觸。這樣所存在之 $p^+ n^+$  - 接面於是形成一個二極體，其可大大地損害DRAM單胞之功能或甚至完成阻斷DRAM單胞之功能。由於此一原因，目前之構想是在電晶體之 $n^+$  - 導電之源極 / 汲極 - 終端區以及堆疊電容器之 $p^+$  - 導電性之電極之間設置一種金屬性中間層，此種中間層是作為終端區和電極之間的歐姆性連接之用。因此甚至可達成記憶體單胞之無缺點之功能。但此種金屬性中間層（其埋置於層結構中）之引入已顯示出是有問題的，此乃因這樣須改變堆疊電容器之其它製程且直至目前為止需要一些不可解決之程序改變。

在製造堆疊電容器時雖然利用 $p^+$  - 多晶矽和 $p^-$  - 多晶矽之間的蝕刻選擇性是值追求的，但至目前為止不能解決 $n$ -通道 - 電晶體中必然產生之 $p^+ n^+$  - 接面（其是在堆疊電容器之內部 $p^+$  - 電極和 $n^+$  - 源極 / 汲極 - 終端區之間）所造成之問題。因此，直至目前仍不能利用 $p^+$  - 多晶矽和 $p^-$  - 多晶矽之選擇性可蝕刻性而在 $n$ -通道 - 電晶體中有效地製造一些堆疊電容器。

本發明之目的因此是設計一種製造堆疊電容器所用之方法，其可利用 $p^+$  - 多晶矽和 $p^-$  - 多晶矽之選擇性可蝕刻性而可輕易地用在 $n$ -通道 - 電晶體中；此外，本發明亦提供一種依據此方法所製成之堆疊電容器。

依據本發明，上述目的在本文開頭所述之方法中是以下

### 五、發明說明(4)

述方式達成：在堆疊電容器之一個電極被蝕刻之後，須對蝕刻之後所剩下之半導體層進行一種摻雜過程使成為另一種導電型式。

本發明因此描述一種完全和目前為止之先前技藝不同之方式；本發明不採用特殊之金屬層或類似方式，為了排除上述之缺點，此種缺點是與 $p^+$ -電極和 $n^+$ -終端區之間必然存在之 $p^+n^+$ -接面有關，則在本發明中須消除 $p^+n^+$ -接面本身。因此，首先以較佳之方式使電容器之 $p^+$ -電極在 $p^-$ -層蝕刻之後或以二氧化矽層覆蓋之後於真空中或由氮所構成之適當之氣體環境中進行一種退火過程，其中可在表面上使 $p^+$ -摻雜度大大地減少。由於 $p^+$ -電極片狀區之厚度較 $30\text{nm}$ 還小，則在一般之退火過程中在溫度大約為 $750^\circ\text{C}$ 和 $1150^\circ\text{C}$ 之間時即可使 $p^+$ -摻雜物質（例如，硼）大大地減少。然後，此種 $p^-$ -摻雜度已減少之電極藉由例如砷或磷之加入直至半導體材料（例如，矽或其它材料）之飽和極限為止以便摻雜成另一種型式。就摻雜物質之加入而言（目前情況是砷或磷），則較佳方式是可使用離子植入法。但以塗佈（spin on）或擴散方式來進行亦是可能的。

在對電極作進一步處理（例如，離子植入時之回復步驟或去除上述之塗佈層）之後，則此電極即具有 $n^+$ -摻雜度且因此可無問題地連接於電晶體之終端區或其它 $n^-$ 導電區。

## 五、發明說明(5)

在前述之說明中因此可得知：須利用  $p^+$  - 多晶矽和  $p^-$  - 多晶矽之間的蝕刻選擇性，使其中一種導電型是  $n$ -導電型且另一種導電型是  $p$ -導電型。但當不同蝕刻速率是由摻雜度不同之  $n$ -導電性半導體層所引起以便形成堆疊電容器之薄片式電極時，則亦可有利地使用本發明，以便使所存在之  $n$ -導電性之電極連接於  $p^+$  - 終端區上。

在本發明之較佳實施例中（其中有一個以硼摻雜之電極須改變成另一種摻雜型式），可以有利之方式使用以下事實：硼在矽中之固體溶解度例如較砷或磷在矽中者小很多。因此，使摻雜形式改變是可能的。此外，此處亦利用以下事實：薄片式之  $p^+$  - 電極須很薄，使得在真空中或適當之氣體環境中所進行之上述退火過程中或甚至在薄片式電極以二氧化矽或含有二氧化矽之層覆蓋時，硼之大部份都可擴散至圍繞此電極之真空中，大氣中或二氧化矽 - 覆蓋層中且因此在摻雜型式改變之前例如可藉由砷或磷之離子植入而去除。

依據本發明之方法所製成之堆疊電容器之特徵是：在其由多晶矽所構成之各電極中之至少一個電極（其是以其中一種導電型之摻雜物質來進行高（high）摻雜）中存在另一種導電型之摻雜物質之殘餘部份。

本發明以下將依據圖式作詳細描述。圖式簡單說明如下：

第1至第7圖本發明製造堆疊電容器所用之方法的各步驟

## 五、發明說明(6)

之圖解。

雖然第1至第7圖是此種半導體配置之切面圖，但為了較清楚之故而省略了各別部份或各層之陰影線。

第1圖顯示一種p-導電之半導體本體1，其中以一般方式引進一些n<sup>+</sup>-導電性之源極/汲極區2，此時二個電晶體之源極/汲極區2交替地由隔離層3所隔開。在配置於半導體本體1上之二氧化矽層4中存在一些由多晶矽所構成之n<sup>+</sup>-導電性之終端區5以及由n-或p-導電性之多晶矽所構成之字線6（這些字線6是垂直於圖面而延伸）。字線6設有由二氧化矽或氮化矽所構成之氮化物-或氧化物-外罩層7。

第1圖中所示之半導體配置之製造是以一般方式例如藉由LOCOS或STI（Shallow Trench Isolation或淺溝渠隔離）方法來進行，其中閘極氧化物較佳之大小例如是8nm，多晶矽層之大小最好是250nm。二氧化矽層4例如可由300nm厚之TEOS-層所構成。

然後在第1圖所示之結構上施加一種由以硼來摻雜之p<sup>+</sup>-多晶矽層8和p<sup>-</sup>-多晶矽層9所構成之層序列，如第2圖所示。這例如可藉由化學蒸氣沈積（CVD）法來進行，以便獲得一種堆疊結構，其具有交替地以硼來作高（high）摻雜和低摻雜之多晶矽層8，9。此種p<sup>-</sup>-多晶矽層之摻雜度有一部份是由“儲存效應”而來：在p<sup>+</sup>-多晶矽層8之化學蒸氣沈積過程中仍然有足夠之硼停留在此處所使用之儀器中，因此在隨後施加下一層多晶矽層時在停止硼之供應之

## 五、發明說明(7)

後仍然存在足夠之硼，以便產生 $p^-$  - 多晶矽層9。

$p^+$  - 多晶矽層8和 $p^-$  - 多晶矽層9所產生之層厚度分別是20nm。 $p^+$  - 多晶矽層8之摻雜物質濃度最好是 $5 \times 10^{20} \text{ cm}^{-3}$ ， $p^-$  - 多晶矽層9之摻雜物質濃度是 $9.1 \times 10^{19} \text{ cm}^{-3}$ 。

然後藉由光阻 (photoresist) 技術及蝕刻技術施加一層作為蝕刻遮罩用之二氧化矽層10 (請比較第2圖)。

藉助於二氧化矽層10來對多晶矽層8, 9之"多部區"進行蝕刻且將之去除，其中二氧化矽層4是作為蝕刻停止物。在去除二氧化矽層10之後在這樣所獲得之結構上塗佈一層 $p^+$  - 多晶矽層11 (第3圖)。例如可選取40nm作為此多晶矽層11之層厚度。

然後如第4圖所示塗佈一層大約150nm厚之二氧化矽層 (TEOS) 12，其中藉由一般之光阻技術和蝕刻技術而形成一個視窗13。於是產生第4圖中所示之結構。

藉由視窗13而去除 $p^+$  或 $p^-$  - 多晶矽層11之位於視窗13下方之區域，其中二氧化矽層4之表面是作為蝕刻停止物。在例如藉由乾蝕刻以去除二氧化矽層12之後，須對 $p^+$  - 多晶矽層8和 $p^-$  - 多晶矽層9進行選擇性蝕刻。於是， $p^-$  - 多晶矽層9之蝕刻去除率較 $p^+$  - 多晶矽層8之蝕刻去除率大100倍。此處例如可考慮以膽碱 (Cholin) 作為蝕刻劑。

於是可得到第5圖中所示之配置，其中 $p^+$  - 多晶矽層8形成片狀之結構，其在三個側面 (即，圖面之前，之後以及平行於圖面) 上是由 $p^+$  - 多晶矽層11所圍繞。由多晶矽層

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

## 五、發明說明(8)

8所構成之此種片狀結構因此在視窗13之區域下方是裸露的，如第5圖所示。

由 $p^+$ -多晶矽層8所構成之各薄片之厚度是小於30nm。藉由隨後在溫度介於750和1150°C之間所進行之退火過程而使多晶矽層8中之摻雜物質硼大大地減少。

依據本發明，隨後使多晶矽層8，11之摻雜型式改變時可以各種不同之方式來進行。因此，可藉由離子植入來進行此種摻雜型式之改變，其中須適當地調整植入時之能量，使最大值分別發生於各薄片之區域中。但亦可以適當之摻雜物質來塗佈(spin on)此薄片區。

同樣亦可在上述之退火過程之前於薄片區上塗佈一層薄的氧化膜，然後進行退火過程。在此種情況下，氧化層在隨後之溫度處理過中形成硼所用之一種摻雜物質沈積處。

總之，可藉由退火過程或塗佈或氧化作用使硼由多晶矽層8往外擴散以形成一種摻雜物質沈積處以及進行退火過程。在淨化(硼往外擴散時)之後或摻雜之表面層(進行塗佈或氧化作用以形成摻雜物質沈積處時)去除之後，則可藉由砷或磷來使摻雜型式改變。這可藉由對砷玻璃或磷玻璃之植入或塗佈作用以及摻雜物質向內擴散而達成。

在一種重新進行之退火過程(特別是在植入時)之後，第5圖所示之半導體配置因此在多晶矽層8，11中具有一種 $n^+$ -摻雜度(具有砷或磷)。由硼之摻雜轉換成磷或砷之摻雜是不會有很大問題的，這是因為硼在矽中之固體溶解

## 五、發明說明(9)

度較砷或磷者小很多之故。且此種摻雜型式之轉換須以下述方式來有利地進行：薄片式多晶矽層8中之摻雜物質減少之現象會由於其小於30nm之此種較小之層厚度而在原來所進行之使摻雜型式改變之前使層8中之摻雜濃度大大地降低。

然後塗佈一種由ON-層或ONO-層所構成之電容器介電質，此種介電質是塗佈在薄片式多晶矽層8上。這些ON-層或ONO-層未顯示在圖中，但包住多晶矽層8, 11之表面，使多晶矽層8, 11能與隨後所塗佈之由 $n^+$ -多晶矽層所構成之反電極14以介電質(dielectric)相隔離(請比較第6圖)。ON-層或ONO-層之層厚度大約是3nm。

在 $n^+$ -多晶矽層14(圖中未顯示)結構化之後又塗佈一層二氧化矽層15(TEOS)且將其整平，然後進行其餘之金屬化過程。

本發明重要的是多晶矽層8, 11之摻雜型式之轉換，其原來是以硼來摻雜，以便可利用低(low)摻雜和高摻雜之p-多晶矽之蝕刻選擇性。藉由此種摻雜型式之改變可使多晶矽層8, 11之導電型式和終端區5者相同，因此，在此種由多晶矽層8, 11所構成之電容器電極和終端區5之間pn-界面即不再存在。

## 五、發明說明(10)

符號說明：

- 1… 半導體本體
- 2… 源極 / 汲極區
- 3… 隔離層
- 4, 10… 二氧化矽層
- 5… 終端區
- 6… 字線
- 7… 氧化物 - 外罩層
- 8, 9, 11… 多晶矽層
- 12, 15… 二氧化矽層
- 13… 視窗
- 14…  $n^+$  - 多晶矽層

(請先閱讀背面之注意事項  
填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體配置中堆疊電容器之製造方法 )  
以及由此方法而製成之堆疊電容器

本發明係關於半導體配置中堆疊電容器之製造方法，其中堆疊電容器之一個電極是經由第一種導電型式之終端區(5)而與電晶體之源極或汲極(2)相連接且堆疊電容器之此一電極是利用第二種導電型式之摻雜度極不相同之半導體層(8, 9)之不同的蝕刻速率而產生。在對堆疊電容器之此一電極蝕刻之後，須使蝕刻之後仍保存之半導體層(8)之摻雜型式轉換成另一種型式，使此一電極具有和終端區(5)相同之導電型式以及在電極和終端區(5)之間不會產生pn-接面。

英文發明摘要(發明之名稱：Method to Produce a Stack-capacitor in A  
Semiconductor Device and Said Stack-  
capacitor produced by said method )

This invention relates to a method to produce a stack-capacitor in a semiconductor-device, in which an electrode of said stack-capacitor is connected with source or drain (2) of a transistor through a terminal-region 950 of a conductive type and this electrode of said stack-capacitor is generated by the utilization of the different etching speed of strongly differently doped semi-conductor-layers (8,9) of another conductive type. After etching this electrode of said stack-capacitors, the doping of the semiconductor-layer (8) which still exists after the etching process is converted to other conductive type, so that said electrode has the same conductive type as that of the terminal-region (5) and thus a pn-junction between said electrode and terminal-region (5) cannot occur.

## 六、申請專利範圍

第 88100510 號「半導體配置中堆疊電容器之製造方法以及由此方法而製成之堆疊電容器」專利案 (89年9月修正)

## 六申請專利範圍：

1. 一種半導體配置中堆疊電容器之製造方法，此種堆疊電器之一個電極是經由一種導電型式之終端區（5）而與電晶體之源極或汲極（2）相連接且堆疊電容器之此一電極是使用第二種導電型式之摻雜度不同之半導體層（8, 9）之各種不同之蝕刻速率而產生，此種方法之特徵是：在對此堆疊電容器之上述之此一電極進行蝕刻之後使蝕刻之後仍保存之半導體層之摻雜型式轉換成另一種導電型式。
2. 如申請專利範圍第 1 項之方法，其中使用硼作為第二種導電型式之摻雜物質。
3. 如申請專利範圍第 2 項之方法，其中摻雜型式之改變是藉由砷或磷離子之植入或在砷玻璃或磷玻璃上進行塗佈且藉由砷或磷之向內擴散而達成。
4. 如申請專利範圍第 1 至 3 項中任一項之方法，其中在摻雜型式改變之前藉由退火過程而使第二種導電型式之摻雜物質變少。
5. 如申請專利範圍第 4 項之方法，其中退火過程是在 750℃ 和 1150℃ 之間進行。
6. 如申請專利範圍第 1 至 3 項中任一項之方法，其中摻雜型式之改變須進行至超過半導體層之半導體材料之

煩請委員明示  
修正本有無變更實質內容是否准予修正。  
89年9月4日所提之

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

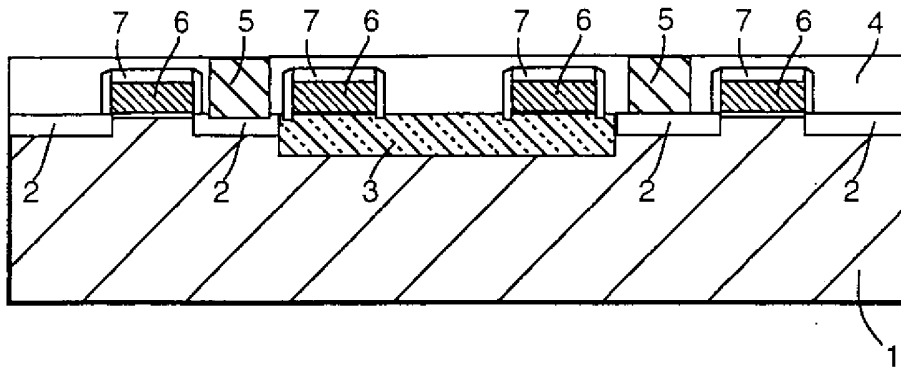
飽和極限為止。

7. 如申請專利範圍第 4 項之方法，其中摻雜型式之改變須進行至超過半導體層之半導體材料之飽和極限為止。
8. 如申請專利範圍第 4 項之方法，其中在退火之前為了使第二種導電型式之摻雜物質減少須對半導體層（8）進行塗佈或氧化作用以形成一種摻雜物質沈積處。
9. 如申請專利範圍第 1 項之方法，其中使仍保存在半導體層（8）之層厚度小於 30nm。
10. 如申請專利範圍第 8 項之方法，其中使仍保存在半導體層（8）之層厚度小於 30nm。
11. 一種堆疊電容器，其是由申請專利範圍第 1 至 10 項中任一項之方法所製成，其特徵是：在堆疊電容器之至少一個電極（其是以第一種導電型式之摻雜物質，特別是砷或磷，來進行摻雜）中存在第二種導電型式之摻雜物質殘留物，特別是硼。

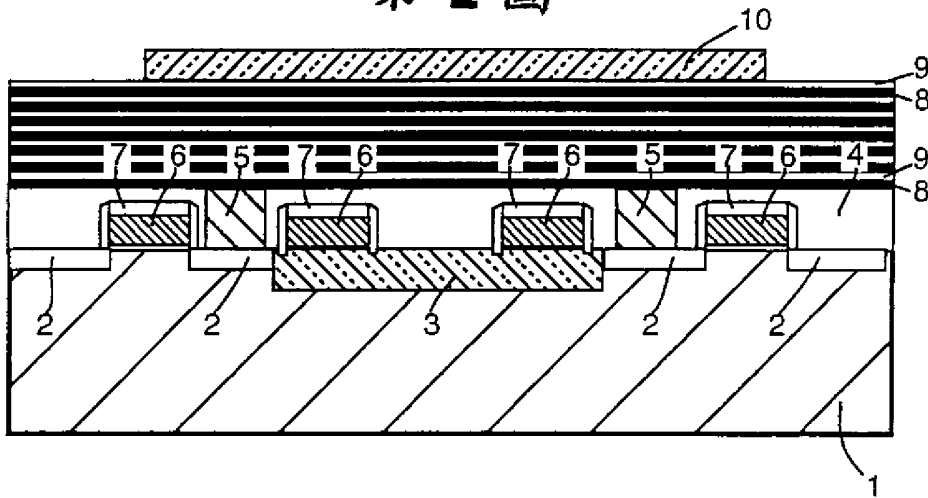
（請先閱讀背面之注意事項再填寫本頁）

訂  
線

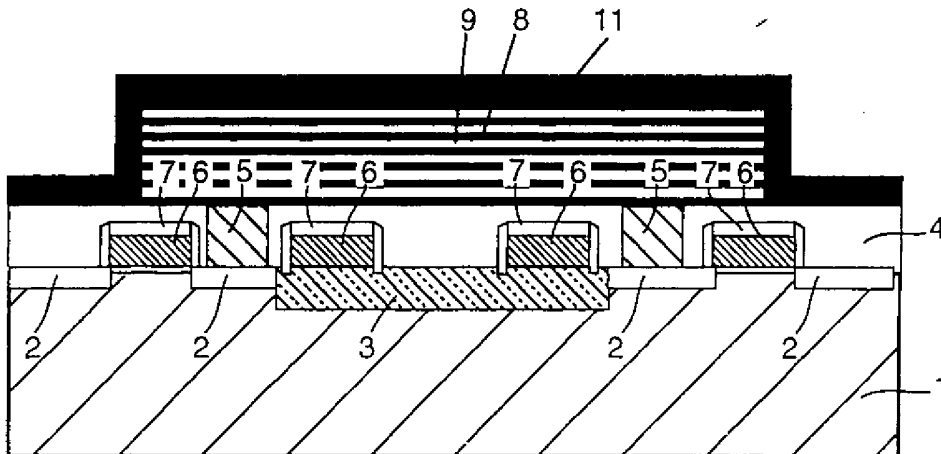
第 1 圖



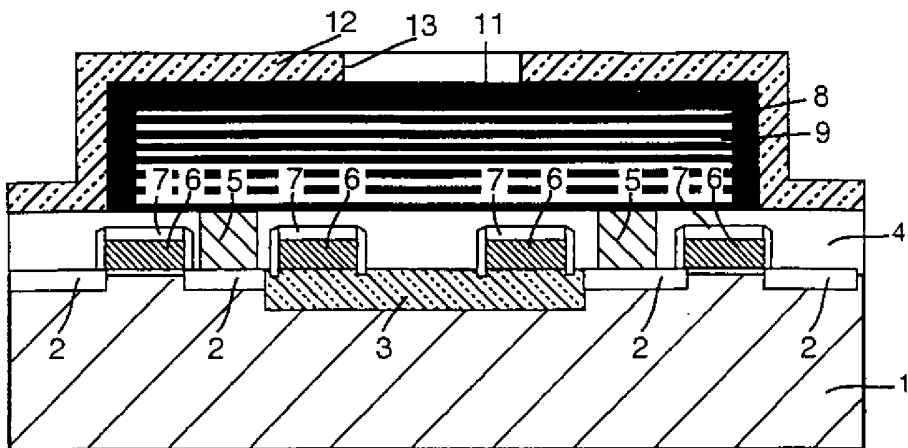
第 2 圖



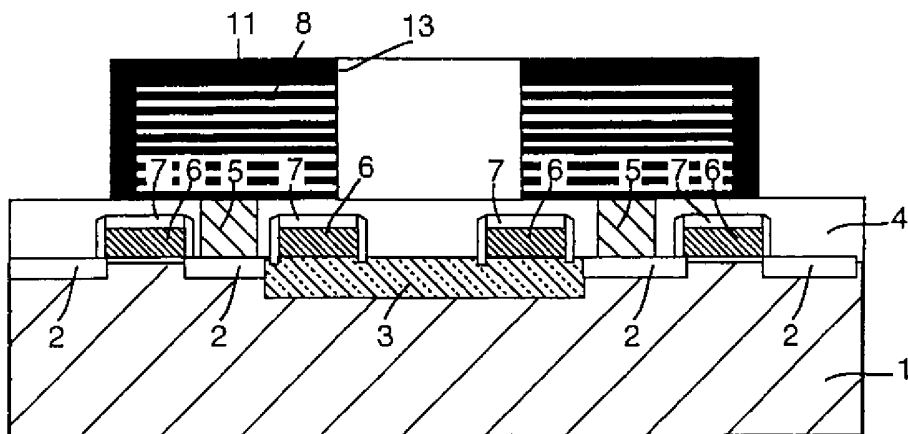
第 3 圖



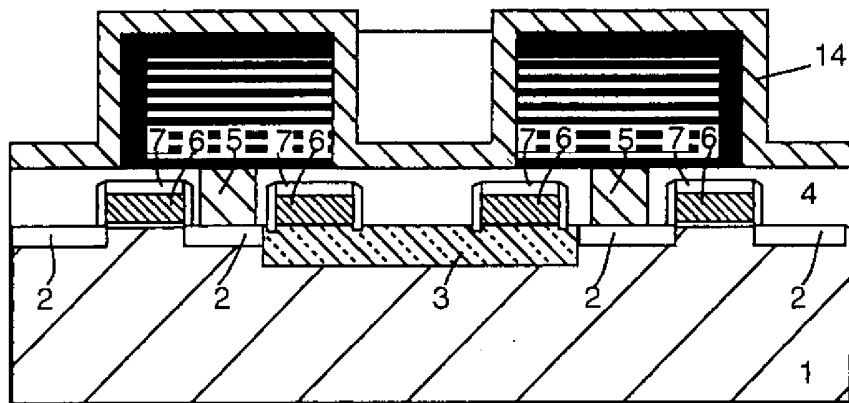
第 4 圖



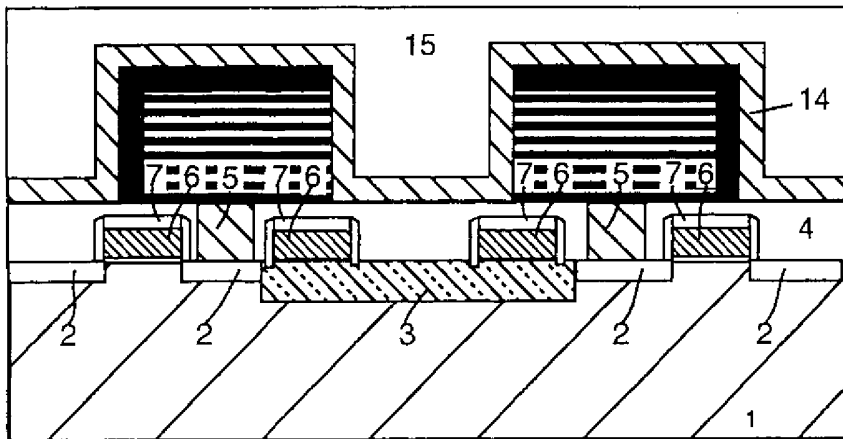
第 5 圖



第 6 圖



第 7 圖



# 公告本

89年9月4日 修正補充

申請日期	88.1.14
案 號	88100510
類 別	H01L 21/8242

A4  
C4

424305

(以上各欄由本局填註)

## 發明專利說明書 (89年9月修正)

一、發明 名稱	中 文	半導體配置中堆疊電容器之製造方法 以及由此方法而製成之堆疊電容器
	英 文	Method to Produce a Stack-capacitor in A Semiconductor Device and Said Stack-capacitor produced by said method
二、發明人 創作	姓 名	1.艾姆里契伯塔格諾里 (Emmerich Bertagnolli) 2.約瑟夫威爾勒 (Josef Willer)
	國 籍	1.~2.德國
	住、居所	1.德國慕尼黑D-80799諾登德街5號 2.德國萊姆林D-85521佛萊德佛羅貝爾街62號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴黎廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

煩請委員明示89年9月4日所提之修正本有無變更實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製

裝

訂

線

## 六、申請專利範圍

第 88100510 號「半導體配置中堆疊電容器之製造方法以及由此方法而製成之堆疊電容器」專利案 (89年9月修正)

## 六申請專利範圍：

1. 一種半導體配置中堆疊電容器之製造方法，此種堆疊電器之一個電極是經由一種導電型式之終端區（5）而與電晶體之源極或汲極（2）相連接且堆疊電容器之此一電極是使用第二種導電型式之摻雜度不同之半導體層（8, 9）之各種不同之蝕刻速率而產生，此種方法之特徵是：在對此堆疊電容器之上述之此一電極進行蝕刻之後使蝕刻之後仍保存之半導體層之摻雜型式轉換成另一種導電型式。
2. 如申請專利範圍第 1 項之方法，其中使用硼作為第二種導電型式之摻雜物質。
3. 如申請專利範圍第 2 項之方法，其中摻雜型式之改變是藉由砷或磷離子之植入或在砷玻璃或磷玻璃上進行塗佈且藉由砷或磷之向內擴散而達成。
4. 如申請專利範圍第 1 至 3 項中任一項之方法，其中在摻雜型式改變之前藉由退火過程而使第二種導電型式之摻雜物質變少。
5. 如申請專利範圍第 4 項之方法，其中退火過程是在 750℃ 和 1150℃ 之間進行。
6. 如申請專利範圍第 1 至 3 項中任一項之方法，其中摻雜型式之改變須進行至超過半導體層之半導體材料之

煩請委員明示  
修正本有無變更實質內容是否准予修正。  
89年9月4日所提之

(請先閱讀背面之注意事項再填寫本頁)

訂  
線