



(21) 申请号 201910711753.6

(22) 申请日 2019.08.02

(65) 同一申请的已公布的文献号
申请公布号 CN 110807273 A

(43) 申请公布日 2020.02.18

(30) 优先权数据

16/054,725 2018.08.03 US

(73) 专利权人 东京毅力科创株式会社
地址 日本东京都(72) 发明人 乔舒亚·霍格 内森·伊普
乔尔·埃斯特雷拉
安东·德维利耶

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理师 刘雯鑫 杨林森

(51) Int.Cl.

G06F 30/23 (2020.01)

G06T 5/80 (2024.01)

H01L 21/66 (2006.01)

G06F 113/18 (2020.01)

G06F 119/14 (2020.01)

(56) 对比文件

CN 107799451 A, 2018.03.13

US 2017144929 A1, 2017.05.25

US 3239611 A, 1966.03.08

US 9466538 B1, 2016.10.11

WO 2018072961 A1, 2018.04.26

审查员 朱静

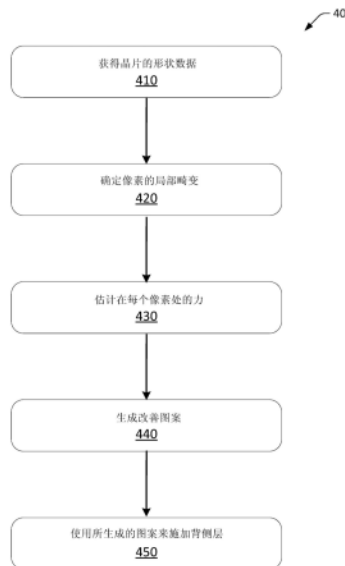
权利要求书3页 说明书12页 附图6页

(54) 发明名称

基于半导体晶片的局部畸变的确定的全局晶片畸变的改善

(57) 摘要

本文公开了一种基于半导体晶片的局部畸变的确定的全局晶片畸变的改善。在本文中,畸变为平面外畸变(OPD)或平面内畸变(IPD)。对于这种畸变的参考平面基于假定平坦的半导体晶片的表面共享的平面。提交本摘要时应理解,其将不用于解释或限定权利要求的范围或含义。



1. 一种改善半导体晶片的全局畸变的方法,包括:
获得半导体晶片的形状数据,其中,所述形状数据表示所述半导体晶片的全局畸变;
基于所获得的形状数据来确定所述半导体晶片的多个离散化像素中的每一个的局部畸变;
对在每个像素处的产生所确定的所述多个像素中的每一个的局部畸变并且导致所述半导体晶片的所述全局畸变的一个或更多个力进行估计;
针对所述多个离散化像素中的每一个并且使用所估计的针对每个像素的力,生成背侧层的改善图案,当将改善图案施加至所述半导体晶片的背侧的相应离散化像素时,所述半导体晶片的所述全局畸变得得到改善,
其中,所述对在每个像素处的一个或更多个力的估计包括:
对重复像素的所述局部畸变并且导致所述全局畸变的所述像素上的力进行建模;
利用不同的力迭代地执行所述建模直到找到针对每个像素的一个或更多个力的优化值为止;
将所述一个或更多个力的优化值分配至其像素。
2. 根据权利要求1所述的方法,还包括将所述背侧层施加至所述半导体晶片的所述背侧,其中,所述背侧层根据所生成的改善图案进行图案化。
3. 根据权利要求1所述的方法,其中,所述改善图案的生成包括:
存储所述改善图案;
存储所述改善图案的图像;或者
产生用于指导工具以使用所生成的改善图案将所述背侧层施加至所述半导体晶片的所述背侧的指令;或者
确定施加至所述半导体晶片的所述背侧层的所述改善图案的尺寸;或者
确定要施加至所述半导体晶片的所述背侧的所述背侧层的尺寸和/或组成。
4. 根据权利要求1所述的方法,其中,所述全局畸变包括在所述晶片的实质部分上呈现的晶片的畸变。
5. 根据权利要求1所述的方法,其中,所述局部畸变包括在所述晶片的非实质部分上呈现的畸变。
6. 根据权利要求1所述的方法,其中,所述全局畸变和/或所述局部畸变包括平面外畸变和/或平面内畸变。
7. 根据权利要求1所述的方法,还包括:
确定所述改善图案对所述半导体晶片的前侧上的一个或更多个图案的叠对误差的影响,所述前侧与所述半导体晶片的所述背侧相对;以及
将所述改善图案的影响前馈至在所述晶片的制造过程中使用的其他工具。
8. 根据权利要求1所述的方法,其中,所述局部畸变的确定包括:
将所述多个离散化像素映射至所述半导体晶片上,其中,多个离散化像素均被映射至所述半导体晶片的区域;
对于所述多个离散化像素中的每一个,计算表示对于所述像素的畸变的幅度的局部畸变值。
9. 根据权利要求1所述的方法,其中,所述改善图案的生成包括:

获得对于每个像素可能的畸变范围；

将所述改善图案限制为引起所获得范围内的畸变。

10. 根据权利要求1所述的方法，其中，当将所生成的改善图案施加至所述半导体晶片的所述背侧的所述相应离散化像素时，所述改善图案改善了所述半导体晶片的所述局部畸变。

11. 根据权利要求1所述的方法，其中，所述改善图案的生成包括：基于所生成的改善图案来产生覆盖率布局，其中，覆盖率布局中的每个像素基于覆盖率库中的数字图案。

12. 一种非暂态计算机可读存储介质，包括如下指令：在执行所述指令时使计算设备的处理器执行根据权利要求1所述的方法。

13. 一种改善半导体晶片的全局畸变的系统，包括：

晶片形状测量仪，其用于获得半导体晶片的形状数据，其中，所述形状数据表示所述半导体晶片的全局畸变；

晶片模拟器，其用于至少部分地基于所获得的形状数据确定所述半导体晶片的多个离散化像素中的每一个的局部畸变；

应力估计器，其用于对在每个像素处的产生所确定的所述多个像素中的每一个的局部畸变并且导致所述半导体晶片的所述全局畸变的一个或更多个力进行估计；

背侧图案生成器，其用于针对所述多个离散化像素中的每一个并且使用所估计的针对每个像素的力来生成背侧层的改善图案，当将所述改善图案施加至所述半导体晶片的背侧的相应离散化像素时，所述半导体晶片的所述全局畸变得得到改善，

其中，所述对在每个像素处的一个或更多个力的估计包括：

对重复像素的所述局部畸变并且导致所述全局畸变的所述像素上的力进行建模；

利用不同的力迭代地执行所述建模直到找到针对每个像素的一个或更多个力的优化值为止；

将所述一个或更多个力的优化值分配至其像素。

14. 根据权利要求13所述的系统，还包括用于将所述背侧层施加至所述半导体晶片的所述背侧的背侧图案部件，其中，根据所生成的改善图案对所述背侧层进行图案化。

15. 根据权利要求13所述的系统，其中，所述背侧图案生成器的生成包括：

所述改善图案的存储；

所述改善图案的图像的存储；或者

用于指导工具以使用所生成的改善图案将所述背侧层施加至所述半导体晶片的所述背侧的指令的生成；或者

施加至所述半导体晶片的所述背侧层的所述改善图案的尺寸的确定；或者

要施加至所述半导体晶片的所述背侧的所述背侧层的尺寸和/或组成的确定。

16. 根据权利要求13所述的系统，其中，所述局部畸变的确定包括：

将所述多个离散化像素映射至所述半导体晶片上的生成，其中，多个离散化像素均被映射至所述半导体晶片的区域；

对于所述多个离散化像素中的每一个，计算表示对于所述像素的畸变的幅度的局部畸变值。

17. 一种改善半导体晶片的畸变的方法，包括：

- 获得半导体晶片的形状数据,其中,所述形状数据表示所述半导体晶片的畸变;
计算所述半导体晶片的双轴晶片应力,其中,计算基于所获得的形状数据;
获得所述半导体晶片的初始自定义参数;
基于所计算的双轴晶片应力和至少部分地基于自定义参数所获得的双轴晶片应力来计算晶片畸变;
将残留晶片形状确定为所获得的晶片形状数据与所计算的晶片形状之间的差;
更新自定义参数以减少残留晶片形状、或者晶片畸变、或者所述残留晶片形状与所述晶片畸变二者;
通过重复利用不同自定义参数的所述晶片形状计算和残留晶片形状确定对用于板理论公式的解进行优化;
至少部分地基于所述解来生成改善图案,所述改善图案能够改善所述半导体晶片的畸变,当将所述改善图案施加至所述半导体晶片的背侧时,所述半导体晶片的所述畸变得到改善。
18. 根据权利要求17所述的方法,其中,所述自定义参数选自由背侧层的数目、膜特性、覆盖率边界和像素大小组成的组。
19. 根据权利要求17所述的方法,其中,所述解的优化至少部分地基于落入预定义范围内的所述半导体晶片的一个或更多个度量。

基于半导体晶片的局部畸变的确定的全局晶片畸变的改善

[0001] 相关申请的交叉引用

[0002] 本申请涉及并要求于2016年9月5日提交的美国临时专利申请系列号62/383,549、2017年9月5日提交的美国非临时专利申请第15/695,966号以及2018年8月3日提交的美国非临时专利申请第16/054,725号的优先权,上述的全部内容通过引用并入本文。

技术领域

[0003] 本公开涉及基于半导体晶片的局部畸变的确定全局晶片畸变的改善。

背景技术

[0004] 在半导体晶片的典型制造过程中涉及许多步骤。例如,典型的输入晶片(例如,裸硅晶片)以绝缘层(即,介电膜,诸如玻璃)的沉积开始。之后,使用光刻将一层图案掩模铺设在绝缘层上。然后,使用蚀刻从这些层中选择性地去除材料。之后,去除光致抗蚀剂掩模(即,剥离)并且去除残留物和颗粒(即,清洁或抛光)。最后,对于晶片的每个半导体器件沉积导电材料(即,沉积)。简而言之,简化和典型的步骤包括沉积、光刻、蚀刻、剥离、清洁和沉积。当然,经常地重复这些步骤中的许多步骤以形成多个层。

[0005] 根据这些步骤的设计,每层具有以如下方式铺设的材料图案:使得每层的材料图案与相邻层的相应材料对准。例如,一层的触点与下一层的触点对准。未对准可能导致短路和连接故障,这影响有效的产量和成本。相邻层的材料图案的对准在本文中称为叠对。

[0006] 叠对假定每一层都是完全平坦或几乎平坦的。然而,对于晶片通常不是平坦的,并且实际上晶片可能是明显弯曲的。这被称为晶片翘曲。因为晶片是不平坦的,因此翘曲晶片上的层同样是不平坦的。

[0007] 半导体晶片的曲度是自由、未夹紧的晶片的中间表面的中心点从中间表面至参考平面的偏差,其中参考平面由等边三角形的三个角限定。

发明内容

[0008] 根据本发明的实施方式,涉及测量半导体衬底上的膜应力以使半导体芯片制造过程期间的图案叠对误差最小化。在一个实施方式中,一种方法包括:基于所获得的形状数据确定半导体晶片的多个离散化像素中的每一个的局部畸变;然后对在每个像素处的产生所确定的多个像素中的每一个的局部畸变并且导致半导体晶片的全局畸变的一个或更多个力进行估计。接下来,针对所述多个离散化像素中的每一个并且使用所估计的针对每个像素的力,该系统生成背侧层的改善图案,在将改善图案施加至所述半导体晶片的背侧的相应离散化像素时,所述半导体晶片的全局畸变得到改善。

[0009] 在另一实施方式中,上述方法可以在包括晶片形状测量仪的系统上实现以获得半导体晶片的形状数据,其中,所述形状数据表示半导体晶片的全局畸变。该系统还可以使用晶片模拟器以至少部分地基于所获得的形状数据确定半导体晶片的多个离散化像素中的每一个的局部畸变。

[0010] 系统还可包括应力估计器,该应力估计器用于对在每个像素处的产生所确定的多个像素中的每一个的局部畸变并且导致半导体晶片的全局畸变的一个或更多个力进行估计。前述部件可以向背侧图案生成器提供信息以针对多个离散化像素中的每一个并且使用所估计的针对每个像素的力来生成背侧层的改善图案,当将所述改善图案施加至半导体晶片的背侧的相应离散化像素时,所述半导体晶片的全局畸变得到改善。

[0011] 在本发明的另一实施方式中,用于使衬底曲度最小化的背侧图案可以包括:获得半导体晶片的形状数据,其中,形状数据表示半导体晶片的畸变;计算半导体晶片的双轴晶片应力,其中,计算基于所获得的形状数据。然后,获得半导体晶片的初始自定义参数;基于所计算的双轴晶片应力和至少部分地基于自定义参数所获得的双轴晶片应力来计算晶片畸变;将残留晶片形状确定为所获得的晶片形状与所计算的晶片形状之间的差;更新自定义参数以减少残留晶片形状或晶片畸变、或者所述残留晶片形状与所述晶片畸变二者;通过重复利用不同自定义参数的所述晶片形状计算和残留晶片形状确定对用于板理论公式的解进行优化;以及至少部分地基于所述解来生成改善图案,所述改善图案能够改善半导体晶片的畸变,当将所述改善图案施加至所述半导体晶片的背侧时,所述半导体晶片的畸变得到改善。

附图说明

[0012] 图1示出了根据本文描述的技术的畸变晶片的不同示例表示。

[0013] 图2是根据本文描述的技术的示例性晶片畸变改善系统200。

[0014] 图3是根据本文描述的技术的离散化晶片模拟的示例表示。

[0015] 图4是根据本文描述的技术的示例过程的流程图。

[0016] 图5是根据本文描述的技术的示例过程的流程图。

[0017] 图6A是根据本文描述的技术的示例过程的流程图。

[0018] 图6B是根据本文描述的技术生成改善图案的图示。

[0019] 具体实施方式参照附图。在图中,附图标记最左边的数字标识该附图标记首次出现所在的附图。贯穿附图使用相同的数字来引用类似的特征和部件。

具体实施方式

[0020] 本文公开了一种与基于半导体晶片的局部畸变的确定来改善(例如,校正)全局晶片畸变有关的技术。在本文中,畸变为平面外畸变(OPD)或平面内畸变(IPD)。这种畸变的参考平面是基于由假定平坦的半导体晶片的表面共享的平面。

[0021] 因此,平面外畸变涉及晶片的弯折材料、波动材料、弯曲材料等在参考平面的上方和/或下方延伸。因此,具有平面外畸变的晶片不是平坦的。

[0022] 相比之下,平面内畸变涉及材料沿参考平面的膨胀、拉伸或压缩。因此,晶片可能仍然是平坦的,但是材料的密度是不均匀的和/或晶片的形状是不均匀的。

[0023] 图1示出了畸变晶片100的示例。该示例性畸变晶片100被描绘为不同的晶片表示110、112、114,这些晶片以逐渐增加的畸变示出。晶片表示110被示出为平坦的。晶片表示112具有浅碗形状。晶片表示114具有较深的碗形状。

[0024] 示例性畸变晶片100的形状可能由平面外起作用和平面内起作用的应力或力引

起。膨胀力和收缩力(即,x方向力和y方向力)在与晶片本身相同的平面中推动或拉动晶片,并且经常产生一些平面外畸变,如119的方向性箭头所示。

[0025] 由116所示的竖直畸变引起由120所示的水平移动。当晶片被夹持在台上时,水平移动120可能引起IPD并且导致叠对。

[0026] 此外,水平力可以使晶片沿水平方向膨胀或收缩。这些力可能导致附加的畸变和叠对。

[0027] 在本文中,全局晶片畸变是指整个半导体晶片的畸变而不仅仅是整个半导体晶片中的一些部分的畸变。也就是说,晶片的全局畸变是呈现为整个晶片或整个晶片中的实质部分的畸变。根据实现方式,对于全局畸变的晶片的实质部分表现出跨超过晶片的30%、超过晶片的50%或超过晶片的65%。例如,晶片表示114的整体碗形状为全局畸变的示例。

[0028] 相比之下,局部畸变是指半导体晶片的仅一部分的畸变而不是整个晶片的畸变。也就是说,晶片的局部畸变是在整个晶片的非实质部分上方呈现的畸变。根据实现方式,对于全局畸变的晶片的非实质部分表现出跨少于晶片的30%、少于晶片的15%或少于晶片的5%。

[0029] 例如,晶片表示114的区域122的局部畸变指示局部畸变。如本文中使用的实现方式,局部畸变被施加至晶片的每个离散化部分或区域。如本文所用,晶片的离散化部分或区域被称为像素。

[0030] 晶片翘曲(即,一阶畸变)或晶片弯曲(warp)(即,二阶畸变)是全局畸变特别是全局平面外畸变的示例。

[0031] 本文描述的技术可以包括半导体晶片的多个离散化像素中的每一个的局部畸变的确定。该确定基于该晶片的形状数据。形状数据表示晶片的全局畸变。

[0032] 对于像素中的每个像素,本文描述的技术可以包括对产生所确定的像素的局部畸变并且导致半导体晶片的全局畸变的像素的一个或多个力(例如,应力)的估计。对于每个像素,本文描述的技术可以生成背侧层的改善(例如,校正)图案,当将改善图案施加至半导体晶片的背侧的相应的离散化像素时,半导体晶片的全局畸变和局部畸变得到改善(例如,校正)。

[0033] 衬底(例如,晶片)的顶侧通常接纳膜堆、制造的器件、部分制造的器件、特征等。因此,衬底的顶侧也可以被称为工作表面。衬底的与顶侧相对的侧面是衬底的背侧。

[0034] 在半导体制造中,衬底通常畸变成各种膜和器件的叠对沉积和/或制造在其上。这种过程可以包括退火和倾向于使衬底畸变的其他处理。然而,本文的技术校正了这种衬底的畸变。

[0035] 随着半导体器件制造技术的进步,对用于制造半导体器件的光刻系统和涂覆器/显影剂的需求日益增加。这包括对衬底对准的准确度的要求日益增加。衬底通常安装在也被称为晶片台的卡盘上。在曝光期间,暴露在衬底上的特征需要与衬底上的现有特征叠对。为了实现期望的叠对性能,在曝光之前将衬底对准衬底台。叠对误差是衬底的预测位置与实际位置之间的差。

[0036] 平坦的衬底是具有最小平面外畸变的一个衬底。假设平坦的衬底确保叠对的对准。然而,也存在由于晶片上的水平力引起的畸变。也就是说,也存在平面内畸变。本文描述的技术的实现方式中的至少一些实现方式解决了衬底的IPD,衬底的IPD可能由于由弯折和

拉伸引起的畸变导致。

[0037] 图2示出了示例性晶片畸变改善系统200。示例性晶片畸变改善系统200是此处描述的技术的实现方式的示例。

[0038] 示例性晶片畸变改善系统200包括晶片形状测量仪210、受试晶片模拟器220、应力估计器230、背侧图案生成器240和背侧图案施加器250。这些部件中的每一个可以至少部分地通过计算硬件、固件或者硬件、固件和软件的组合来实现。

[0039] 晶片形状测量仪210获取关于受试晶片205的晶片形状数据。受试晶片205是表现出平面外畸变和/或平面内畸变的衬底。参考平面线206不是受试晶片205的一部分,而是仅示出平面参考点或平坦参考点。

[0040] 受试晶片205具有至少部分地制造在受试晶片205的顶表面207上的多个半导体结构。例如,这种结构可以包括栅极、晶体管、沟槽、通孔、硬掩模、膜等。因此,受试晶片205可以是半导体级衬底。晶片具有非平面的背侧表面209。背侧表面209由于制造多个半导体结构因此是非平面的。背侧表面209与顶表面207(也称为工作表面)相对。

[0041] 注意,整个受试晶片205可以具有翘曲(包括顶表面207)并且这种翘曲至少在背侧表面209中呈现。还要注意,最初,受试晶片205可以是平面的,这是因为表面高度偏差可以保持在100纳米或甚至10纳米的容差范围内。另外,注意,本文中的非平面与微米距离或微米尺度有关。例如,大于约1微米至约300微米的表面高度偏差可以被认为非平面的。因此,通过眼睛检查,衬底可能完全平坦,但是相对于光刻系统和其他这种系统的分辨能力,衬底不是足够平坦的。

[0042] 常规地,给定的衬底可能产生1微米至400微米之间的翘曲或偏转。虽然曝光有时可能引起(account for)一些偏转,但叠对仍然会受到偏转的影响。

[0043] 晶片形状测量仪210对受试晶片205的弯曲或形状的测量进行直接测量或者从计量工具(例如,由KLA-Tencor制造的图案化晶片几何工具)接收受试晶片205的弯曲或形状的测量。这些测量可以被称作偏转测量或晶片形状数据。这种偏转测量可以使用各种机制诸如光学检测、反射技术和声学测量来完成。这种测量主要测量平面外畸变。

[0044] 例如,这可以包括创建给定衬底的x、y或径向位置,该径向位置包括z高度测量或绑定至平面坐标系的相对偏转。虽然这可以是用于区分凸部与凹部的正值或负值,但是也可以使用其他标度系统。因此偏转特征通过衬底上的横向位置(即,空间位置)来映射高度的相对差。

[0045] 图1中的图表130是从晶片获得的晶片形状数据的二维(2D)图表的示例。阴影指示如晶片区域上绘制的平面外(即Z位置)畸变。

[0046] 晶片形状测量仪210可以将空间滤波器应用于晶片形状数据并且使用数学函数(例如,Zernike多项式)来处理数据。晶片形状测量仪210的操作可以被描述为获得半导体晶片的形状数据,其中,形状数据表示半导体晶片的全局畸变。

[0047] 受试晶片模拟器220基于来自晶片模型225的数据并且与应力估计器230协作生成受试晶片205的模拟或模型。晶片模型225是经受理想膜应力(例如,双轴膜应力)的初始平坦晶片的非常详细的物理模型。这可以例如通过使用有限元(FE)模型来完成,有限元(FE)模型利用用于有限元分析(FEA)的FE方法(FEM)。

[0048] FEM是用于解决工程和数理物理问题的数值方法。典型的问题关注区包括结构分

析、热传递、流体流动、质量输送和电磁势。这些问题的分析解法通常需要对于偏微分方程的边界值问题的解。FEM将大问题细分为称为有限元的较小、较简单的部分。然后将对这些有限元建模的简单等式组装成对整个问题进行建模的更大的等式组。

[0049] 首先,受试晶片模拟器220将理想化的晶片模型225离散化成区域或块的网格或阵列。网格可以是例如笛卡尔网格、直线网格、曲线网格或结构化网格。在本文中,这些块被称为“像素”,这是因为这些块类似于电视屏幕的图像元素(即,像素)。在本文中该动作可以是离散化、分块化或像素化。

[0050] 图3示出了具有施加于其上的像素的笛卡尔网格的晶片模拟300的示例。像素按顺序编号为A1至J6,其中第一个字母表示行,而数字表示在该行中的列位置。该示例性晶片模拟300仅用于说明的目的而提供。本文中引用是为了更好地解释本文描述的技术的一个或更多个实现方式。

[0051] 在像素化之后,示例性晶片畸变改善系统200的部件以最低水平对受试晶片205的模拟的像素进行操作。因此,理想化晶片模型225的数据被一起聚集在与每个像素相对应的块中。通常,受试晶片205的模拟具有晶片的微小部分的精细水平细节。

[0052] 在像素化之后,针对该像素收集每个像素的相关数据。也就是说,像素的相关数据包括可能影响畸变的数据。例如,与理想化晶片模型225的像素F4相对应的区域的所有相关数据被收集在一起并且被施加至受试晶片205的模拟中的像素F4。

[0053] 应力估计器230基于该晶片的顶表面207上的一个或更多个膜对受试晶片205上的应力进行估计。该估计基于由晶片形状测量仪210获得的形状数据。这可以经由常规方法或新方法来完成。例如,可以采用Stoney公式以基于晶片的形状确定在晶片上引起的应力。

[0054] 图1的图表140是根据晶片形状数据的斜率的计算得到的所估计的平面内畸变(IPD)数据的2D图表的示例。阴影指示如在晶片区域上绘制的IPD的相对量。对于在晶片的一个侧面上的应力膜,数据点沿给定方向的斜率与在卡持晶片时导致叠对误差的IPD成比例。

[0055] 通过以下公式,IPD可以被近似成晶片曲度的斜率:

$$u \approx u_{\text{拉伸}} + u_{\text{弯折}}$$

$$= -\frac{h_s}{3} \frac{\partial w}{\partial x} - z \frac{\partial w}{\partial x}$$

[0056]

公式 1

[0057] 第一项表示由于膜应力引起的平面内拉伸并且第二项表示由膜应力引起的弯折。利用该公式,可以将测量的晶片曲度(晶片曲度是晶片形状数据的示例)转化成IPD。

[0058] 当将晶片放置在台上时,减少了弯折部件中的大部分。然后,拉伸部件中的大部分由光刻工具造成。剩余部件有助于叠对。

[0059] 柔性衬底(诸如,晶片)上的薄膜中的应力引起衬底的弯曲。通常,衬底比膜厚几个数量级,使得产生衬底的小而纯粹的弹性变形。在这种情况下,Stoney公式根据测量的衬底曲率提供在膜中的应力。Stoney公式包含膜和衬底的厚度以及衬底的弹性特性。通常,衬底

的弹性特性由E(杨氏模量)和 ν (泊松比)指定。

[0060] Stoney公式是与晶片形状 w 和薄膜涂层应力 σ_f 相关的第一理论。Stoney公式由下式给出：

$$\sigma_f h_f = \frac{E_s h_s^2}{6(1 - \nu_s)} \kappa$$

[0061]

公式 2

[0062] 其中, σ_f 和 h_f 分别是膜应力和厚度; E_s 、 ν_s 、 h_s 分别是衬底的杨氏模量、泊松比和厚度;并且 κ 是晶片的变形曲率。曲率 κ 可以通过取晶片形状的二阶倒数来获得,

$$\kappa = (\frac{\partial^2 w}{\partial x^2} + \frac{\partial^2 w}{\partial y^2})/2。$$

[0063] 使用由受试晶片模拟器220提供的离散化的晶片模拟,应力估计器230对作用在晶片模拟的每个像素上的力进行估计。在每个像素处的力的估计考虑了力对晶片自身的像素的影响以及力对其他像素的影响。实际上,像素力对每个像素(包括其本身)的影响被考虑到该力的估计的因素中。基于与晶片形状数据紧密匹配的力的影响来选择像素力的幅度。

[0064] 图1中的图表150是根据晶片形状数据估计的力的2D图表的示例。阴影指示如在晶片的区域上绘制的力的相对量。这可以通过取所估计的IPD的斜率来计算以得到在数学上与应力相关的曲率。

[0065] 在这样做时,正被估计的像素的力是固定的力,假设该固定的力被施加在整个像素上。在本文中,这可以称为利用固定膜应力激活像素。

[0066] 此外,受试晶片模拟器220和应力估计器230协同工作以交互地改善估计。也就是说,对每个像素的力的估计得到交互改善以优化每个像素的力与产生具有所获得的晶片形状数据的畸变的晶片的力的匹配。可以通过为每个像素创建计算库并且使用计算库来辅助该过程。具有这样的库的效果是减少每次迭代所需的重新计算的量。

[0067] 使用有限元模拟来创建库。示例性库包括针对若干个膜应力轮廓的受试晶片的畸变。通过将晶片的顶表面离散化成许多小片(即,像素)并且每次一个地对每个片施加均匀的应力来生成示例性库。

[0068] 有限元模拟输出了与片的效果相对应的畸变。以这种方式,膜应力轮廓可以由所有片上的应力的离散分布来表示。然后,根据叠加的规则,所有的片可以加起来以形成整体畸变。

[0069] 这种库可以用于与畸变进行比较以获得膜应力轮廓。根据畸变,通过改变每个片中的应力来解决膜应力轮廓,通过优化方法改变了片中的畸变贡献。

[0070] 来自模拟库方法的结果与全有限元模拟相当。然而,模拟库方法通常在一分钟内计算解,而全有限元模拟可能需要花费长许多倍的时间。

[0071] 受试晶片模拟器220和应力估计器230的协同操作可以被描述为基于所获得的形状数据来确定半导体晶片的多个离散化像素中的每一个的局部畸变并且对在每个像素处的所确定的产生多个像素中的每一个的局部畸变并且导致半导体晶片的全局畸变的一个或更多个力进行估计。

[0072] 背侧图案生成器240接收经优化的作用在受试晶片模拟的每个像素上的一个或更多个力的估计,其是受试晶片模拟器220和应力估计器230协作的结果。针对多个离散化像素中的每一个并且使用所估计的针对每个像素的力,背侧图案生成器240生成背侧层的改善图案,在将改善图案施加至半导体晶片的背侧的相应离散化像素时,半导体晶片的全局畸变和局部畸变得到改善。

[0073] 如本文所用,改善包括减少受试晶片的畸变。在一些实现方式中,该动作可以被称为校正。无论如何,改善动作使得施加背侧层,这减少了平面外畸变和/或平面内畸变。各种因素都会产生背侧图案。这些因素至少部分地包括关于背侧膜的压缩/拉伸应力、膜的厚度以及背侧膜的设计图案/应力分布轮廓。

[0074] 背侧图案生成器240可以将背侧图案作为数字文件(例如,图像)或这种图案的数据库存储在存储装置245中。可替代地,背侧图案生成器240可以生成指导适当的工具以产生背侧图案的一组指令。可以将该组指令直接发送至这种工具或者可以将该组指令存储在存储装置245中。

[0075] 背侧图案施加器250是产生背侧图案并且将背侧图案沉积至受试晶片的背侧的工具或工具组。因此,受试晶片的畸变减少并且可能消除。

[0076] 由背侧图案施加器250执行的改善动作可以通过在背侧表面上沉积一个或更多个膜以辅助畸变校正来完成。图2示出了衬底255,衬底255为受试晶片的校正版本。衬底255具有顶表面257和具有沉积在其上的背侧膜259的背侧表面。背侧膜259沉积在背侧表面上,该背侧表面可以例如向内拉动衬底或者向外推动衬底。

[0077] 在示例性系统200的一些实现方式中,该系统可以假定受试晶片是理想的。也就是说,晶片上的膜是均匀的。在其他实现方式中,不假定受试晶片是理想的,而是实际上预期并且考虑了晶片上的膜的不均匀性。

[0078] 在晶片和晶片的加工中存在许多非理想性,这会增加预测结果与实际结果的误差。这种非理想性包括(例如):晶片上的背侧膜厚度均匀性;设定剂量与实际剂量的变化,其中校正膜以实际剂量暴露在晶片上;背侧图案的放置;晶片上的那些背侧图案的蚀刻和蚀刻轮廓的变化;以及由于模拟保真度的限制而引起的系统误差。

[0079] 利用被周期性地更新或与每个晶片一起更新的所存储的校准文件的实验确定的数据库来重新定义在给定像素上可能的应力的上边界和下边界。然后利用这些新边界来优化背侧图案。

[0080] 图4是示出示例性过程400的流程图,示例性过程400实现本文描述的用于基于半导体晶片的局部畸变的确定来改善全局晶片畸变的技术。示例性过程400至少部分地通过示例性晶片畸变改善系统200来执行。为简单起见,执行操作的行动者被称为“系统”。当然,根据实现方式,可以由系统的一个部件、系统的多个部件,或者不是系统的特定部分的设备来执行动作。

[0081] 在块410处,系统获得半导体晶片的形状数据。图1中的图表130是该形状数据的表示。该数据可以从受试晶片的直接测量或间接测量中获得。形状数据表示半导体晶片的全局畸变。

[0082] 在块420处,系统基于所获得的形状数据来确定半导体晶片的多个离散化像素中的每一个的局部畸变。系统将晶片的图或模型像素化。然后,系统针对每个像素的局部畸

变(例如,平面外畸变和/或平面内畸变)的量进行确定或估计。

[0083] 在一些实现方式中,系统将形状数据与库进行直接比较。优化循环同时比较像素的所有点和效果。

[0084] 局部畸变的确定可以包括将多个离散化像素映射至半导体晶片上。多个离散化像素均被映射至半导体晶片的区域。对于多个离散化像素中的每一个,该确定还可以包括计算表示对于该像素的畸变的幅度的局部畸变值。

[0085] 根据示例性过程400的实现方式,全局畸变可以包括仅平面外畸变、仅平面内畸变或两种类型的畸变。类似地,局部畸变可以包括仅平面外畸变、仅平面内畸变或两种类型的畸变。

[0086] 在块430处,系统对在每个像素处的产生所确定的多个像素中的每一个的局部畸变并且导致半导体晶片的全局畸变的一个或更多个力进行估计。对在每个像素处的一个或更多个力的估计考虑了一个或更多个力对晶片自身的像素的影响以及一个或更多个力对其他像素的影响。实际上,像素的一个或更多个力对每个像素(包括其自身)的影响被考虑到对该一个或更多个力的估计的因素中。基于与晶片形状数据紧密匹配的力的影响对像素的一个或更多个力的大小进行估计。

[0087] 对在每个像素处的一个或更多个力的估计可以包括:对重复该像素的局部畸变并且导致全局畸变的像素上的力进行建模;利用不同的力迭代地执行建模直到找到针对每个像素的一个或更多个力的优化值为止;以及将一个或更多个力的优化值分配至其像素。

[0088] 在块440处,针对多个离散化像素中的每一个并且使用所估计的针对每个像素的力,系统生成背侧层的改善图案,当将改善图案施加至半导体晶片的背侧的相应离散化像素时,半导体晶片的全局畸变和局部畸变得到改善。

[0089] 在一些情况下,改善图案的生成包括存储改善图案的图像或产生用于指导工具以使用生成的改善图案将背侧层施加至半导体晶片的背侧的指令。

[0090] 在块450处,系统将背侧层施加至半导体晶片的背侧。根据生成的改善图案对背侧层进行图案化。这个动作将减少晶片的全局畸变。

[0091] 通过一些实现方式,系统将关于由背侧层进行的调整的信息发送至半导体制造过程中的一个或更多个工具,使得这些工具可以将这些调整考虑到它们的过程中。这可以称为将改善图案的影响前馈至制造过程中的其他工具。

[0092] 光刻工具是系统可以前馈这种信息的半导体制造工具的示例。通常,光刻工具的扫描仪在对示例性过程400可能执行的校正叠对没有任何期望的情况下引起叠对。

[0093] 在光刻工具对准过程期间,扫描仪执行一组校正参数(例如,放大率、旋转等)以产生最小的叠对残留。通常,对一些晶片进行处理并且测量叠对以确定对于这些参数的最佳设置,然后在反馈循环中连续调整这些参数。

[0094] 由于施加至晶片背面的任何改善图案将影响畸变并且因此影响这些参数的优化值,因此系统可以向扫描仪前馈畸变信息或甚至新的优化校正。

[0095] 图5是示出示例性过程500的流程图,示例性过程500实现本文描述的用于基于半导体晶片的局部畸变的确定来改善全局晶片畸变的技术。示例性过程500至少部分地由示例性晶片畸变改善系统200来执行。为简单起见,执行操作的行动者被称为“系统”。当然,根据实现方式,可以由系统的一个部件、系统的多个部件、或者不是系统特定部分的设备来执

行动作。

[0096] 示例性过程500实现称为曲率法的方法。该方法说明了非均匀的膜应力并且说明了对源自非双轴应力的形状的校正。下面的公式 (其是Stoney公式的扩展) 是可以用来说明非均匀膜应力的公式的示例。

$$[0097] \quad \sigma_f h_f = \frac{E_s h_s^2}{6(1 - \nu_s^2)} \left[\nabla^2 w + A_0 + \sum_{n=1}^{\infty} A_n r^n \cos n\theta + B_n r^n \sin n\theta \right]$$

$$[0098] \quad A_0 = -\frac{1 - \nu_s}{2\pi} \int_0^{2\pi} \kappa_{\theta\theta}(R, \theta) d\theta$$

$$[0099] \quad A_n = -\frac{1 - \nu_s}{\pi R^n} \int_0^{2\pi} \kappa_{\theta\theta}(R, \theta) \cos n\theta d\theta$$

$$[0100] \quad B_n = -\frac{1 - \nu_s}{\pi R^n} \int_0^{2\pi} \kappa_{\theta\theta}(R, \theta) \sin n\theta d\theta$$

公式 3

[0101] 这些是可以使用的板理论公式的示例。使用这种公式, 非均匀膜应力可以与局部曲率 $\nabla^2 w$ 相关。使用测量的晶片曲度求解这种公式给出了曲率方法的背侧校正图案。

[0102] 在块510处, 系统获得半导体晶片的形状数据。图1的图表130是形状数据的表示。该数据可以从受试晶片的直接测量或间接测量中获得。形状数据表示半导体晶片的全局畸变。此外, 系统可以将空间滤波器应用于晶片形状数据并且利用数学函数 (例如, Zernike多项式) 来处理该数据。

[0103] 在块520处, 系统计算晶片曲率。这可以例如通过基于所获得的形状数据找到曲率来完成。这可以至少部分地通过使用沿x方向和沿y方向的给定数目的测量点来计算z高度形状数据的斜率来完成, 并且然后再次计算斜率数据的斜率以获得曲率。

[0104] 在块530处, 系统计算双轴晶片应力。系统通过应用空间滤波器来平滑数据; 然后, 系统使用所过滤的数据的数值导数来获得IPD和曲率。该系统应用上面式3中概述的板理论与自定义参数以计算晶片应力。

[0105] 在块540处, 系统至少部分地基于自定义参数545来计算晶片形状。自定义参数545包括例如背侧层的数目、膜特性、覆盖边界和像素大小。

[0106] 在块550处, 系统计算残留晶片形状。残留晶片形状被定义为晶片510的形状数据与计算晶片形状540之间的差。

[0107] 在块560处, 对系统进行更新。可以更新以下内容: 全局应力图乘数; 位移应力图均匀性; 和非双轴应力校正图案。更新调整参数以减少残留晶片形状。这些参数可以包括: 全局应力调整、用于抵消特定形状而设计的已知应力图案、由非双轴应力行为引起的已知形状、高应力区域与低应力区域之间的应力斜率的修改、以及对模型的附加分析项。

[0108] 总的来说, 块540、550和560形成优化循环, 该优化循环重复直到找到优化结果为止。在这个循环中, 系统基于原始数据和对于应力的求解对板理论公式中包括的许多分析项进行优化。

[0109] 系统对反向应力的由图案化膜覆盖的压缩或拉伸基层的双叠层的厚度进行优化以捕获先前确定的应力的最大可能范围。该系统将应力图转换成膜的校正覆盖率的百分比图。然后,系统将给定部分中的百分比覆盖率转换成具有该百分比覆盖率的图案。

[0110] 例如,可以对由反向应力的图案化膜覆盖的压缩或拉伸基层的双叠层的厚度进行优化以捕获应力的最大可能范围。考虑到其中确定局部平面内力(例如,应力*厚度)是由从-200N/m至+500N/m的图案变化引起的晶片。

[0111] 当一系列度量诸如残留晶片形状、残留IPD、局部应力变化等满足预定义值时,优化结束。

[0112] 期望生成抵消顶侧应力的背侧图案。然而,当生成图案时,系统应小心避免在给定区域中移除太多的膜(例如,超过75%) (例如,因为扫描仪卡盘销直径为50 μ m) 或者存在在扫描仪卡盘销可以搁置在膜上的区域与扫描仪卡盘销不能搁置在膜上的区域之间的不均匀性的风险。

[0113] 考虑到该示例的这些约束,然后在-433N/m的覆盖膜上生成具有 $(500 - (-200)) / 0.75 = 700\text{N/m}$ 的平面内力的图案化背侧膜。

[0114] 在块570处,系统生成优化的背侧图案。百分比覆盖率被转换成保证在特定于工具要求(例如,卡持)的更精细级别上的最小覆盖率并且使可以实现的百分比保真度最大化的图案。

[0115] 图6A是示出示例性过程600的流程图,所述示例性过程600实现如本文描述的用于基于半导体晶片的局部畸变的确定来改善全局晶片畸变的改善图案的生成。也就是说,示例性过程600可以是示例性过程500的块570和/或示例性过程400的块440的实现方式的一部分。

[0116] 示例性过程600至少部分地由示例性晶片畸变改善系统200来执行。为简单起见,执行操作的行动者被称为“系统”。当然,根据实现方式,可以由系统的一个部件、系统的多个部件、或者由不是系统的特定部分的设备来执行动作。

[0117] 图6B示出了由示例性过程600产生的示例性校正图的细节。图案650表示由示例性过程600产生的示例性最终改善图案。放大的块652是图案650的一小部分。

[0118] 在块610处,系统接收校正图,该校正图是初始改善图案的示例。校正图指示最终背侧图案应当具有的应力或力。示例性过程600确切地确定最终图案的特定级别和低级细节将如何实现该背侧图案所需的反作用力和应力。

[0119] 校正图是施加至晶片的背侧的像素的抵消晶片的正侧上的像素的畸变的模拟应力。但是,应力是利用膜的区域的数字图案施加的,而晶片的背侧上没有膜。图6中的方形660示出了四个子块中的三个不同数字图案的示例。

[0120] 将背侧图案(或更一般地改善图案)设计或优化成以将图案施加至晶片的背侧来减少畸变。该图案由例如示例性过程500的块560和/或示例性过程400的块440输出。

[0121] 在块630处,系统产生覆盖率布局。数字图案为覆盖率布局。在覆盖率布局中,每个像素(例如,6mm)被细分为较小的像素(例如,200 μ m),其具有从覆盖率库630中选择的图案。子块(664、665、666、667)为较小像素的示例。

[0122] 这些图案实现了针对子像素的期望应力,同时确保在晶片与扫描仪卡盘之间的水平接触。这些子像素还允许用于模糊子像素与像素之间的边界以获得像素之间的应力的更

连续变化。

[0123] 在块640处,系统产生用于创建最终背侧图案的配方或指令。对于配方创建,覆盖率布局被转换成处理工具(例如,曝光工具)的机器语言中的一组指令。

[0124] 例如,考虑到背侧图案650。图案650包括块阵列诸如块652。每个块(例如,块652)进一步由多个子块组成。如所描绘的,块652具有四个子块(664、665、666、667)。

[0125] 这些子块(664、665、666、667)中的每一个被设计成共同地产生子块的特定反作用力。为此,在已知用于实现针对子块的期望的反作用力的每个子块中使用重复的结构图案。

[0126] 方形660是其中块652的所有四个子块(664、665、666、667)相交的四角区域的放大。如所描绘的,方形660中子块的每个对应部分具有其自己的数字图案。每个子块的数字图案与针对该子块的期望反作用力相匹配。

[0127] 此外,在一些实现方式中,可以期望避免块与子块之间的严格图案变化。因此,这些实现方式可以通过在距那些边界的小距离内使用转换图案来平滑块与子块之间的边界。

[0128] 附加及备选实现方式说明

[0129] 在上述示例性实现方式的描述中,出于说明的目的,阐述了具体的数目、材料配置和其他细节,以便更好地解释要求保护的本发明。然而,对于本领域技术人明显的是,可以使用与本文描述的示例性实现方式不同的细节来实践要求保护的本发明。在其他情况下,省略或简化公知特征以阐明示例性实现方式的描述。

[0130] 发明人意图将所描述的示例性实现方式作为主要示例。发明人并非意在使这些示例性实现方式限制所附权利要求的范围。相反,发明人已经预期到要求保护的本发明也可以结合其他现有或未来技术以其他方式体现和实现。

[0131] 此外,在本文中使用词语“示例性”意味着用作示例、实例或说明。在本文中被描述为“示例性”的任何方面或设计未必被解释为比其他方面或设计优选或有利。相反,使用词语“示例性”意在以具体的方式呈现概念和技术。例如,术语“技术”可以指由本文描述的上下文所指示的一个或更多个设备、装置、系统、方法、制品和/或计算机可读的指令。

[0132] 如本文献中使用的,术语“或”意指包容性的“或”而非排他性的“或”。也就是说,除非另有指定或根据上下文清楚,否则“X使用A或B”意指任何自然的包含性排列。也就是说,如果X使用A、X使用B、或者X使用A和B二者,则在任何前述情况下都满足“X使用A或B”。此外,如本文献中使用的,术语“和/或”意指所述可能性中的任一个或二者都是有效的或真实的。也就是说,除非另有指定或根据上下文清楚,“X使用A和/或B”意指A或B、或者A和B二者。

[0133] 本申请中以及所附权利要求中使用的冠词“一个”和“一种”一般应当被解释为是指“一个或更多个”,除非另有指定或根据上下文针对单数形式是清楚的。

[0134] 这些过程被示为逻辑流程图中的块集合,其表示可以仅在机制中实现或者与硬件、软件和/或固件组合实现的操作序列。在软件/固件的上下文中,块表示存储在一个或更多个计算机可读存储介质上的指令,当由一个或更多个处理器执行指令时,所述处理器执行所述操作。

[0135] 注意,描述过程的顺序不意在被解释为限制,并且可以以任何顺序组合任何数目的所描述的过程块以实现该过程或者备选过程。此外,在不脱离本文中描述的主题的精神和范围的情况下,可以从该过程中删除单个块。

[0136] 术语“计算机可读介质”包括计算机存储介质。例如,计算机存储介质可以包括但

不限于磁存储设备(例如,硬盘、软盘和磁条)、光盘(例如,光盘(CD)和数字通用光盘(DVD))、智能卡、闪存设备(例如,拇指驱动器、杆、键驱动和SD卡)、以及易失性存储器和非易失性存储器(例如,随机存取存储器(RAM)、只读存储器(ROM))。

[0137] 除非上下文另有指示,否则本文中使用的术语“逻辑”包括适合于执行针对该逻辑描述的功能的硬件、软件、固件、电路、逻辑电路、集成电路、其他电子部件和/或上述部件的组合。

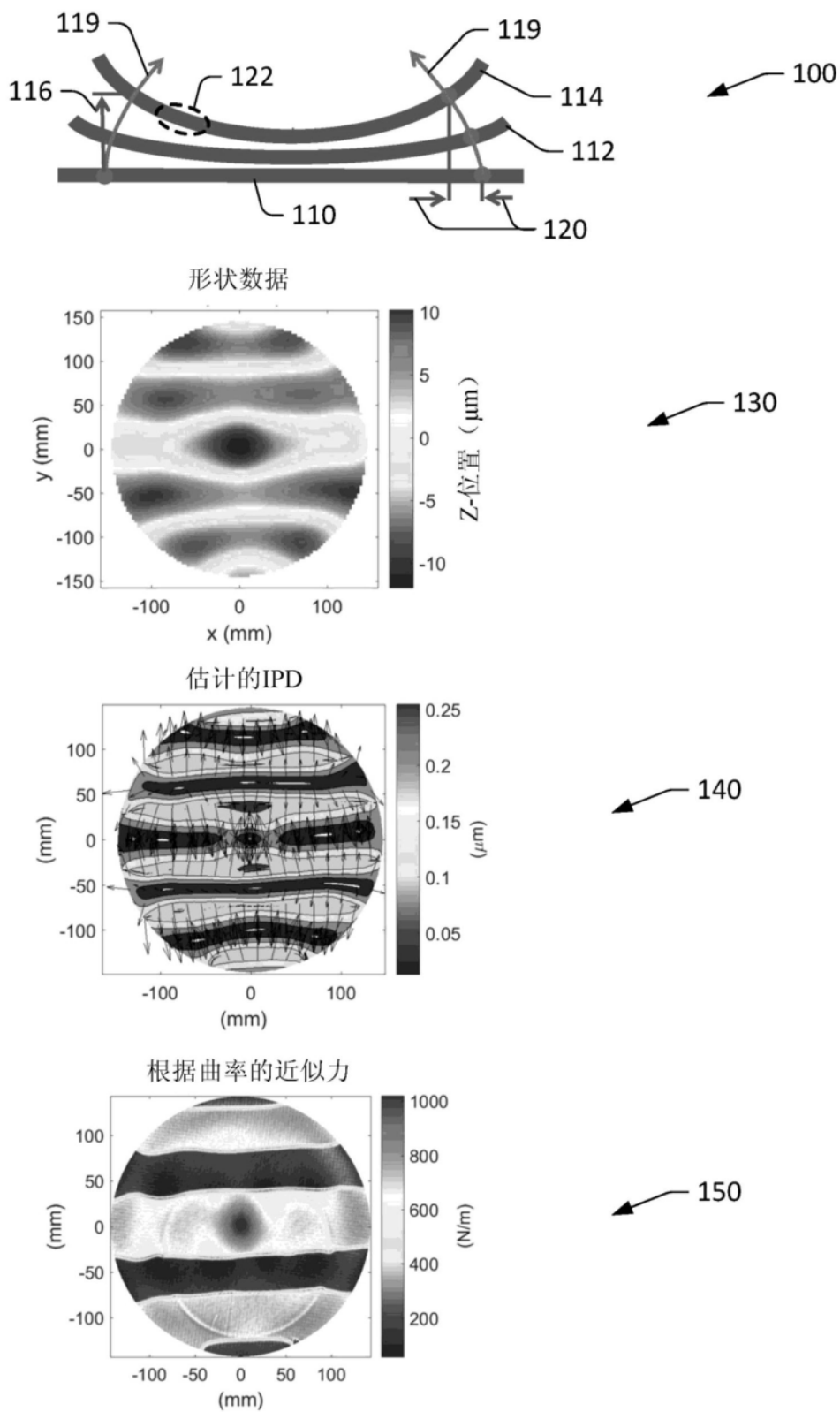


图1

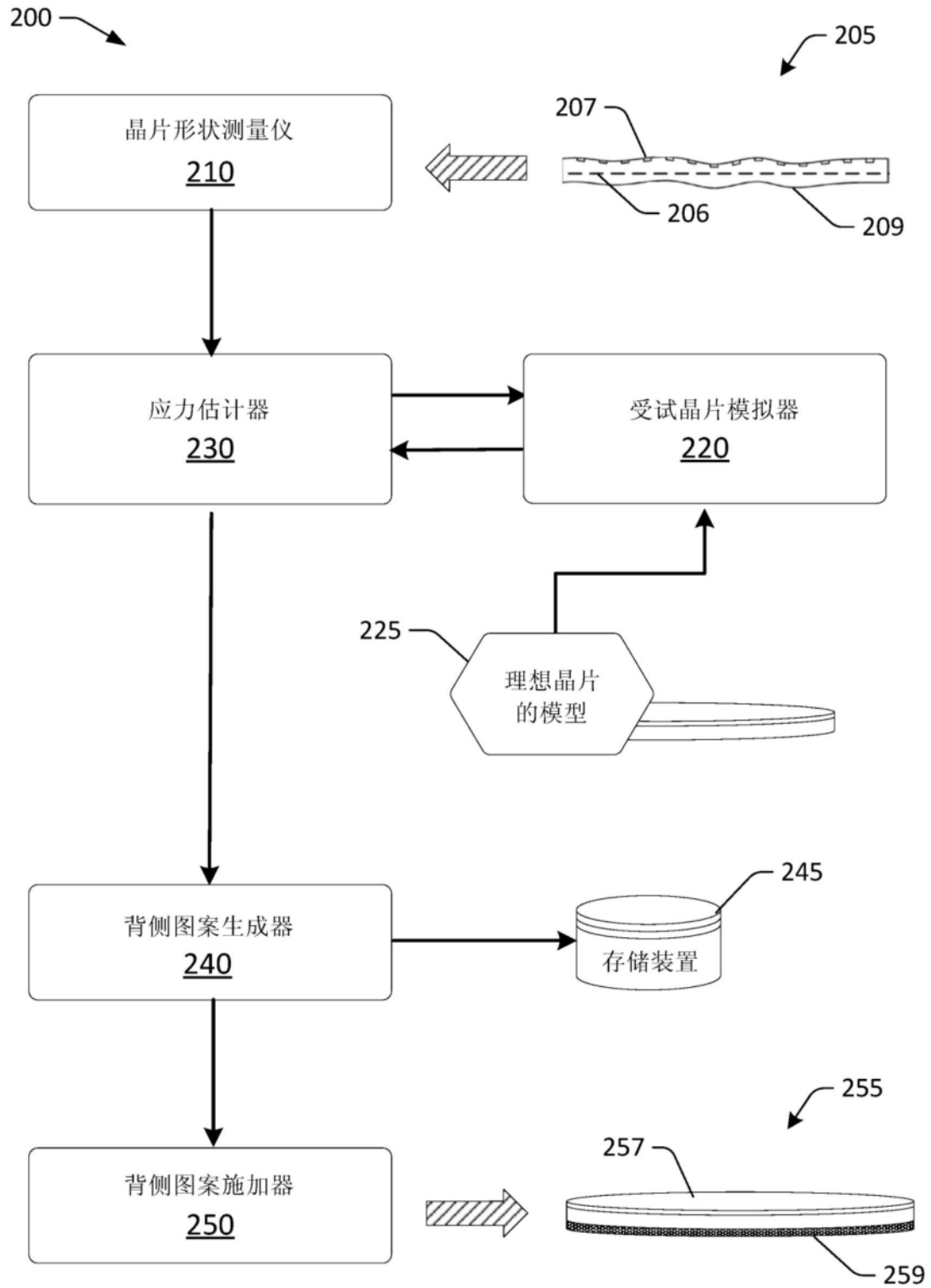


图2

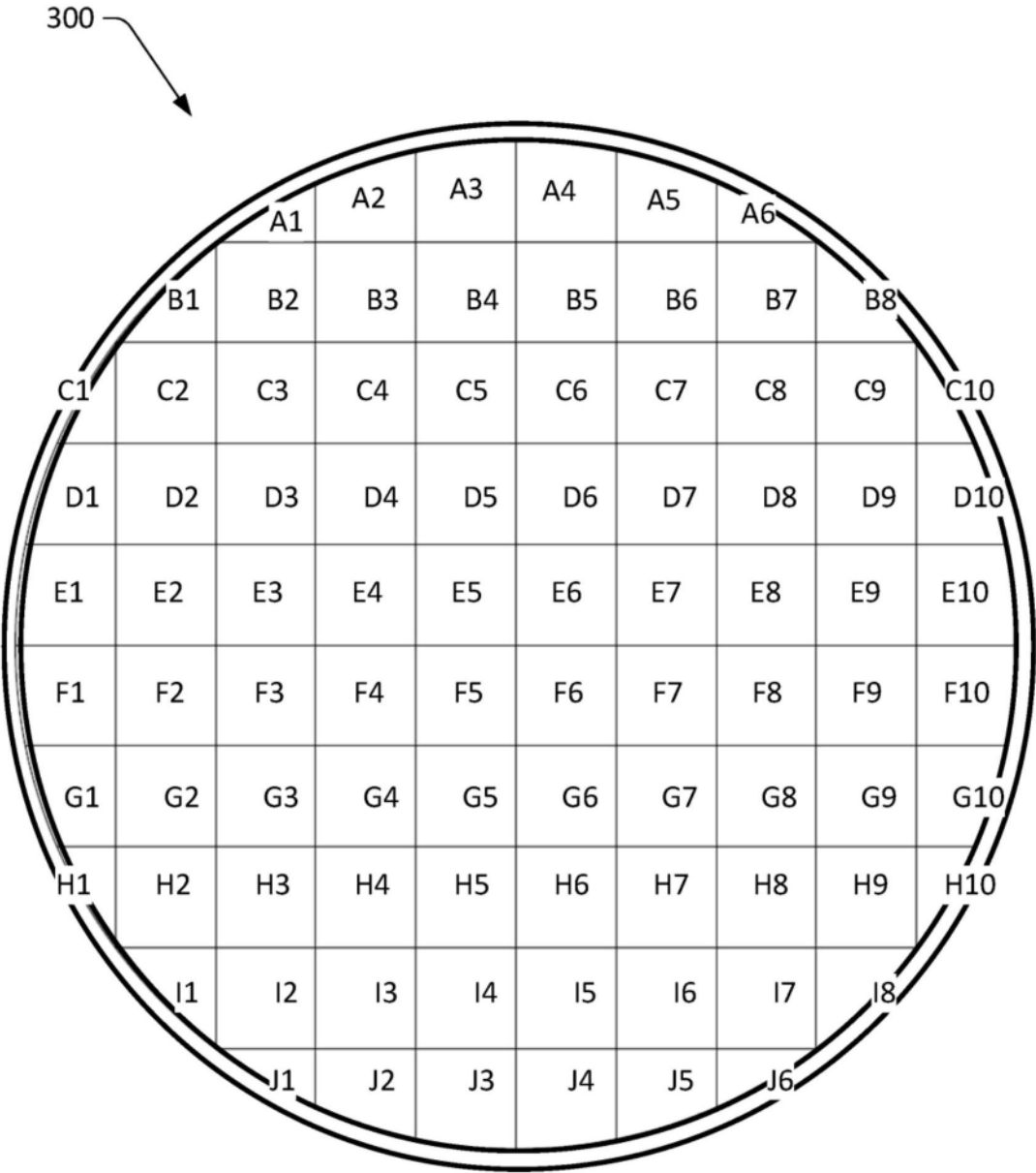


图3

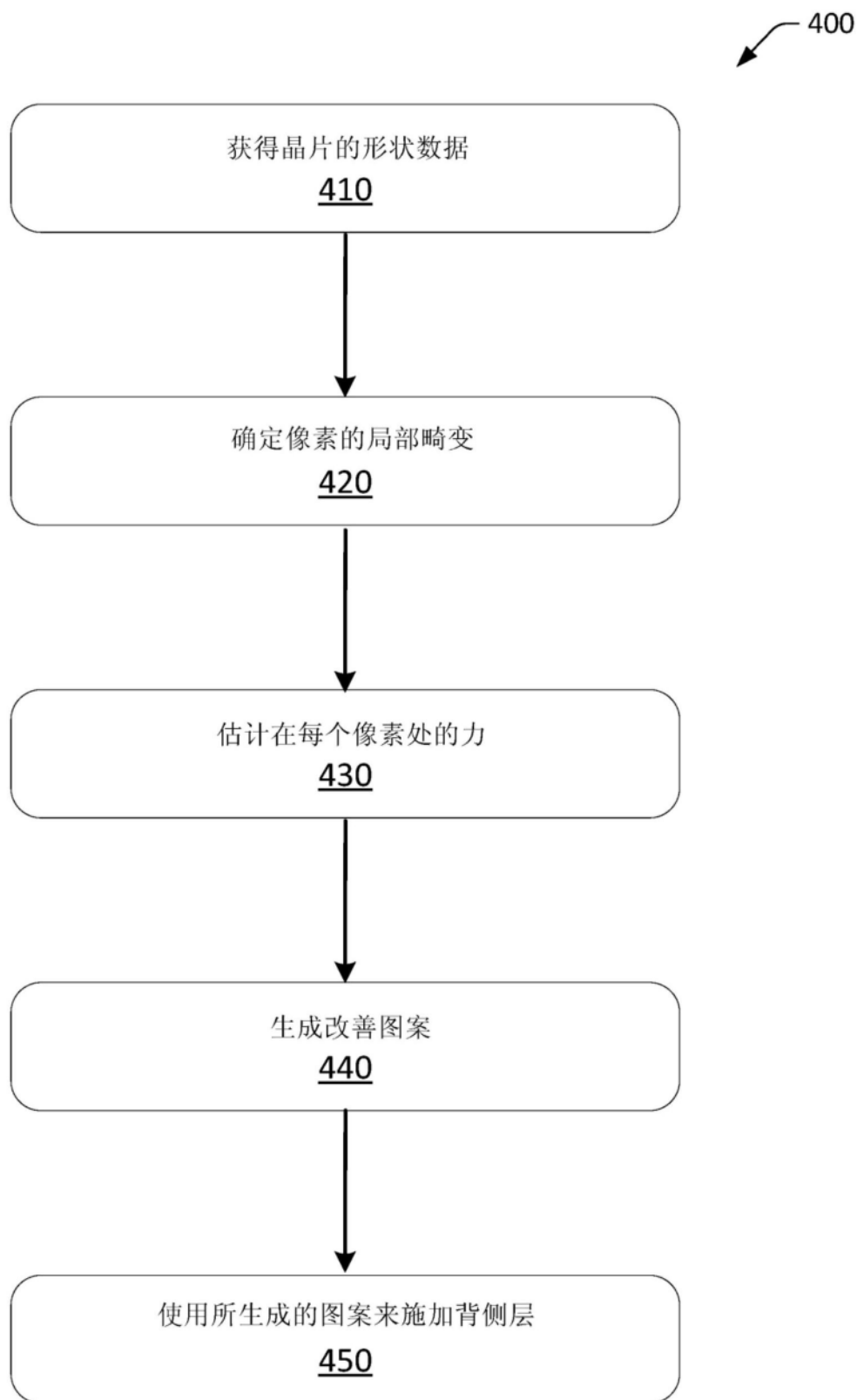


图4

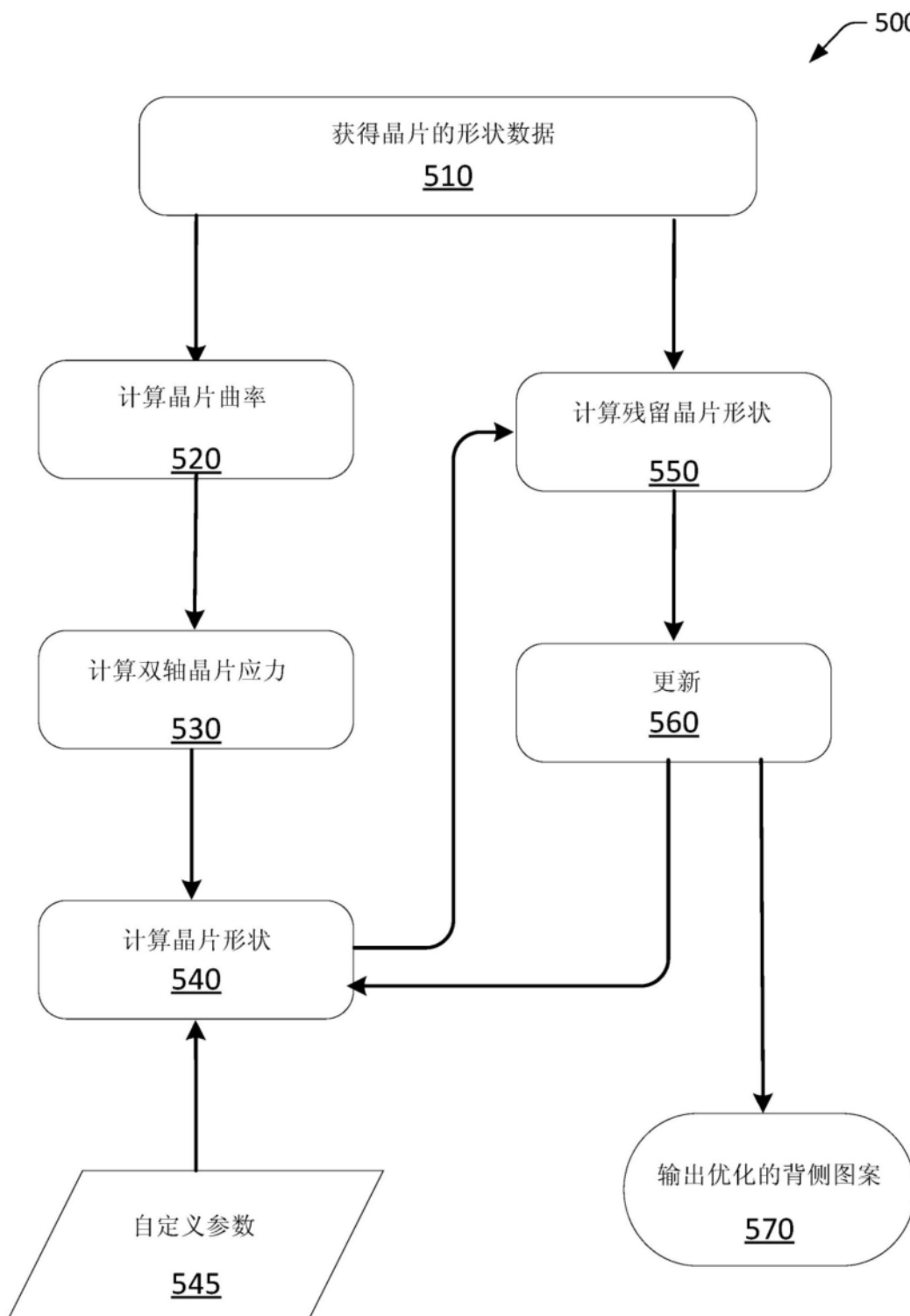


图5

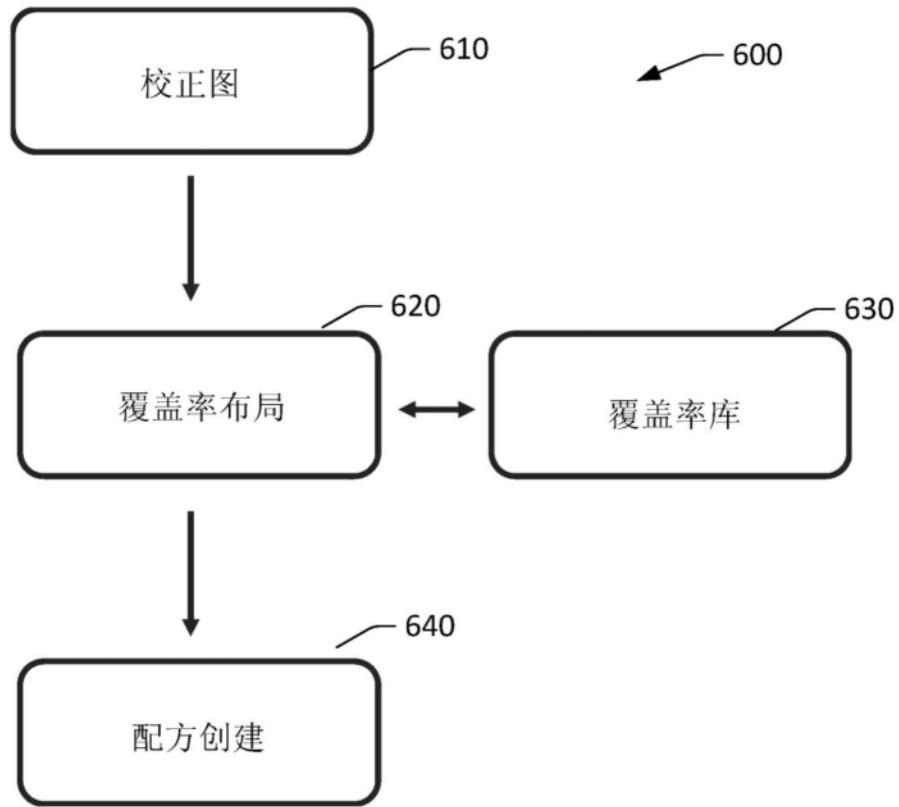


图6A

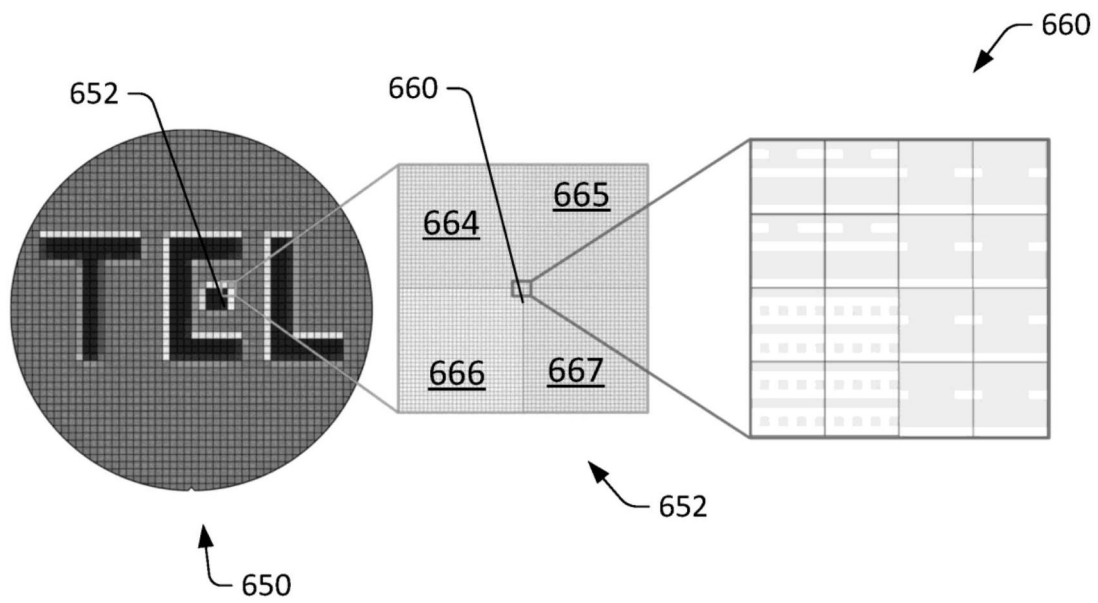


图6B