

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 8 月 24 日 (24.08.2023)



(10) 国际公布号
WO 2023/155339 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01) H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2022/098047

(22) 国际申请日: 2022 年 6 月 10 日 (10.06.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210157645.0 2022 年 2 月 21 日 (21.02.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 邵光速 (SHAO, Guangsu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) Title: MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE, AND STACKED DEVICE

(54) 发明名称: 一种半导体器件的制造方法、半导体器件及堆叠器件

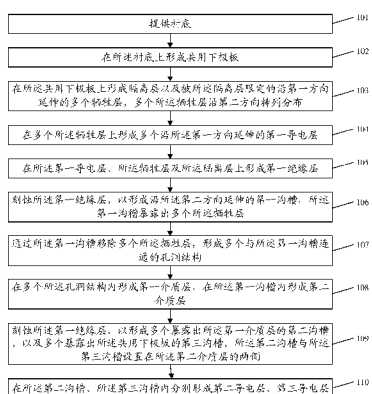


图 1

- 101 Provide a substrate
102 Form a common lower polar plate on the substrate
103 Form an isolation layer on the common lower polar plate and a plurality of sacrificial layers which are defined by the isolation layer, extend along a first direction and are arranged along a second direction
104 Form a plurality of first conductive layers extending along the first direction on the plurality of sacrificial layers
105 Form a first insulating layer on the first conductive layers, the sacrificial layers and the isolation layer
106 Etch the first insulating layer to form a first trench which extends along the second direction and exposes the plurality of sacrificial layers
107 Remove the plurality of sacrificial layers by means of the first trench to form a plurality of hole structures communicated with the first trench
108 Form a first dielectric layer in the plurality of hole structures, and form a second dielectric layer in the first trench
109 Etch the first insulating layer to form a plurality of second trenches exposing the first dielectric layer and a plurality of third trenches exposing the common lower polar plate, the second trenches and the third trenches being disposed on two sides of the second dielectric layer
110 Respectively form a second conductive layer and a third conductive layer in the second trenches and the third trenches

(57) Abstract: Disclosed in embodiments of the present disclosure are a manufacturing method for a semiconductor device, a semiconductor device, and a stacked device. The manufacturing method comprises: forming a common lower polar plate on a substrate; forming an isolation layer on the common lower polar plate and a plurality of sacrificial layers which are defined by the isolation layer, extend along a first direction and are arranged along a second direction; forming first conductive layers extending along the first direction on the sacrificial layers; forming a first insulating layer on the first conductive layers, the sacrificial layers and the isolation layer; etching the first insulating layer to form a first trench which extends along the second direction and exposes the plurality of sacrificial layers; removing the sacrificial layers by means of the first trench to form a plurality of hole structures communicated with the first trench; respectively forming a first dielectric layer and a second dielectric layer in the hole structures and the first trench; etching the first insulating layer to respectively form second trenches and third trenches on two sides of the second dielectric layer; and respectively forming a second conductive layer and a third conductive layer in the second trenches and the third trenches.

(57) 摘要: 本公开实施例公开了一种半导体器件的制造方法、半导体器件及堆叠器件, 所述制造方法包括: 在衬底上形成共用下极板; 在共用下极板上形成隔离层以及被隔离层限定的沿第一方向延伸且沿第二方向排列的多个牺牲层; 在牺牲层上形成沿第一方向延伸的第一导电层; 在第一导电层、牺牲层及隔离层上形成第一绝缘层; 刻蚀第一绝缘层, 以形成沿第二方向延伸并暴露出多个牺牲层的第一沟槽; 通过第一沟槽移除牺牲层, 形成多个与第一沟槽连通的孔洞结构; 在孔洞结构、第一沟槽内分别形成第一介质层、第二介质层; 刻蚀第一绝缘层, 以在第二介质层的两侧分别形成第二沟槽、第三沟槽; 在第二沟槽、第三沟槽内分别形成第二导电层、第三导电层。

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

一种半导体器件的制造方法、半导体器件及堆叠器件

相关申请的交叉引用

本公开基于申请号为 202210157645.0、申请日为 2022 年 2 月 21 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

5 技术领域

本公开涉及但不限于半导体器件的制造方法、半导体器件及堆叠器件。

背景技术

半导体器件，例如动态随机存储器（DRAM），通常包括衬底、位于衬底内的晶体管以及位于衬底上的电容，所述电容用于存储电荷，所述晶体管和所述电容构成存储单元。

- 10 然而，在相关技术中，所述电容通常沿一个固定的方向延伸，电容的表面积较小，导致电容的电荷存储量较低；此外，所述电容往往具有较大的深度，单位体积内能够容纳的电容较少，半导体器件的存储密度较低。

发明内容

本公开实施例提供一种半导体器件的制造方法，包括：

- 15 提供衬底；
在所述衬底上形成共用下极板；
在所述共用下极板上形成隔离层以及被所述隔离层限定的沿第一方向延伸的多个牺牲层，多个所述牺牲层沿第二方向排列分布；
在多个所述牺牲层上形成多个沿所述第一方向延伸的第一导电层；
20 在所述第一导电层、所述牺牲层及所述隔离层上形成第一绝缘层；
刻蚀所述第一绝缘层，以形成沿所述第二方向延伸的第一沟槽，所述第一沟槽暴露出多个所述牺牲层；
通过所述第一沟槽移除多个所述牺牲层，形成多个与所述第一沟槽连通的孔洞结构；
在多个所述孔洞结构内形成第一介质层，在所述第一沟槽内形成第二介质层；
25 刻蚀所述第一绝缘层，以形成多个暴露出所述第一介质层的第二沟槽，以及多个暴露出所述共用下极板的第三沟槽，所述第二沟槽与所述第三沟槽设置在所述第二介质层的两侧；
在所述第二沟槽、所述第三沟槽内分别形成第二导电层、第三导电层。
在一些实施例中，通过所述第一沟槽移除多个所述牺牲层，包括：在所述第一沟槽内通入蚀刻液，所述蚀刻液移除多个所述牺牲层；其中，所述牺牲层的刻蚀速率大于所述隔离层的刻蚀速率。
30 在一些实施例中，在形成所述第一绝缘层之后，所述方法还包括：
在所述第一绝缘层上形成多个沿所述第一方向延伸的沟道层以及位于多个所述沟道层之间的掩埋层，多个所述沟道层沿所述第二方向排布。
在一些实施例中，在形成所述第一沟槽之前形成所述沟道层及所述掩埋层，所述第一沟槽、所述第二沟槽、所述第三沟槽均贯穿所述沟道层；所述方法还包括：
35 在所述沟道层和所述掩埋层内形成沿所述第二方向延伸并切断所述沟道层的第一分隔层，所述第一分隔层和所述第一沟槽将所述沟道层分隔为分立的有源区。

在一些实施例中，在形成所述第二导电层和所述第三导电层之后形成所述沟道层及所述掩埋层，所述沟道层及所述掩埋层覆盖所述第一绝缘层、所述第二导电层、所述第三导电层以及所述第二介质层，所述沟道层与所述第二导电层及所述第三导电层接触；所述方法还包括：

5 在所述沟道层和所述掩埋层内形成沿所述第二方向延伸并切断多个所述沟道层的第一分隔层、第二分隔层，所述第一分隔层和所述第二分隔层将所述沟道层分隔为分立的有源区；其中，所述第二分隔层覆盖所述第二介质层。

在一些实施例中，所述方法还包括：

在所述沟道层及所述掩埋层上形成第三介质层，在所述第三介质层上形成字线材料层；

刻蚀所述字线材料层形成沿所述第二方向延伸的字线层；

10 在所述衬底上形成第四介质层，所述第四介质层覆盖所述第三介质层、所述字线层。

在一些实施例中，所述方法还包括：

在所述第四介质层上形成第二绝缘层；

刻蚀所述第二绝缘层、所述第四介质层、所述第三介质层至暴露所述沟道层，形成多个沿所述第二方向排布的位线接触孔；

15 在所述位线接触孔内形成位线接触插塞；

在所述位线接触插塞及所述第二绝缘层上形成多条沿所述第一方向延伸的位线层，多条所述位线层沿所述第二方向排布。

本公开实施例还提供了一种半导体器件，包括：

衬底以及位于所述衬底上的共用下极板；

20 位于所述共用下极板上的隔离层以及被所述隔离层限定的多个沿第一方向延伸的第一介质层，多个所述第一介质层沿第二方向排列分布；

多个第一导电层，分别位于多个所述第一介质层上且沿所述第一方向延伸；

25 第一绝缘层，覆盖所述第一导电层、所述第一介质层及所述隔离层；所述第一绝缘层内具有沿所述第二方向延伸的第一沟槽，以及设置在所述第一沟槽两侧的多个第二沟槽和多个第三沟槽；其中，所述第二沟槽暴露出所述第一介质层，所述第三沟槽暴露出所述共用下极板；

第二介质层、第二导电层及第三导电层，分别位于所述第一沟槽、所述第二沟槽及所述第三沟槽内。

在一些实施例中，在所述第一方向上，所述第一导电层的两端相对于所述第一介质层的两端向内缩进；在所述第二方向上，所述第一导电层的两端相对于所述第一介质层的两端向外凸出。

30 在一些实施例中，所述半导体器件还包括：位于所述第一绝缘层上的多个沿所述第一方向延伸的沟道层以及位于多个所述沟道层之间的掩埋层，多个所述沟道层沿所述第二方向排布。

在一些实施例中，所述第一沟槽、所述第二沟槽、所述第三沟槽均贯穿所述沟道层；所述半导体器件还包括：沿所述第二方向延伸的第一分隔层，所述第一分隔层位于所述沟道层和所述掩埋层内并切断多个所述沟道层，所述第一分隔层和所述第一沟槽将所述沟道层分隔为分立的有源区。

35 在一些实施例中，所述沟道层位于所述第二导电层、所述第三导电层、所述第二介质层上方，所述沟道层与所述第二导电层、所述第三导电层接触；所述半导体器件还包括：沿所述第二方向延伸的第一分隔层、第二分隔层，所述第一分隔层及所述第二分隔层位于所述沟道层和所述掩埋层内并切断多个所述沟道层，所述第一分隔层和所述第二分隔层将所述沟道层分隔为多个有源区；其中，所述第二分隔层覆盖所述第二介质层。

40 在一些实施例中，所述半导体器件还包括：第三介质层，所述第三介质层覆盖所述沟道层和所述掩埋层；沿所述第二方向延伸的字线层，所述字线层位于所述第三介质层上；第四介质层，所述第四介质层覆盖所述第三介质层、所述字线层。

45 在一些实施例中，所述半导体器件还包括：第二绝缘层，所述第二绝缘层覆盖所述第四介质层；多条沿所述第一方向延伸的位线层，位于所述第二绝缘层上且沿所述第二方向排布；位线接触插塞，所述位线接触插塞与所述位线层及所述沟道层连接。

本公开实施例还提供一种堆叠器件，包括：

衬底以及堆叠在所述衬底上的多个存储结构；

所述存储结构包括:

共用下极板;

位于所述共用下极板上的隔离层以及被所述隔离层限定的多个沿第一方向延伸的第一介质层,多个所述第一介质层沿第二方向排列分布;

5 多个第一导电层,分别位于多个所述第一介质层上且沿所述第一方向延伸;

第一绝缘层,覆盖所述第一导电层、所述第一介质层及所述隔离层;所述第一绝缘层内具有沿所述第二方向延伸的第一沟槽,以及设置在所述第一沟槽两侧的多个第二沟槽和多个第三沟槽;其中,所述第二沟槽暴露出所述第一导电层,所述第三沟槽暴露出所述共用下极板;

10 第二介质层、第二导电层及第三导电层,分别位于所述第一沟槽、所述第二沟槽及所述第三沟槽内。

本公开实施例公开了一种半导体器件的制造方法、半导体器件及堆叠器件,其中,所述制造方法包括:提供衬底;在所述衬底上形成共用下极板;在所述共用下极板上形成隔离层以及被所述隔离层限定的沿第一方向延伸的多个牺牲层,多个所述牺牲层沿第二方向排列分布;在多个所述牺牲层上形成多个沿所述第一方向延伸的第一导电层;在所述第一导电层、所述牺牲层及所述隔离层上形成第一绝缘层;刻蚀所述第一绝缘层,以形成沿所述第二方向延伸的第一沟槽,所述第一沟槽暴露出多个所述牺牲层;通过所述第一沟槽移除多个所述牺牲层,形成多个与所述第一沟槽连通的孔洞结构;在多个所述孔洞结构内形成第一介质层,在所述第一沟槽内形成第二介质层;刻蚀所述第一绝缘层,以形成多个暴露出所述第一介质层的第二沟槽,以及多个暴露出所述共用下极板的第三沟槽,所述第二沟槽与所述第三沟槽设置在所述第二介质层的两侧;在所述第二沟槽、所述第三沟槽内分别形成第二导电层、第三导电层。本公开实施例提供的共用下极板、第一导电层、第二导电层、第三导电层以及第一介质层和第二介质层构成用于存储电荷的电容,其中,所述第一导电层与所述第二导电层、所述第三导电层的延伸方向不同,即本公开实施例中的电容沿两个不同的方向延伸,与相关技术中仅沿一个方向延伸的电容相比,本公开实施例提供的电容具有更大的表面积,从而可以具有更大的电荷存储量;同时,与相关技术中的电容相比,本公开实施例中的电容可以具有较小的深度,使得所述半导体器件在单位体积内能够容纳更多的电容,可以提高半导体器件的存储密度。此外,本公开实施例中不需要设置用于支撑电容的支撑结构,简化了半导体器件的制造工艺。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其它特征和优点将从说明书附图以及权利要求书变得明显。

附图说明

30 为了更清楚地说明本公开实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

图1为本公开实施例提供的半导体器件的制造方法流程框图;

图2a至图18b为本公开实施例提供的半导体器件的工艺流程图;

35 图19a至图25b为本公开另一实施例提供的半导体器件的工艺流程图;

图26为本公开实施例提供的堆叠器件的示意图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式,然而应当理解,可以以各种形式实现本公开,而不应被这里阐述的具体实施方式所限制。相反,提供这些实施方式是为了能够更透彻地理解本公开,并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中,给出了大量具体的细节以便提供对本公开更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本公开可以无需一个或多个这些细节而得以实施。在其他的例子中,

为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转90度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

半导体器件，例如动态随机存储器（DRAM），通常包括衬底、位于衬底内的晶体管以及位于衬底上的电容，所述电容用于存储电荷，所述晶体管和所述电容构成存储单元。

然而，在相关技术中，所述电容通常沿一个固定的方向延伸，电容的表面积较小，导致电容的电荷存储量较低；此外，所述电容往往具有较大的深度，单位体积内能够容纳的电容较少，半导体器件的存储密度较低。

基于此，提出了本公开实施例的以下技术方案：

本公开实施例提供了一种半导体器件的制造方法，具体请参见图1。如图所示，所述方法包括以下步骤：

步骤101、提供衬底；

步骤102、在所述衬底上形成共用下极板；

步骤103、在所述共用下极板上形成隔离层以及被所述隔离层限定的沿第一方向延伸的多个牺牲层，多个所述牺牲层沿第二方向排列分布；

步骤104、在多个所述牺牲层上形成多个沿所述第一方向延伸的第一导电层；

步骤105、在所述第一导电层、所述牺牲层及所述隔离层上形成第一绝缘层；

步骤106、刻蚀所述第一绝缘层，以形成沿所述第二方向延伸的第一沟槽，所述第一沟槽暴露出多个所述牺牲层；

步骤107、通过所述第一沟槽移除多个所述牺牲层，形成多个与所述第一沟槽连通的孔洞结构；

步骤108、在多个所述孔洞结构内形成第一介质层，在所述第一沟槽内形成第二介质层；

步骤109、刻蚀所述第一绝缘层，以形成多个暴露出所述第一介质层的第二沟槽，以及多个暴露出所述共用下极板的第三沟槽，所述第二沟槽与所述第三沟槽设置在所述第二介质层的两侧；

步骤110、在所述第二沟槽、所述第三沟槽内分别形成第二导电层、第三导电层。

本公开实施例提供的共用下极板、第一导电层、第二导电层、第三导电层以及第一介质层和第

二介质层构成用于存储电荷的电容，所述第一导电层与所述第二导电层、所述第三导电层的延伸方向不同，即本公开实施例中的电容沿两个不同的方向延伸，与相关技术中仅沿一个方向延伸的电容相比，本公开实施例提供的电容具有更大的表面积，从而可以具有更大的电荷存储量；同时，本公开实施例中的电容可以具有较小的深度，使得所述半导体器件在单位体积内能够容纳更多的电容，

5 可以提高半导体器件的存储密度。此外，本公开实施例中不需要设置用于支撑电容的支撑结构，简化了半导体器件的制造工艺。

本公开实施例提供的制造方法，可以用于制造动态随机存储器（DRAM），但不限于此，任何具有电容的半导体器件都可以采用本公开实施例提供的方法来制造。

下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时，为便于说明，

10 示意图会不依一般比例做局部放大，而且所述示意图只是示例，其在此不应限制本公开的保护范围。

图 2a 至图 18b 为本公开实施例提供的半导体器件的工艺流程图，图 19a 至图 25b 为本公开另一实施例提供的半导体器件的工艺流程图；其中，图 2a、图 3a、图 4a、图 5a、图 6a、图 7a、图 8a、图 9a、图 10a、图 11a、图 12a、图 13a、图 14a、图 15a、图 16a、图 17a、图 18a 为本公开实施例提供的半导体器件的制造方法在不同工艺步骤中的俯视示意图，图 2b、图 3b、图 4b、图 5b、图 6b、

15 图 7b、图 8b、图 9b、图 10b、图 11b、图 12b、图 13b、图 14b、图 15b、图 16b、图 17b、图 18b 分别为沿着图 2a、图 3a、图 4a、图 5a、图 6a、图 7a、图 8a、图 9a、图 10a、图 11a、图 12a、图 13a、图 14a、图 15a、图 16a、图 17a、图 18a 的线 AA' 截取的剖面结构示意图；图 19a、图 20a、图 21a、图 22a、图 23a、图 24a、图 25a 为本公开另一实施例提供的半导体器件的制造方法在不同工艺步骤中的俯视示意图，图 19b、图 20b、图 21b、图 22b、图 23b、图 24b、图 25b 分别为沿着图 19a、图 20a、图 21a、图 22a、图 23a、图 24a、图 25a 的线 AA' 截取的剖面结构示意图。以下结合图 2a

20 至图 25b 对本公开实施例提供的半导体器件的制造方法再作进一步详细的说明。

首先，执行步骤 101，如图 2a 至图 2b 所示，提供衬底 20。

所述衬底可以为半导体衬底，并且可以包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底）、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中，所述衬底为硅衬底，所述硅衬底可经掺杂或未经掺杂。

25

接着，执行步骤 102，如图 3a 至图 3b 所示，在所述衬底 20 上形成共用下极板 32。

所述共用下极板 32 的材料可以包括钨（W）、铜（Cu）、钛（Ti）、钽（Ta）、氮化钛（TiN）、氮化钽（TaN）、金属硅化物、金属合金中的一种或多种，例如，氮化钛（TiN）。

再次参考图 3b，在一实施例中，在所述衬底 20 上形成共用下极板 32 之前，所述方法还包括：在所述衬底 20 上形成层间绝缘层 31，所述层间绝缘层 31 位于所述共用下极板 32 的下方，用于电隔离所述衬底 20 和所述共用下极板 32。所述层间绝缘层 31 可以使用化学气相沉积（CVD）、等离子增强 CVD（PECVD）、物理气相沉积（PVD）、原子层沉积（ALD）等工艺形成，可选的，在形成所述层间绝缘层 31 之后，还可采用平坦化工艺，如化学机械研磨（CMP）和/或刻蚀工艺，使所述

30 层间绝缘层 31 的上表面更为平坦。所述层间绝缘层 31 的材料可以为氧化物，例如，氧化硅。

35

接着，执行步骤 103，如图 4a 至图 4b 所示，在所述共用下极板 32 上形成隔离层 33 以及被所述隔离层 33 限定的沿第一方向延伸的多个牺牲层 34，多个所述牺牲层 34 沿第二方向排列分布。

在一实施例中，所述第一方向、所述第二方向与所述衬底 20 的表面平行。在一些实施例中，所述第一方向与所述第二方向垂直。但不限于此，所述第一方向也可以与所述第二方向斜交。

需要说明的是，多个所述牺牲层 34 的数量及排布方式不限于图 4a 所示，所述牺牲层 34 的数量还可以更多，多个所述牺牲层 34 还可以呈阵列排布。在一实施例中，多个所述牺牲层 34 分别沿所述第一方向和所述第二方向呈阵列排布。

40

如图 4b 所示，所述牺牲层 34 的下表面与所述共用下极板 32 接触，所述牺牲层 34 的上表面与所述隔离层 33 的上表面齐平。所述隔离层 33 和所述牺牲层 34 的形成方法例如可以是：首先，在所述共用下极板 32 上形成所述隔离层 33；然后，在所述隔离层 33 上形成多个暴露所述共用下极板 32 且沿所述第一方向延伸的开口（未标识），多个所述开口（未标识）沿所述第二方向排布；最后在所述开口（未标识）内形成所述牺牲层 34。所述隔离层 33 的材料为绝缘材料。后续将执行刻蚀工艺

45

去除所述牺牲层 34 并保留所述隔离层 33, 因此, 在预设的刻蚀条件下, 所述牺牲层 34 的刻蚀速率应远大于所述隔离层 33 的刻蚀速率, 即所述牺牲层 34 和所述隔离层 33 具有较大的刻蚀选择比, 从而能够在后续工艺中仅移除所述牺牲层 34, 保留所述隔离层 33。在一具体实施例中, 所述刻蚀选择比的范围大于 10, 例如在 20 至 100 之间, 所述牺牲层 34 的材料例如为多晶硅等, 所述隔离层 33 的材料例如为氮化硅等。

接着, 执行步骤 104, 如图 5a 至图 5b 所示, 在多个所述牺牲层 34 上形成多个沿所述第一方向延伸的第一导电层 35。

在一些实施例中, 在所述第一方向上, 所述第一导电层 35 的两端相对于所述牺牲层 34 的两端向内缩进, 如此, 可以避免所述第一导电层 35 的两端与其他导电层接触; 在所述第二方向上, 所述第一导电层 35 的两端相对于所述牺牲层 34 的两端向外凸出, 如此, 所述第一导电层 35 具有更大的表面积, 提高了后续工艺中形成的电容 C (参见图 11a 至图 11b) 的表面积, 从而可以提高半所述电容 C 的电荷存储量。所述第一导电层 35 的材料可以包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金中的一种或多种, 例如, 氮化钛 (TiN)。在一实施例中, 所述第一导电层 35 的材料与所述共用下极板 32 的材料相同。

接着, 执行步骤 105, 如图 6a 至图 6b 所示, 在所述第一导电层 35、所述牺牲层 34 及所述隔离层 33 上形成第一绝缘层 36。

所述第一绝缘层 36 的材料可以为氧化物, 例如氧化硅。在一实施例中, 所述第一绝缘层 36 的材料与所述层间绝缘层 31 的材料相同。

接着, 执行步骤 106, 如图 7a 至图 7b 所示, 刻蚀所述第一绝缘层 36, 以形成沿所述第二方向延伸的第一沟槽 T1, 所述第一沟槽 T1 暴露出多个所述牺牲层 34。

在一实施例中, 沿垂直于所述衬底 20 表面的方向从上往下刻蚀所述第一绝缘层 36 以形成所述第一沟槽 T1, 所述第一沟槽 T1 向下延伸的方向垂直于所述衬底 20 的表面。

在一实施例中, 在形成所述第一沟槽 T1 的过程中, 在刻蚀所述第一绝缘层 36 之后, 还包括刻蚀部分所述牺牲层 34 和/或部分所述隔离层 33 至暴露出所述共用下极板 32, 所述第一沟槽 T1 的侧壁暴露出多个所述牺牲层 34, 同时暴露出位于多个所述牺牲层 34 之间的所述隔离层 33。在一些实施例中, 所述第一沟槽 T1 的侧壁暴露出所述牺牲层 34 在所述第一方向上的两个端部中的一个。

接着, 执行步骤 107, 如图 8a 至图 8b 所示, 通过所述第一沟槽 T1 移除多个所述牺牲层 34, 形成多个与所述第一沟槽 T1 连通的孔洞结构 S1。

在一实施例中, 通过所述第一沟槽 T1 移除多个所述牺牲层 34, 包括: 在所述第一沟槽 T1 内通入蚀刻液, 所述蚀刻液移除多个所述牺牲层 34; 其中, 所述牺牲层 34 的刻蚀速率大于所述隔离层 33 的刻蚀速率, 如此, 在去除所述牺牲层 34 形成多个所述孔洞结构 S1 的同时保留所述隔离层 33, 多个所述孔洞结构 S1 沿第一方向延伸并沿第二方向排布, 且多个所述孔洞结构 S1 之间由所述隔离层 33 分隔开。

接着, 执行步骤 108, 如图 9a 至图 9b 所示, 在多个所述孔洞结构 S1 内形成第一介质层 41, 在所述第一沟槽 T1 内形成第二介质层 42。

这里, 所述第一介质层 41 的数量为多个, 多个所述第一介质层 41 沿所述第一方向延伸并沿所述第二方向排布; 所述第二介质层 42 沿所述第二方向延伸, 并与多个所述第一介质层 41 彼此连接。所述第一介质层 41 的材料和所述第二介质层 42 的材料可以为高介电常数材料, 例如可以为氧化钽、氧化铪、氧化锆、氧化铌、氧化钛、氧化钡、氧化锶、氧化钪、氧化镧、氧化镨或者钛酸锶钽等。在一更具体的实施例中, 所述第一介质层 41 的材料和所述第二介质层 42 的材料相同。

接着, 执行步骤 109, 如图 10a 至图 10b 所示, 刻蚀所述第一绝缘层 36, 以形成多个暴露出所述第一介质层 41 的第二沟槽 T2, 以及多个暴露出所述共用下极板 32 的第三沟槽 T3, 所述第二沟槽 T2 与所述第三沟槽 T3 设置在所述第二介质层 42 的两侧。

如图 10b 所示, 所述第二沟槽 T2 的底部暴露出所述第一介质层 41, 所述第二沟槽 T2 的侧壁暴露出所述第一导电层 35; 在形成所述第三沟槽 T3 的过程中, 在刻蚀所述第一绝缘层 36 之后, 还包括刻蚀所述隔离层 33 至暴露出所述共用下极板 32。

在一实施例中, 多个所述第二沟槽 T2 和多个所述第三沟槽 T3 均与所述衬底 20 的表面垂直,

且均沿所述第二方向排布。在一些实施例中，所述第二沟槽 T2 和所述第三沟槽 T3 对称地设置在所述第二介质层 42 的两侧。

接着，执行步骤 110，如图 11a 至 11b 所示，在所述第二沟槽 T2、所述第三沟槽 T3 内分别形成第二导电层 43、第三导电层 44。

所述第二导电层 43 的数量、所述第三导电层 44 的数量均为多个，多个所述第二导电层 43、多个所述第三导电层 44 分别在所述第二介质层 42 的两侧沿第二方向排布，且多个所述第二导电层 43 与多个所述第一导电层 35 一一对应连接，多个所述第三导电层 44 与所述共用下极板 32 相连接。

本公开实施例通过先形成所述第一介质层 41 并在所述第一沟槽 T1 内形成所述第二介质层 42，再在所述第二介质层 42 的两侧分别形成与所述第一导电层 35 连接的所述第二导电层 43、与所述共用下极板 32 连接的所述第三导电层 44，而非先在所述第一沟槽 T1 内形成所述第二导电层 43，如此，在所述第一沟槽 T1 的底部暴露出所述共用下极板 32 的情况下，避免了所述第二导电层 43 同时与所述第一导电层 35 和所述共用下极板 32 连接，避免出现短路现象。所述共用下极板 32、多个所述第一导电层 35、多个所述第二导电层 43、多个所述第三导电层 44、多个所述第一介质层 41 以及所述第二介质层 42 构成多个用于存储电荷的电容 C，多个所述电容 C 沿第二方向排布。所述第一导电层 35 与所述第二导电层 43、所述第三导电层 44 的延伸方向不同，即本公开实施例中的电容 C 沿两个不同的方向延伸，与相关技术中仅沿一个方向延伸的电容相比，本公开实施例提供的电容 C 具有更大的表面积，从而可以具有更大的电荷存储量；同时，与相关技术中的电容相比，本公开实施例中的电容 C 可以具有较小的深度，使得所述半导体器件在单位体积内能够容纳更多的电容 C，可以提高半导体器件的存储密度。此外，本公开实施例提供的电容 C 被所述第一绝缘层 36 掩埋，因此所述电容 C 的结构更加稳固，不需要额外设置用于支撑所述电容 C 的支撑结构，且多个所述电容 C 具有相同的所述共用下极板 32，简化了所述半导体器件的制造工艺。

需要说明的是，所述电容 C 的数量及排布方式不限于图 11a 所示，所述电容 C 的数量可以更多，多个所述电容 C 可以呈阵列排布。在一实施例中，多个所述电容 C 分别沿所述第一方向和所述第二方向呈阵列排布。在一些实施例中，在所述第一方向上，所述第一导电层 35 的两端相对于所述第一介质层 41 的两端向内缩进，如此，避免了在所述第一方向上相邻的两个所述电容 C 中的一者的所述第一导电层 35 与另一者的所述第三导电层 44 彼此连接，由此能够减少漏电。

所述第二导电层 43 和所述第三导电层 44 的材料可以包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金中的一种或多种。在一实施例中，所述第二导电层 43、所述第三导电层 44 的材料与所述共用下极板 32 的材料相同，例如，氮化钛 (TiN)。

在一实施例中，在形成所述第一绝缘层 36 之后，所述方法还包括：在所述第一绝缘层 36 上形成多个沿所述第一方向延伸的沟道层 37 以及位于多个所述沟道层 37 之间的掩埋层 38，多个所述沟道层 37 沿所述第二方向排布，如图 12a 至图 12b 所示。

在一实施例中，所述沟道层 37 的材料包括硅、锗、硅锗、氧化铟、氧化锡、铟锌氧化物、锡锌氧化物、铝锌氧化物、铟镓氧化物、铟镓锌氧化物、铟铝锌氧化物、铟锡锌氧化物、锡镓锌氧化物、铝镓锌氧化物、锡铝锌氧化物中的一种或多种。所述沟道层 37 可经掺杂或未经掺杂。当使用铟镓锌氧化物 (IGZO) 材料作为所述沟道层 37 时，能够提高电子迁移率，从而提高写入速度。

再次参见图 12a 至图 12b，在一具体实施例中，在形成所述第二导电层 43 和所述第三导电层 44 之后形成所述沟道层 37 及所述掩埋层 38，所述沟道层 37 及所述掩埋层 38 覆盖所述第一绝缘层 36、所述第二导电层 43、所述第三导电层 44 以及所述第二介质层 42，所述沟道层 37 与所述第二导电层 43 及所述第三导电层 44 接触；所述方法还包括：在所述沟道层 37 和所述掩埋层 38 内形成沿所述第二方向延伸并切断多个所述沟道层 37 的第一分隔层 39、第二分隔层 53，所述第一分隔层 39 和所述第二分隔层 53 将所述沟道层 37 分隔为分立的有源区 AA；其中，所述第二分隔层 53 覆盖所述第二介质层 42，且与所述第二介质层 42 接触。所述有源区 AA 的数量为多个，多个所述有源区 AA 沿第二方向排布。在一更具体的实施例中，所述第二分隔层 53 和所述第二介质层 42 在垂直于所述衬底 20 的方向上的投影重叠。

在一实施例中，所述有源区 AA 包括位于所述有源区 AA 的一端且与所述第一分隔层 39 相邻的第一源/漏掺杂区 (未标识)、位于所述有源区 AA 的另一端且与所述第二导电层 43 接触的第二源/

漏掺杂区（未标识），所述第一源/漏掺杂区（未标识）和所述第二源/漏掺杂区（未标识）可以通过离子注入的方式形成于所述有源区 AA 内。在一具体实施例中，所述第一源/漏掺杂区（未标识）和所述第二源/漏掺杂区（未标识）的导电类型相同，如 n 型。在一更具体的实施例中，所述有源区 AA 的中间区域具有 p 型掺杂。

5 在一实施例中，所述方法还包括：

在所述沟道层 37 及所述掩埋层 38 上形成第三介质层 45，在所述第三介质层 45 上形成字线材料层 46，如图 13a 至图 13b 所示；

刻蚀所述字线材料层 46 形成沿所述第二方向延伸的字线层 47，如图 14a 至图 14b 所示；

10 在所述衬底 20 上形成第四介质层 48，所述第四介质层 48 覆盖所述第三介质层 45、所述字线层 47，如图 15a 至图 15b 所示。

所述字线材料层 46 可以包括钨（W）、铜（Cu）、钛（Ti）、钽（Ta）、氮化钛（TiN）、氮化钽（TaN）、金属硅化物、金属合金中的一种或多种。再次参考图 13a 至图 13b，在一实施例中，所述字线材料层 46 包括第一子层 461 以及位于所述第一子层 461 上的第二子层 462，所述第一子层 461 和所述第二子层 462 的材料不同；刻蚀所述字线材料层 46 以形成所述字线层 47 包括：刻蚀所述第二子层 462 形成第二子层子层 472；刻蚀所述第一子层 461 形成第一子层子层 471，如图 14a 至图 14b 所示。在一些实施例中，使用金属材料作为所述字线层 47，能够减少电阻。

20 在一实施例中，所述字线层 47 形成于所述第一分隔层 39 和所述第二导电层 43 之间，所述第一导电层 35 和所述第一介质层 41 位于所述字线层 47 的下方，如此所述字线层 47 下方的空间得以利用，提高了所述半导体器件的空间利用率，进一步提高了所述半导体器件的存储密度。在一些实施例中，所述字线层 47 设置于所述有源区 AA 的中间区域的上方，将所述第一源/漏掺杂区（未标识）和所述第二源/漏掺杂区（未标识）分隔开。

在一实施例中，所述第三介质层 45 同时覆盖所述第一分隔层 39 和所述第二分隔层 53。所述第三介质层 45 的材料可以包括氧化物，例如氧化硅。所述第四介质层 48 的材料包括但不限于氮化物，例如氮化硅，用于保护所述第三介质层 45 及所述字线层 47。

25 在一实施例中，所述方法还包括：

在所述第四介质层 48 上形成第二绝缘层 49；刻蚀所述第二绝缘层 49、所述第四介质层 48、所述第三介质层 45 至暴露所述沟道层 37，形成多个沿所述第二方向排布的位线接触孔 S2，如图 16a 至图 16b 所示；

在所述位线接触孔 S2 内形成位线接触插塞 51，如图 17a 至图 17b 所示；

30 在所述位线接触插塞 51 及所述第二绝缘层 49 上形成多条沿所述第一方向延伸的位线层 52，多条所述位线层 52 沿所述第二方向排布，如图 18a 至图 18b 所示。

35 这里，所述位线接触孔 S2 位于所述第一分隔层 39 和所述字线层 47 之间，暴露所述有源区 AA，所述位线层 52 通过所述位线接触插塞 51 与所述有源区 AA 接触。在一实施例中，在第一方向上，所述有源区 AA 的数量为多个，每一所述位线层 52 与多个所述有源区 AA 连接。在一具体实施例中，所述位线层 52 与所述第一源/漏掺杂区（未标识）连接。所述位线层 52、所述位线接触插塞 51 的材料可以包括钨（W）、铜（Cu）、钛（Ti）、钽（Ta）、氮化钛（TiN）、氮化钽（TaN）、金属硅化物、金属合金中的一种或多种。

40 图 12a 至图 18b 示出的沟道层 37 和掩埋层 38 是在形成所述第二导电层 43 和所述第三导电层 44 之后形成的。在本公开的另一实施例中，在形成所述第一沟槽 T1 之前形成所述沟道层 37 及所述掩埋层 38，所述第一沟槽 T1、所述第二沟槽 T2、所述第三沟槽 T3 均贯穿所述沟道层 37，如图 19a 至图 25b 所示。

具体地，如图 19a 至图 19b 所示，在形成所述第一沟槽 T1 之前，在所述第一绝缘层 36 上形成多个沿所述第一方向延伸、沿所述第二方向排布的沟道层 37 以及位于多个所述沟道层 37 之间的掩埋层 38。

45 接着，如图 20a 至图 20b 所示，刻蚀所述沟道层 37、所述掩埋层 38 及所述第一绝缘层 36，以形成沿所述第二方向延伸的第一沟槽 T1，所述第一沟槽 T1 暴露出多个所述牺牲层 34。

再次参考图 19a 至图 20b，在一实施例中，所述方法还包括：在所述沟道层 37 和所述掩埋层 38

内形成沿所述第二方向延伸并切断所述沟道层 37 的第一分隔层 39, 所述第一分隔层 39 和所述第一沟槽 T1 将所述沟道层 37 分隔为分立的有源区 AA。

接着, 如图 21a 至图 21b 所示, 通过所述第一沟槽 T1 移除多个所述牺牲层 34, 形成多个与所述第一沟槽 T1 连通的孔洞结构 S1。

5 接着, 如图 22a 至图 22b 所示, 在多个所述孔洞结构 S1 内形成第一介质层 41, 在所述第一沟槽 T1 内形成第二介质层 42。

接着, 如图 23a 至图 23b 所示, 刻蚀所述沟道层 37、所述第一绝缘层 36, 以形成多个暴露出所述第一介质层 41 的第二沟槽 T2, 以及多个暴露出所述共用下极板 32 的第三沟槽 T3, 所述第二沟槽 T2 与所述第三沟槽 T3 设置在所述第二介质层 42 的两侧。

10 接着, 如图 24a 至图 24b 所示, 在所述第二沟槽 T2、所述第三沟槽 T3 内分别形成第二导电层 43、第三导电层 44。

最后, 如图 25a 至图 25b 所示, 以与前述实施例相同的方式形成所述第三介质层 45、所述字线层 47、所述第四介质层 48、所述第二绝缘层 49、所述位线接触孔 S2、所述位线接触插塞 51 以及所述位线层 52, 所述第三介质层 45 覆盖所述沟道层 37、所述掩埋层 38、所述第一分隔层 39、所述第二导电层 43、所述第三导电层 44 以及所述第二介质层 42。上述各层在前述实施例均已介绍, 此处不再赘述。

应当说明的是, 本领域技术人员能够对上述步骤顺序进行变换而并不离开本公开的保护范围。

本公开实施例还提供了一种半导体器件, 如图 18a 至图 18b 所示, 包括: 衬底 20 以及位于所述衬底 20 上的共用下极板 32; 位于所述共用下极板 32 上的隔离层 33 以及被所述隔离层 33 限定的多个沿第一方向延伸的第一介质层 41, 多个所述第一介质层 41 沿第二方向排列分布; 多个第一导电层 35, 分别位于多个所述第一介质层 41 上且沿所述第一方向延伸; 第一绝缘层 36, 覆盖所述第一导电层 35、所述第一介质层 41 及所述隔离层 33; 所述第一绝缘层 36 内具有沿所述第二方向延伸的第一沟槽 T1, 以及设置在所述第一沟槽 T1 两侧的多个第二沟槽 T2 和多个第三沟槽 T3; 其中, 所述第二沟槽 T2 暴露出所述第一介质层 41, 所述第三沟槽 T3 暴露出所述共用下极板 32; 第二介质层 42、第二导电层 43 及第三导电层 44, 分别位于所述第一沟槽 T1、所述第二沟槽 T2 及所述第三沟槽 T3 内。

所述衬底可以为半导体衬底, 并且可以包括至少一个单质半导体材料 (例如为硅 (Si) 衬底、锗 (Ge) 衬底)、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中, 所述衬底为硅衬底, 所述硅衬底可经掺杂或未经掺杂。

在一实施例中, 所述第一方向、所述第二方向与所述衬底 20 的表面平行。在一些实施例中, 所述第一方向与所述第二方向垂直。但不限于此, 所述第一方向也可以与所述第二方向斜交。

如图 18b 所示, 所述第一介质层 41 的下表面与所述共用下极板 32 接触, 所述第一介质层 41 的上表面与所述隔离层 33 的上表面齐平。所述隔离层 33 的材料为绝缘材料, 例如为氧化硅。

35 在一实施例中, 所述第一沟槽 T1 的底部暴露出所述共用下极板 32, 所述第一沟槽 T1 的侧壁暴露出多个所述第一介质层 41, 位于所述第一沟槽 T1 内的所述第二介质层 42 沿所述第二方向延伸并与多个所述第一介质层 41 相连接。在一具体的实施例中, 所述第一沟槽 T1 的侧壁暴露出所述第一介质层 41 在所述第一方向上的两个端部中的一个。所述第一介质层 41 的材料和所述第二介质层 42 的材料可以为高介电常数材料, 例如可以为氧化钽、氧化铪、氧化锆、氧化铌、氧化钛、氧化钡、氧化锶、氧化钇、氧化镧、氧化镨或者钛酸锶钡等。在一实施例中, 所述第一介质层 41 的材料和所述第二介质层 42 的材料相同。

在一实施例中, 所述第一沟槽 T1、多个所述第二沟槽 T2、多个所述第三沟槽 T3 均与所述衬底 20 的表面垂直, 所述第二介质层 42、所述第二导电层 43、所述第三导电层 44 亦均与所述衬底 20 的表面垂直。

45 多个所述第二沟槽 T2、多个所述第三沟槽 T3 分别在所述第一沟槽 T1 的两侧沿所述第二方向排布; 所述第二导电层 43 的数量、所述第三导电层 44 的数量均为多个, 多个所述第二导电层 43、多个所述第三导电层 44 分别在所述第二介质层 42 的两侧沿第二方向排布, 且多个所述第二导电层 43

与多个所述第一导电层 35 一一对应连接,多个所述第三导电层 44 与所述共用下极板 32 相连接。在一实施例中,所述第二沟槽 T2 和所述第三沟槽 T3 对称地设置在所述第一沟槽 T1 的两侧,所述第二导电层 43、所述第三导电层 44 对称地设置在所述第二介质层 42 的两侧。所述共用下极板 32、所述第一导电层 35、所述第二导电层 43 以及所述第三导电层 44 的材料可以包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金中的一种或多种。在一实施例中,所述第一导电层 35、所述第二导电层 43 以及所述第三导电层 44 的材料与所述共用下极板 32 的材料相同,例如,氮化钛 (TiN)。

所述共用下极板 32、多个所述第一导电层 35、多个所述第二导电层 43、多个所述第三导电层 44、多个所述第一介质层 41 以及所述第二介质层 42 组成多个用于存储电荷的电容 C,多个所述电容 C 沿第二方向排布。所述第一导电层 35 与所述第二导电层 43、所述第三导电层 44 的延伸方向不同,即本公开实施例中的电容 C 沿两个不同的方向延伸,与相关技术中仅沿一个方向延伸的电容相比,本公开实施例提供的电容 C 具有更大的表面积,从而可以具有更大的电荷存储量;同时,与相关技术中的电容相比,本公开实施例中的电容 C 可以具有较小的深度,使得所述半导体器件在单位体积内能够容纳更多的电容 C,可以提高半导体器件的存储密度。此外,本公开实施例中不需要设置用于支撑所述电容 C 的支撑结构,且多个所述电容 C 具有相同的所述共用下极板 32,简化了所述半导体器件的制造工艺。

多个所述电容 C 还可以呈阵列排布。在一实施例中,多个所述电容 C 分别沿所述第一方向和所述第二方向呈阵列排布。在一些实施例中,在所述第一方向上,所述第一导电层 35 的两端相对于所述第一介质层 41 的两端向内缩进,如此,避免了在所述第一方向上相邻的两个所述电容 C 中的一者的所述第一导电层 35 与另一者的所述第三导电层 44 彼此连接;在所述第二方向上,所述第一导电层 35 的两端相对于所述第一介质层 41 的两端向外凸出,如此,所述第一导电层 35 具有更大的表面积,提高了所述电容 C 的电荷存储量。

在一实施例中,所述半导体器件还包括层间绝缘层 31,所述层间绝缘层 31 位于所述共用下极板 32 的下方,用于电隔离所述衬底 20 和所述共用下极板 32。所述层间绝缘层 31 的材料可以为氧化物,例如,氧化硅。

在一实施例中,所述半导体器件还包括:位于所述第一绝缘层 36 上的多个沿所述第一方向延伸的沟道层 37 以及位于多个所述沟道层 37 之间的掩埋层 38,多个所述沟道层 37 沿所述第二方向排布。

如图所示,在一具体的实施例中,所述沟道层 37 位于所述第二导电层 43、所述第三导电层 44、所述第二介质层 42 上方,所述沟道层 37 与所述第二导电层 43、所述第三导电层 44 接触;所述半导体器件还包括:沿所述第二方向延伸的第一分隔层 39、第二分隔层 53,所述第一分隔层 39 及所述第二分隔层 53 位于所述沟道层 37 和所述掩埋层 38 内并切断多个所述沟道层 37,所述第一分隔层 39 和所述第二分隔层 53 将所述沟道层 37 分隔为多个有源区 AA;其中,所述第二分隔层 53 覆盖所述第二介质层 42。所述有源区 AA 的数量为多个,多个所述有源区 AA 沿所述第二方向排布。在一更具体的实施例中,所述第二分隔层 53 和所述第二介质层 42 在垂直于所述衬底 20 的方向上的投影重叠。

在一实施例中,所述有源区 AA 包括位于所述有源区 AA 的一端且与所述第一分隔层 39 相邻的第一源/漏掺杂区(未标识)、位于所述有源区 AA 的另一端且与所述第二导电层 43 接触的第二源/漏掺杂区(未标识),所述第一源/漏掺杂区(未标识)和所述第二源/漏掺杂区(未标识)可以通过离子注入的方式形成于所述有源区 AA 内。在一具体实施例中,所述第一源/漏掺杂区(未标识)和所述第二源/漏掺杂区(未标识)的导电类型相同,如 n 型。在一更具体的实施例中,所述有源区 AA 的中间区域具有 p 型掺杂。

在一实施例中,所述半导体器件还包括:第三介质层 45,所述第三介质层 45 覆盖所述沟道层 37 和所述掩埋层 38;沿所述第二方向延伸的字线层 47,所述字线层 47 位于所述第三介质层 45 上;第四介质层 48,所述第四介质层 48 覆盖所述第三介质层 45、所述字线层 47。

在一实施例中,所述第三介质层 45 同时覆盖所述第一分隔层 39 和所述第二分隔层 53。所述第三介质层 45 的材料可以包括氧化物,例如氧化硅。

在一实施例中，所述字线层 47 位于所述第一分隔层 39 和所述第二导电层 43 之间，所述第一导电层 35 和所述第一介质层 41 位于所述字线层 47 的下方，如此所述字线层 47 下方的空间得以利用，提高了所述半导体器件的空间利用率，进一步提高了所述半导体器件的存储密度。在一具体实施例中，所述字线层 47 设置于所述有源区 AA 的中间区域的上方，将所述第一源/漏掺杂区（未标识）和所述第二源/漏掺杂区（未标识）分隔开。所述字线层 47 的材料可以包括钨（W）、铜（Cu）、钛（Ti）、钽（Ta）、氮化钛（TiN）、氮化钽（TaN）、金属硅化物、金属合金中的一种或多种。在一实施例中，所述字线层 47 包括第一字线子层 471 以及位于所述第一字线子层 471 上的第二字线子层 472，所述第一字线子层 471 和所述第二字线子层 472 的材料不同。所述第四介质层 48 的材料包括但不限于氮化物，例如氮化硅，用于保护所述第三介质层 45 及所述字线层 47。

在一实施例中，所述半导体器件还包括：第二绝缘层 49，所述第二绝缘层 49 覆盖所述第四介质层 48；多条沿所述第一方向延伸的位线层 52，位于所述第二绝缘层 49 上且沿所述第二方向排布；位线接触插塞 51，所述位线接触插塞 51 与所述位线层 52 及所述沟道层 37 连接。

这里，所述位线接触插塞 51 位于所述第一分隔层 39 和所述字线层 47 之间，所述位线层 52 通过所述位线接触插塞 51 与所述有源区 AA 接触。在一实施例中，在第一方向上，所述有源区 AA 的数量为多个，每一所述位线层 52 与多个所述有源区 AA 连接。在一具体实施例中，所述位线层 52 与所述第一源/漏掺杂区（未标识）连接。所述位线层 52、所述位线接触插塞 51 的材料可以包括钨（W）、铜（Cu）、钛（Ti）、钽（Ta）、氮化钛（TiN）、氮化钽（TaN）、金属硅化物、金属合金中的一种或多种。

图 18a 至图 18b 示出的沟道层 37 和掩埋层 38 是在形成所述第二导电层 43 和所述第三导电层 44 之后形成的。在本公开的另一实施例中，也可以在形成所述第一沟槽 T1 之前形成所述沟道层 37 及所述掩埋层 38，如图 25a 至图 25b 所示。在该实施例中，在形成所述第一沟槽 T1 之前，在所述第一绝缘层 36 上形成所述沟道层 37 及所述掩埋层 38，接着形成所述第一沟槽 T1、所述第一介质层 41、所述第二介质层 42、所述第二沟槽 T2、所述第三沟槽 T3、所述第二导电层 43 及所述第三导电层 44，所述第一沟槽 T1、所述第二沟槽 T2、所述第三沟槽 T3 均贯穿所述沟道层 37；所述半导体器件还包括：沿所述第二方向延伸的第一分隔层 39，所述第一分隔层 39 位于所述沟道层 37 和所述掩埋层 38 内并切断多个所述沟道层 37，所述第一分隔层 39 和所述第一沟槽 T1 将所述沟道层 37 分隔为分立的有源区 AA；最后，以与前述实施例相同的方式形成所述第三介质层 45、所述字线层 47、所述第四介质层 48、所述第二绝缘层 49、所述位线接触插塞 51 以及所述位线层 52，所述第三介质层 45 覆盖所述沟道层 37、所述掩埋层 38、所述第一分隔层 39、所述第二导电层 43、所述第三导电层 44 以及所述第二介质层 42。上述各层在前述实施例均已介绍，此处不再赘述。

本公开实施例还提供了一种堆叠器件，如图 26 所示，包括：衬底 20 以及堆叠在所述衬底 20 上的多个存储结构 30；所述存储结构 30 包括：共用下极板 32；位于所述共用下极板 32 上的隔离层 33 以及被所述隔离层 33 限定的多个沿第一方向延伸的第一介质层 41，多个所述第一介质层 41 沿第二方向排列分布；多个第一导电层 35，分别位于多个所述第一介质层 41 上且沿所述第一方向延伸；第一绝缘层 36，覆盖所述第一导电层 35、所述第一介质层 41 及所述隔离层 33；所述第一绝缘层 36 内具有沿所述第二方向延伸的第一沟槽 T1，以及设置在所述第一沟槽 T1 两侧的多个第二沟槽 T2 和多个第三沟槽 T3；其中，所述第二沟槽 T2 暴露出所述第一介质层 41，所述第三沟槽 T3 暴露出所述共用下极板 32；第二介质层 42、第二导电层 43 及第三导电层 44，分别位于所述第一沟槽 T1、所述第二沟槽 T2 及所述第三沟槽 T3 内。本公开实施例通过在衬底 20 上叠置多个存储结构 30，多个所述存储结构 30 之间通过层间绝缘层 31（例如，氧化硅层）隔开，堆叠设置的存储结构 30 提高了存储器件的集成度和存储密度。

应当说明的是，以上所述，仅为本公开的可选实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

权利要求书

- 1、一种半导体器件的制造方法，包括：
提供衬底；
在所述衬底上形成共用下极板；
5 在所述共用下极板上形成隔离层以及被所述隔离层限定的沿第一方向延伸的多个牺牲层，多个所述牺牲层沿第二方向排列分布；
在多个所述牺牲层上形成多个沿所述第一方向延伸的第一导电层；
在所述第一导电层、所述牺牲层及所述隔离层上形成第一绝缘层；
刻蚀所述第一绝缘层，以形成沿所述第二方向延伸的第一沟槽，所述第一沟槽暴露出多个所述牺牲层；
10 通过所述第一沟槽移除多个所述牺牲层，形成多个与所述第一沟槽连通的孔洞结构；
在多个所述孔洞结构内形成第一介质层，在所述第一沟槽内形成第二介质层；
刻蚀所述第一绝缘层，以形成多个暴露出所述第一介质层的第二沟槽，以及多个暴露出所述共用下极板的第三沟槽，所述第二沟槽与所述第三沟槽设置在所述第二介质层的两侧；
15 在所述第二沟槽、所述第三沟槽内分别形成第二导电层、第三导电层。
- 2、根据权利要求1所述的制造方法，其中，通过所述第一沟槽移除多个所述牺牲层，包括：在所述第一沟槽内通入蚀刻液，所述蚀刻液移除多个所述牺牲层；其中，所述牺牲层的刻蚀速率大于所述隔离层的刻蚀速率。
- 3、根据权利要求1所述的制造方法，在形成所述第一绝缘层之后，所述方法还包括：
20 在所述第一绝缘层上形成多个沿所述第一方向延伸的沟道层以及位于多个所述沟道层之间的掩埋层，多个所述沟道层沿所述第二方向排布。
- 4、根据权利要求3所述的制造方法，其中，在形成所述第一沟槽之前形成所述沟道层及所述掩埋层，所述第一沟槽、所述第二沟槽、所述第三沟槽均贯穿所述沟道层；所述方法还包括：
在所述沟道层和所述掩埋层内形成沿所述第二方向延伸并切断所述沟道层的第一分隔层，所述
25 第一分隔层和所述第一沟槽将所述沟道层分隔为分立的有源区。
- 5、根据权利要求3所述的制造方法，其中，在形成所述第二导电层和所述第三导电层之后形成所述沟道层及所述掩埋层，所述沟道层及所述掩埋层覆盖所述第一绝缘层、所述第二导电层、所述第三导电层以及所述第二介质层，所述沟道层与所述第二导电层及所述第三导电层接触；所述方法还包括：
30 在所述沟道层和所述掩埋层内形成沿所述第二方向延伸并切断多个所述沟道层的第一分隔层、第二分隔层，所述第一分隔层和所述第二分隔层将所述沟道层分隔为分立的有源区；其中，所述第二分隔层覆盖所述第二介质层。
- 6、根据权利要求3所述的制造方法，所述方法还包括：
在所述沟道层及所述掩埋层上形成第三介质层，在所述第三介质层上形成字线材料层；
35 刻蚀所述字线材料层形成沿所述第二方向延伸的字线层；
在所述衬底上形成第四介质层，所述第四介质层覆盖所述第三介质层、所述字线层。
- 7、根据权利要求6所述的制造方法，所述方法还包括：
在所述第四介质层上形成第二绝缘层；
刻蚀所述第二绝缘层、所述第四介质层、所述第三介质层至暴露所述沟道层，形成多个沿所
40 述第二方向排布的位线接触孔；
在所述位线接触孔内形成位线接触插塞；
在所述位线接触插塞及所述第二绝缘层上形成多条沿所述第一方向延伸的位线层，多条所述位线层沿所述第二方向排布。
- 8、一种半导体器件，所述半导体器件包括：
45 衬底以及位于所述衬底上的共用下极板；

位于所述共用下极板上的隔离层以及被所述隔离层限定的多个沿第一方向延伸的第一介质层，多个所述第一介质层沿第二方向排列分布；

多个第一导电层，分别位于多个所述第一介质层上且沿所述第一方向延伸；

5 第一绝缘层，覆盖所述第一导电层、所述第一介质层及所述隔离层；所述第一绝缘层内具有沿所述第二方向延伸的第一沟槽，以及设置在所述第一沟槽两侧的多个第二沟槽和多个第三沟槽；其中，所述第二沟槽暴露出所述第一介质层，所述第三沟槽暴露出所述共用下极板；

第二介质层、第二导电层及第三导电层，分别位于所述第一沟槽、所述第二沟槽及所述第三沟槽内。

9、根据权利要求 8 所述的半导体器件，其中，在所述第一方向上，所述第一导电层的两端相对于所述第一介质层的两端向内缩进；在所述第二方向上，所述第一导电层的两端相对于所述第一介质层的两端向外凸出。

10、根据权利要求 8 所述的半导体器件，所述半导体器件还包括：位于所述第一绝缘层上的多个沿所述第一方向延伸的沟道层以及位于多个所述沟道层之间的掩埋层，多个所述沟道层沿所述第二方向排布。

11、根据权利要求 10 所述的半导体器件，其中，所述第一沟槽、所述第二沟槽、所述第三沟槽均贯穿所述沟道层；所述半导体器件还包括：沿所述第二方向延伸的第一分隔层，所述第一分隔层位于所述沟道层和所述掩埋层内并切断多个所述沟道层，所述第一分隔层和所述第一沟槽将所述沟道层分隔为分立的有源区。

12、根据权利要求 10 所述的半导体器件，其中，所述沟道层位于所述第二导电层、所述第三导电层、所述第二介质层上方，所述沟道层与所述第二导电层、所述第三导电层接触；所述半导体器件还包括：沿所述第二方向延伸的第一分隔层、第二分隔层，所述第一分隔层及所述第二分隔层位于所述沟道层和所述掩埋层内并切断多个所述沟道层，所述第一分隔层和所述第二分隔层将所述沟道层分隔为多个有源区；其中，所述第二分隔层覆盖所述第二介质层。

13、根据权利要求 10 所述的半导体器件，所述半导体器件还包括：第三介质层，所述第三介质层覆盖所述沟道层和所述掩埋层；沿所述第二方向延伸的字线层，所述字线层位于所述第三介质层上；第四介质层，所述第四介质层覆盖所述第三介质层、所述字线层。

14、根据权利要求 13 所述的半导体器件，所述半导体器件还包括：第二绝缘层，所述第二绝缘层覆盖所述第四介质层；多条沿所述第一方向延伸的位线层，位于所述第二绝缘层上且沿所述第二方向排布；位线接触插塞，所述位线接触插塞与所述位线层及所述沟道层连接。

15、一种堆叠器件，所述堆叠器件包括：

衬底以及堆叠在所述衬底上的多个存储结构；

所述存储结构包括：

共用下极板；

位于所述共用下极板上的隔离层以及被所述隔离层限定的多个沿第一方向延伸的第一介质层，多个所述第一介质层沿第二方向排列分布；

多个第一导电层，分别位于多个所述第一介质层上且沿所述第一方向延伸；

第一绝缘层，覆盖所述第一导电层、所述第一介质层及所述隔离层；所述第一绝缘层内具有沿所述第二方向延伸的第一沟槽，以及设置在所述第一沟槽两侧的多个第二沟槽和多个第三沟槽；其中，所述第二沟槽暴露出所述第一导电层，所述第三沟槽暴露出所述共用下极板；

第二介质层、第二导电层及第三导电层，分别位于所述第一沟槽、所述第二沟槽及所述第三沟槽内。



图 1

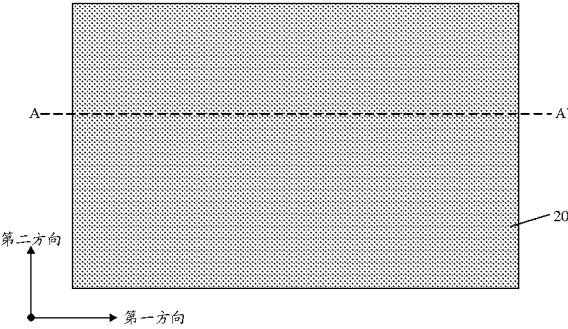


图 2a



图 2b

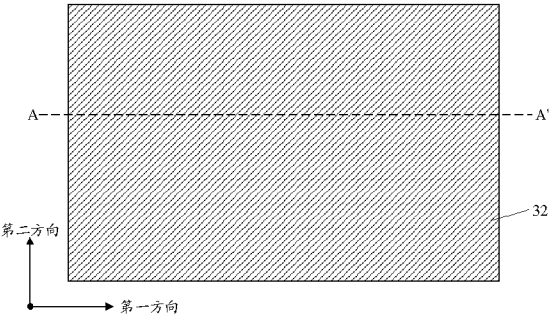


图 3a

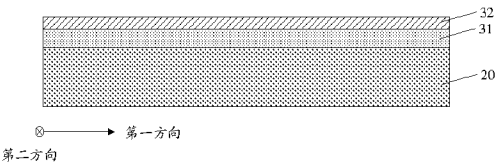


图 3b

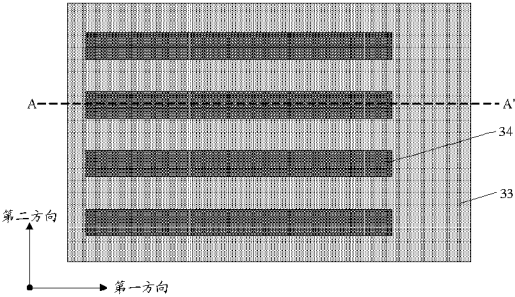


图 4a

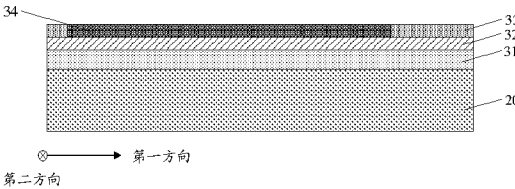


图 4b

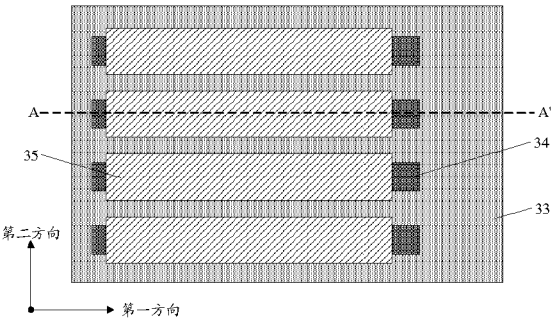


图 5a

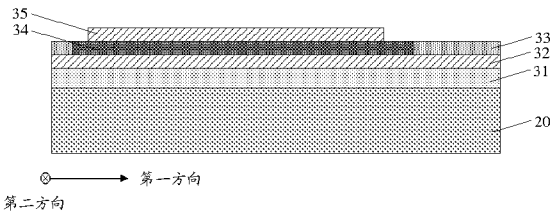


图 5b

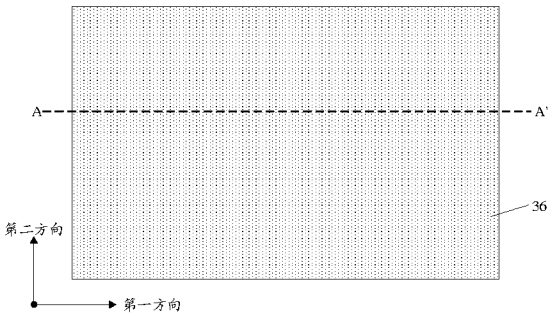


图 6a

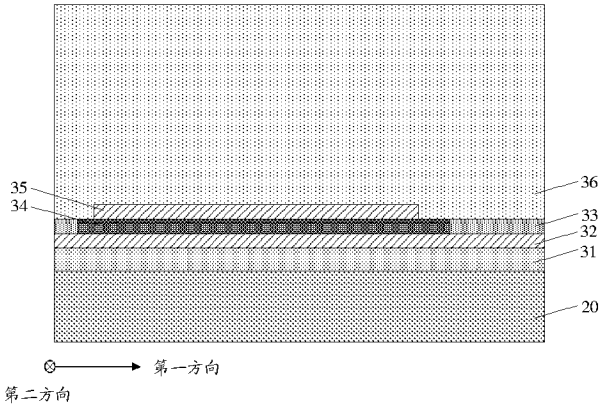


图 6b

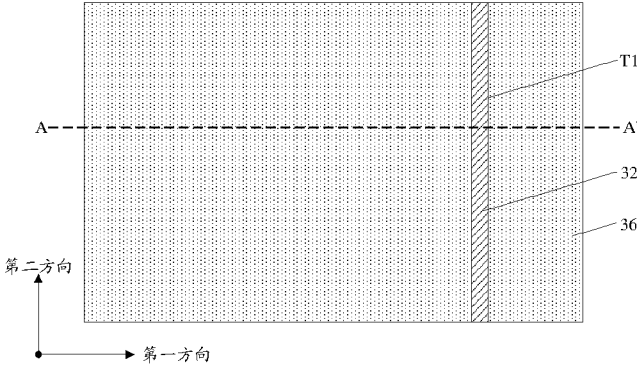


图 7a

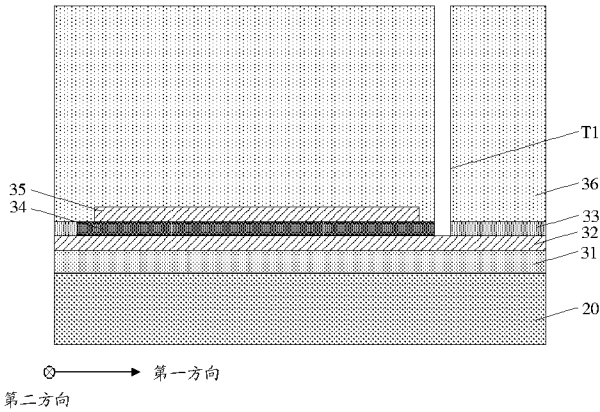


图 7b

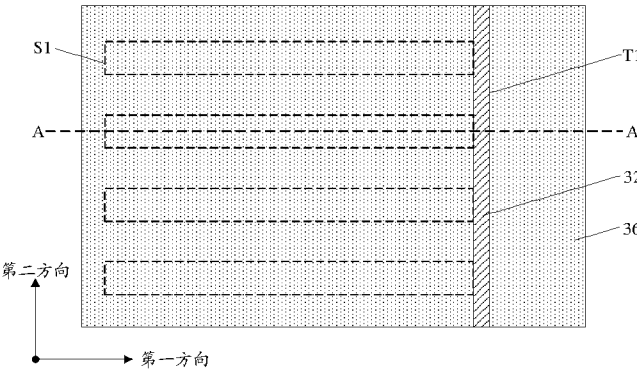


图 8a

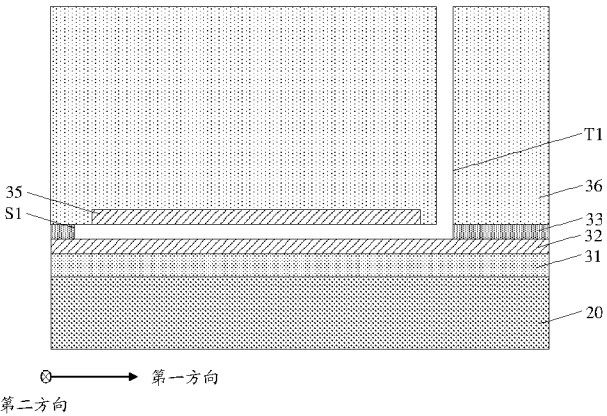


图 8b

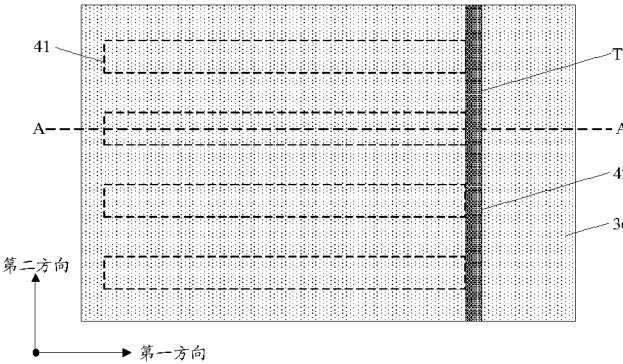


图 9a

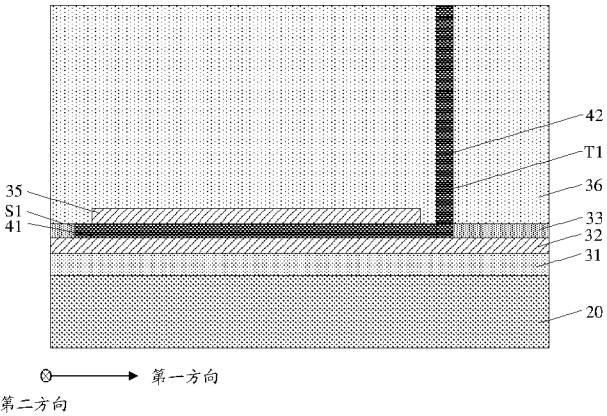


图 9b

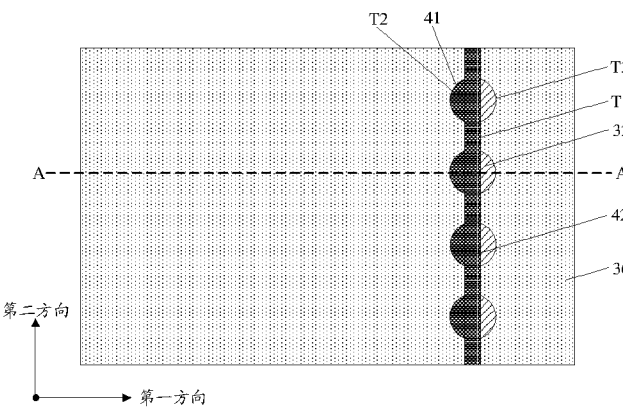


图 10a

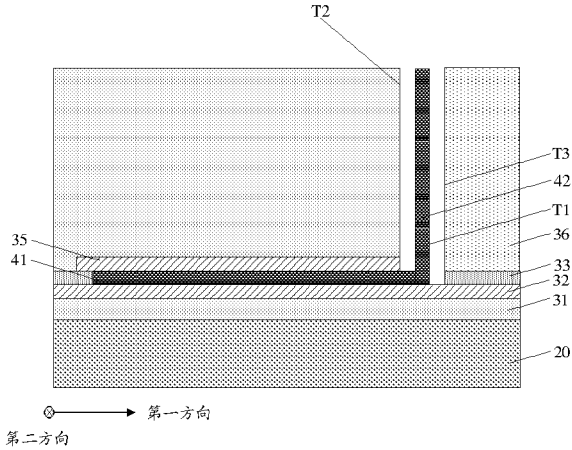


图 10b

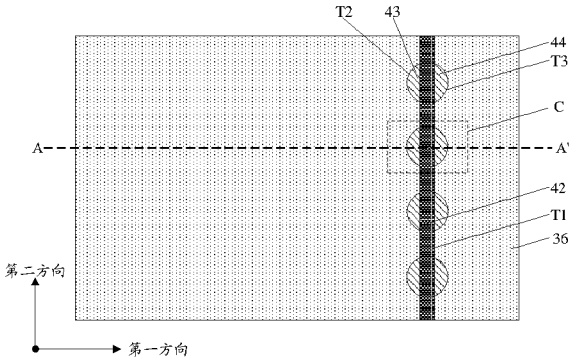


图 11a

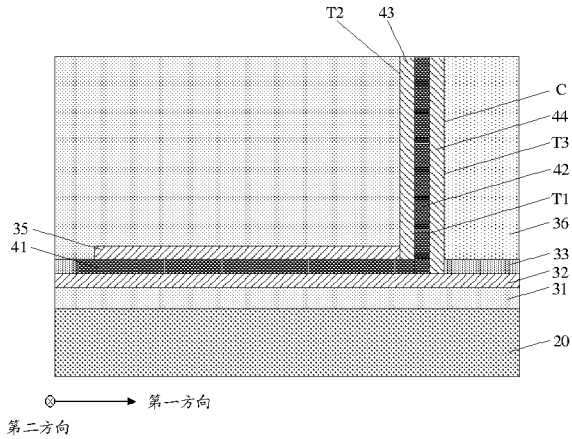


图 11b

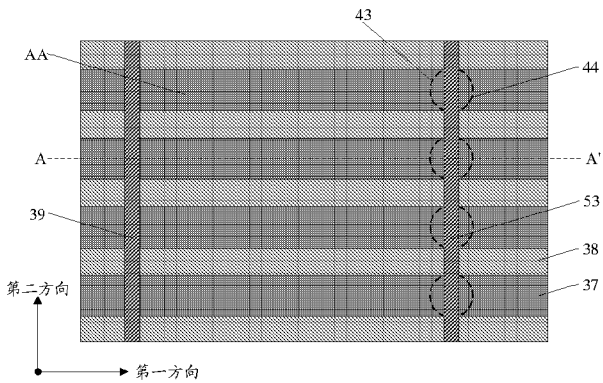


图 12a

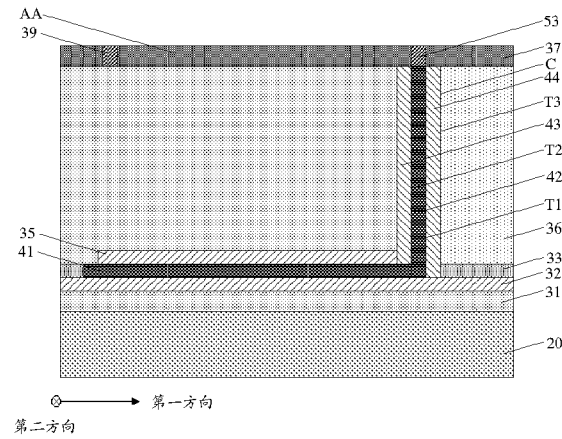


图 12b

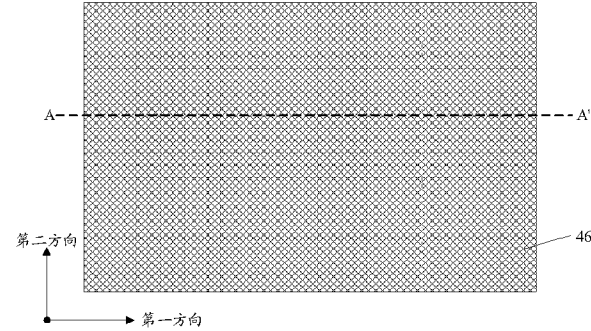


图 13a

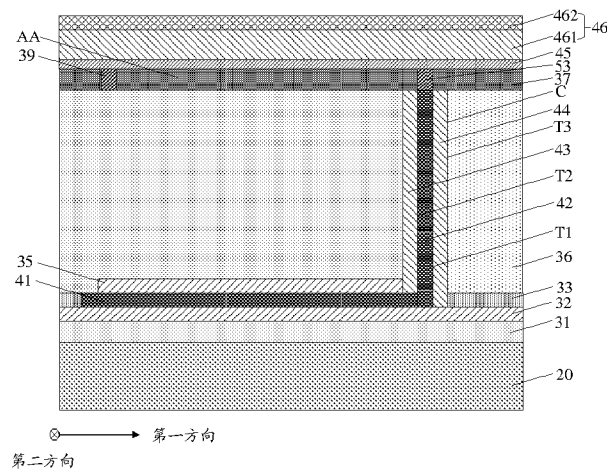


图 13b

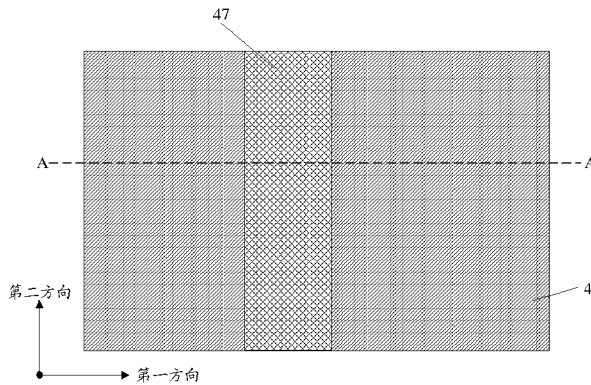


图 14a

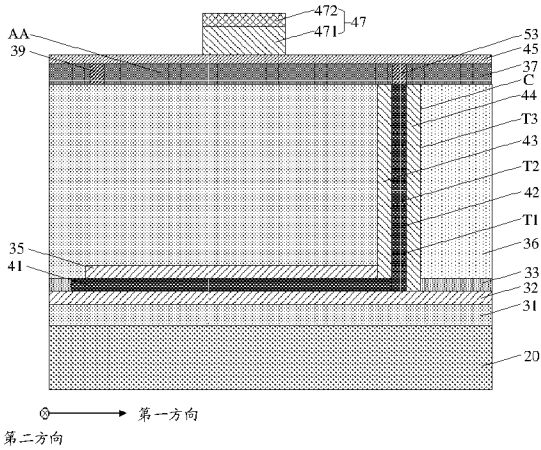


图 14b

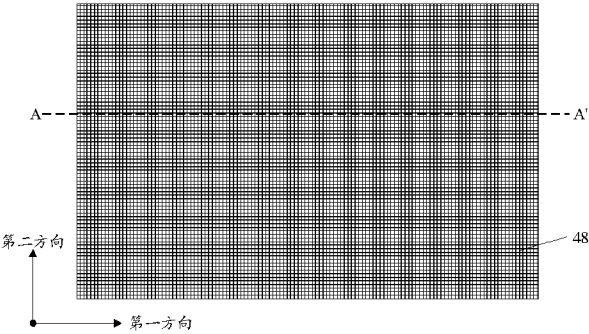


图 15a

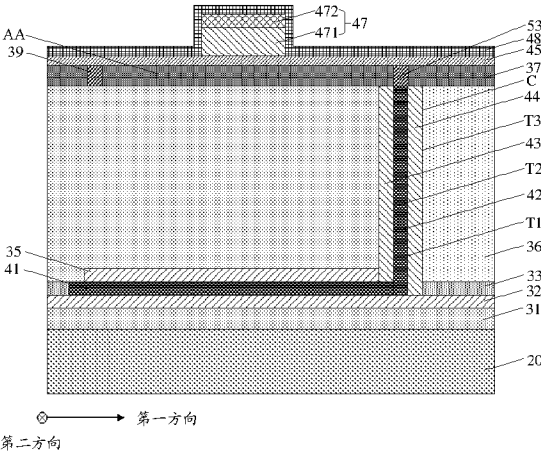


图 15b

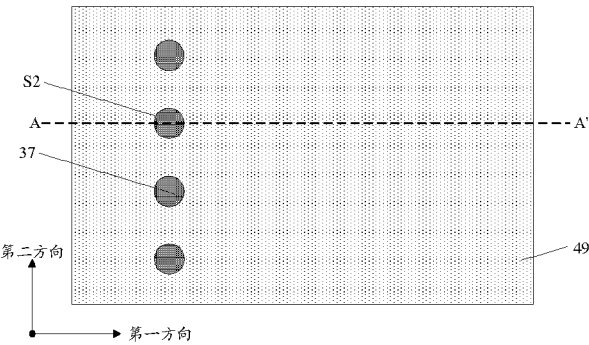


图 16a

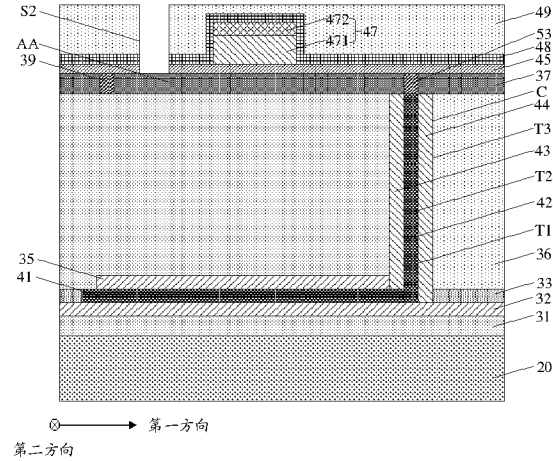


图 16b

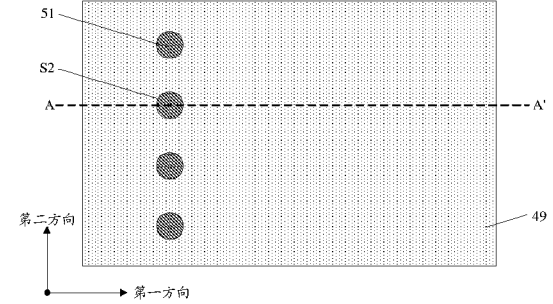


图 17a

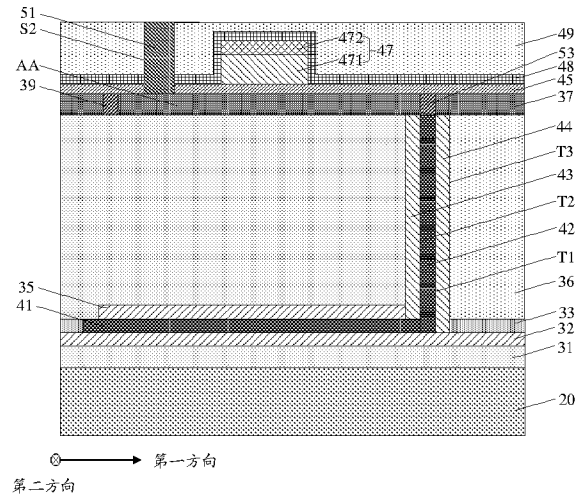


图 17b

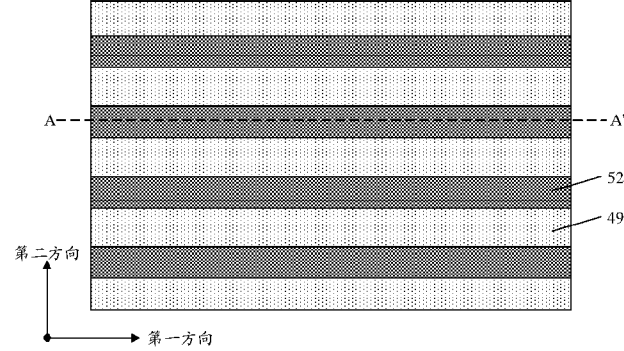


图 18a

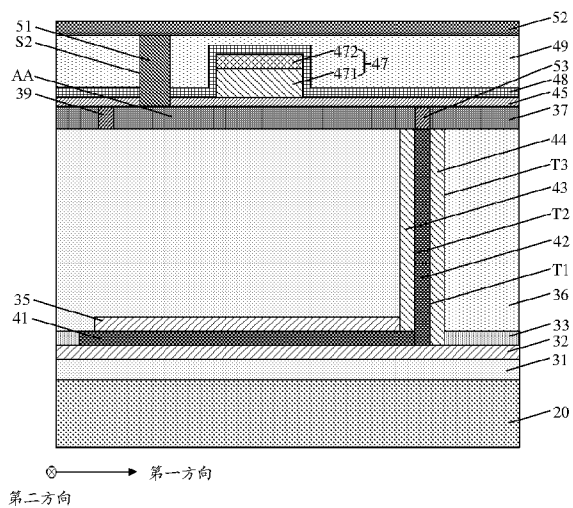


图 18b

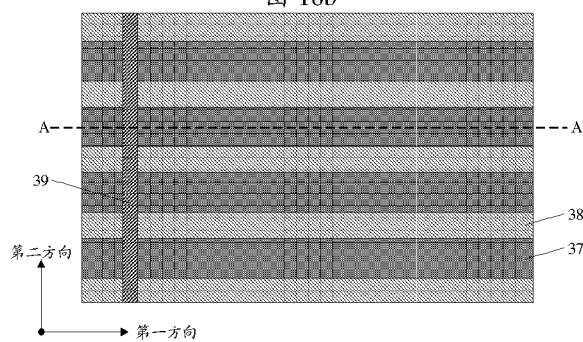


图 19a

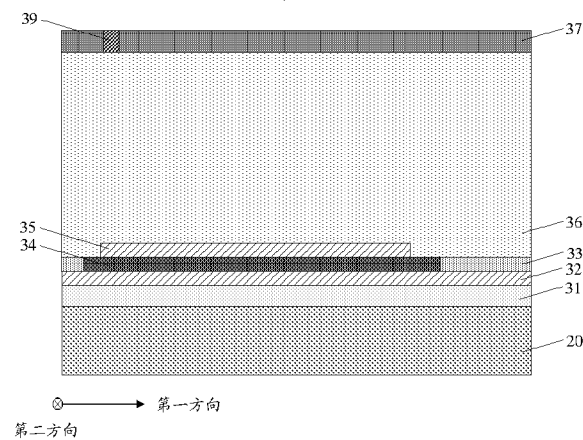


图 19b

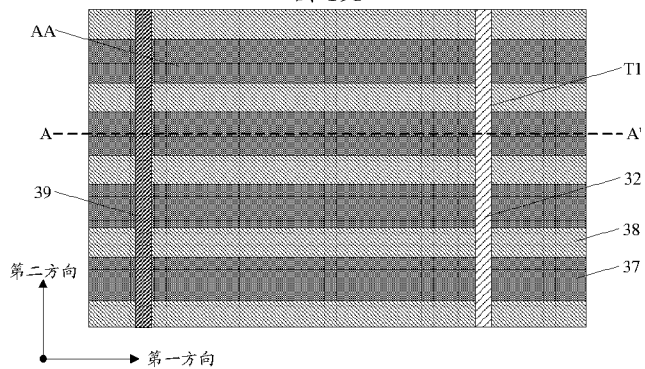


图 20a

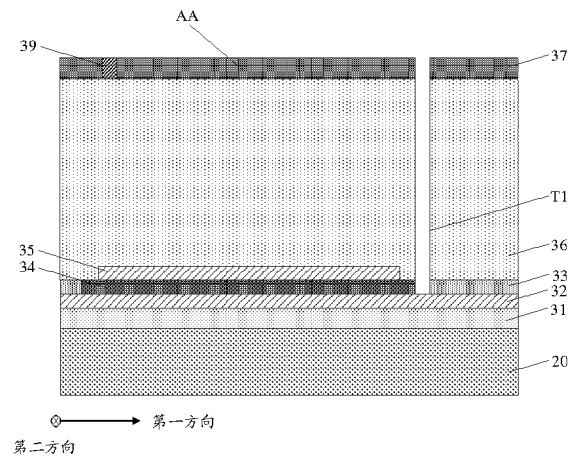


图 20b

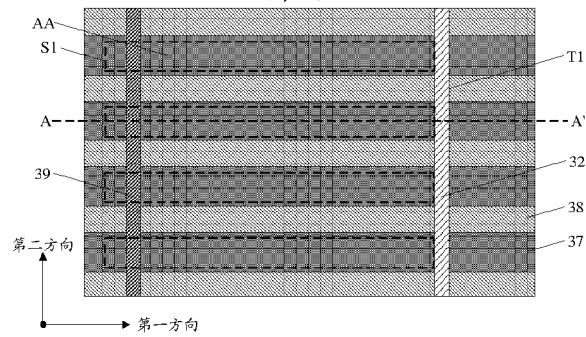


图 21a

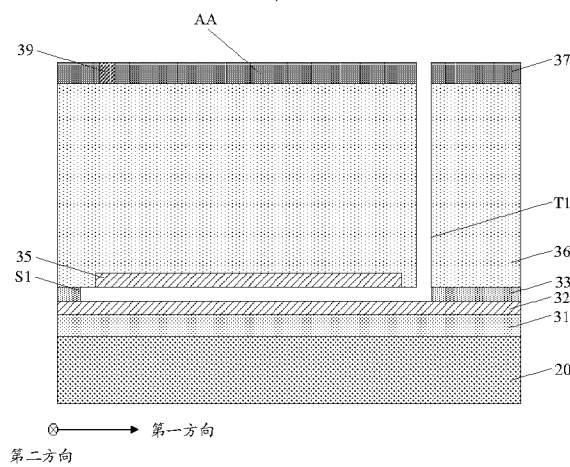


图 21b

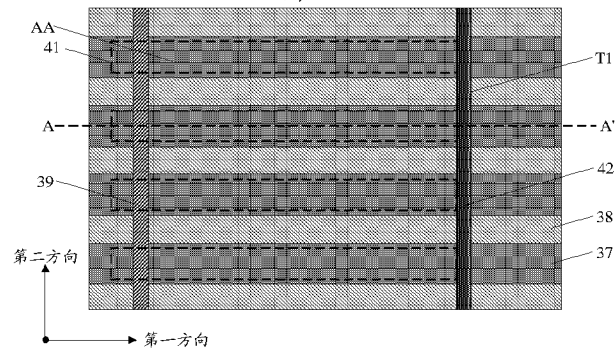


图 22a

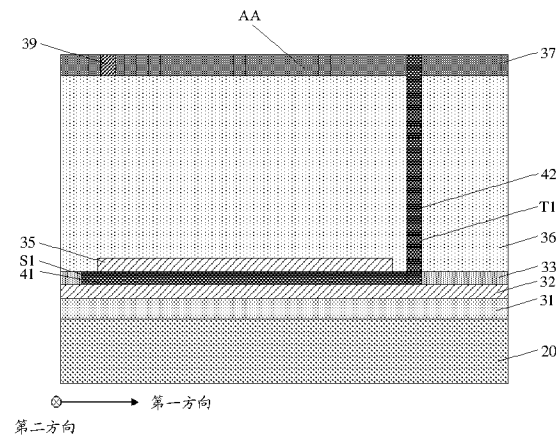


图 22b

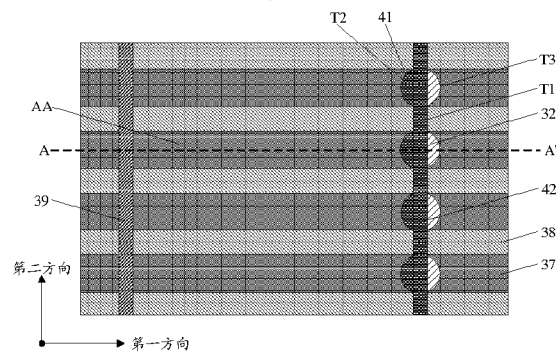


图 23a

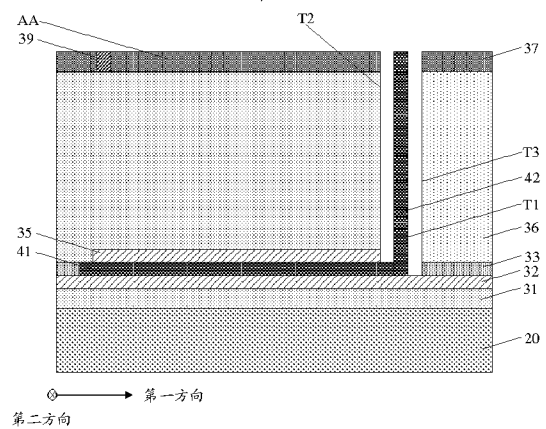


图 23b

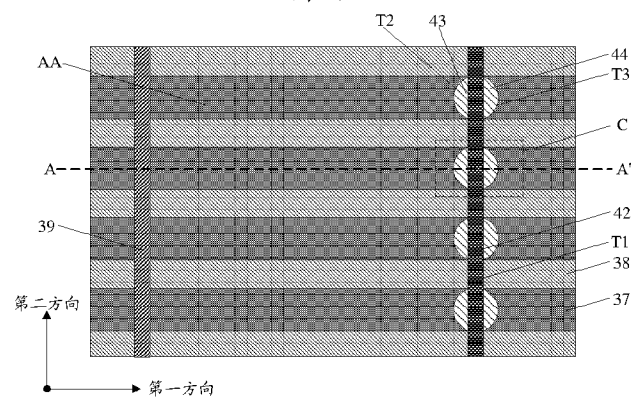


图 24a

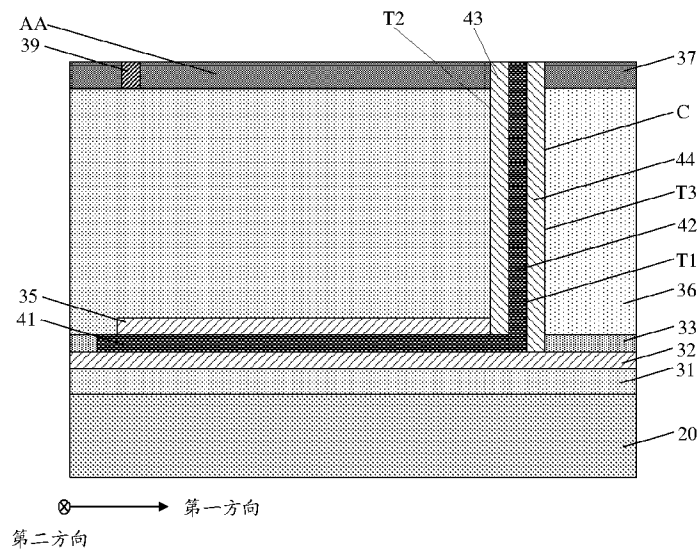


图 24b

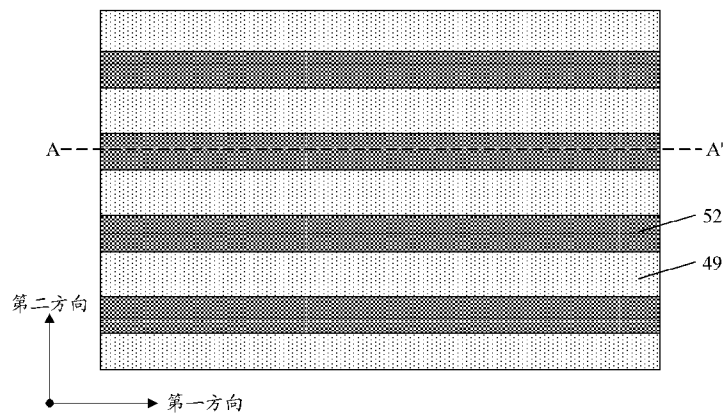


图 25a

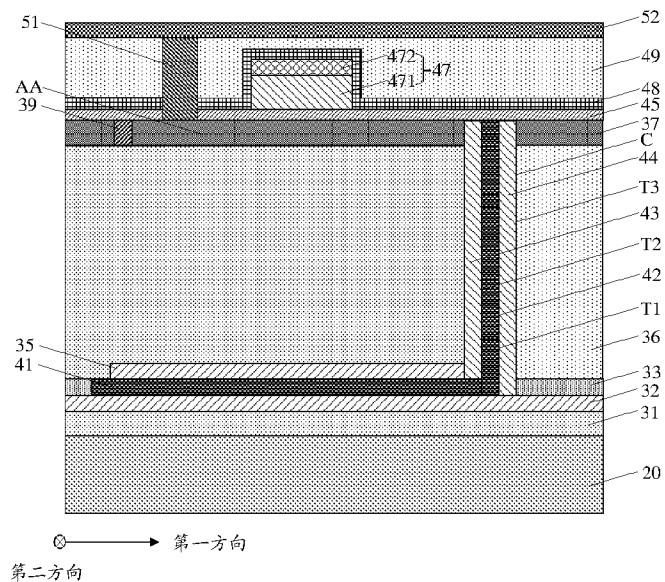


图 25b

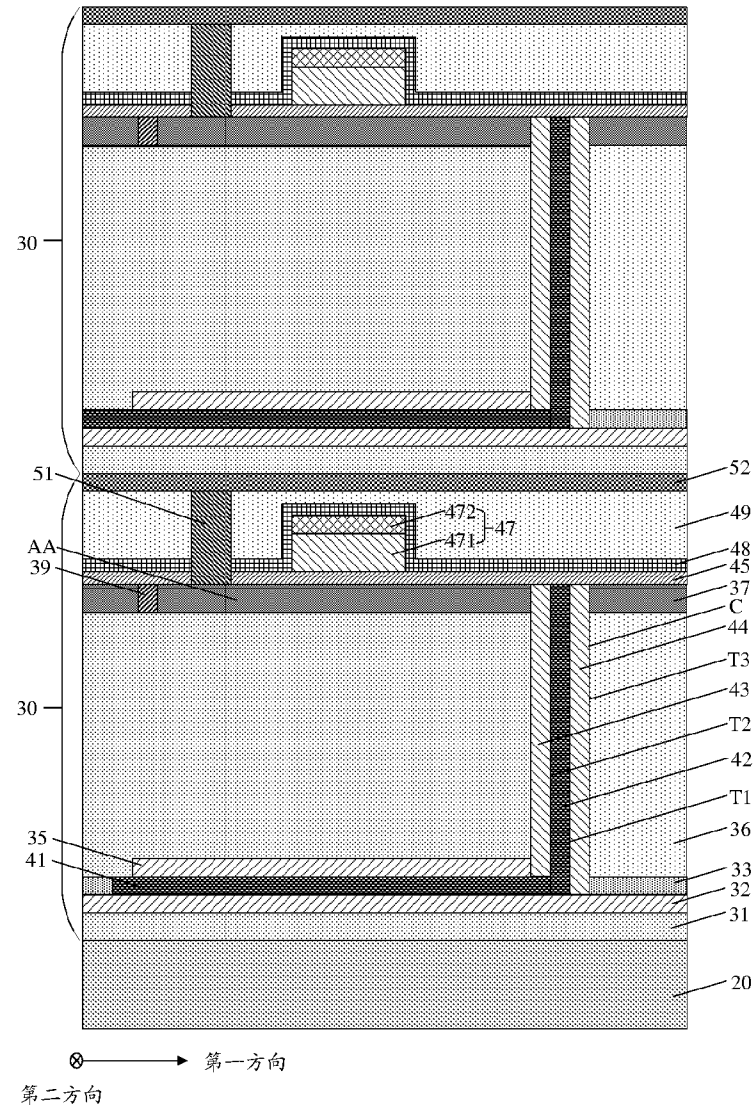


图 26

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/098047

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; ENTXT; ENTXTC; DWPI; WPABS; CNKI; IEEE: 下极板, 牺牲层, 沟槽, 第二, 第三, 共用, 绝缘, 隔离, 介质层, 动态随机访问存储器, 电容, lower electrode, sacrifice layer, groove, trench, second, third, common, insulating, isolation, dielectric layer, DRAM, capacitor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2016049406 A1 (MICRON TECHNOLOGY INC.) 18 February 2016 (2016-02-18) description, paragraphs [0034]-[0080], and figures 1A-4	8-15
A	US 2012153436 A1 (ELPIDA MEMORY INC.) 21 June 2012 (2012-06-21) entire document	1-15
A	US 2016336311 A1 (SK HYNIX INC.) 17 November 2016 (2016-11-17) entire document	1-15
A	CN 113161483 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 23 July 2021 (2021-07-23) entire document	1-15
A	CN 102810557 A (HYNIX SEMICONDUCTOR INC.) 05 December 2012 (2012-12-05) entire document	1-15
A	CN 111326514 A (INTEL CORP.) 23 June 2020 (2020-06-23) entire document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 July 2022

Date of mailing of the international search report

05 August 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/098047

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2016049406	A1	18 February 2016	US	2013069052	A1	21 March 2013
				US	2019221567	A1	18 July 2019
				US	2021296320	A1	23 September 2021
				US	10347637	B2	09 July 2019
				US	11107819	B2	31 August 2021
				US	9177872	B2	03 November 2015
US	2012153436	A1	21 June 2012	JP	2012134238	A	12 July 2012
				US	8847353	B2	30 September 2014
				JP	5703012	B2	15 April 2015
US	2016336311	A1	17 November 2016	KR	20160133031	A	22 November 2016
				US	9548300	B2	17 January 2017
CN	113161483	A	23 July 2021	CN	113161483	B	10 June 2022
CN	102810557	A	05 December 2012	KR	20120133137	A	10 December 2012
				US	2012306057	A1	06 December 2012
				US	8791518	B2	29 July 2014
CN	111326514	A	23 June 2020	DE	102019130775	A1	18 June 2020
				US	2020194434	A1	18 June 2020

国际检索报告

国际申请号

PCT/CN2022/098047

A. 主题的分类

H01L 21/8242 (2006.01) i; H01L 27/108 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNTXT; ENTXT; ENTXTC; DWPI; WPABS; CNKI; IEEE: 下极板, 牺牲层, 沟槽, 第二, 第三, 共用, 绝缘, 隔离, 介质层, 动态随机访问存储器, 电容, lower electrode, sacrifice layer, groove, trench, second, third, common, insulating, isolation, dielectric layer, DRAM, capacitor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2016049406 A1 (MICRON TECHNOLOGY INC.) 2016年2月18日 (2016 - 02 - 18) 说明书[0034]-[0080]段, 图1A-4	8-15
A	US 2012153436 A1 (ELPIDA MEMORY INC.) 2012年6月21日 (2012 - 06 - 21) 全文	1-15
A	US 2016336311 A1 (SK HYNIX INC.) 2016年11月17日 (2016 - 11 - 17) 全文	1-15
A	CN 113161483 A (长鑫存储技术有限公司) 2021年7月23日 (2021 - 07 - 23) 全文	1-15
A	CN 102810557 A (海力士半导体有限公司) 2012年12月5日 (2012 - 12 - 05) 全文	1-15
A	CN 111326514 A (英特尔公司) 2020年6月23日 (2020 - 06 - 23) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年7月26日

国际检索报告邮寄日期

2022年8月5日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

授权官员

刘乐

电话号码 86-010-62411579

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/098047

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2016049406	A1	2016年2月18日	US	2013069052	A1	2013年3月21日
				US	2019221567	A1	2019年7月18日
				US	2021296320	A1	2021年9月23日
				US	10347637	B2	2019年7月9日
				US	11107819	B2	2021年8月31日
				US	9177872	B2	2015年11月3日
US	2012153436	A1	2012年6月21日	JP	2012134238	A	2012年7月12日
				US	8847353	B2	2014年9月30日
				JP	5703012	B2	2015年4月15日
US	2016336311	A1	2016年11月17日	KR	20160133031	A	2016年11月22日
				US	9548300	B2	2017年1月17日
CN	113161483	A	2021年7月23日	CN	113161483	B	2022年6月10日
CN	102810557	A	2012年12月5日	KR	20120133137	A	2012年12月10日
				US	2012306057	A1	2012年12月6日
				US	8791518	B2	2014年7月29日
CN	111326514	A	2020年6月23日	DE	102019130775	A1	2020年6月18日
				US	2020194434	A1	2020年6月18日