



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월23일
(11) 등록번호 10-1309479
(24) 등록일자 2013년09월10일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
H05K 1/18 (2006.01)
(21) 출원번호 10-2012-0089522
(22) 출원일자 2012년08월16일
심사청구일자 2012년08월16일
(30) 우선권주장
1020120057723 2012년05월30일 대한민국(KR)
(56) 선행기술조사문헌
JP2011108827 A
KR100586863 B1
KR101058697 B1
JP4827157 B2

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
안영규
경기도 수원시 영통구 매탄3동 삼성전기
박상수
경기도 수원시 영통구 매탄3동 삼성전기
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 17 항

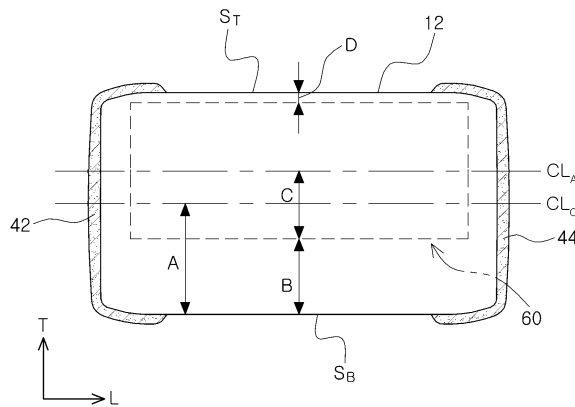
심사관 : 전한철

(54) 발명의 명칭 적층 칩 전자부품, 그 실장 기판 및 포장체

(57) 요약

본 발명의 일 실시예에 따른 적층 칩 전자부품은 내부 전극과 유전체 층을 포함하는 세라믹 바디; 상기 세라믹 바디의 길이 방향의 양 단부를 덮도록 형성되는 외부 전극; 상기 유전체 층을 사이에 두고 상기 내부 전극이 대향하여 배치되어 용량이 형성되는 액티브 층; 및 상기 액티브 층의 두께 방향 상부 또는 하부에 형성되며, 두께 방향 하부가 두께 방향 상부보다 더 큰 두께를 가지는 상부 및 하부 커버 층;을 포함하며, 상기 세라믹 바디의 전체 두께의 1/2을 A로, 상기 하부 커버 층의 두께를 B로, 상기 액티브 층의 전체 두께의 1/2을 C로, 상기 상부 커버 층의 두께를 D로 규정할 때, 상기 상부 커버층의 두께, D는 $D \geq 4\mu\text{m}$ 의 범위를 만족하고, 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족할 수 있다.

대표도 - 도3



(72) 발명자

박민철

경기도 수원시 영통구 매탄3동 삼성전기

정세화

경기도 수원시 영통구 매탄3동 삼성전기

특허청구의 범위

청구항 1

내부 전극과 유전체 층을 포함하는 세라믹 바디;

상기 세라믹 바디의 길이 방향의 양 단부를 덮도록 형성되는 외부 전극;

상기 유전체 층을 사이에 두고 상기 내부 전극이 대향하여 배치되어 용량이 형성되는 액티브 층; 및

상기 액티브 층의 두께 방향 상부 또는 하부에 형성되며, 두께 방향 하부가 두께 방향 상부보다 더 큰 두께를 가지는 상부 및 하부 커버 층;을 포함하며,

상기 세라믹 바디의 전체 두께의 1/2을 A로, 상기 하부 커버 층의 두께를 B로, 상기 액티브 층의 전체 두께의 1/2을 C로, 상기 상부 커버 층의 두께를 D로 규정할 때,

상기 상부 커버층의 두께, D는 $D \geq 4\mu\text{m}$ 의 범위를 만족하고,

상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족하는 적층 칩 전자부품.

청구항 2

제1항에 있어서,

상기 상부 커버 층의 두께(D)와 하부 커버 층의 두께(B) 사이의 비율, D/B 는 $0.021 \leq D/B \leq 0.422$ 의 범위를 만족하는 적층 칩 전자부품.

청구항 3

제1항에 있어서,

상기 세라믹 바디의 두께의 1/2(A)에 대한 상기 하부 커버층의 두께(B)의 비율, B/A 는 $0.329 \leq B/A \leq 1.522$ 의 범위를 만족하는 적층 칩 전자부품.

청구항 4

제1항에 있어서,

상기 하부 커버층의 두께(B)에 대한 상기 액티브 층의 두께의 1/2(C)의 비율(C/B)은, C/B 는 $0.146 \leq C/B \leq 2.458$ 의 범위를 만족하는 적층 칩 전자부품.

청구항 5

제1항에 있어서,

상기 세라믹 바디의 상면 및 저면 중 적어도 하나에는 상부 및 하부를 구분하기 위한 마킹이 형성되는 적층 칩 전자부품.

청구항 6

육면체 형상의 세라믹 바디의 길이 방향 양 단부에 형성되는 외부 전극;

상기 세라믹 바디 내에서 형성되며, 용량을 형성하도록 유전체 층을 사이에 두고 대향하여 배치되는 다수의 내부 전극들로 이루어진 액티브 층;

상기 액티브 층의 최상부 내부 전극의 상부에 형성되는 상부 커버층; 및

상기 액티브 층의 최하부 내부 전극의 하부에 형성되며, 상기 상부 커버층의 두께보다 더 큰 두께를 가지는 하부 커버층;을 포함하며,

전압이 인가되어 상기 액티브 층의 중심부에서 발생하는 변형율과 상기 하부 커버층에서의 발생하는 변형율의 차이에 의해, 상기 세라믹 바디의 두께 방향의 중심부보다 하부의 상기 세라믹 바디의 길이 방향 양단부에 변곡점이 형성되며,

상기 세라믹 바디의 전체 두께의 1/2을 A로, 상기 하부 커버 층의 두께를 B로, 상기 액티브 층의 전체 두께의 1/2을 C로 규정할 때,

상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족하는 적층 칩 전자부품.

청구항 7

제6항에 있어서,

상기 상부 커버 층의 두께를 D로 규정할 때,

상기 상부 커버 층의 두께(D)와 하부 커버 층의 두께(B)의 비율, D/B 는 $0.021 \leq D/B \leq 0.422$ 의 범위를 만족하는 적층 칩 전자부품.

청구항 8

제6항에 있어서,

상기 세라믹 바디의 두께에 대한 상기 하부 커버층이 차지하는 비율, B/A 는 $0.329 \leq B/A \leq 1.522$ 의 범위를 만족하는 적층 칩 전자부품.

청구항 9

제6항에 있어서,

상기 하부 커버층의 두께(B)에 대한 상기 액티브 층의 두께의 1/2(C)의 비율(C/B)은, C/B 는 $0.146 \leq C/B \leq 2.458$ 의 범위를 만족하는 적층 칩 전자부품.

청구항 10

제1항 또는 제6항의 적층 칩 전자부품;

상기 외부 전극과 솔더링으로 연결되는 전극 패드; 및

상기 전극 패드가 형성되며, 상기 내부 전극이 수평하고 상기 하부 커버 층이 상기 상부 커버 층보다 두께 방향의 하측에 배치되도록 상기 적층 칩 전자부품이 상기 전극 패드에 실장되는 인쇄 회로 기판;을 포함하는 적층 칩 전자부품의 실장 기판.

청구항 11

제10항에 있어서,

전압이 인가되어 상기 액티브 층의 중심부에서 발생하는 변형율과 상기 하부 커버층에서의 발생하는 변형율의 차이에 의해 상기 세라믹 바디의 길이 방향 양단부에 형성되는 변곡점이 상기 솔더링의 높이 이하에서 형성되는 적층 칩 전자부품의 실장기판.

청구항 12

제1항 또는 제6항의 적층 칩 전자부품; 및
 상기 적층 칩 전자부품이 수납되는 수납부가 형성되는 포장시트;를 포함하며,
 상기 수납부의 저면을 기준으로 상기 내부 전극이 수평하게 배치되어 정렬되는 적층 칩 전자부품의 포장체.

청구항 13

제12항에 있어서,
 상기 포장시트에 결합되며, 상기 적층 칩 전자부품을 덮는 포장막;을 더 포함하는 적층 칩 전자부품의 포장체.

청구항 14

제12항에 있어서,
 상기 적층 칩 전자부품이 수납된 포장시트는 릴 타입으로 권선되어 형성되는 적층 칩 전자부품의 포장체.

청구항 15

제12항에 있어서,
 상기 수납부 내에 수납되는 상기 적층 칩 전자부품 각각은 상기 상부 커버 층 및 상기 하부 커버 층 중 어느 하나가 상기 수납부의 저면을 향하도록 방향성을 가지며,
 상기 상부 커버 층 및 상기 하부 커버 층 중 어느 하나가 수납부의 저면을 향하는 방향성을 외부에서 인식하기 위해 상기 세라믹 바디에 마킹이 형성되는 적층 칩 전자부품의 포장체.

청구항 16

제12항에 있어서,
 상기 수납부 내에 수납되는 상기 적층 칩 전자부품 각각은 상기 하부 커버 층이 상기 수납부의 저면을 향하도록 배치되는 적층 칩 전자부품의 포장체.

청구항 17

제16항에 있어서,
 상기 세라믹 바디의 상면에는 상부 및 하부를 구분하기 위한 마킹이 형성되는 적층 칩 전자부품의 포장체.

명세서

기술분야

[0001] 본 발명은 전압 인가 시 적층 칩 전자부품에 의해서 발생하는 어쿠스틱 노이즈를 저감할 수 있는 적층 칩 전자부품, 그 실장 기판 및 포장체에 관한 것이다.

배경 기술

- [0002] 적층 칩 전자 부품의 하나인 적층 커패시터는 다수의 유전체 층 사이에 내부 전극이 형성된다.
- [0003] 유전체 층을 사이에 두고 증착되는 내부 전극이 형성되는 적층 커패시터에 직류 및 교류 전압을 인가하는 경우에는 내부 전극 사이에서 압전 현상이 생기고 진동이 발생한다.
- [0004] 상기 진동은 유전체 층의 유전율이 높을 수록, 동일한 정전 용량을 기준으로 칩의 형상이 상대적으로 큰 경우에 현저해지는 경향이 있다. 상기 진동은 상기 적층 커패시터의 외부 전극에서 상기 적층 커패시터가 실장된 인쇄 회로 기판으로 전달된다. 이때, 상기 인쇄 회로 기판이 진동하여 소음이 발생된다.
- [0005] 즉, 상기 인쇄 회로 기판의 진동에 의해 발생하는 소음이 가청 주파수(20~20000Hz)영역에 포함되면, 그 진동이 사람에게 불쾌감을 주는데 이와 같은 소리를 어쿠스틱 노이즈(acoustic noise)라고 한다.
- [0006] 본 발명의 발명자들은 상기 어쿠스틱 노이즈를 감소하기 위해 적층 커패시터 내의 내부 전극의 인쇄 회로 기판으로의 실장방향에 대한 연구를 진행한 바 있다. 연구결과, 내부 전극이 상기 인쇄 회로 기판과 수평한 방향성을 가지도록 상기 적층 커패시터를 인쇄 회로 기판에 실장하면, 내부 전극이 상기 인쇄 회로 기판과 수직인 방향성을 가지도록 실장하는 경우보다 어쿠스틱 노이즈가 감소한다는 것을 알 수 있었다.
- [0007] 그러나, 내부 전극이 인쇄 회로 기판과 수평한 방향성을 가지도록 상기 적층 커패시터를 인쇄 회로 기판에 실장하여 어쿠스틱 노이즈를 측정하더라도 소음 수준이 일정수준 이상이 되기 때문에, 어쿠스틱 노이즈를 더 저감할 수 있는 연구가 필요하였다.
- [0008] 아래의 특허문헌 1은 내부 전극이 인쇄 회로 기판과 수평한 방향성을 가지도록 실장되어 있지만, 고주파 노이즈를 줄이기 위해 신호 선로 사이의 피치를 좁게 한 기술적 특징을 개시하고 있다. 한편, 특허문헌 2 및 특허문헌 3은 적층 커패시터의 상부 커버 층과 하부 커버 층의 두께가 다른 것이 기재되어 있으나, 어쿠스틱 노이즈의 개선 또는 감소라는 과제 해결을 위한 방안을 제안하고 있지 않다. 게다가, 어쿠스틱 노이즈를 저감하기 위하여 본 특허의 청구항들 및 본 발명의 실시예들이 제안하는 액티브 층의 중심부가 적층 칩 커패시터의 중심부로부터 벗어나는 정도의 범위, 상부 커버 층과 하부 커버 층 사이의 비율, 세라믹 바디의 두께에 대한 하부 커버 층이 차지하는 비율, 액티브 층의 두께에 대한 하부 커버 층이 차지하는 비율 등을 개시 또는 예상하지 못하고 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본특허공개공보 제1994-268464호
- (특허문헌 0002) 일본특허공개공보 제1994-215978호
- (특허문헌 0003) 일본특허공개공보 제1996-130160호

발명의 내용

해결하려는 과제

- [0010] 본 발명의 목적은 적층 칩 커패시터의 상부 커버 층에 비해 하부 커버 층의 두께를 더 크게 하고, 액티브 층의 중심부가 세라믹 바디의 중심부를 벗어난 범위를 설정한 적층 커패시터를 제공하는 것이다.
- [0011] 또한, 본 발명의 다른 목적은 내부 전극이 인쇄 회로 기판에 수평하고 상기 하부 커버 층이 인쇄 회로 기판과 인접하도록 실장하여 어쿠스틱 노이즈를 감소시킨 적층 칩 전자부품 실장기판을 제공하는 것이다.
- [0012] 또한, 본 발명의 또 다른 목적은 포장시트의 수납부의 저면을 기준으로 내부 전극이 수평하게 배치되어 정렬되는 적층 칩 전자부품의 포장체를 제공하는 것이다.

과제의 해결 수단

- [0013] 본 발명의 일 실시예에 따른 적층 칩 전자부품은 내부 전극과 유전체 층을 포함하는 세라믹 바디; 상기 세라믹 바디의 길이 방향의 양 단부를 덮도록 형성되는 외부 전극; 상기 유전체 층을 사이에 두고 상기 내부 전극이 대향하여 배치되어 용량이 형성되는 액티브 층; 및 상기 액티브 층의 두께 방향 상부 또는 하부에 형성되며, 두께 방향 하부가 두께 방향 상부보다 더 큰 두께를 가지는 상부 및 하부 커버 층;을 포함하며, 상기 세라믹 바디의 전체 두께의 1/2을 A로, 상기 하부 커버 층의 두께를 B로, 상기 액티브 층의 전체 두께의 1/2을 C로, 상기 상부 커버 층의 두께를 D로 규정할 때, 상기 상부 커버층의 두께, D는 $D \geq 4\mu\text{m}$ 의 범위를 만족하고, 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족할 수 있다.
- [0014] 또한, 상기 상부 커버 층의 두께(D)와 하부 커버 층의 두께(B) 사이의 비율, D/B 는 $0.021 \leq D/B \leq 0.422$ 의 범위를 만족할 수 있다.
- [0015] 또한, 상기 세라믹 바디의 두께의 1/2(A)에 대한 상기 하부 커버층의 두께(B)의 비율, B/A 는 $0.329 \leq B/A \leq 1.522$ 의 범위를 만족할 수 있다.
- [0016] 또한, 상기 하부 커버층의 두께(B)에 대한 상기 액티브 층의 두께의 1/2(C)의 비율(C/B)은, C/B 는 $0.146 \leq C/B \leq 2.458$ 의 범위를 만족할 수 있다.
- [0017] 또한, 상기 세라믹 바디의 상면 및 저면 중 적어도 하나에는 상부 및 하부를 구분하기 위한 마킹이 형성될 수 있다.
- [0018] 다른 측면에서, 본 발명의 일 실시예에 따른 적층 칩 전자부품은 육면체 형상의 세라믹 바디의 길이 방향 양 부에 형성되는 외부 전극; 상기 세라믹 바디 내에서 형성되며, 용량을 형성하도록 유전체 층을 사이에 두고 대향하여 배치되는 다수의 내부 전극들로 이루어진 액티브 층; 상기 액티브 층의 최상부 내부 전극의 상부에 형성되는 상부 커버층; 및 상기 액티브 층의 최하부 내부 전극의 하부에 형성되며, 상기 상부 커버층의 두께보다 더 큰 두께를 가지는 하부 커버층;을 포함하며, 전압이 인가되어 상기 액티브 층의 중심부에서 발생하는 변형율과 상기 하부 커버층에서의 발생하는 변형율의 차이에 의해, 상기 세라믹 바디의 두께 방향의 중심부보다 하부의 상기 세라믹 바디의 길이 방향 양단부에 변곡점이 형성되며, 상기 세라믹 바디의 전체 두께의 1/2을 A로, 상기 하부 커버 층의 두께를 B로, 상기 액티브 층의 전체 두께의 1/2을 C로 규정할 때, 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족할 수 있다.
- [0019] 또한, 상기 상부 커버 층의 두께를 D로 규정할 때, 상기 상부 커버 층의 두께(D)와 하부 커버 층의 두께(B)의 비율, D/B 는 $0.021 \leq D/B \leq 0.422$ 의 범위를 만족할 수 있다.
- [0020] 또한, 상기 세라믹 바디의 두께에 대한 상기 하부 커버층이 차지하는 비율, B/A 는 $0.329 \leq B/A \leq 1.522$ 의 범위를 만족할 수 있다.
- [0021] 또한, 상기 하부 커버층의 두께(B)에 대한 상기 액티브 층의 두께의 1/2(C)의 비율(C/B)은, C/B 는 $0.146 \leq C/B \leq 2.458$ 의 범위를 만족할 수 있다.
- [0022] 다른 측면에서, 본 발명의 일 실시예에 따른 적층 칩 전자부품의 실장 기관은 적층 칩 전자부품; 상기 외부 전극과 솔더링으로 연결되는 전극 패드; 및 상기 전극 패드가 형성되며, 상기 내부 전극이 수평하고 상기 하부 커버 층이 상기 상부 커버 층보다 두께 방향의 하측에 배치되도록 상기 적층 전자부품이 상기 전극 패드에 실장되는 인쇄 회로 기관;을 포함할 수 있다.
- [0023] 또한, 전압이 인가되어 상기 액티브 층의 중심부에서 발생하는 변형율과 상기 하부 커버층에서의 발생하는 변형율의 차이에 의해 상기 세라믹 바디의 길이 방향 양단부에 형성되는 변곡점이 상기 솔더링의 높이 이하에서 형성될 수 있다.
- [0024] 또 다른 측면에서, 본 발명의 일 실시예에 따른 적층 칩 전자부품의 포장체는 적층 칩 전자부품; 상기 적층 칩 전자부품이 수납되는 수납부가 형성되는 포장시트; 및 상기 포장시트에 결합되며, 상기 적층 칩 전자부품을 덮

는 포장막;을 포함하며, 상기 수납부의 저면을 기준으로 상기 내부 전극이 수평하게 배치되어 정렬될 수 있다.

[0025] 또한, 상기 적층 칩 전자부품이 수납된 포장시트는 릴 타입으로 권선되어 형성될 수 있다.

[0026] 또한, 상기 적층 칩 전자부품의 상기 상부 커버 층 및 상기 하부 커버 층 중 적어도 하나는 상기 수납부의 저면을 향하는 방향성을 가지도록 수납되며, 상기 상부 커버 층 및 상기 하부 커버 층의 방향성을 외부에서 인식하기 위해 상기 세라믹 바디에 마킹이 형성될 수 있다.

[0027] 상기 수납부 내에 수납되는 상기 적층 칩 전자부품 각각은 상기 하부 커버 층이 상기 수납부의 저면을 향하도록 배치될 수 있다.

[0028] 또한, 상기 세라믹 바디의 상면에는 상부 및 하부를 구분하기 위한 마킹이 형성될 수도 있다.

발명의 효과

[0029] 본 발명의 일 실시예에 따른 적층 칩 커패시터 및 그 실장 기판에 의하면, 어쿠스틱 노이즈를 현저하게 감소할 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일 실시예에 따른 적층 칩 커패시터를 일부 절개하여 도시한 개략 절개 사시도.

도 2는 도 1의 적층 칩 커패시터를 길이 방향 및 두께 방향으로 절단하여 도시한 단면도.

도 3은 도 1의 적층 칩 커패시터의 치수 관계를 설명하기 위한 길이 방향 및 두께 방향의 개략 단면도.

도 4는 도 1의 적층 칩 커패시터가 인쇄 회로 기판에 실장된 모습을 개략적으로 도시한 개략 사시도.

도 5는 도 4의 적층 칩 커패시터가 인쇄 회로 기판에 실장된 모습의 개략 평면도.

도 6은 도 4의 적층 칩 커패시터가 인쇄 회로 기판에 실장된 모습을 길이 방향과 두께 방향으로 절단하여 도시한 단면도.

도 7은 도 4의 적층 칩 커패시터가 인쇄 회로 기판에 실장된 상태에서 전압이 인가되어 적층 칩 커패시터가 변형되는 모습을 개략적으로 도시한 단면도.

도 8(a)는 종래의 적층 칩 커패시터의 내부 전극이 인쇄 회로 기판에 수직 실장된 경우와 수평 실장된 경우와 있어서, 전극 패드 사이즈에 대한 어쿠스틱 노이즈 변화 모습의 그래프이며, 도 8(b)는 본 발명의 실시예인 내부 전극이 인쇄 회로 기판에 수평인 상태이고 하부 커버 층이 인쇄 회로 기판과 인접하도록 적층 칩 커패시터를 인쇄 회로 기판에 실장한 경우에 있어서, 전극 패드 사이즈에 대한 어쿠스틱 노이즈 변화의 모습을 종래 기술과 대비하여 도시한 그래프.

도 9는 본 발명의 일 실시예에 따른 적층 칩 커패시터를 포장체에 실장되는 모습을 도시한 개략 사시도.

도 10은 도 9의 포장체를 릴 형상으로 권취하여 도시한 개략 단면도.

발명을 실시하기 위한 구체적인 내용

[0031] 이하에서는 도면을 참조하여 본 발명의 구체적인 실시예를 상세하게 설명한다. 다만, 본 발명의 사상은 제시되는 실시예에 제한되지 아니하고, 본 발명의 사상을 이해하는 당업자는 동일한 사상의 범위 내에서 다른 구성요소를 추가, 변경, 삭제 등을 통하여, 퇴보적인 다른 발명이나 본 발명 사상의 범위 내에 포함되는 다른 실시예를 용이하게 제안할 수 있을 것이나, 이 또한 본원 발명 사상 범위 내에 포함된다고 할 것이다.

[0032] 본 발명의 일 실시예에 따른 적층 칩 전자 부품은 유전체 층을 이용하며, 상기 유전체 층을 사이에 두고 내부 전극이 서로 대향하는 구조를 가지는 적층 세라믹 커패시터, 적층 베리스터, 서미스터, 압전 소자, 다층 기판 등에 적절하게 이용될 수 있다.

- [0033] 또한, 각 실시예의 도면에 나타나는 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.
- [0034] **적층 칩 커패시터**
- [0035] 도 1은 본 발명의 일 실시예에 따른 적층 칩 커패시터를 일부 절개하여 도시한 개략 절개 사시도이며, 도 2는 도 1의 적층 칩 커패시터를 길이 방향 및 두께 방향으로 절단하여 도시한 단면도이며, 도 3은 도 1의 적층 칩 커패시터의 치수 관계를 설명하기 위한 길이 방향 및 두께 방향의 개략 단면도이다.
- [0036] 도 1 내지 도 3을 참조하면, 적층 칩 커패시터(10)는 세라믹 바디(12), 외부 전극(40), 액티브 층(60) 및 상부, 하부 커버 층(53, 55)를 포함할 수 있다.
- [0037] 상기 세라믹 바디(12)는 세라믹 그린시트 상에 내부 전극(20)을 형성하도록 도전성 페이스트를 도포하고, 상기 내부 전극(20)이 형성된 세라믹 그린시트를 적층한 후 소성하여 제조될 수 있다. 상기 세라믹 바디(12)는 다수의 유전체 층(52, 54)과 내부 전극(22, 24)이 반복적으로 적층하여 형성될 수 있다.
- [0038] 상기 세라믹 바디(12)는 육면체 형상으로 이루어질 수 있다. 칩 소성 시 세라믹 분말의 소성 수축으로 인하여, 세라믹 바디(12)는 완전한 직선을 가진 육면체 형상은 아니지만 실질적으로 육면체 형상을 가질 수 있다.
- [0039] 본 발명의 실시예들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도 1에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향, 두께 방향을 나타낸다. 여기서, 두께 방향은 유전체 층이 적층된 적층 방향과 동일한 개념으로 사용될 수 있다.
- [0040] 도 1의 실시예는 길이 방향이 폭이나 두께 방향보다 큰 직육면체 형상을 가진 적층 칩 커패시터(10)이다.
- [0041] 상기 유전체 층(50)을 이루는 재료로서, 고용량화를 위해 고유전율을 갖는 세라믹 분말을 사용할 수 있다. 상기 세라믹 분말은 예를 들면 티탄산바륨(BaTiO_3)계 분말 또는 티탄산스트론튬(SrTiO_3)계 분말 등을 사용할 수 있으며, 이에 제한되는 것은 아니다.
- [0042] 상기 제1 및 제2 외부 전극(42, 44)은 금속 분말을 포함하는 도전성 페이스트로 형성될 수 있다. 상기 도전성 페이스트에 포함되는 금속 분말은 Cu, Ni, 또는 이들의 합금을 사용할 수 있으며, 특별히 이들로 제한되는 것은 아니다.
- [0043] 상기 내부 전극(20)은 제1 내부 전극(22)과 제2 내부 전극(24)을 포함할 수 있으며, 상기 제1 및 제2 내부 전극(22, 24)은 각각 제1 및 제2 외부 전극(42, 44)으로 전기적으로 연결될 수 있다.
- [0044] 여기서, 상기 제1 내부 전극(22)과 제2 내부 전극(24)은 유전체 층(54, 도 1 참조)을 사이에 두고 대향하여 중첩된 제1 및 제2 전극 패턴부(222, 242)과 각각의 제1 및 제2 외부 전극(42, 44)으로 인출되는 제1 및 제2 리드부(224, 244)를 포함할 수 있다.
- [0045] 상기 제1 및 제2 전극 패턴부(222, 242)는 두께 방향으로 연속하여 적층되어 세라믹 바디(12) 내에서 정전 용량을 형성하는 액티브 층(60)을 구성할 수 있다.
- [0046] 적층 칩 커패시터의 길이 방향 및 두께 방향 단면에서, 상기 액티브 층(60)을 제외한 마진부로 정의할 수 있다. 상기 마진부 중에서 두께 방향으로 상기 액티브 층(60)의 상부 마진부 및 하부 마진부를 특히, 상부 커버 층(53) 및 하부 커버 층(55)으로 정의할 수 있다.

- [0047] 상기 상부 커버 층(53) 및 하부 커버 층(55)은 상기 제1 내부 전극(22)과 제2 내부 전극(24) 사이에 형성되는 유전체 층(52, 54)과 마찬가지로 세라믹 그린 시트가 소결되어 형성될 수 있다.
- [0048] 상기 상부 커버 층(53) 및 하부 커버 층(55)을 포함한 복수의 유전체 층(50)은 소결된 상태로써, 인접하는 유전체 층(50) 사이의 경계는 주사전자현미경(SEM, Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0049] 본 실시예에서는 상기 하부 커버 층(55)은 상기 상부 커버 층(53)에 비해 더 큰 두께를 가질 수 있다. 즉, 상기 하부 커버 층(55)은 상기 상부 커버 층(53)에 비해 세라믹 그린 시트의 적층수를 늘림으로써 상기 상부 커버 층(53)에 비해 더 큰 두께를 가질 수 있다.
- [0050] 도 3을 참조하면, 본 실시예의 적층 칩 커패시터를 더욱 명확하게 규정할 수 있다.
- [0051] 우선, 상기 세라믹 바디의 전체 두께의 1/2을 A로, 상기 하부 커버 층의 두께를 B로, 상기 액티브 층의 전체 두께의 1/2을 C로, 상기 상부 커버 층의 두께를 D로 규정할 수 있다.
- [0052] 상기 세라믹 바디(12)의 전체 두께는 외부 전극(40)이 상기 세라믹 바디의 상면(S_T)과 하면(S_B)에 도포되어 형성되는 만큼의 두께를 포함하지 않는다. 본 실시예에서는 세라믹 바디(12)의 상면(S_T)과 하면(S_B)의 1/2을 A로 규정한다.
- [0053] 상기 하부 커버 층(55)의 두께 B는 액티브 층(60)의 두께 방향 최하부에 형성되는 내부 전극의 하면에서 세라믹 바디(12)의 하면(S_B)까지의 거리로 규정한다. 또한, 상기 상부 커버 층(53)의 두께 D는 액티브 층(60)의 두께 방향 최상부에 형성되는 내부 전극의 상면에서 세라믹 바디(12)의 상면(S_T)까지의 거리로 규정한다.
- [0054] 여기서, 상기 액티브 층(60)의 전체 두께는 액티브 층(60)의 최상부에 형성되는 내부 전극의 상면에서 액티브 층(60)의 최하부에 형성되는 내부 전극의 하면까지의 거리를 의미한다. C는 상기 액티브 층(60)의 1/2을 규정한다.
- [0055] 본 실시예에서는 상기 상부 커버 층(53)의 두께, D는 $D \geq 4\mu\text{m}$ 의 범위를 만족할 수 있다. D가 $4\mu\text{m}$ 보다 작은 경우 내부 전극이 세라믹 바디(12)의 상면(S_T)으로 노출되는 불량이 발생할 수 있다.
- [0056] 또한, 본 실시예에서는 상기 액티브 층(60)의 중심부가 상기 세라믹 바디(12)의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족할 수 있다.
- [0057] 여기서, 상기 액티브 층(60)의 중심부는 상기 액티브 층(60)의 최상부에 형성되는 내부 전극의 상면에서 액티브 층(60)의 최하부에 형성되는 내부 전극의 하면까지의 거리의 중간 지점인 액티브 층 센터 라인(CL_A)에서 상부 및 하부로 $1\mu\text{m}$ 범위 내로 규정할 수 있다.
- [0058] 또한, 상기 세라믹 바디(12)의 중심부는 세라믹 바디(12)의 상면(S_T)과 하면(S_B) 사이의 중간 지점인 세라믹 바디의 센터 라인(CL_C)에서 상부 및 하부로 $1\mu\text{m}$ 범위 내로 규정할 수 있다.
- [0059] 적층 칩 커패시터(10)의 양단부에 형성되는 제1 및 제2 외부 전극(42, 44)에 극성이 다른 전압이 인가되면, 유전체 층(50)의 역압전성 효과(Inverse piezoelectric effect)에 의해 세라믹 바디(12)는 두께 방향으로 팽창과 수축을 하게 되고, 제1 및 제2 외부 전극(42, 44)의 길이 방향 양단부는 포아송 효과(Poisson effect)에 의해 세라믹 바디(12)의 두께 방향의 팽창과 수축과는 반대로, 수축과 팽창을 하게 된다.
- [0060] 여기서, 상기 액티브 층(60)의 중심부는 제1 및 제2 외부 전극(42, 44)의 길이 방향 양단부에서 가장 최대 팽창과 수축되는 부분으로 어쿠스틱 노이즈 발생의 원인이 되는 인자가 된다.
- [0061] 본 실시예에서는 어쿠스틱 노이즈를 감소시키기 위해, 상기 액티브 층(60)의 중심부가 세라믹 바디(12)의 중심부에서 벗어난 비율을 규정하였다.
- [0062] 한편, 본 실시예에서는 전압이 인가되어 상기 액티브 층(60)의 중심부에서 발생하는 변형율과 상기 하부 커버

층(55)에서의 발생하는 변형율의 차이에 의해, 상기 세라믹 바디(12)의 두께 방향의 중심부보다 하부의 상기 세라믹 바디(12)의 길이 방향 양단부에 변곡점이 형성될 수 있다.

[0063] 어쿠스틱 노이즈를 감소시키기 위해, 본 실시예는 상기 상부 커버 층(53)의 두께(D)와 하부 커버 층(55)의 두께(B)의 비율, D/B 는 $0.021 \leq D/B \leq 0.422$ 의 범위를 만족할 수 있다.

[0064] 또한, 상기 세라믹 바디(12)의 두께의 $1/2(A)$ 에 대한 상기 하부 커버층(55)의 두께(B)의 비율, B/A 는 $0.329 \leq B/A \leq 1.522$ 의 범위를 만족할 수 있다.

[0065] 또한, 상기 하부 커버층(55)의 두께(B)에 대한 상기 액티브 층(60)의 두께 $1/2(C)$ 의 비율, C/B 는 $0.146 \leq C/B \leq 2.458$ 의 범위를 만족할 수 있다.

[0066] 한편, 본 발명은 두께가 상부 커버 층(53)보다 큰 하부 커버층(55)을 인쇄 회로 기판의 상면과 인접하게 실장하기 위해, 상기 세라믹 바디(12)의 상면 및 저면 중 적어도 하나에는 상부 및 하부를 구분하기 위한 마킹이 형성될 수 있다.

[0067] **적층 칩 커패시터의 실장 기판**

[0068] 도 4는 도 1의 적층 칩 커패시터가 인쇄 회로 기판에 실장된 모습을 개략적으로 도시한 개략 사시도이며, 도 5는 도 4의 적층 칩 커패시터가 인쇄 회로 기판에 실장된 모습의 개략 평면도이며, 도 6은 도 4의 적층 칩 커패시터가 인쇄 회로 기판에 실장된 모습을 길이 방향과 두께 방향으로 절단하여 도시한 단면도이다.

[0069] 본 실시예에 따른 적층 칩 커패시터의 실장 기판(100)은 적층 칩 전자부품(10), 전극 패드(122, 124) 및 인쇄 회로 기판(120)을 포함할 수 있다.

[0070] 상기 적층 칩 전자부품(10)은 기 설명한 적층 칩 커패시터일 수 있으며, 내부 전극(22, 24)이 상기 인쇄 회로 기판(120)과 수평하도록 적층 칩 커패시터(10)가 인쇄 회로 기판(120)에 실장될 수 있다.

[0071] 또한, 상기 적층 칩 커패시터(10)의 세라믹 바디(12) 내의 상부 커버 층(53)보다 더 두꺼운 하부 커버 층(55)이 상기 상부 커버 층(53) 보다 두께 방향 하측에 배치되도록, 상기 적층 칩 커패시터(10)가 상기 인쇄 회로 기판(120) 상에 실장될 수 있다.

[0072] 상기 적층 칩 커패시터(10)가 인쇄 회로 기판(120)에 실장되어 전압을 인가하면 어쿠스틱 노이즈가 발생한다. 이때, 전극 패드(122, 124)의 크기는 상기 적층 칩 커패시터(10)의 제1 및 제2 외부 전극(42, 44)와 상기 전극 패드(122, 124)를 연결하는 솔더링의 양을 결정하며, 어쿠스틱 노이즈를 감소시킬 수도 있다.

[0073] 도 7은 도 4의 적층 칩 커패시터가 인쇄 회로 기판에 실장된 상태에서 전압이 인가되어 적층 칩 커패시터가 변형되는 모습을 개략적으로 도시한 단면도이다.

[0074] 도 7을 참조하면, 상기 적층 칩 커패시터(10)가 인쇄 회로 기판(120)에 실장되고 적층 칩 커패시터(10)의 양단부에 형성되는 제1 및 제2 외부 전극(42, 44)에 극성이 다른 전압이 인가되면, 유전체 층(50)의 역압전성 효과(Inverse piezoelectric effect)에 의해 세라믹 바디(12)는 두께 방향으로 팽창과 수축을 하게 되고, 제1 및 제2 외부 전극(42, 44)의 길이 방향 양단부는 포아송 효과(Poisson effect)에 의해 세라믹 바디(12)의 두께 방향의 팽창과 수축과는 반대로, 수축과 팽창을 하게 된다.

[0075] 한편, 본 실시예에서는 전압이 인가되어 상기 액티브 층(60)의 중심부에서 발생하는 변형율과 상기 하부 커버 층(55)에서의 발생하는 변형율의 차이에 의해, 상기 세라믹 바디(12)의 두께 방향의 중심부보다 하부의 상기 세라믹 바디(12)의 길이 방향 양단부에 변곡점(PI, point of inflection)이 형성될 수 있다.

[0076] 또한, 상기 변곡점(PI)은 세라믹 바디(12)의 외부면의 위상이 변화되는 지점으로, 전극 패드(122, 124)에서 상

기 적층 칩 커패시터(10)의 외부 전극(42, 44)에 형성되는 솔더링(142, 144)의 높이 이하에서 형성될 수 있다.

- [0077] 여기서, 상기 액티브 층(60)의 중심부는 전압의 인가에 의해, 제1 및 제2 외부 전극(42, 44)의 길이 방향 양단부에서 가장 최대로 팽창과 수축되는 부분이 된다.
- [0078] 도 7은 적층 칩 커패시터(10)의 길이 방향의 양단부가 최대로 팽창된 부분을 나타내며, 적층 칩 커패시터(10)의 길이 방향의 양단부가 최대로 팽창되면, 솔더링(142, 144)의 상부는 팽창에 의해 외부로 밀려나는 힘(①)이 생기고, 솔더링(142, 144)의 하부는 팽창에 의해 외부로 밀려나는 힘에 의해 외부 전극으로 미는 수축되는 힘(②)이 생긴다.
- [0079] 이로 인해 변곡점(PI, point of inflection)이 솔더링의 높이 이하에서 발생될 수 있다.
- [0080] 도 5를 참조하면, 제1 전극 패드(122)와 제2 전극 패드(124)의 길이 방향의 양단부 사이의 거리를 L1으로, 적층 칩 커패시터(10)의 제1 외부 전극(42)과 제2 외부 전극(44)의 길이 방향의 외부면 사이의 거리를 L2로 규정하고 있다. 또한, 제1 전극 패드(122)와 제2 전극 패드(124)의 폭 방향의 양 단부 사이의 거리를 W1으로, 적층 칩 커패시터(10)의 제1 외부 전극(42)과 제2 외부 전극(44)의 폭 방향의 외부면 사이의 거리를 W2로 규정하고 있다.
- [0081] 도 8a는 종래의 적층 칩 커패시터의 내부 전극이 인쇄 회로 기판에 수직 실장된 경우와 수평 실장된 경우에 있어서, 전극 패드 사이즈에 대한 어쿠스틱 노이즈 변화 모습을 도시한 그래프이다.
- [0082] 도 8a를 참조하면, 전극 패드의 사이즈, 즉, L1/L2가 1.34 및 1.17 이하로 작아질 때, 적층 칩 커패시터의 내부 전극이 인쇄 회로 기판에 수평으로 실장된 경우 어쿠스틱 노이즈가 감소되는 것을 알 수 있다. 그러나, 적층 칩 커패시터의 내부 전극이 인쇄 회로 기판에 수직으로 실장된 경우에는 어쿠스틱 노이즈가 많이 저감되지 않는 것을 알 수 있다.
- [0083] 즉, 전극 패드의 크기는 적층 칩 커패시터의 내부 전극이 인쇄 회로 기판에 수평으로 실장되느냐 수직으로 실장되느냐에 따라 어쿠스틱 노이즈 감소시키는데 다른 경향성을 가진다.
- [0084] 도 8b는 본 발명의 실시예인 내부 전극이 인쇄 회로 기판에 수평인 상태이고 하부 커버 층이 인쇄 회로 기판과 인접하도록 적층 칩 커패시터를 인쇄 회로 기판에 실장한 경우에 있어서, 전극 패드 사이즈에 대한 어쿠스틱 노이즈 변화의 모습을 종래 기술과 대비하여 도시한 그래프이다.
- [0085] 도 8b를 참조하면, 적층 칩 커패시터의 내부 전극이 인쇄 회로 기판에 수평으로 실장이 되는 경우라도, 하부 커버 또는 상부 커버의 두께에 따라서 어쿠스틱 노이즈의 크기가 다름을 알 수 있다. 따라서, 어쿠스틱 노이즈를 더 감소시키기 위해서는 다른 파라미터가 더 필요함을 알 수 있다.
- [0086] 본 발명의 실시예들에 따르면, 액티브 층의 중심부가 적층 칩 커패시터의 중심부로부터 벗어나는 정도의 범위, 상부 커버 층과 하부 커버 층 사이의 비율, 세라믹 바디의 두께에 대한 하부 커버 층이 차지하는 비율, 액티브 층의 두께에 대한 하부 커버 층이 차지하는 비율을 조절하여 어쿠스틱 노이즈를 더 저감할 수 있다.
- [0087] 본 발명의 일 실시예에 따르면, 액티브 층(60)의 중심부가 상기 세라믹 바디(12)의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족하면, 전극 패드가 작아서 솔더의 양이 적은 경우에도 어쿠스틱 노이즈가 충분히 저감되며, 전극 패드가 큰 경우에 오히려 어쿠스틱 노이즈가 더 감소하는 것을 알 수 있다.
- [0088] 즉, 액티브 층(60)의 중심부가 상기 세라믹 바디(12)의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족하면, 전극 패드의 크기와는 무관하게 어쿠스틱 노이즈가 현저하게 감소될 수 있다. 여기서, A는 상기 세라믹 바디의 전체 두께의 1/2, B는 상기 하부 커버 층의 두께, C는 상기 액티브 층의 전체 두께의 1/2, D는 상기 상부 커버 층의 두께를 각각 나타낸다.
- [0089] 액티브 층(60)의 중심부가 상기 세라믹 바디(12)의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족하면, 적층 칩 커패시터의 최대 변위는 액티브 층(60)의 중심으로 세라믹 바디(12)의 중심부의 상부가 되므로, 솔더를 통해 인쇄 회로 기판(120)으로 전달되는 변위량이 줄어들게 되어 어쿠스틱 노이즈가 감소하는 것으로 해석될 수 있다.

[0090] 적층 칩 커패시터의 포장체

- [0091] 도 9는 본 발명의 일 실시예에 따른 적층 칩 커패시터를 포장체에 실장되는 모습을 도시한 개략 사시도이며, 도 10은 도 9의 포장체를 릴 형상으로 권취하여 도시한 개략 단면도이다.
- [0092] 도 9를 참조하면, 본 실시예의 적층 칩 커패시터의 포장체(200)는 적층 칩 커패시터(10)가 수납되는 수납부(224)가 형성되는 포장시트(220)를 포함할 수 있다.
- [0093] 상기 포장시트(220)의 수납부(224)는 적층 칩 커패시터(10)와 대응되는 형상을 가지며, 상기 수납부(224)의 저면(225)을 기준으로 내부 전극은 수평하게 배치될 수 있다.
- [0094] 상기 적층 칩 커패시터(10)는 전자 부품 정렬 장치를 통해 내부 전극이 수평하게 정렬된 상태를 유지하며, 이송 장치를 통해 포장시트(220)로 이동하게 된다. 따라서, 포장시트(220)의 수납부(224)의 저면(225)을 기준으로 내부 전극이 수평하도록 배치될 수 있다. 이와 같은 방법으로, 포장시트(220) 내의 다수의 적층 칩 커패시터(10)가 상기 포장시트(220) 내에서 동일한 방향성을 가지도록 배치될 수 있다.
- [0095] 상기 수납부(224) 내에 수납되는 상기 적층 칩 커패시터(10) 각각은 상기 하부 커버 층(55)이 상기 수납부(224)의 저면을 향하도록 배치될 수 있다. 또한, 상기 세라믹 바디(12)의 상면에는 상부 및 하부를 구분하기 위한 마킹이 형성될 수도 있다.
- [0096] 상기 적층 칩 커패시터의 포장체(200)는 상기 수납부(225)의 저면을 기준으로 상기 내부 전극이 수평하게 배치된 전자 부품(10)이 수납된 상기 포장시트(220)를 덮는 포장막(240)을 더 포함할 수 있다.
- [0097] 도 10은 릴 타입으로 감겨진 형상의 적층 칩 커패시터의 포장체(200)로, 연속적으로 감겨져서 형성될 수 있다.

[0098] 실험예

- [0099] 본 발명의 실시예와 비교예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었다.
- [0100] 티탄산바륨($BaTiO_3$) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 1.8 μm 의 두께로 제조된 복수 개의 세라믹 그린 시트를 마련한다.
- [0101] 다음으로, 상기 세라믹 그린 시트 상에 스크린을 이용하여 니켈 내부 전극용 도전성 페이스트를 도포하여 내부 전극을 형성한다.
- [0102] 상기 세라믹 그린 시트를 약 370층으로 적층하되, 내부 전극이 형성되지 않은 세라믹 그린 시트를 내부 전극이 형성된 세라믹 그린 시트의 하부에서 상부보다 더 많이 적층을 하였다. 이 적층체를 85℃에서 1000kgf/cm² 압력 조건으로 등압 압축성형(isostatic pressing) 하였다. 압착이 완료된 세라믹 적층체를 개별 칩의 형태로 절단하였고, 절단된 칩은 대기 분위기에서 230℃, 60시간 유지하여 탈바인더를 진행하였다.
- [0103] 이후, 1200℃에서 내부전극이 산화되지 않도록 Ni/NiO 평형 산소분압보다 낮은 10⁻¹¹atm ~10⁻¹⁰atm의 산소분압하 환원분위기에서 소성하였다. 소성 후 적층 칩 커패시터의 칩 사이즈는 길이×폭(L×W)은 약 1.64mm×0.88mm(L×W, 1608 사이즈) 이었다. 여기서, 제작 공차는 길이×폭(L×W)으로 ±0.1mm 내의 범위로 정하였고, 이를 만족하면 실험을 어쿠스틱 노이즈 측정을 실시하였다.
- [0104] 다음으로, 외부전극, 도금 등의 공정을 거쳐 적층 세라믹 커패시터로 제작하였다.

표 1

[0105]

샘플 번호	A (μm)	B (μm)	C (μm)	D (μm)	(B+C)/A	B/A	D/B	C/B	Acoustic Noise (dB)	용량 구현율
1*	405.5	40.2	365.4	39.9	1.000	0.099	0.993	9.090	29.5	OK
2*	436.0	70.4	365.9	69.7	1.001	0.161	0.990	5.197	25.7	OK
3*	455.5	90.8	364.3	91.5	0.999	0.199	1.008	4.012	23.1	OK
4*	508.1	24.9	361.1	269.1	0.760	0.049	10.807	14.502	31.2	OK
5*	456.6	25.2	360.1	167.8	0.844	0.055	6.659	14.290	32.5	OK
6*	527.3	30.2	191.0	642.4	0.419	0.057	21.272	6.325	30.3	OK
7*	414.5	30.9	188.8	420.4	0.530	0.075	13.605	6.110	30.5	OK
8*	516.2	39.4	360.7	271.5	0.775	0.076	6.891	9.155	28.2	OK
9*	446.0	39.8	365.5	121.2	0.909	0.089	3.045	9.183	29.1	OK
10*	469.1	40.6	364.2	169.1	0.863	0.087	4.165	8.970	27.9	OK
11*	416.2	40.7	360.7	70.3	0.964	0.098	1.727	8.862	28.4	OK
12*	428.3	40.8	360.0	95.7	0.936	0.095	2.346	8.824	28.9	OK
13*	495.9	40.9	364.9	221.0	0.818	0.082	5.403	8.922	28.1	OK
14*	435.9	25.0	421.3	4.2	1.024	0.057	0.168	16.852	31.6	OK
15*	420.7	70.4	365.9	39.1	1.037	0.167	0.555	5.197	25.7	OK
16	431.7	94.8	364.3	40.0	1.063	0.220	0.422	3.843	19.9	OK
17	443.0	103.8	389.1	4.0	1.113	0.234	0.039	3.749	19.3	OK
18	443.7	119.8	363.2	41.1	1.089	0.270	0.343	3.032	18.7	OK
19	447.1	147.3	362.1	22.7	1.139	0.329	0.154	2.458	17.9	OK
20	452.8	164.7	360.2	20.4	1.159	0.364	0.124	2.187	17.3	OK
21	448.7	170.3	361.0	5.1	1.184	0.380	0.030	2.120	17.2	OK
22	470.7	170.4	365.4	40.2	1.138	0.362	0.236	2.144	17.4	OK
23	491.9	220.3	360.8	41.8	1.181	0.448	0.190	1.638	16.9	OK
24	500.6	270.2	360.5	9.9	1.260	0.540	0.037	1.334	16.8	OK
25	516.9	270.4	361.8	39.7	1.223	0.523	0.147	1.338	16.7	OK
26	502.1	364.9	312.3	14.7	1.349	0.727	0.040	0.856	16.6	OK
27	407.5	421.8	189.1	14.9	1.499	1.035	0.035	0.448	16.6	OK
28	445.8	493.3	179.3	39.7	1.509	1.107	0.080	0.363	16.5	OK
29	483.7	632.0	160.1	15.2	1.638	1.307	0.024	0.253	16.4	OK
30	520.0	643.4	190.7	15.2	1.604	1.237	0.024	0.296	16.4	OK
31	486.4	685.3	121.1	45.3	1.658	1.409	0.066	0.177	16.4	OK
32	507.2	742.7	120.8	30.1	1.702	1.464	0.041	0.163	16.4	OK
33	515.2	773.9	118.2	20.1	1.732	1.502	0.026	0.153	16.4	OK
34	524.5	798.2	116.9	16.9	1.745	1.522	0.021	0.146	16.3	OK
35*	533.4	832.4	109.8	14.8	1.766	1.561	0.018	0.132	16.3	NG
36*	533.3	841.1	105.3	14.9	1.775	1.577	0.018	0.125	16.3	NG
37*	534.1	849.7	101.2	16.1	1.780	1.591	0.019	0.119	16.3	NG

[0106] *는 비교예

[0107] [표 1]의 데이터는 도 3과 같이 적층 칩 커패시터(10)의 세라믹 바디(12)의 폭 방향(W)의 중심부에서 길이 방향(L) 및 두께 방향(T)으로 절개한 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 찍은 사진을 기준으로 각각의 치수를 측정하였다.

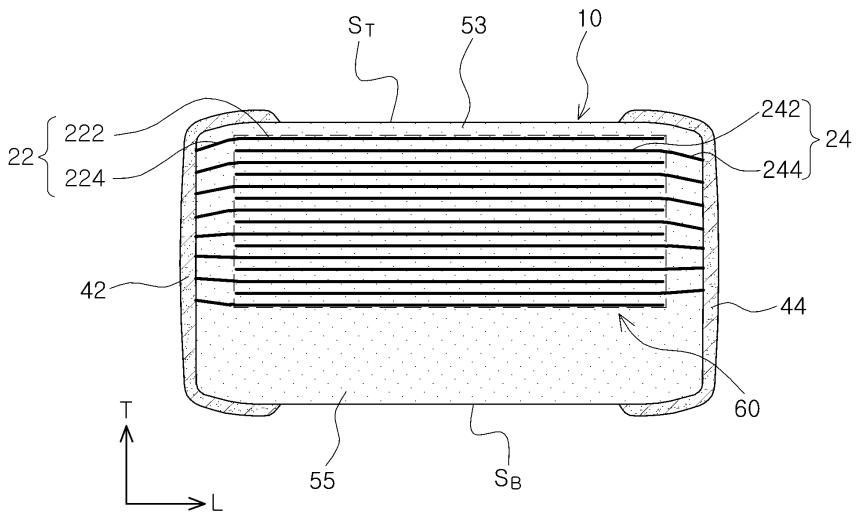
[0108] 여기서 A, B, C 및 D는 상기에서 설명한 바와 같이, 상기 세라믹 바디의 전체 두께의 1/2을 A로, 상기 하부 커버 층의 두께를 B로, 상기 액티브 층의 전체 두께의 1/2을 C로, 상기 상부 커버 층의 두께를 D로 규정하였다.

[0109] 어쿠스틱 노이즈를 측정하기 위해, 어쿠스틱 노이즈 측정용 기관 당 1개의 시료(적층 칩 커패시터)를 상하 방향으로 구분하여 인쇄 회로 기판에 실장한 후 그 기관을 측정용 지그(Jig)에 장착하였다. 그리고, DC 파워 서플라이(Power supply) 및 신호 발생기(Function generator)를 이용하여 측정 지그에 장착된 시료의 양단자에 DC 전압 및 전압 변동을 인가하였다. 상기 인쇄 회로 기판의 바로 위에 설치된 마이크를 통해 어쿠스틱 노이즈를 측

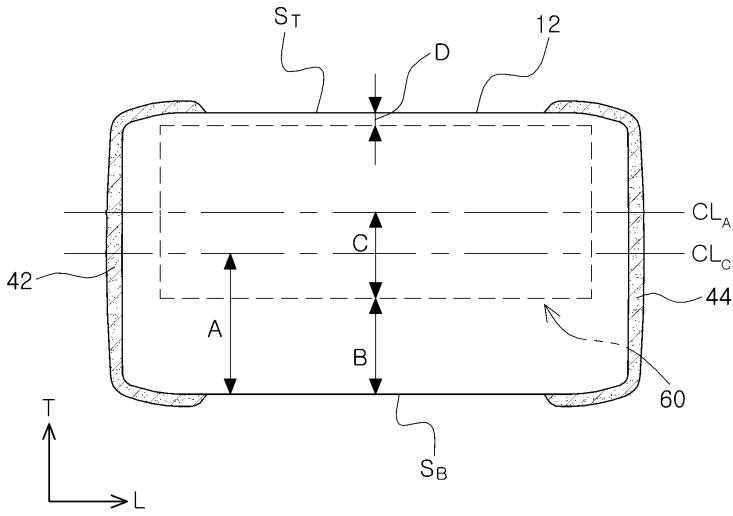
정하였다.

- [0110] [표 1]에서, 시료 1 내지 3은 하부 커버층의 두께(B)와 상부 커버층의 두께(D)가 거의 유사한 커버 대칭 구조를 갖는 비교예이고, 시료 4 내지 13은 상부 커버층의 두께(D)가 하부 커버층의 두께(B)보다 두꺼운 구조를 갖는 비교예이다. 시료 14, 15 및 35 내지 37은 하부 커버층의 두께(B)가 상부 커버층의 두께(D)보다 두꺼운 구조를 갖는 비교예이다. 시료 16 내지 34는 본 발명에 따른 실시예이다.
- [0111] 본 발명의 실시예들은 상기 상부 커버 층(53)의 두께(D)가 $D \geq 4\mu\text{m}$ 의 범위를 만족할 수 있다. D가 $4\mu\text{m}$ 보다 작은 경우 내부 전극이 세라믹 바디(12)의 상면(S_T)으로 노출되는 불량이 발생할 수 있다.
- [0112] $(B+C)/A$ 값이 거의 1인 경우는 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 크게 벗어나지 않음을 의미한다. 하부 커버층의 두께(B)와 상부 커버층의 두께(D)가 거의 유사한 커버대칭 구조를 갖는 시료 1 내지 3의 $(B+C)/A$ 값은 거의 1이다.
- [0113] $(B+C)/A$ 값이 1보다 크면 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 상부 방향으로 벗어났음을 의미하고, $(B+C)/A$ 값이 1보다 작으면 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 하부 방향으로 벗어났음을 의미할 수 있다.
- [0114] 우선, 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율, $(B+C)/A$ 는 $1.063 \leq (B+C)/A \leq 1.745$ 의 범위를 만족하는 실시예인 시료 16 내지 34는 어쿠스틱 노이즈가 20dB 미만으로 현저히 줄어드는 것을 알 수 있다.
- [0115] 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율, $(B+C)/A$ 가 1.063 미만인 시료 1 내지 15는 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 거의 벗어나지 않았거나, 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 하부 방향으로 벗어난 구조를 갖는다. $(B+C)/A$ 가 1.063 미만인 시료 1 내지 15는 어쿠스틱 노이즈가 25dB 내지 32.5dB로서 어쿠스틱 노이즈 감소 효과가 없음을 알 수 있다.
- [0116] 상기 액티브 층의 중심부가 상기 세라믹 바디의 중심부로부터 벗어난 비율, $(B+C)/A$ 가 1.745를 초과하는 경우에는 시료 35 내지 37의 경우에는 목표용량 대비 정전용량이 낮아서 용량 불량이 발생하였다. 표 1에서, 용량 구현율(즉, 목표용량 대비 정전용량의 비율)이 "NG"인 경우란 목표 용량치를 100%라고 할 때, 목표용량 대비 정전용량 값이 80% 미만인 경우를 의미한다.
- [0117] 또한, 상기 상부 커버 층의 두께(D)와 하부 커버 층의 두께(B)의 비율(D/B)이 $0.021 \leq D/B \leq 0.422$ 의 범위를 만족하는 실시예들은 어쿠스틱 노이즈가 현저히 줄어드는 것을 알 수 있다.
- [0118] 상기 상부 커버 층의 두께(D)와 하부 커버 층의 두께(B)의 비율(D/B)이 0.422를 초과하는 비교예들은 어쿠스틱 노이즈 감소 효과가 없음을 알 수 있다. 상기 상부 커버 층의 두께(D)와 하부 커버 층의 두께(B)의 비율(D/B)이 0.021 미만의 경우에는 상부 커버 층의 두께(D)에 비해 하부 커버 층의 두께(B)가 지나치게 커서 크랙 또는 디라미네이션 발생할 수도 있고, 목표용량 대비 정전용량이 낮아서 용량 불량이 발생할 수도 있다.
- [0119] 실시예들 중에서 상기 세라믹 바디의 두께(A)에 대한 상기 하부 커버층의 두께(B)의 비율(B/A) 및 상기 하부 커버 층의 두께(B)에 대한 액티브 층의 두께(C)의 비율(C/B) 각각이 $0.329 \leq B/A \leq 1.522$ 및 $0.146 \leq C/B \leq 2.458$ 의 범위를 만족하는 실시예인 시료 19 내지 34는 어쿠스틱 노이즈가 18dB 미만으로 더 현저히 줄어드는 것을 알 수 있다.
- [0120] 상기 세라믹 바디의 두께(A)에 대한 상기 하부 커버층의 두께(B)의 비율(B/A)이 1.522를 초과하거나 상기 하부 커버 층의 두께(B)에 대한 액티브 층의 두께(C)의 비율(C/B)이 0.146 미만인 시료 35 내지 37의 경우에는 목표

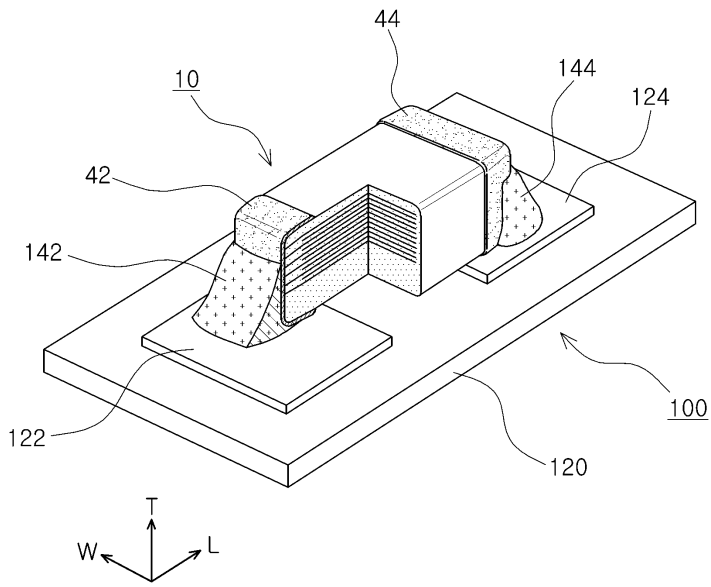
도면2



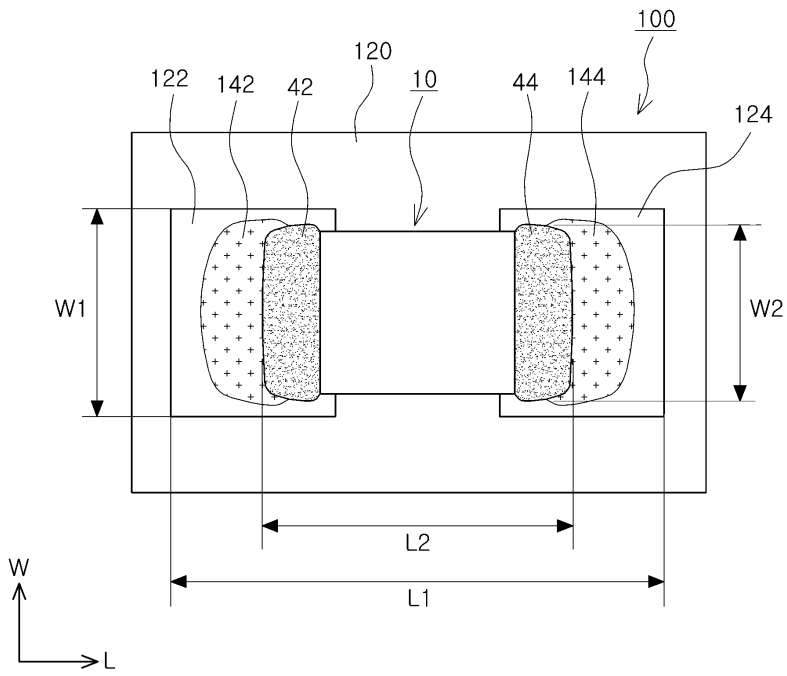
도면3



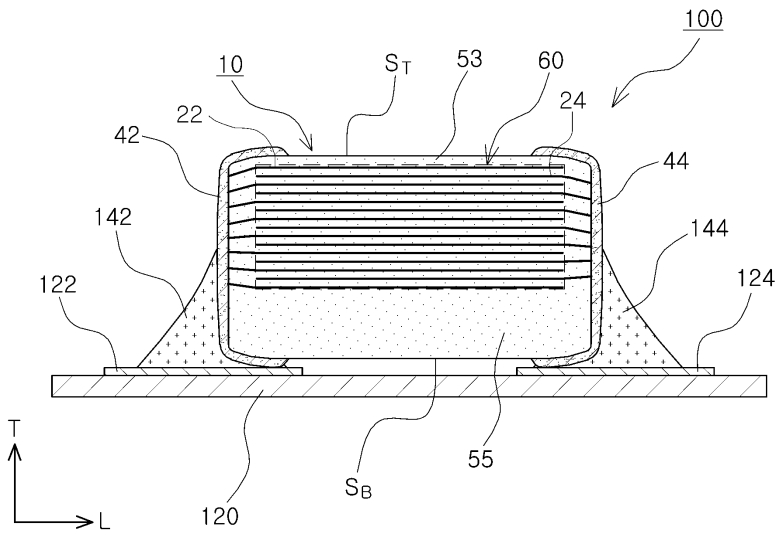
도면4



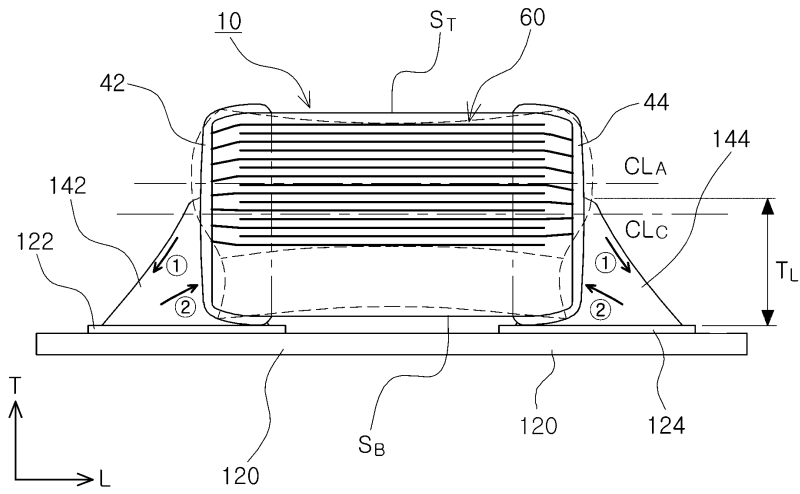
도면5



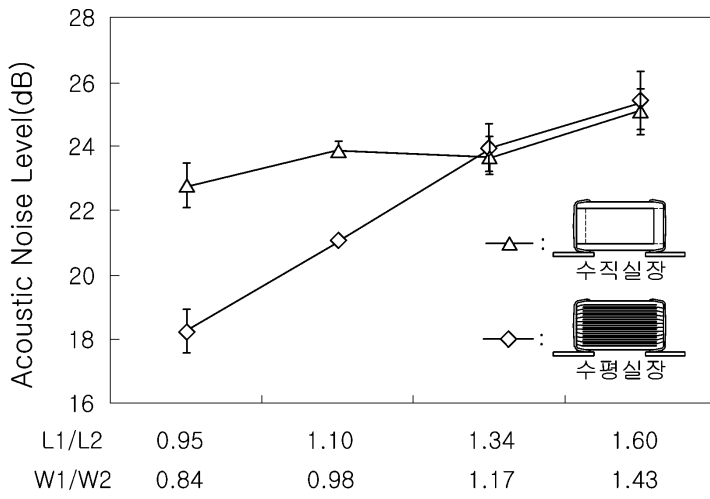
도면6



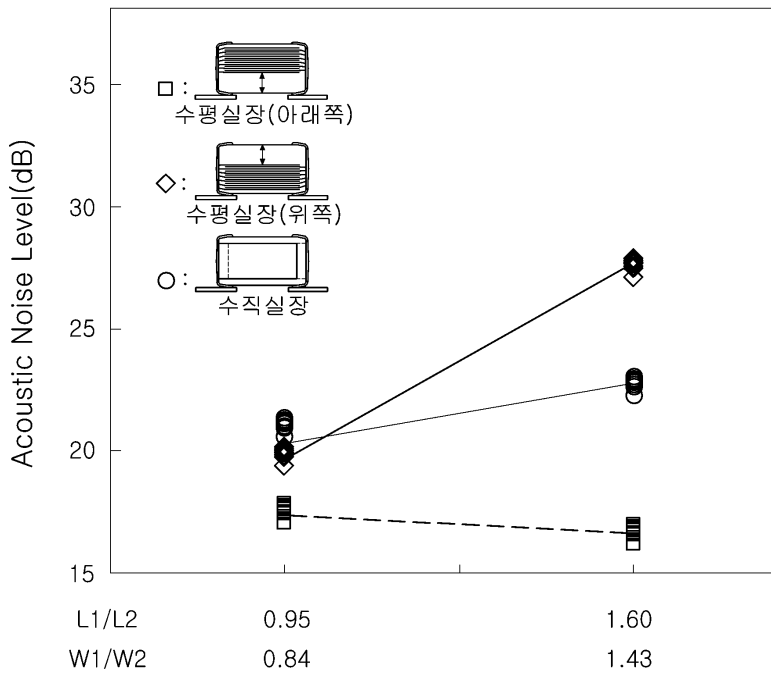
도면7



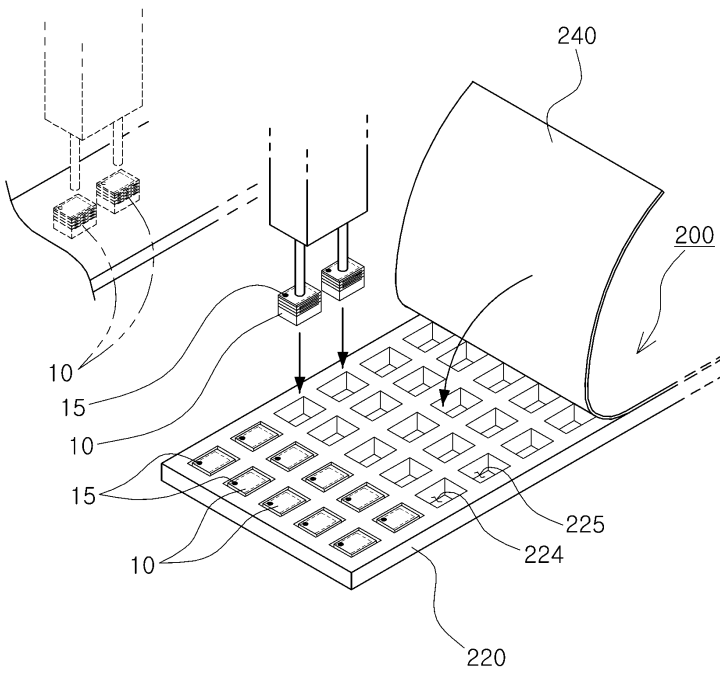
도면8a



도면8b



도면9



도면10

