



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I429077 B

(45)公告日：中華民國 103 (2014) 年 03 月 01 日

(21)申請案號：099140786

(22)申請日：中華民國 99 (2010) 年 11 月 25 日

(51)Int. Cl. : H01L29/778 (2006.01)

H01L21/335 (2006.01)

(30)優先權：2009/12/23 美國

12/646,697

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：拉多撒福傑維克 馬可 RADOSAVLJEVIC, MARKO (US)；狄威 吉伯特 DEWEY, GILBERT (US)；穆可吉 尼洛依 MUKHERJEE, NILOY (IN)；皮拉瑞斯提 拉維 PILLARISSETTY, RAVI (US)

(74)代理人：林志剛

(56)參考文獻：

US 7569869B2

審查人員：邱青松

申請專利範圍項數：24 項 圖式數：8 共 0 頁

(54)名稱

施加張力至積體電路裝置之技術及組態

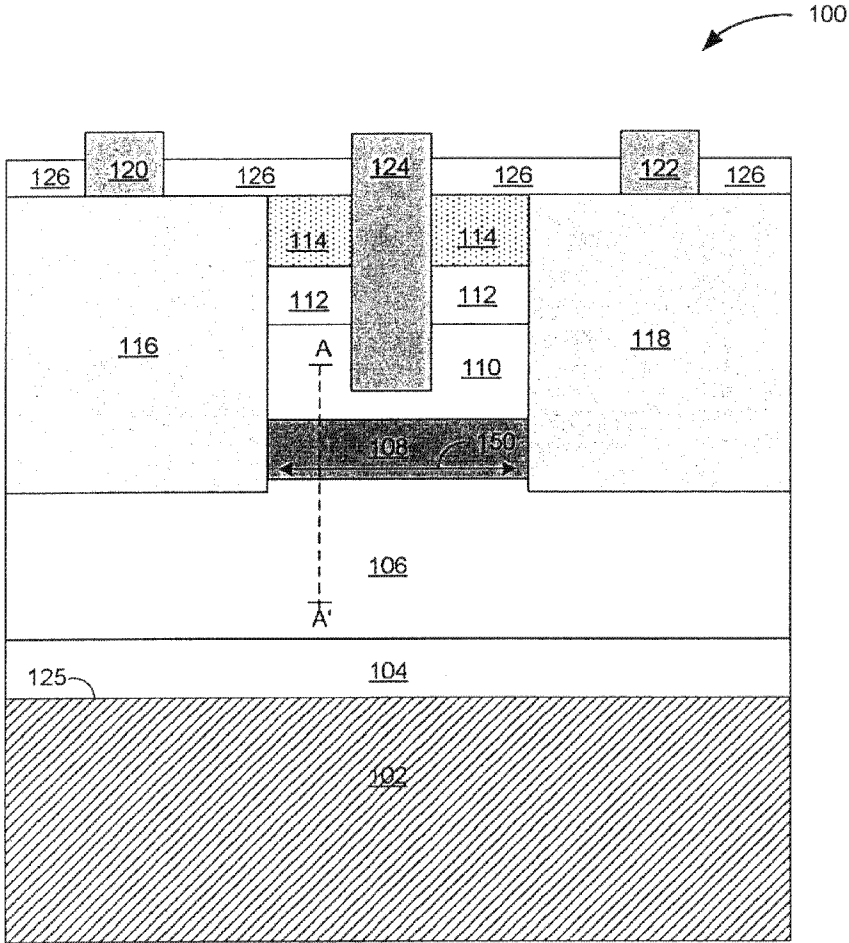
TECHNIQUES AND CONFIGURATIONS TO IMPART STRAIN TO INTEGRATED CIRCUIT DEVICES

(57)摘要

本發明揭示之實施例說明了將應變施加到諸如水平場效電晶體等的積體電路裝置之技術及結構。一積體電路裝置包含：一半導體基材；與該半導體基材耦合之一第一阻障層；被耦合到該第一阻障層之一量子井通道，該量子井通道包含一具有一第一晶格常數之第一材料；以及被耦合到該量子井通道之一源極結構，該源極結構包含一具有一第二晶格常數之第二材料，其中該第二晶格常數不同於該第一晶格常數，而將一應變施加在該量子井通道上。可說明其他實施例，且(或)申請該等其他實施例之專利範圍。

Embodiments of the present disclosure describe techniques and configurations to impart strain to integrated circuit devices such as horizontal field effect transistors. An integrated circuit device includes a semiconductor substrate, a first barrier layer coupled with the semiconductor substrate, a quantum well channel coupled to the first barrier layer, the quantum well channel comprising a first material having a first lattice constant, and a source structure coupled to the quantum well channel, the source structure comprising a second material having a second lattice constant, wherein the second lattice constant is different than the first lattice constant to impart a strain on the quantum well channel. Other embodiments may be described and/or claimed.

第1圖



- 100 . . . 積體電路裝置
- 102 . . . 半導體基材
- 104 . . . 緩衝薄膜
- 106 . . . 第一阻障薄膜
- 108 . . . 量子井通道
- 110 . . . 第二阻障薄膜
- 112 . . . 蝕刻終止薄膜
- 114 . . . 接觸薄膜
- 116 . . . 源極結構
- 118 . . . 汲極結構
- 120 . . . 源極電極
- 122 . . . 汲極電極
- 124 . . . 閘極電極
- 126 . . . 應變誘發薄膜
- 125 . . . 主動面
- 150 . . . 電流方向

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099140786

※申請日：099年11月25日

※IPC分類：H01L 29/178
H01L 21/35 2006.01

一、發明名稱：(中文/英文)

施加張力至積體電路裝置之技術及組態

Techniques and configurations to impart strain to integrated circuit devices

二、中文發明摘要：

本發明揭示之實施例說明了將應變施加到諸如水平場效電晶體等的積體電路裝置之技術及結構。一積體電路裝置包含：一半導體基材；與該半導體基材耦合之一第一阻障層；被耦合到該第一阻障層之一量子井通道，該量子井通道包含一具有一第一晶格常數之第一材料；以及被耦合到該量子井通道之一源極結構，該源極結構包含一具有一第二晶格常數之第二材料，其中該第二晶格常數不同於該第一晶格常數，而將一應變施加在該量子井通道上。可說明其他實施例，且（或）申請該等其他實施例之專利範圍。

三、英文發明摘要：

Embodiments of the present disclosure describe techniques and configurations to impart strain to integrated circuit devices such as horizontal field effect transistors. An integrated circuit device includes a semiconductor substrate, a first barrier layer coupled with the semiconductor substrate, a quantum well channel coupled to the first barrier layer, the quantum well channel comprising a first material having a first lattice constant, and a source structure coupled to the quantum well channel, the source structure comprising a second material having a second lattice constant, wherein the second lattice constant is different than the first lattice constant to impart a strain on the quantum well channel. Other embodiments may be described and/or claimed.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：積體電路裝置

102：半導體基材

104：緩衝薄膜

106：第一阻障薄膜

108：量子井通道

110：第二阻障薄膜

112：蝕刻終止薄膜

114：接觸薄膜

116：源極結構

118：汲極結構

120：源極電極

122：汲極電極

124：閘極電極

126：應變誘發薄膜

125：主動面

150：電流方向

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明揭示之實施例係大致有關積體電路之領域，尤係有關將應變施加到諸如水平場效電晶體等的積體電路裝置之技術及結構。

【先前技術】

一般而言，係以諸如用於電子或光電裝置的 III-V 族半導體材料等的新興半導體薄膜形成諸如電晶體等的積體電路裝置。此類 III-V 族材料的較佳之載子遷移率（carrier mobility）可增加以此類材料形成的積體電路裝置之速度。

【發明內容】

本發明揭示之實施例說明了將應變施加到諸如水平場效電晶體等的積體電路裝置之技術及結構。一積體電路裝置包含：一半導體基材；與該半導體基材耦合之一第一阻障層（barrier layer）；被耦合到該第一阻障層之一量子井通道，該量子井通道包含一具有一第一晶格常數（lattice constant）之第一材料；以及被耦合到該量子井通道之一源極結構，該源極結構包含一具有一第二晶格常數之第二材料，其中該第二晶格常數不同於該第一晶格常數，而將一應變施加在該量子井通道上。可說明其他實施例，且（或）申請該等其他實施例之專利範圍。

【實施方式】

本發明揭示之實施例提供了將應變施加到諸如水平場效電晶體等的積體電路裝置之技術及結構。在下文之實施方式中，將參照構成本發明的一部分之各附圖，其中在所有該等附圖中之類似的代號標示類似的部分，且其中係以例示可實施的各實施例之方式示出該等附圖。我們應可了解：可利用其他實施例，且可在不脫離本發明揭示之範圍下作出結構或邏輯上的改變。因此，不應以限制之方式理解下文中之實施方式，且只由最後之申請專利範圍以及其等效物範圍界定根據本發明揭示的實施例之範圍。

可以一種最有助於了解申請專利範圍的主題之方式，而以依次進行的多個分立式操作之形式說明各操作。然而，不應將說明的順序理解為意味著這些操作必然是與順序相依的。尤其，可能不按照呈現的順序執行這些操作。可按照與所述實施例不同的順序執行所述之各操作。在額外的實施例中，可執行額外的操作，且／或可省略所述之操作。

本說明可使用諸如水平的／垂直的、上／下、後／前、在...之上／在...之下、以及頂部／底部等的基於視角之說明。這些說明不得將本發明所述實施例之應用限制於特定的方位。

為了便於說明本發明之揭示，詞語"A及／或B"意指（A）、（B）、或（A及B）。為了便於說明本發明之揭示

，詞語 "A、B、及／或C"意指 (A)、(B)、(C)、(A及B)、(A及C)、(B及C)、或(A、B、及C)。

本發明可使用詞語 "在一實施例中"，"或"在各實施例中，"而該等詞語可分別意指相同的或不同的實施例之一或多個實施例。此外，在以與本發明的實施例有關之方式使用術語 "包含"、"包括"、及"具有"等的術語時，該等術語都是同義的。

可將術語 "被耦合"用來描述本發明的各組件間之各種關係。例如，除非另有陳述（例如，"在電氣上被耦合"、"在通訊上被耦合"、或"被耦合而〔執行一功能〕"，否則術語 "被耦合到"可一般性地意指各組件間之較直接的實體連接。術語 "與...耦合"一般性地意指實體連接，其中該等被耦合的組件之間可能存在或可能不存在其他的中間組件。

第1圖以示意圖示出根據某些實施例的一例示積體電路裝置。在一實施例中，積體電路裝置100包含一半導體基材102、一或多個緩衝薄膜104、一第一阻障薄膜106、一量子井通道108、一第二阻障薄膜110、一蝕刻終止薄膜112、一接觸薄膜114、一源極結構116、一汲極結構118、一源極電極120、一汲極電極122、一閘極電極124、以及一應變誘發薄膜126，該等部位係以圖中所示之方式被耦合。

半導體基材102可包含N型或P型(100)偏移主方向矽(off-oriented silicon)，其中係以常規(xyz)代表半導

體基材 102 之晶向 (crystalline direction)，其中 x 、 y 、及 z 代表在相互垂直的三個維度中之各別的晶面 (crystallographic plane)。半導體基材 102 可包含諸如朝向 (110) 方向大約 2 度至大約 8 度間之一範圍中之一 (100) 偏移切割 (off-cut) 的材料。可使用其他的偏移切割方位或沒有偏移切割方位之半導體基材 102。偏移切割可消除反相疇界 (anti-phase boundaries)。

半導體基材 102 可具有大約 1 歐姆-厘米至大約 50 千歐姆-厘米間之高電阻係數。高電阻係數可容許半導體基材 102 的一主動面 125 上形成的的一或多個積體電路裝置 (例如，積體電路裝置 100) 之裝置隔離。主動面 125 可以是實質上平坦的面，而在該平坦的面上形成諸如電晶體等的積體電路裝置 (例如，積體電路裝置 100)。

一或多個緩衝薄膜 104 可被耦合到半導體基材 102。在一實施例中，該一或多個緩衝薄膜 104 包括一成核 (nucleation) 緩衝薄膜 (圖中未示出) 及一漸變 (graded) 緩衝薄膜。例如，可將該成核緩衝薄膜用來填充具有一半導體材料的原子雙層之半導體基材 102 台階，其中該半導體材料包括諸如一或多個 III-V 族半導體材料及／或一或多個 II-VI 族半導體材料、或以上兩者之組合。該成核緩衝薄膜之一成核部分 (圖中未示出) 可產生一虛擬極性 (virtual polar) 半導體基材 102。該成核部分可具有諸如大約 3 奈米 (nm) 至大約 50 奈米之厚度。該成核緩衝薄膜的一緩衝薄膜部分 (圖中未示出) 可被用來作為對付位錯穿

透 (dislocation threading) 之一緩衝，且／或提供了將半導體基材 102 與第一阻障薄膜 106 間之晶格失配 (lattice mismatch) 控制在約 4% 與 8% 之間。成核緩衝薄膜之該緩衝薄膜部分可具有諸如大約 0.3 微米至大約 5 微米之厚度。該成核緩衝薄膜 (例如，一或多個緩衝薄膜 104) 可包括諸如砷化鎵 (GaAs) 等的 III-V 族半導體及／或 II-VI 族半導體。亦可將其中包括 N 型及 P 型材料體系之其他的材料體系用來形成該成核緩衝薄膜。

該一或多個緩衝薄膜 104 可進一步包含在該成核緩衝薄膜 (圖中未示出) 上形成之一漸變緩衝薄膜 (圖中未示出)。該漸變緩衝薄膜可包含諸如 III-V 族半導體材料、及／或 II-VI 族半導體材料、或以上各項之組合。例如，該漸變緩衝薄膜可包含砷化銦鋁 ($\text{In}_x\text{Al}_{1-x}\text{As}$)，其中 x 具有介於 0 與 1 之間的一值，代表該等元素之相對成分。在一實施例中， x 具有介於大約 0 與大約 0.52 之間的一值。在另一實施例中，該漸變緩衝薄膜包含銻化銦鋁 (InAlSb)。

在其他實施例中，可將其中包括 N 型或 P 型材料之其他材料體系用於該漸變緩衝薄膜。例如，該漸變緩衝薄膜可包括反向漸變砷化銦鋁 (InAlAs) 或砷化銦鎵鋁 (InGaAlAs)，以便提供用於裝置隔離之較大的帶隙 (bandgap)。在該材料體系中，增加該漸變緩衝薄膜中之鋁 (Al) 的相對百分率時，可策略性地增加應變 (例如，壓縮應變 (compressive strain)) 至量子井通道 108，以便提高積體電路裝置 100 之性能。

該漸變緩衝薄膜亦可提供半導體基材 102 與諸如第一阻障薄膜 106 等的其他晶格失配薄膜間之應力鬆弛，以便減少積體電路裝置 100 中之位錯缺陷。該漸變緩衝薄膜可具有諸如大約 0.5 微米至 2 微米之厚度。在其他實施例中，可使用其他的厚度。該一或多個緩衝薄膜 104 可包括其他的緩衝薄膜、或提供與本發明的其他實施例所述的類似功能之技術。

可以磊晶方式沈積該一或多個緩衝薄膜 104。在一實施例中，係以分子束磊晶（Molecular Beam Epitaxy；簡稱 MBE）、原子層磊晶（Atomic Layer Epitaxy；簡稱 ALE）、磊晶生長、化學束磊晶（Chemical Beam Epitaxy；簡稱 CBE）、金屬有機化學氣相沈積（Metal-Organic Chemical Vapor Deposition；簡稱 MOCVD）、或以上各項之組合沈積該一或多個緩衝薄膜。在其他實施例中，可使用其他適當的沈積方法。

可使一第一阻障薄膜 106 與半導體基材 102 耦合。例如，如圖所示，第一阻障薄膜 106 可被耦合到半導體基材 102 上形成之一或多個緩衝薄膜 104。第一阻障薄膜 106 可包含 III-V 族半導體材料、及／或 II-VI 族半導體材料、或以上各項之組合。在一實施例中，第一阻障薄膜 106 包含砷化銦鋁（ $\text{In}_x\text{Al}_{1-x}\text{As}$ ），其中 x 具有介於 0 與 1 之間的一值，代表該等元素之相對成分。根據各實施例， x 具有介於大約 0.5 與大約 0.8 之間的一值。在另一實施例中，該第一阻障薄膜 106 包含銻化銦鋁（ InAlSb ）。在又一實施例中，第

一阻障薄膜 106 包含磷化銦 (InP) 。在其他實施例中，可將其中包括 N 型及 / 或 P 型材料之其他材料體系用於第一阻障薄膜 106 。

第一阻障薄膜 106 可包含具有比被用於量子井通道 108 的材料所具有的帶隙高的帶隙之一材料。可選擇第一阻障薄膜 106 之厚度，以便將充分的阻障提供給量子井通道 108 中之電荷載子。在一實施例中，第一阻障薄膜 106 具有大約 10 奈米至大約 200 奈米之厚度。在其他實施例中，可使用第一阻障薄膜 106 之其他厚度。

可以磊晶方式沈積第一阻障薄膜 106。在一實施例中，係以分子束磊晶 (MBE) 、原子層磊晶 (ALE) 、磊晶生長、化學束磊晶 (CBE) 、金屬有機化學氣相沈積 (MOCVD) 、或以上各項之組合沈積第一阻障薄膜 106。在其他實施例中，可使用其他適當的沈積方法。

量子井通道 108 可被耦合到第一阻障薄膜 106。量子井通道 108 可包含 III-V 族半導體材料、及 / 或 II-VI 族半導體材料、或以上各項之組合。在一實施例中，量子井通道 108 包含砷化銦鎵 ($\text{In}_x\text{Ga}_{1-x}\text{As}$) ，其中 x 具有介於 0 與 1 之間的一值，代表該等元素之相對成分。在一實施例中， x 包含介於大約 0.5 與大約 0.8 之間的一值。在另一實施例中，量子井通道 108 包含銻化銦 (InSb) 。在其他實施例中，量子井通道 108 可包含其中包括 N 型或 P 型材料之其他材料體系。量子井通道 108 將一路徑提供給諸如電子或電洞等的移動電荷載子，以供在一源極結構 116 與一汲極結構

118之間移動。根據各實施例，量子井通道108將電子遷移率提供給N型裝置，且／或將電洞遷移率提供給P型裝置。

根據各實施例，量子井通道108具有比第一阻障薄膜106及第二阻障薄膜110的帶隙相對小的帶隙能量。量子井通道108可具有將通道傳導提供給積體電路裝置100之厚度。根據各實施例，量子井通道108具有大約2奈米至大約15奈米之厚度。在其他實施例中，量子井通道108可具有其他厚度。

可以磊晶方式沈積量子井通道108。在一實施例中，係以分子束磊晶（MBE）、原子層磊晶（ALE）、磊晶生長、化學束磊晶（CBE）、金屬有機化學氣相沈積（MOCVD）、或以上各項之組合沈積量子井通道108。在其他實施例中，可使用其他適當的沈積方法。

一源極結構116被耦合，而將移動的電荷載子（例如，電子或電洞）提供給量子井通道108。根據各實施例，源極結構116包含具有與被用來形成量子井通道108的材料的晶格常數不同（例如，較大或較小）的晶格常數之一材料，以便將一應變施加在量子井通道108。可以磊晶方式將源極結構116耦合到量子井通道108，而形成了一異質界面，因而用於源極結構116與量子井通道108的材料間之不同的晶格常數在量子井通道108上產生了壓縮或拉伸應變（tensile strain）。可根據習知的帶隙工程原理，而將源極結構116之材料選擇成提供所需的或充分的傳導性及／或與量子井通道108間之磊晶連接。

源極結構 116 可被耦合成將移動的電荷載子水平地注入到量子井通道 108。例如，被源極結構 116 施加的應變可沿著實質上平行於量子井通道 108 中之電流的方向（例如，箭頭 150），而增加該等移動的電荷載子之注入速度。箭頭 150 指示之方向可以是量子井通道 108 之縱向方向。水平方向可意指實質上平行於半導體基材 102 的主動面（例如，125）及／或實質上平行於量子井通道 108 的縱向方向之方向（例如，箭頭 150）。亦即，被源極結構 116 施加之應變可以是沿著實質上平行於該半導體基材的主動面（例如，125）及／或實質上平行於量子井通道 108 的縱向方向之方向之單軸應變。根據各實施例，積體電路裝置 100 是一水平場效電晶體、或高電子遷移率電晶體、或以上各項之組合。積體電路裝置 100 可包括受益於本發明述及的實施例之其他類型的電晶體，其中包括諸如多閘極電晶體等的非平面電晶體。積體電路裝置 100 可以是具有大約 15 奈米的閘極長度之電晶體。在其他實施例中，可使用其他的閘極長度。

以本發明所述之方式將應變施加到量子井通道 108 時，可減少量子井通道 108 之有效質量及／或電阻，因而增加量子井通道 108 中之移動的電荷載子之速度。移動的電荷載子之速度增加時，可改善積體電路裝置 100 之直流（Direct Current；簡稱 DC）及射頻（Radio Frequency；簡稱 RF）特性。

可使用其中包括 III-V 族半導體材料、及／或 II-VI 族

半導體材料、或以上各項之組合的各種材料形成源極結構 116。在一實施例中，源極結構 116 包含砷化鎵 (GaAs)。在另一實施例中，源極結構 116 包含砷化銦鋁 (InAlAs)。根據各實施例，源極結構 116 具有小於 60 奈米之厚度。在其他實施例中，源極結構 116 可具有其他的厚度。在一實施例中，係以分子束磊晶 (MBE)、原子層磊晶 (ALE)、磊晶生長、化學束磊晶 (CBE)、金屬有機化學氣相沈積 (MOCVD)、或以上各項之組合沈積源極結構 116。在其他實施例中，可使用其他適當的沈積方法。

一汲極結構 118 可被耦合成自量子井通道 108 接收該等移動的電荷載子。根據各實施例，汲極結構 118 包含具有與被用來形成量子井通道 108 的材料的晶格常數不同 (例如，較大或較小) 的晶格常數之一材料，以便將一應變施加在量子井通道 108。可以磊晶方式將汲極結構 118 耦合到量子井通道 108，而形成了一異質接面，因而用於汲極結構 118 與量子井通道 108 的材料間之不同的晶格常數在量子井通道 108 上產生了壓縮或拉伸應變。根據習知的帶隙工程原理，可將汲極結構 118 之材料選擇成提供所需的或充分的傳導性及／或與量子井通道 108 間之磊晶連接。

根據各實施例，汲極結構 118 包含與源極結構源極結構 116 相同的材料，而結合地增加或增強被源極結構 116 施加到量子井通道 108 之壓縮或拉伸應變。在一實施例中，被用來形成源極結構 116 及／或汲極結構 118 的材料之晶格常數小於被用來形成量子井通道 108 的材料之晶格常數，

以便施加可增加N型積體電路裝置中之電子之速度的拉伸應變。在另一實施例中，被用來形成源極結構116及／或汲極結構118的材料之晶格常數大於被用來形成量子井通道108的材料之晶格常數，以便施加可增加P型積體電路裝置中之電洞之速度的壓縮應變。

可使用其中包括III-V族半導體材料、及／或II-VI族半導體材料、或以上各項之組合的各種材料形成汲極結構118。在一實施例中，汲極結構118包含砷化鎵（GaAs）。在另一實施例中，汲極結構118包含砷化銦鋁（InAlAs）。根據各實施例，汲極結構118具有小於約60奈米之厚度。在其他實施例中，汲極結構118可具有其他的厚度。在一實施例中，係以分子束磊晶（MBE）、原子層磊晶（ALE）、磊晶生長、化學束磊晶（CBE）、金屬有機化學氣相沈積（MOCVD）、或以上各項之組合沈積汲極結構118。在其他實施例中，可使用其他適當的沈積方法。

根據各實施例，可以一雜質摻雜源極結構116及／或汲極結構118。例如，可以單層摻雜（delta-doped）、調變摻雜（modulation-doped）、及／或以上各種摻雜之組合之方式摻雜源極結構116及／或汲極結構118。對於N型裝置而言，可以矽（Si）、硫（S）、碲（Te）、或以上各項之組合摻雜源極結構116及／或汲極結構118。對於P型裝置而言，可以鉍（Be）、碳（C）、或以上各項之組合摻雜源極結構116及／或汲極結構118。在其他實施例中，可將其他的雜質用來摻雜源極結構116及／或汲極結構

118。根據一或多個實施例，可以不摻雜量子井通道 108，而源極結構 116 及／或汲極結構 118 被摻雜，而產生 N 型或 P 型裝置。在該實施例中，未被摻雜的量子井通道 108 可以是 N 型或 P 型裝置之一通道。

一第二阻障薄膜 110 可被耦合到量子井通道 108，而提供在移動的電荷載子於量子井通道 108 中行進時對該等移動的電荷載子之侷限。第二阻障薄膜 110 可適用於前文中參照第一阻障薄膜 106 而已述及之實施例，其中包括材料類型、厚度、及／或沈積技術。根據各實施例，第二阻障薄膜 110 是利用閘極電極 124 控制量子井通道 108 之一蕭特基阻障層。在一實施例中，如圖所示，量子井通道 108 被配置在第一阻障薄膜 106 與第二阻障薄膜 110 之間。

可使一蝕刻終止薄膜 112 與第二阻障薄膜 110 耦合。蝕刻終止薄膜 112 可被用來促進閘極電極 124 之形成。蝕刻終止薄膜 112 可包括 III-V 族半導體材料及／或 II-VI 族半導體材料、或以上各項之組合，其中包括諸如磷化銦（InP）、銻化銦鋁（InAlSb）、或以上各項之適當組合。在其他實施例中，可將其中包括 N 型及／或 P 型材料之其他材料體系用於蝕刻終止薄膜 112。

在一實施例中，蝕刻終止薄膜 112 具有大約 2 奈米至 15 奈米之厚度。在其他實施例中，可使用蝕刻終止薄膜 112 之其他厚度。在一實施例中，係以分子束磊晶（MBE）、原子層磊晶（ALE）、磊晶生長、化學束磊晶（CBE）、金屬有機化學氣相沈積（MOCVD）、或以上各項之組合

沈積蝕刻終止薄膜 112。在其他實施例中，可使用其他適當的沈積方法。

可使一接觸薄膜 114 與蝕刻終止薄膜 112 耦合。接觸薄膜 114 可包括 III-V 族半導體材料、及／或 II-VI 族半導體材料、或以上各項之組合，其中包括諸如砷化銦鎵（InGaAs）。在其他實施例中，可將其中包括 N 型及／或 P 型材料之其他材料體系用於接觸薄膜 114。接觸薄膜 114 可被摻雜成增加接觸薄膜 114 之導電性。例如，可以單層摻雜、調變摻雜、及／或以上各種摻雜之組合之方式摻雜接觸薄膜 114。對於 N 型裝置而言，可以矽（Si）、硫（S）、碲（Te）、或以上各項之組合摻雜接觸薄膜 114。對於 P 型裝置而言，可以鉍（Be）、碳（C）、或以上各項之組合摻雜接觸薄膜 114。在其他實施例中，可將其他的雜質用來摻雜接觸薄膜 114。可根據影響到傳導性或其他物理或電氣特性之類似原理摻雜本發明述及的其他結構。

在一實施例中，接觸薄膜 114 具有大約 5 至 50 奈米之厚度。在其他實施例中，可使用接觸薄膜 114 之其他厚度。在一實施例中，係以分子束磊晶（MBE）、原子層磊晶（ALE）、磊晶生長、化學束磊晶（CBE）、金屬有機化學氣相沈積（MOCVD）、或以上各項之組合沈積接觸薄膜 114。在其他實施例中，可使用其他適當的沈積方法。積體電路裝置 100 可包含諸如間隔薄膜、摻雜薄膜、其他阻障薄膜、及／或應變誘發薄膜等的可能介於本發明所述的其他結構及特徵之間的其他薄膜及結構。

一源極電極 120 及一汲極電極 122 可被耦合到各別的源極結構 116 及汲極結構 118。一閘極電極 124 可被耦合，而控制量子井通道 108 中之移動的電荷載子之流動。根據各實施例，可在閘極電極 124 與量子井通道 108 之間形成一閘極介電材料。該閘極介電材料可包括諸如二氧化矽 (SiO_2)、氮氧化矽 (SiO_xN_y)、氮化矽 (Si_xN_y)、氧化鋁 (Al_2O_3)、二氧化鈺 (HfO_2)、鋁酸鈺 (HfAl_xO_y)、矽酸鈺 (HfSi_xO_y)、氧化鋯 (ZrO_2)、矽酸鋯 (ZrSi_xO_y)、氧化釷 (La_2O_3)、氧化釷 (Y_2O_3)、鋁酸釷 (LaAl_xO_y)、五氧化二鉭 (Ta_2O_5)、二氧化鈦 (TiO_2)、鈦酸鋇銲 ($\text{BaSrTi}_x\text{O}_y$)、鈦酸鋇 (BaTi_xO_y)、鈦酸銲 (SrTi_xO_y)、鉭鉬酸鉛 ($\text{PbSc}_x\text{Ta}_y\text{O}_z$)、或鉬鉍酸鉛 ($\text{PbZn}_x\text{Nb}_y\text{O}_z$)、或以上各項之組合，其中 x 、 y 、 z 代表個別元素的適當量。在其他實施例中，亦可將其他材料用於該閘極介電材料。

可以各種技術使接觸薄膜 114 與閘極電極 124 在電氣上絕緣或隔離，該等技術包括諸如：使接觸薄膜 114 凹下，而形成一氣隙；或在閘極電極 124 與接觸薄膜 114 之間沈積一間隔介電材料。在一實施例中，第二阻障薄膜 110 是閘極電極 124 之一蕭特基阻障層，用以提供閘極電極 124 可用來控制量子井通道 108 之一蕭特基界面。

閘極電極 124、源極電極 120、及汲極電極 122 可包括多種適當的導電材料。例如，電極 120、122、124 可包括銅 (Cu)、金 (Au)、鎢 (W)、鈦 (Ti)、鉭 (Ta)、

鉑 (Pt)、鎳 (Ni)、鈷 (Co)、銠 (Rh)、鈳 (Ru)、
 鈀 (Pd)、鈪 (Hf)、銪 (Zr)、或鋁 (Al)、或以上各
 項之組合。電極 120、122、124 可包括諸如氮化鈦 (TiN)
 、氮化鎢 (WN)、或氮化鉭 (Ta₂N₃)、或以上各項之組合
 等的金屬氮化物。電極 120、122、124 可包括諸如矽化鈦
 (TiSi)、矽化鎢 (WSi)、矽化鉭 (TaSi)、矽化鈷
 (CoSi)、矽化鉑 (PtSi)、矽化鎳 (NiSi)、或以上各項
 之組合等的金屬矽化物。電極 120、122、124 可包括諸如
 氮化矽鈦 (TiSiN)、或氮化矽鉭 (TaSiN)、或以上各項
 之組合等的金屬矽氮化物。電極 120、122、124 可包括諸
 如碳化鈦 (TiC)、碳化銪 (ZrC)、碳化鉭 (TaC)、碳
 化鈪 (HfC)、或碳化鋁 (AlC)、或以上各項之組合等的
 金屬碳化物。電極 120、122、124 可包括諸如氮化鉭碳
 (TaCN)、氮化鈦碳 (TiCN)、或以上各項之組合等的金
 屬碳氮化物。在其他實施例中，可將諸如導電金屬氧化物
 (例如，氧化鈳)等的其他適當之材料用於電極 120、122
 、124。

可在電極 120、122、124、及／或接觸薄膜 114、源極
 結構 116、以及汲極結構 118 上或之上形成一應變誘發薄膜
 126。根據各實施例，應變誘發薄膜 126 是以諸如電漿增強
 式化學汽相沈積 (Plasma Enhanced Chemical Vapor
 Deposition；簡稱 PECVD) 及／或低壓化學汽相沈積
 (Low Pressure Chemical Vapor Deposition；簡稱 LPCVD)
 等的用來對被沈積的材料施加應力的各種習知沈積技術中

之任何沈積技術執行毯覆式沈積 (blanket-deposited) (例如, 在積體電路裝置 100 的所有露出結構之上及上沈積) 之一非晶質 (amorphous) 材料。可使應變誘發薄膜 126 之一些部分凹下或被選擇性地去除, 以便可形成將被耦合到電極 120、122、124 之導電互連。在鬆弛之製程中, 應變誘發薄膜 126 可將應變轉移到諸如積體電路裝置 100 的量子井通道 108 等的下方結構。根據各實施例, 該應變在 P 型積體電路裝置中可以是壓縮應變, 或在 N 型積體電路裝置中可以是拉伸應變。應變誘發薄膜 126 可包含其中包括諸如氮化矽或氧化矽等的各種材料。在一實施例中, 應變誘發薄膜 126 可具有大約 10 奈米之厚度。在其他實施例中, 可使用其他厚度。

第 2 圖提供了根據某些實施例的某些例示半導體材料之帶隙能量及晶格常數之一圖 200。垂直軸 202 上繪出了帶隙能量 (電子伏特 (eV)), 且水平軸 204 上繪出晶格常數 (埃)。圖 200 示出可被用來製造積體電路裝置 100 的某些例示半導體材料, 以供一些各別的帶隙能量及晶格常數之視覺比較。例如, 圖 200 上示出之各點分別是銻化銦 (InSb)、砷化銦 (InAs)、砷化銦鎵 (InGaAs)、鍺 (Ge)、銻化鎵 (GaSb)、矽 (Si)、磷化銦 (InP)、砷化鎵 (GaAs)、銻化鋁 (AlSb)、砷化鋁 (AlAs)、磷化鎵 (GaP)、以及磷化鋁 (AlP)。可根據習知的帶隙工程原理, 而將用於本發明述及的結構及特徵之材料選擇成提供所需的或充分的傳導性及 / 或與鄰近結構及特徵有關之

磊晶連接。

圖 200 所示該等例示半導體材料之用意並非是可被用來形成本發明述及的結構之材料之耗盡性代表。範圍寬廣的多種適用材料（其中的許多材料可能並未在圖 200 中被示出）可被用來形成本發明述及的結構，其中包括圖 200 中示出的元素及化合物之其他組合。

第 3 圖提供了一 III-V 族半導體材料的應力及對應的電阻之一圖形 300。一水平軸 302 示出以百萬巴（MPa）為單位之應力，且垂直軸 304 示出在被施加的應力下之電阻（Rs）之百分率變化（%）。該等點 306 對應於自彎曲其中包括砷化銦鎵（InGaAs）的一晶圓而將應力（例如，沿著電流方向使原子分開之縱向張力）施加在該砷化銦鎵（InGaAs）上而收集到的資料。趨勢線 308 是通過該等資料點 306 之一最適線（best fit line）。趨勢線 308 示出電阻（片電阻（sheet resistance））隨著應力的增加電阻而大致減少，因而可提供 N 型裝置中之電荷載子的較高遷移率。

第 4 圖提供了積體電路裝置 100 的通過一垂直方向（例如，自 A 至 A'）之一帶隙能量圖 400。一水平軸 402 代表單位為奈米（nm）的通過積體電路裝置 100 之垂直位置，且垂直軸 404 代表以電子伏特（eV）為單位的能量沿著垂直軸箭頭之增加。圖中示出積體電路裝置 100 的位置 A 與位置 A' 間之材料的價帶能量 406 及傳導帶能量 408。如圖所示，第二阻障薄膜（例如 110）之帶隙能量 410 大於量子井通道（例如，108）之帶隙能量 412，且第一阻障薄膜（例如，

106) 之帶隙能量 414 大於量子井通道 (例如, 108) 之帶隙能量 412。可以一雜質摻雜第一阻障薄膜 (例如, 106) 及第二阻障薄膜 (例如 110), 以便提供將移動的電荷載子侷限於量子井通道 (例如, 108)。

第 5 圖以示意圖示出在根據某些實施例的各種製程操作之後在一半導體異質結構 500a 中形成一源極結構 516 及一汲極結構 518。可根據本發明述及的各種技術而形成一半導體異質結構 500a。一第一阻障薄膜 506 可被形成, 且可與一半導體基材 502 耦合。例如, 可在半導體基材 502 上或在半導體基材 502 上形成之一或多個緩衝薄膜 (例如, 104) 上沈積第一阻障薄膜 506。

可在第一阻障薄膜 506 上或之上沈積用於量子井通道 508 之一材料, 然後在量子井通道 508 上或之上沈積用於第二阻障薄膜 510 之一材料。可在第二阻障薄膜 510 上或之上沈積一接觸薄膜 514, 以便形成半導體異質結構 500a。半導體異質結構 500a 可包含第 5 圖中爲了顧及清晰而省略的其中包括本發明中述及的一些薄膜 (例如, 積體電路裝置 100 之蝕刻終止薄膜 112) 之其他薄膜及 / 或結構。可以磊晶方式沈積該等薄膜 506、510、514、以及量子井通道 508。

在製造產品 500b 中, 選擇性地去除半導體異質結構 500a 的一些部分, 以便形成一第一凹下區 515 及一第二凹下區 517。在一實施例中, 至少去除接觸薄膜 514、第二阻障薄膜 510、及量子井通道 508 的一些部分, 以便形成第一

凹下區 515 及第二凹下區 517。在另一實施例中，在沈積接觸薄膜 514 之前，先選擇性地去除半導體異質結構 500a 的一些部分。在該實施例中，至少去除第二阻障薄膜 510 及量子井通道 508 的一些部分，以便形成第一凹下區 515。根據各實施例，可在形成了第一凹下區 515 及／或第二凹下區 517 之後，隨即沈積接觸薄膜 514。

在一實施例中，以一蝕刻製程同時形成第一凹下區 515 及第二凹下區 517。在其他實施例中，可分別地形成第一凹下區 515 及第二凹下區 517。可將諸如微影或其他圖案產生製程等的其他製程用來選擇性地去除半導體異質結構 500a 的一些部分，以便形成製造產品 500b 中之第一凹下區 515 及第二凹下區 517。

在製造產品 500c 中，沈積一材料，以便在第一凹下區 515 中形成一源極結構 516，且在第二凹下區 517 中形成一汲極結構 518。源極結構 516 及汲極結構 518 之該材料可具有大於或小於被用來形成量子井通道 508 的材料的晶格常數之一晶格常數。根據各實施例，係同時沈積用於源極結構 516 及汲極結構 518 之材料。在其他實施例中，可分別地形成源極結構 516 及汲極結構 518。可以磊晶方式沈積用於源極結構 516 及／或汲極結構 518 之材料。源極結構 516 及汲極結構 518 可根據本發明述及之技術而將單軸應變（例如，壓縮或拉伸應變）施加到量子井通道 508，以便增加一積體電路裝置（例如，100）中之移動的電荷載子之速度。

第6圖以示意圖示出在根據某些實施例的各種製程操作之後在一半導體異質結構（例如，500a）上形成電極結構（例如，620、622、624）及一應變誘發薄膜（例如，626）。製造產品600a代表製造在形成一源極電極620、一汲極電極622、及一閘極電極624之後的第5圖所示之產品500c。

在製造產品600a中，可選擇性地去除（例如，藉由蝕刻及／或微影）至少接觸薄膜514及第二阻障薄膜510的一些部分形成閘極電極624，以便形成一第三凹下區（圖中未示出）。一蝕刻終止薄膜（例如，112）可被用來促進對蝕刻製程之控制，以便形成該第三凹下區。一閘極介電材料（圖中未示出）可被用來沈積到該第三凹下區中，且用來形成閘極電極624之一材料可被沈積到該閘極介電材料上。可使接觸薄膜514凹下，而使閘極電極624與接觸薄膜514在電氣上絕緣，或減少以閘極電極624至接觸薄膜514的漏電。可以其中包括空氣間隔層、諸如氧化矽或氮化矽等的絕緣材料、或用來襯墊接觸薄膜514的側壁之高k值介電材料之各種方式使閘極電極624與各導電元件（例如，接觸薄膜514）在電氣上絕緣。在其他實施例中，可使用其他的閘極控制技術及結構。例如，第二阻障薄膜510可以蕭特基接面之方式操作，而控制量子井通道508。

可沈積一電極材料，而形成源極電極620及汲極電極622。可將其中包括化學汽相沈積、濺鍍、及／或磊晶沈積技術之各種適合的沈積技術用來沈積該等電極620、622

、624。諸如微影及／或蝕刻製程等的圖案產生技術可被用來選擇性地沈積該電極材料。在一實施例中，係於相同的沈積操作期間沈積用於源極電極620、汲極電極622、及閘極電極624之電極材料。在其他實施例中，係於各別的沈積操作期間形成該等電極620、622、624中之一或多個電極。

在製造產品600b中，在製造產品600a上或之上形成一應變誘發薄膜626。可根據其中包括諸如電漿增強式化學汽相沈積（PECVD）及／或低壓化學汽相沈積（LPCVD）法等的用來在諸如量子井通道508等的下方結構上施加應變之各種技術沈積應變誘發薄膜626，以便將應力施加到被沈積的材料，而形成應變誘發薄膜626。可使應變誘發薄膜626的一些部分凹下或被選擇性地去除，以便可形成將被耦合到電極620、622、624之導電互連。根據各實施例，該應變可以是P型積體電路裝置中之壓縮應變、或N型積體電路裝置中之拉伸應變。應變誘發薄膜626可包含其中包括諸如氮化矽或氧化矽材料之各種材料。在一實施例中，應變誘發薄膜626具有大約10奈米之厚度。在其他實施例中，可使用其他厚度。其他習知的半導體結構及／或製程操作可被用來促進製造產品600b。

第7圖是製造根據某些實施例的一積體電路（例如，100）的一方法700之一流程圖。方法700包含下列步驟：在方塊702中，形成一半導體異質結構。可根據本發明述及的各種技術而形成該半導體異質結構（例如，500a）。

在一實施例中，在一半導體基材上或之上沈積一第一阻障薄膜，在該第一阻障薄膜上或之上沈積一量子井通道薄膜，在該量子井通道薄膜上或之上沈積一第二阻障薄膜，及／或在該第二阻障薄膜上或之上沈積一接觸薄膜，而形成該半導體異質結構。可沈積其他的中間薄膜及／或結構，而形成該半導體異質結構。可根據各實施例而以磊晶方式沈積該等薄膜。

在方塊 704 中，方法 700 進一步包含下列步驟：選擇性地去除該半導體異質結構的一些部分，而在該半導體異質結構中形成一第一凹下區及一第二凹下區。例如，可選擇性地去除該接觸薄膜、該第二阻障薄膜、及／或該量子井通道的一些部分。可以蝕刻及／或微影製程執行該選擇性去除。

在方塊 706 中，方法 700 進一步包含下列步驟：在該第一凹下區及該第二凹下區中沈積用來形成一源極及一汲極結構之一材料。用來形成該源極結構及該汲極結構之材料可以是相同的。在此種情形中，可在形成該源極結構及該汲極結構之相同的沈積操作期間沈積該材料。

在方塊 708 中，方法 700 進一步包含下列步驟：形成用於該源極結構、該汲極結構、及一閘極結構之電極結構（例如，620、622、624），而形成一電晶體裝置（例如，100 或 600a）。在方塊 710 中，方法 700 進一步包含下列步驟：在該電晶體裝置上沈積一應變誘發薄膜（例如，126 或 626），以便減少該電晶體裝置的一量子井通道（例

如，108或508）中之電阻。方法700可包含參照第1-6圖所述的其他技術及結構。

第8圖以示意圖示出可包含根據某些實施例而在本說明書中述及的一積體電路裝置（例如，100）之一例示基於處理器的系統2000。處理器系統2000可以是桌上型電腦、膝上型電腦、手持電腦、平板電腦、個人數位助理（PDA）、伺服器、網際網路設備、及／或任何其他類型的運算裝置。

第8圖所示之處理器系統2000包含一晶片組2010，該晶片組2010包含一記憶體控制器2012及一輸入／輸出（Input/Output；簡稱I/O）控制器2014。晶片組2010可提供記憶體及I/O管理功能、以及可被一處理器2020存取或使用之複數個一般用途及／或特殊用途暫存器及定時器等之裝置。可使用一或多個處理器、無線區域網路（WLAN）組件、無線都會網路（WMAN）組件、無線廣域網路（WWAN）組件、及／或其他適當的處理組件以實施處理器2020。處理器2020可包含一快取記憶體2022，且可使用一第一階統一式快取記憶體（L1）、一第二階統一式快取記憶體（L2）、一第三階統一式快取記憶體（L3）、及／或可儲存資料的任何其他適當之結構以實施該快取記憶體2022。

記憶體控制器2012可執行使處理器2020能夠經由一匯流排2040而存取其中包括一揮發性記憶體2032及一非揮發性記憶體2034的一主記憶體2030且與該主記憶體2030通訊

之一些功能。然第8圖示出用來在通訊上將各組件相互耦合的一匯流排2040，但是其他實施例可包含額外的／替代的介面。

可以同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory；簡稱SDRAM）、動態隨機存取記憶體（Dynamic Random Access Memory；簡稱DRAM）、RAMBUS動態隨機存取記憶體（RAMBUS Dynamic Random Access Memory；簡稱RDRAM）、及／或其他類型的隨機存取記憶體裝置實施揮發性記憶體2032。可使用快閃記憶體、唯讀記憶體（Read Only Memory；簡稱ROM）、電氣可抹除可程式唯讀記憶體（Electrically Erasable Programmable Read Only Memory；簡稱EEPROM）、及／或任何其他所需類型的記憶體裝置以實施非揮發性記憶體2034。

處理器系統2000亦可包含被耦合到匯流排2040之一介面電路2050。可使用諸如以太網路介面、通用序列匯流排（Universal Serial Bus；簡稱USB）、第三代輸入／輸出（Third Generation Input/Output；簡稱3GIO）介面、及／或任何其他適當類型之介面等的任何類型之介面標準以實施介面電路2050。

一或多個輸入裝置2060可被連接到介面電路2050。輸入裝置2060可讓個人將資料及命令輸入到處理器2020。例如，可以鍵盤、滑鼠、觸控式顯示器、軌跡板、軌跡球、isopoint、及／或語音辨識系統實施輸入裝置2060。

一或多個輸出裝置 2070 亦可被連接到介面電路 2050。例如，可以顯示裝置（例如，發光顯示器（Light Emitting Display；簡稱 LED）、液晶顯示器（Liquid Crystal Display；簡稱 LCD）、陰極射線管（Cathode Ray Tube；簡稱 CRT）顯示器）、印表機、及／或喇叭實施輸出裝置 2070。介面電路 2050 尤其可包含一圖形驅動卡。

處理器系統 2000 亦可包含用來儲存軟體及資料之一或多個大量儲存裝置 2080。此類大量儲存裝置 2080 的例子包括軟碟及軟碟機、硬碟機、光碟及光碟機、以及數位多功能光碟（Digital Veratile Disk；簡稱 DVD）及 DVD 光碟機。

介面電路 2050 亦可包含諸如一數據機或一網路介面卡等的一通訊裝置，用以促進經由一網路而與外部電腦交換資料。處理器系統 2000 與該網路間之通訊鏈路可以是諸如乙太網路連線、數位用戶線路（Digital Subscriber Line；簡稱 DSL）、電話線路、細胞式電話系統、或同軸纜線等的任何類型之網路連線。

在某些實施例中，處理器系統 2000 可被耦合到一天線結構（圖中未示出），以便可存取一網路的其他裝置。在某些實施例中，該天線結構可包含：主要沿著一方向（例如，在 120 度下）而輻射或接收之一或多個定向天線，該一或多個定向天線相互配合地耦合，以便提供實質上全向的覆蓋；或沿著所有方向都均等地輻射或接收之一或多個全向天線。在某些實施例中，該天線結構可包含一或多個

定向及／或全向天線，其中包括諸如雙極天線、單極天線、貼片天線、環形天線、微帶天線、或適於以無線（OTA）方式傳輸／接收射頻（RF）信號的任何其他類型之天線。

I/O 控制器 2014 可控制對輸入裝置 2060、輸出裝置 2070、大量儲存裝置 2080、及／或該網路的使用。I/O 控制器 2014 尤其可執行使處理器 2020 能夠經由匯流排 2040 及介面電路 2050 而與輸入裝置 2060、輸出裝置 2070、大量儲存裝置 2080、及／或該網路通訊之功能。

雖然係將第 8 圖所示之該等組件示為處理器系統 2000 內之個別的區塊，但是亦可在單一半導體電路內整合這些區塊中之某些區塊所執行的功能，或者可使用兩個或更多個個別的積體電路實施該等功能。例如，雖然係將記憶體控制器 2012 及 I/O 控制器 2014 示為晶片組 2010 內之個別的區塊，但是亦可在單一半導體電路內整合記憶體控制器 2012 及 I/O 控制器 2014。

根據各實施例，處理器 2020、主記憶體 2030、或晶片組 2010、或以上各項之組合可包括一或多個其中包含本發明述及的特徵之積體電路裝置（例如，100）或電晶體。該一或多個積體電路裝置可包括諸如水平場效電晶體、或高電子遷移率電晶體（High Electron Mobility Transistor；簡稱 HEMT）、或以上各項之組合。處理器 2020、主記憶體 2030、或晶片組 2010 可包括 P 型金屬氧化物半導體（P-Type Metal-Oxide-Semiconductor；簡稱 PMOS）裝置及

／或 N 型金屬氧化物半導體（N-Type Metal-Oxide-Semiconductor；簡稱 NMOS）裝置。

雖然在本說明書中已爲了說明之目的而示出且說明了某些實施例，但是亦可在不脫離本發明揭示的範圍下，以估計可達到相同目的多種替代及／或等效實施例或實施方式替換所示及所述之實施例。本申請案將涵蓋本說明書中述及的實施例之任何改作或變化。因此，本發明述及的實施例將顯然只受申請專利範圍及其等效物的限制。

【圖式簡單說明】

若參照前文中之詳細說明並配合各附圖，將可易於了解各實施例。爲了有助於本說明，類似的代號表示類似的結構元件。係以舉例但非限制之方式在該等附圖中示出本發明之實施例。

第 1 圖以示意圖示出根據某些實施例的一例示積體電路裝置。

第 2 圖提供了根據某些實施例的某些例示半導體材料之帶隙能量及晶格常數之一圖。

第 3 圖提供了一 III-V 族半導體材料的應力及對應的電阻之一圖形。

第 4 圖提供了根據某些實施例的一積體電路裝置的通過一垂直方向之一帶隙能量圖。

第 5 圖以示意圖示出在根據某些實施例的各種製程操作之後在一半導體異質結構中形成一源極結構及一汲極結

構。

第 6 圖以示意圖示出在根據某些實施例的各種製程操作之後在一半導體異質結構上形成一些電極結構及一應變誘發薄膜。

第 7 圖是製造根據某些實施例的一積體電路的一方法之一流程圖。

第 8 圖以示意圖示出可包含根據某些實施例而在本說明書中述及的一積體電路裝置之一例示基於處理器的系統。

【主要元件符號說明】

100：積體電路裝置

102,502：半導體基材

104：緩衝薄膜

106,506：第一阻障薄膜

108,508：量子井通道

110,510：第二阻障薄膜

112：蝕刻終止薄膜

114,514：接觸薄膜

116,516：源極結構

118,518：汲極結構

120,620：源極電極

122,622：汲極電極

124,624：閘極電極

126,626：應變誘發薄膜

125：主動面

150：電流方向

202,304：垂直軸

204.302,402：水平軸

306：點

308：趨勢線

400：帶隙能量圖

406,414：價帶能量

408：傳導帶能量

410,412：帶隙能量

500a：半導體異質結構

500b,500c,600a,600b：製造產品

515：第一凹下區

517：第二凹下區

2000：處理器系統

2010：晶片組

2012：記憶體控制器

2014：輸入／輸出控制器

2020：處理器

2022：快取記憶體

2030：主記憶體

2032：揮發性記憶體

2034：非揮發性記憶體

2040：匯流排

2080：大量儲存裝置

2050：介面電路

2060：輸入裝置

2070：輸出裝置

七、申請專利範圍：

1. 一種施加張力至積體電路裝置之設備，包含：

一半導體基材；

與該半導體基材耦合之一第一阻障層；

被耦合到該第一阻障層之一量子井通道，該量子井通道包含一具有一第一晶格常數之第一材料；以及

被耦合到該量子井通道之一源極結構，該源極結構包含一具有一第二晶格常數之第二材料，其中該第二晶格常數不同於該第一晶格常數；

被耦合到該量子井通道之一汲極結構，該汲極結構包含該具有該第二晶格常數之第二材料；

被耦合到該量子井通道之一第二阻障層，因而使該量子井通道被配置在該第一阻障層與該第二阻障層之間；

與該第二阻障層耦合之一接觸層；

被耦合到該源極結構之一源極電極；

被耦合到該汲極結構之一汲極電極；

被耦合成控制該量子井通道中之電流之一閘極電極，該閘極電極被配置在該源極電極與該汲極電極之間；以及

一應變誘發薄膜與該接觸層、該源極結構及該汲極結構的該第二材料直接接觸，用以將一拉伸或壓縮應變施加在該量子井通道上，而減少該量子井通道之電阻，該拉伸或壓縮應變係沿著實質上平行於該量子井通道的縱向方向之一方向。

2. 如申請專利範圍第1項之設備，其中該第二晶格常

數不同於該第一晶格常數，而將一單軸應變施加在量子井通道上，該單軸應變係沿著實質上平行於該量子井通道的縱向方向之一方向，以便增加該量子井通道中之移動的電荷載子之速度。

3. 如申請專利範圍第1項之設備，其中該第二晶格常數小於該第一晶格常數，而將一拉伸應變施加在量子井通道上，以便增加該量子井通道中之移動的電荷載子之速度，該等移動的電荷載子是電子。

4. 如申請專利範圍第3項之設備，其中該量子井通道是一N型裝置之一通道。

5. 如申請專利範圍第1項之設備，其中該第二晶格常數大於該第一晶格常數，而將一壓縮應變施加在量子井通道上，以便增加該量子井通道中之移動的電荷載子之速度，該等移動的電荷載子是電洞。

6. 如申請專利範圍第5項之設備，其中該量子井通道是一P型裝置之一通道。

7. 如申請專利範圍第1項之設備，其中該源極結構被以磊晶方式耦合到該量子井通道以形成一異質接面，且

該汲極結構被以磊晶方式耦合到該量子井通道以形成另一異質接面；以及

其中該量子井通道、該源極結構、及該汲極結構包含一III-V族半導體、或一II-VI族半導體、或以上各項之組合。

8. 如申請專利範圍第1項之設備，其中該量子井通道

是一水平場效電晶體之一通道；以及

其中該水平場效電晶體是一高電子遷移率電晶體（HEMT）。

9. 如申請專利範圍第1項之設備，其中該第一阻障層包含一具有大於該量子井通道的帶隙能量的一帶隙能量之材料；以及

其中該第二阻障層包含一具有大於該量子井通道的帶隙能量的一帶隙能量之材料。

10. 如申請專利範圍第1項之設備，進一步包含被以磊晶方式耦合到該半導體基材之一或多個緩衝層，該第一阻障層被以磊晶方式耦合到該一或多個緩衝層。

11. 如申請專利範圍第1項之設備，其中：

該半導體基材包含矽（Si），

該第一阻障層包含砷化銦鋁（InAlAs）、或磷化銦（InP）、或以上各項之組合，

該量子井通道之該第一材料包含砷化銦鎵（InGaAs），

該源極結構及該汲極結構之該第二材料包含砷化鎵（GaAs），

該第二阻障層包含砷化銦鋁（InAlAs）、或磷化銦（InP）、或以上各項之組合，以及

該接觸層包含砷化銦鎵（InGaAs）。

12. 如申請專利範圍第1項之設備，其中該應變誘發薄膜係為平坦的且包含非晶質材料。

13. 一種施加張力至積體電路裝置之方法，包含下列步驟：

形成一半導體異質結構，該半導體異質結構包含：

一半導體基材；

與該半導體基材耦合之一第一阻障層；

被耦合到該第一阻障層之一量子井通道，該量子井通道包含一具有一第一晶格常數之第一材料；以及

被耦合到該量子井通道之一第二阻障層；以及

被耦合到該第二阻障層之一接觸層；

選擇性地去除了至少該接觸層、該第二阻障層及該量子井通道之一些部分，而在該半導體異質結構中形成一第一凹下區及一第二凹下區；以及

沈積一具有一第二晶格常數之第二材料，而在該第一凹下區中形成一源極結構，且在該第二凹下區中形成一汲極結構，其中該第二晶格常數不同於該第一晶格常數；

在該源極結構上形成一源極電極；

在該汲極結構上形成一汲極電極；

該半導體異質結構中形成一閘極電極，以便控制該量子井通道中之電流，該閘極電極被配置在該源極電極與該汲極電極之間；以及

在該接觸層及在該源極結構及該汲極結構上的該第二材料直接地沈積一應變誘發薄膜，用以將一拉伸或壓縮應變施加在該量子井通道上，而減少該量子井通道之電阻，該拉伸或壓縮應變係沿著實質上平行於該量子井通道的縱

向方向之一方向。

14. 如申請專利範圍第13項之方法，其中形成該半導體異質結構之該步驟包含下列步驟：

在該半導體基材上沈積該第一阻障層，或在被以磊晶方式耦合到該半導體基材之一或多個緩衝層上沈積該第一阻障層；

在該第一阻障層上沈積該第一材料，而形成該量子井通道；以及

在該量子井通道上沈積該第二阻障層。

15. 如申請專利範圍第13項之方法，其中係以分子束磊晶（MBE）、原子層磊晶（ALE）、磊晶生長、化學束磊晶（CBE）、金屬有機化學氣相沈積（MOCVD）、或以上各項之組合執行該第二材料之沈積；以及

其中該第一材料及該第二材料包含一III-V族半導體、或一II-VI族半導體、或以上各項之組合。

16. 如申請專利範圍第13項之方法，其中沈積該具有該第二晶格常數之第二材料而形成該源極結構及該汲極結構之該步驟將一單軸應變施加在量子井通道上，該單軸應變係沿著實質上平行於該量子井通道的縱向方向之一方向，以便增加該量子井通道中之移動的電荷載子之速度。

17. 如申請專利範圍第13項之方法，其中係以蝕刻執行選擇性地去之該步驟。

18. 如申請專利範圍第13項之方法，其中沈積該應變誘發薄膜包含沈積非晶質材料。

19. 一種施加張力至積體電路裝置之系統，包含：

一處理器；以及

與該處理器耦合之一記憶體裝置，其中該處理器或該記憶體裝置或以上各項之組合包含一或多個電晶體，該一或多個電晶體包含：

一半導體基材；

與該半導體基材耦合之一第一阻障層；

被耦合到該第一阻障層之一量子井通道，該量子井通道包含一具有一第一晶格常數之第一材料；以及

被耦合到該量子井通道之一源極結構，用以將移動的電荷載子注入該量子井，該源極結構包含一具有一第二晶格常數之第二材料，其中該第二晶格常數不同於該第一晶格常數，而將一應變施加在該量子井通道上；

被耦合到該量子井通道之一汲極結構，該汲極結構包含該具有該第二晶格常數之第二材料

被耦合到該量子井通道之一第二阻障層，因而使該量子井通道被配置在該第一阻障層與該第二阻障層之間；

與該第二阻障層耦合之一接觸層；

被耦合到該源極結構之一源極電極；

被耦合到該汲極結構之一汲極電極；

被耦合成控制該量子井通道中之電流之一閘極電極，該閘極電極被配置在該源極電極與該汲極電極之間；以及

一應變誘發薄膜與該接觸層、該源極結構及該汲極結構的該第二材料直接接觸，用以將一拉伸或壓縮應變施加在該量子井通道上，而減少該量子井通道之電阻，該拉伸或壓縮應變係沿著實質上平行於該量子井通道的縱向方向之一方向。

20. 如申請專利範圍第 19 項之系統，其中該第二晶格常數不同於該第一晶格常數，而將一單軸應變施加在量子井通道上，該單軸應變係沿著實質上平行於該量子井通道的縱向方向之一方向，以便增加該量子井通道中之該等移動的電荷載子之速度。

21. 如申請專利範圍第 19 項之系統，其中該第二晶格常數小於該第一晶格常數，而將一單軸拉伸應變施加在量子井通道上，以便增加該量子井通道中之電子之速度；以及

其中該量子井通道是一 N 型裝置之一通道。

22. 如申請專利範圍第 19 項之系統，其中該第二晶格常數大於該第一晶格常數，而將一壓縮應變施加在量子井通道上，以便增加該量子井通道中之電洞之速度；以及

其中該量子井通道是一 P 型裝置之一通道。

23. 如申請專利範圍第 19 項之系統，其中該一或多個電晶體包含水平場效高電子遷移率電晶體；以及

其中該處理器或該記憶體或以上各項之組合包含一 P 型金屬氧化物半導體（PMOS）裝置及／或 N 型金屬氧化物半導體（NMOS）裝置。

24. 如申請專利範圍第19項之系統，其中：

該半導體基材包含矽（Si），

該第一阻障層包含砷化銦鋁（InAlAs）、或磷化銦（InP）、或以上各項之組合，

該量子井通道之該第一材料包含砷化銦鎵（InGaAs），

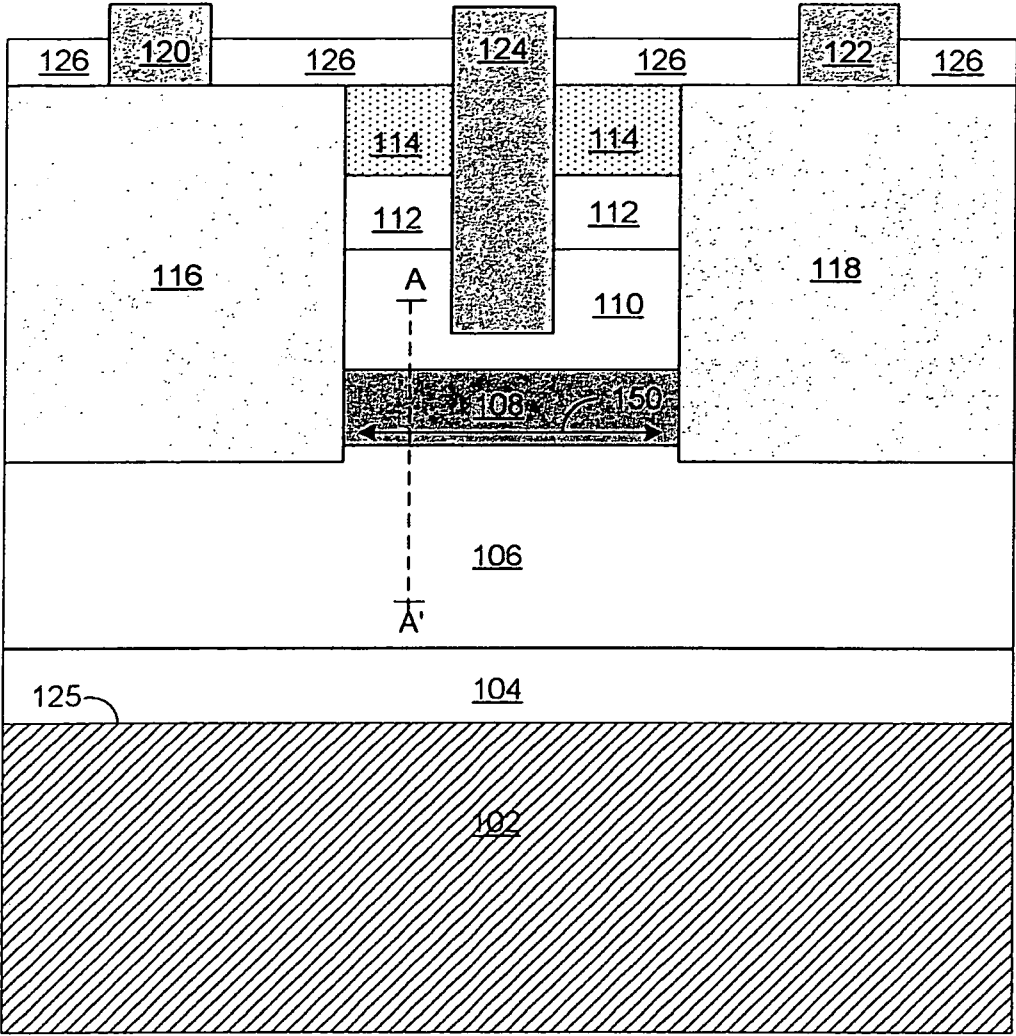
該源極結構及該汲極結構之該第二材料包含砷化鎵（GaAs），

該第二阻障層包含砷化銦鋁（InAlAs）、或磷化銦（InP）、或以上各項之組合，以及

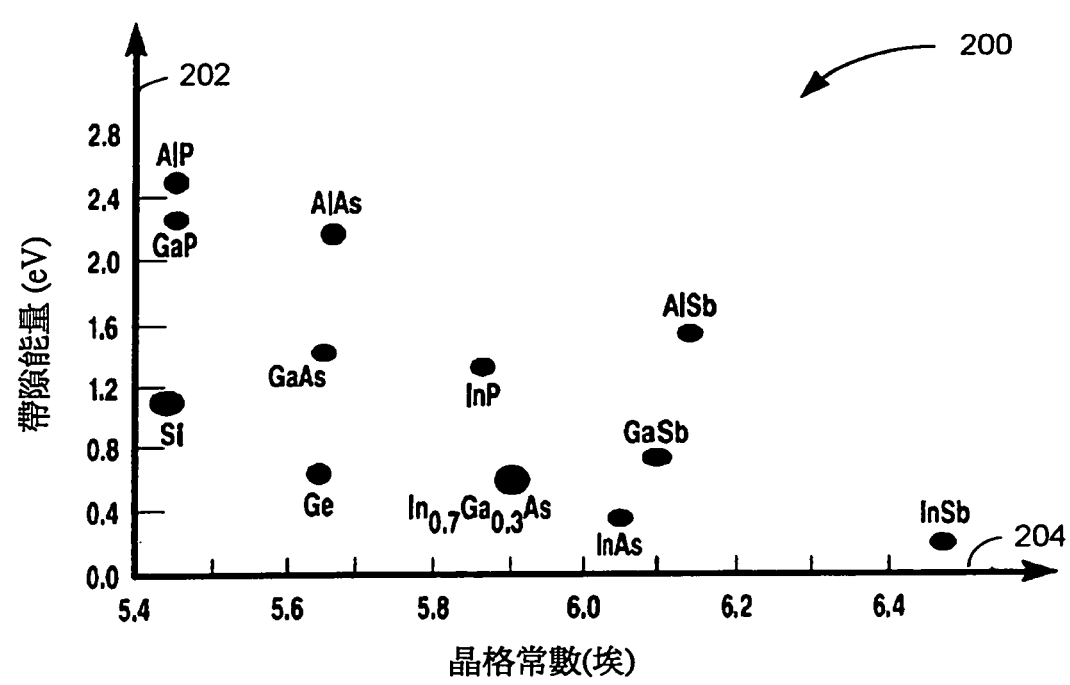
該接觸層包含砷化銦鎵（InGaAs）。

第1圖

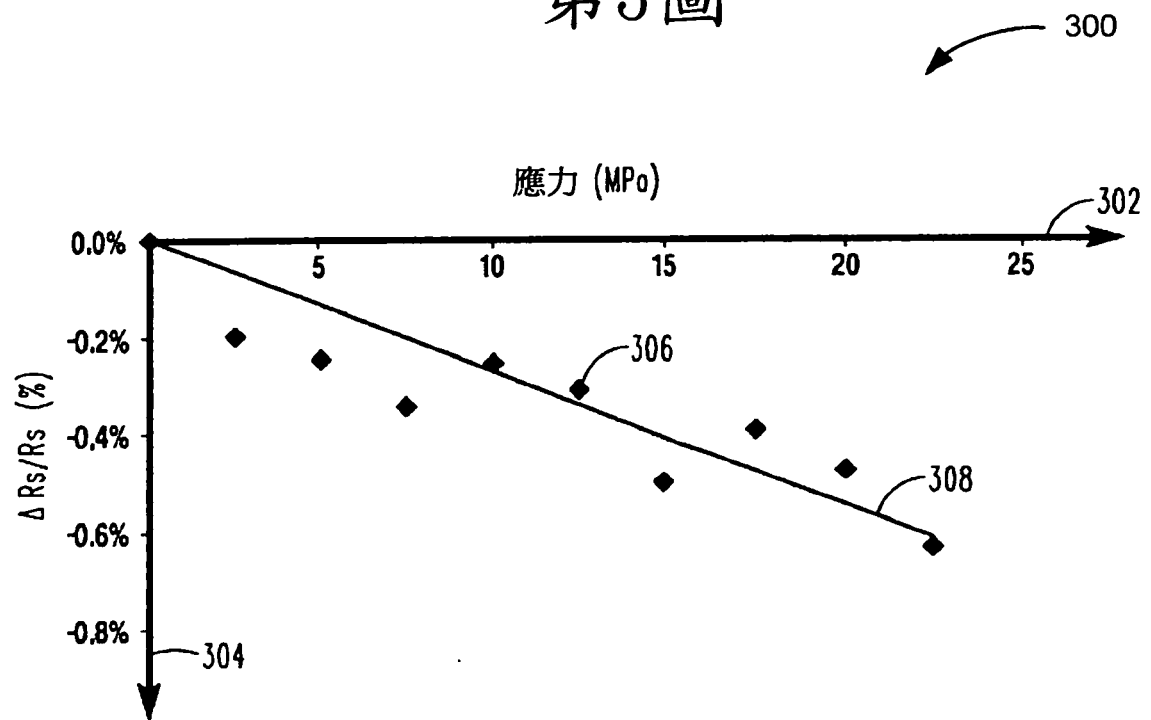
100



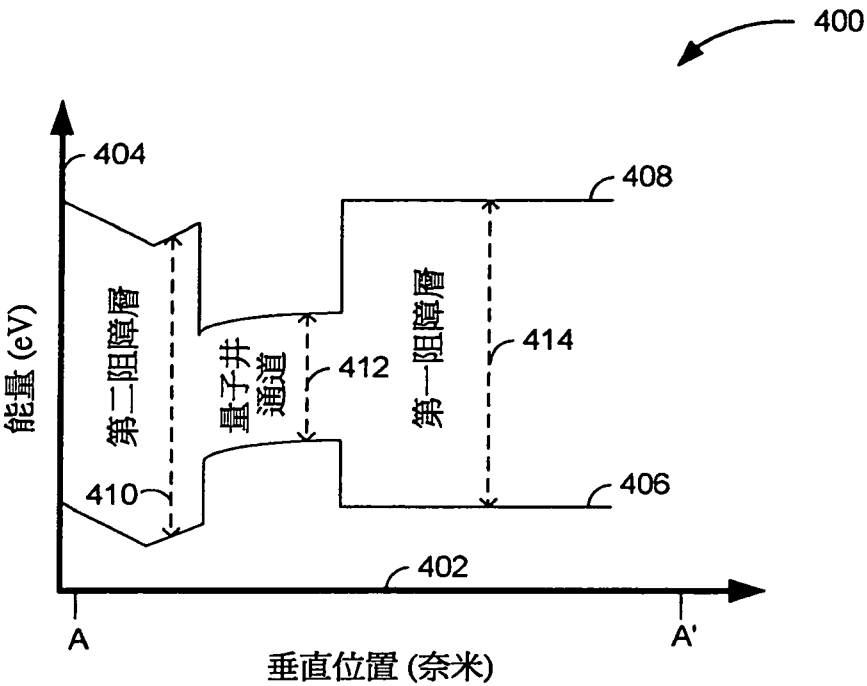
第2圖



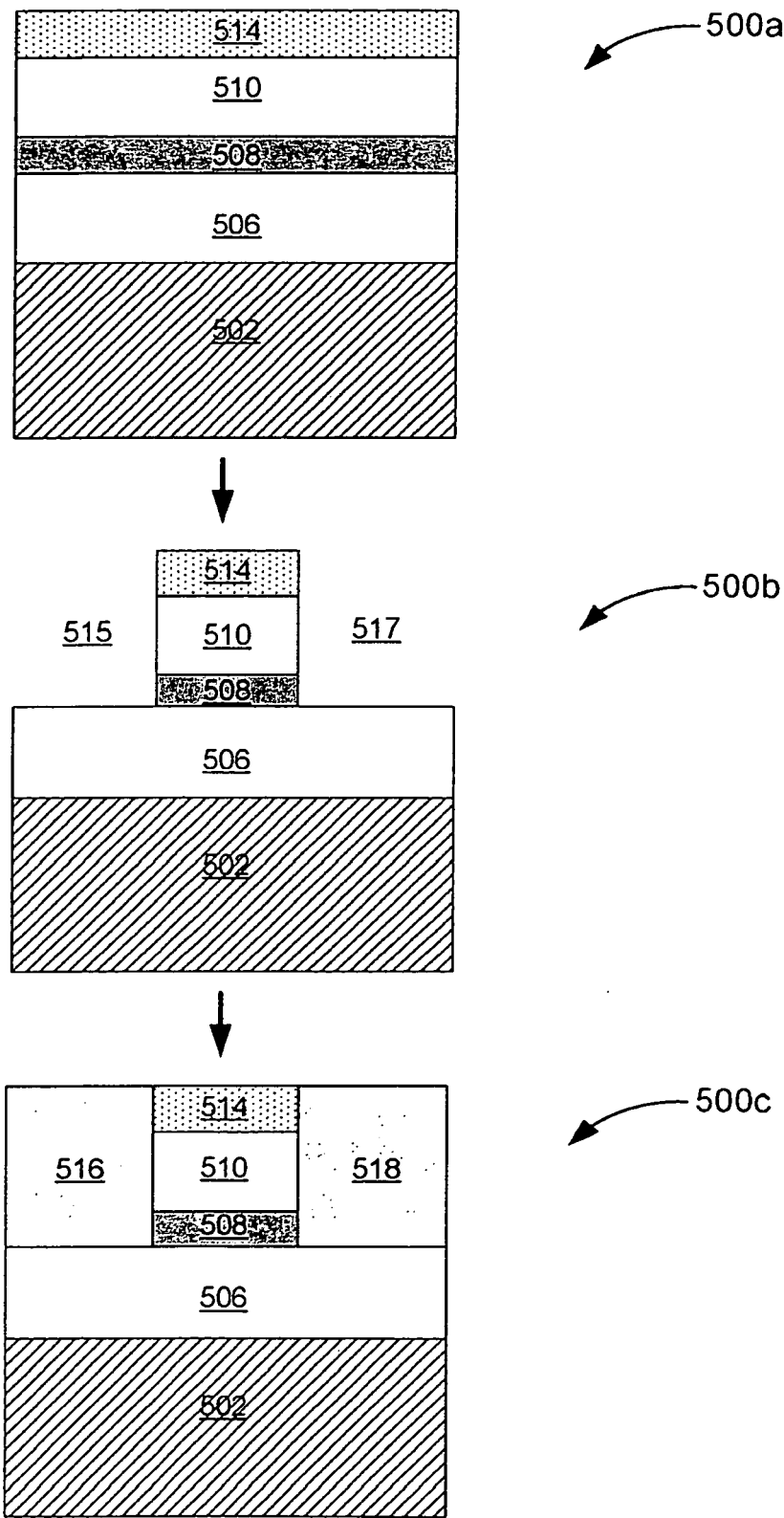
第3圖



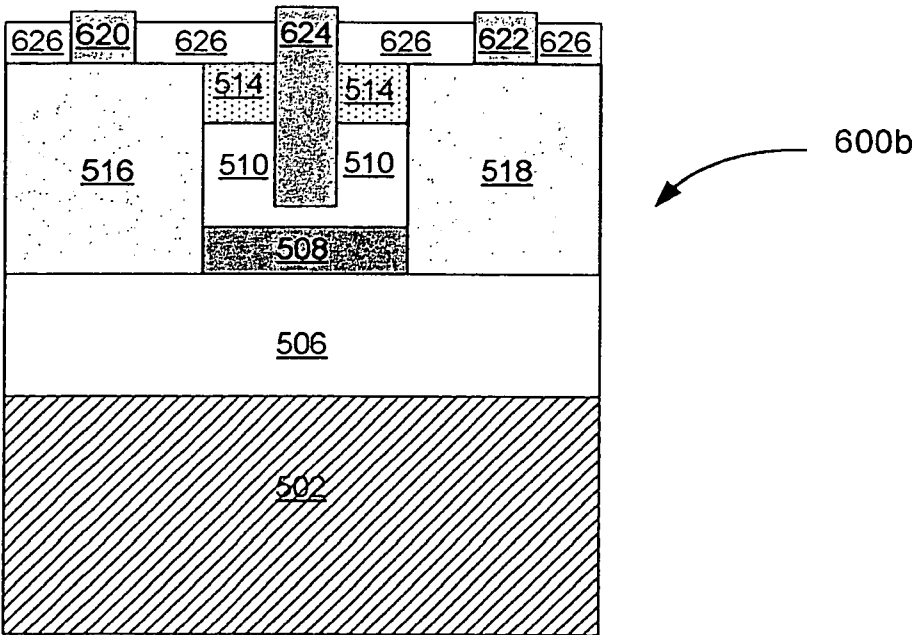
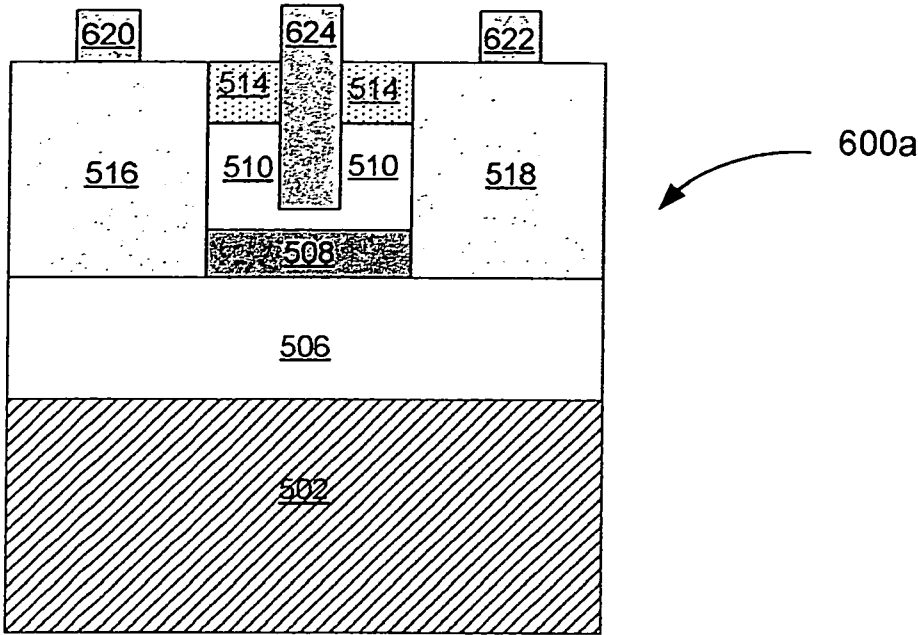
第4圖



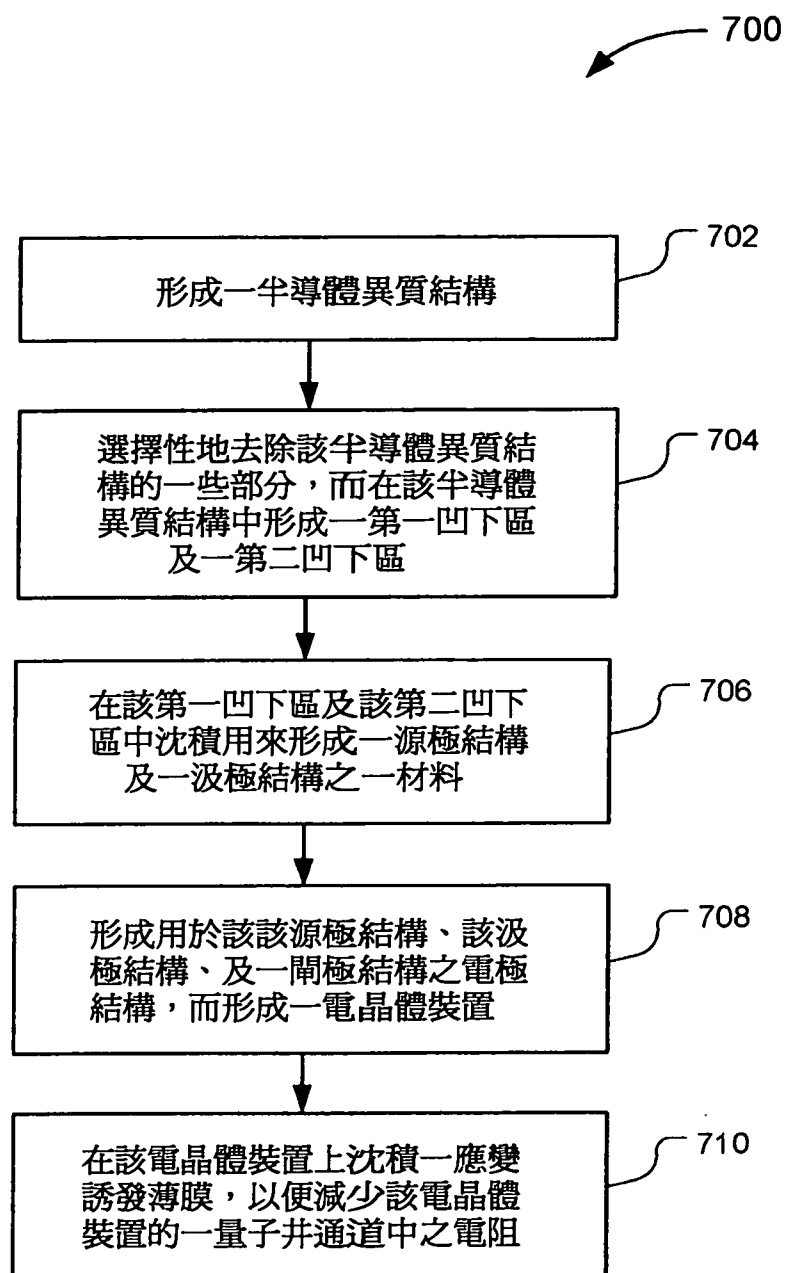
第5圖



第6圖



第7圖



第8圖

