(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/76

(11) 공개번호 특1997-0077483
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0015563
(22) 출원일자 1996년05월11일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 권상동
경기도 수원시 팔달구 인계동 949-1 동윤빌라 202호

심사청구 : 없음

(54) 반도체 장치의 소자 분리 방법

요약

본 발명은 반도체 장치의 소자 분리 방법에 관한 것으로, 본 발명에서는 실리콘 기판위에 패드 산화막, 질화막, 열산화에 의한 절연막을 순차적으로 증착하는 단계와, 상기 실리콘 기판의 비활성 영역을 노출시키도록 사진 식각 공정에 의해 상기 절연막, 질화막 및 패드 산화막을 이방성 에칭하여 절연막 패턴, 질화막 패턴 및 패드 산화막 패턴을 형성하는 단계와, 상기 절연막 패턴을 마스크로 이용하여 비활성 영역의 실리콘 기판에 열산화막을 형성시키는 단계와, 이방성 에칭에 의해 상기 절연막 패턴 및 열산화막을 제거하고 상기 질화막 패턴을 에칭 마스크로 하여 트렌치를 형성하는 단계와, 상기 트렌치 전면에 산화막을 성장시키는 단계를 포함한다. 본 발명에 의하여, 반도체 장치에서 트렌치의 프로파일이 라운드형으로 형성됨으로써 STL 공정에서 발생되는 험프 현상을 감소시켜서 소자의 특성을 향상시킬 수 있다.

대표도

도5

명세서

[발명의 명칭]

반도체 장치의 소자 분리 방법

[도면의 간단한 설명]

제5도는 본 발명의 바람직한 실시예에 따른 STL에 의한 소자 분리 방법을 설명하기 위하여 공정 순서에 따라 순차적으로 도시한 단면도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

실리콘 기판위에 패드 산화막, 질화막, 열산화에 의한 절연막을 순차적으로 증착하는 단계와, 상기 시리콘 기판의 비활성 영역을 노출시키도록 사진 식각 공정에 의해 상기 절연막, 질화막 및 패드 산화막을 이방성 에칭하여 절연막 패턴, 질화막 패턴 및 패드 산화막 패넌을 형성하는 단계와, 상기 절연막 패턴을 마스크로 이용하여 비활성 영역의 실리콘 기판에 열산화막을 형성시키는 단계와, 이방성 에칭에 의해 상기 절연막 패턴 및 연산화막을 제거하고 상기 질화막 패턴을 에칭 마스크로 하여 트렌치를 형성하는 단계와, 상기 트렌치 전면에 산화막을 성장시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 소자 분리 방법.

청구항 2

제1항에 있어서, 상기 비활성 영역의 실리콘 기판에 형성되는 열산화막의 두께는 200~1000A인 것을 특징으로 하는 반도체 장치의 소자 분리 방법

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면5

