



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0051894
(43) 공개일자 2022년04월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/3275 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3275 (2013.01)
(21) 출원번호 10-2020-0135436
(22) 출원일자 2020년10월19일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
황영수
경기도 화성시 동탄숲속로 103(능동, 동탄숲속마
을자연엔경남아너스빌아파트)
고준철
경기도 수원시 영통구 센트럴타운로 76(이의동,
e편한세상 광고) 6103동 2403호
(뒷면에 계속)
(74) 대리인
박영우

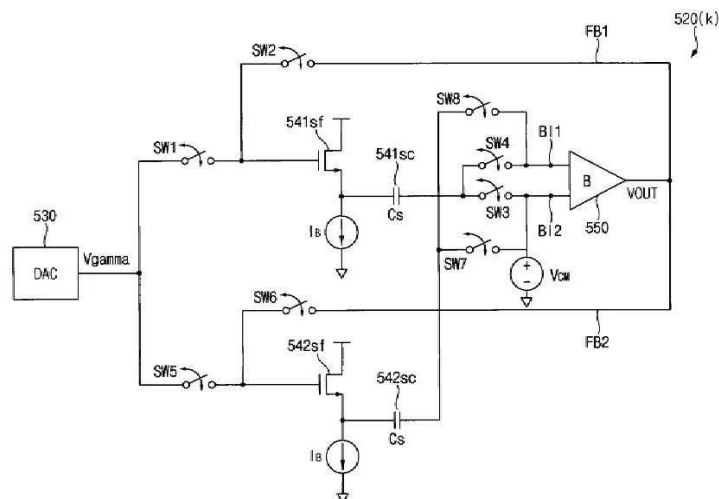
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 데이터 드라이버 및 이를 포함하는 표시 장치

(57) 요약

데이터 드라이버는 디지털 형태의 데이터 신호를 입력받아 아날로그 형태의 데이터 전압으로 변환하는 디지털 아날로그 컨버터, 데이터 전압을 출력하는 버퍼, 및 디지털 아날로그 컨버터와 버퍼 사이에 위치하고, 제1 채널에 연결되는 제1 샘플 홀드 회로 및 제2 채널에 연결되는 제2 샘플 홀드 회로를 포함하는 다중 채널 샘플 홀드 회로를 포함한다. 제1 샘플 홀드 회로는 제n 수평 시간 동안 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제n+1 수평 시간 동안 버퍼 입력 전압을 버퍼의 출력 단자로 출력하는 제2 구동 동작을 수행한다. 제2 샘플 홀드 회로는 제n 수평 시간 동안 상기 제2 구동 동작을 수행하고, 제n+1 수평 시간 동안 상기 제1 구동 동작을 수행한다.

대표도



(52) CPC특허분류

G09G 3/3685 (2013.01)

G09G 2330/021 (2013.01)

(72) 발명자

권오조

경기도 수원시 권선구 세류로 60(세류동, LH수원센트럴타운1단지) 109동 803호

김기덕

대전광역시 유성구 문화원로146번길 17(봉명동) 4층

김정민

서울특별시 서초구 서초대로1길 30(방배동, 방배1차현대아파트) 101동 101호

유봉현

서울특별시 서초구 서초중앙로 220(반포동, 반포래미안아이파크) 105동 3201호

이형민

서울특별시 성북구 안암로 145(안암동5가) 고려대학교 신공학관 516호

최승훈

경기도 군포시 고산로539번길 6(산본동, 백두(극동)아파트)

명세서

청구범위

청구항 1

디지털 형태의 데이터 신호를 입력받아 아날로그 형태의 데이터 전압으로 변환하는 디지털 아날로그 컨버터; 상기 데이터 전압을 출력하는 버퍼; 및 상기 디지털 아날로그 컨버터와 상기 버퍼 사이에 위치하고, 제1 채널에 연결되는 제1 샘플 홀드 회로 및 제2 채널에 연결되는 제2 샘플 홀드 회로를 포함하는 다중 채널 샘플 홀드 회로를 포함하고, 상기 제1 샘플 홀드 회로는 제 n (단, n 은 1 이상의 정수) 수평 시간 동안 상기 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 상기 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 상기 버퍼 입력 전압을 상기 버퍼의 출력 단자로 출력하는 제2 구동 동작을 수행하며, 상기 제2 샘플 홀드 회로는 상기 제 n 수평 시간 동안 상기 제2 구동 동작을 수행하고, 상기 제 $n+1$ 수평 시간 동안 상기 제1 구동 동작을 수행하는 것을 특징으로 하는 데이터 드라이버.

청구항 2

제1항에 있어서, 상기 제1 샘플 홀드 회로는 상기 버퍼 입력 전압을 저장하는 제1 샘플링 커패시터; 상기 데이터 전압 또는 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 상기 제1 샘플링 커패시터의 제1 단자에 연결되는 출력 단자를 포함하는 제1 소스 팔로워; 상기 제1 소스 팔로워의 상기 입력 단자에 상기 데이터 전압 또는 상기 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제1 입력 스위치부; 및 상기 제1 샘플링 커패시터의 제2 단자와 상기 버퍼의 제1 입력 단자 및 제2 입력 단자 사이의 연결을 제어하는 제1 출력 스위치부를 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 3

제2항에 있어서, 상기 제2 샘플 홀드 회로는 상기 버퍼 입력 전압을 저장하는 제2 샘플링 커패시터; 상기 데이터 전압 또는 상기 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 상기 제2 샘플링 커패시터의 제1 단자에 연결되는 출력 단자를 포함하는 제2 소스 팔로워; 상기 제2 소스 팔로워의 상기 입력 단자에 상기 데이터 전압 또는 상기 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제2 입력 스위치부; 및 상기 제2 샘플링 커패시터의 제2 단자와 상기 버퍼의 상기 제1 입력 단자 및 상기 제2 입력 단자 사이의 연결을 제어하는 제2 출력 스위치부를 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 4

제3항에 있어서, 상기 버퍼의 상기 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자가 제1 피드백 라인으로 연결되고, 상기 버퍼의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자가 제2 피드백 라인으로 연결되는 것을 특징으로 하는 데이터 드라이버.

청구항 5

제4항에 있어서, 상기 제1 입력 스위치부는 상기 데이터 전압이 출력되는 상기 디지털 아날로그 컨버터의 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제1 스위치; 및 상기 제1 피드백 라인 상에 위치하고, 상기 버퍼의 상기 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제2 스위치를 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 6

제5항에 있어서, 상기 제1 출력 스위치부는 상기 제1 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제1 입력 단자 사이의 연결을 제어하는 제3 스위치; 및 상기 제1 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제4 스위치를 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 7

제6항에 있어서, 상기 제2 입력 스위치부는 상기 데이터 전압이 출력되는 상기 디지털 아날로그 컨버터의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제5 스위치; 및 상기 제2 피드백

라인 상에 위치하고, 상기 버퍼의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제6 스위치를 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 8

제7항에 있어서, 상기 제2 출력 스위치부는상기 제2 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제7 스위치; 및상기 제2 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제8 스위치를 포함하는 것을 특징으로 하는 데이터 드라이버.

청구항 9

제8항에 있어서, 상기 제1 샘플 홀드 회로가 상기 제1 구동 동작을 수행할 때, 상기 제6 스위치 및 상기 제8 스위치가 턴-온되고, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-오프되는 것을 특징으로 하는 데이터 드라이버.

청구항 10

제8항에 있어서, 상기 제1 샘플 홀드 회로가 상기 제2 구동 동작을 수행할 때, 상기 제2 스위치 및 상기 제4 스위치가 턴-온되고, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴-오프되는 것을 특징으로 하는 데이터 드라이버.

청구항 11

제8항에 있어서, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴-온되고, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-오프될 때, 상기 제1 샘플 홀드 회로는 상기 데이터 전압을 상기 버퍼 입력 전압으로 샘플링하고,상기 제6 스위치 및 상기 제8 스위치가 턴-온되고, 상기 제1 스위치, 상기 제2 스위치, 상기 제3 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-오프될 때, 상기 제1 샘플 홀드 회로는 상기 버퍼 입력 전압을 유지하는 것을 특징으로 하는 데이터 드라이버.

청구항 12

제8항에 있어서, 상기 제2 샘플 홀드 회로가 상기 제1 구동 동작을 수행할 때, 상기 제2 스위치 및 상기 제4 스위치가 턴-온되고, 상기 제1 스위치, 제3 스위치가, 상기 제6 스위치 및 상기 제8 스위치가 턴-오프되는 것을 특징으로 하는 데이터 드라이버.

청구항 13

제8항에 있어서, 상기 제2 샘플 홀드 회로는 상기 제2 구동 동작을 수행할 때, 상기 제6 스위치 및 상기 제8 스위치가 턴-온되고, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-오프되는 것을 특징으로 하는 데이터 드라이버.

청구항 14

제8항에 있어서, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-온되고, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴-오프될 때, 상기 제2 샘플 홀드 회로는 상기 데이터 전압을 상기 버퍼 입력 전압으로 샘플링하고,상기 제2 스위치 및 상기 제4 스위치가 턴-온되고, 상기 제1 스위치, 상기 제3 스위치, 상기 제5 스위치, 상기 제6 스위치, 상기 제7 스위치 및 상기 제8 스위치가 턴-오프될 때, 상기 제2 샘플 홀드 회로는 상기 버퍼 입력 전압을 유지하는 것을 특징으로 하는 데이터 드라이버.

청구항 15

표시 패널;상기 표시 패널에 게이트 신호를 인가하는 게이트 드라이버;상기 표시 패널에 아날로그 형태의 데이터 전압을 인가하는 데이터 드라이버; 및상기 게이트 드라이버 및 상기 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함하고,상기 데이터 드라이버는디지털 형태의 데이터 신호를 입력받아 아날로그 형태의 데이터 전압으로 변환하는 디지털 아날로그 컨버터;상기 데이터 전압을 출력하는 버퍼; 및상기 디지털 아날로그 컨버터와 상기 버퍼 사이에 위치하고, 제1 채널에 연결되는 제1 샘플 홀드 회로 및 제2 채널에 연결되는 제2 샘플 홀드

회로를 포함하는 다중 채널 샘플 홀드 회로를 포함하며, 상기 제1 샘플 홀드 회로는 제 n (단, n 은 1 이상의 정수) 수평 시간 동안 상기 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 상기 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 상기 버퍼 입력 전압을 상기 버퍼의 출력 단자로 출력하는 제2 구동 동작을 수행하며, 상기 제2 샘플 홀드 회로는 상기 제 n 수평 시간 동안 상기 제2 구동 동작을 수행하고, 상기 제 $n+1$ 수평 시간 동안 상기 제1 구동 동작을 수행하는 것을 특징으로 하는 표시 장치.

청구항 16

제15항에 있어서, 상기 제1 샘플 홀드 회로는 상기 버퍼 입력 전압을 저장하는 제1 샘플링 커패시터; 상기 데이터 전압 또는 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 상기 제1 샘플링 커패시터의 제1 단자에 연결되는 출력 단자를 포함하는 제1 소스 팔로워; 상기 제1 소스 팔로워의 상기 입력 단자에 상기 데이터 전압 또는 상기 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제1 입력 스위치부; 및 상기 제1 샘플링 커패시터의 제2 단자와 상기 버퍼의 제1 입력 단자 및 제2 입력 단자 사이의 연결을 제어하는 제1 출력 스위치부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 17

제16항에 있어서, 상기 제2 샘플 홀드 회로는 상기 버퍼 입력 전압을 저장하는 제2 샘플링 커패시터; 상기 데이터 전압 또는 상기 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 상기 제2 샘플링 커패시터의 제1 단자에 연결되는 출력 단자를 포함하는 제2 소스 팔로워; 상기 제2 소스 팔로워의 상기 입력 단자에 상기 데이터 전압 또는 상기 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제2 입력 스위치부; 및 상기 제2 샘플링 커패시터의 제2 단자와 상기 버퍼의 상기 제1 입력 단자 및 상기 제2 입력 단자 사이의 연결을 제어하는 제2 출력 스위치부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 18

제17항에 있어서, 상기 버퍼의 상기 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자가 제1 피드백 라인으로 연결되고, 상기 버퍼의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자가 제2 피드백 라인으로 연결되는 것을 특징으로 하는 표시 장치.

청구항 19

제18항에 있어서, 상기 제1 입력 스위치부는 상기 데이터 전압이 출력되는 상기 디지털 아날로그 컨버터의 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제1 스위치; 및 상기 제1 피드백 라인 상에 위치하고, 상기 버퍼의 상기 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제2 스위치를 포함하고, 상기 제1 출력 스위치부는 상기 제1 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제1 입력 단자 사이의 연결을 제어하는 제3 스위치; 및 상기 제1 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제4 스위치를 포함하는 것을 특징으로 하는 표시 장치.

청구항 20

제19항에 있어서, 상기 제2 입력 스위치부는 상기 데이터 전압이 출력되는 상기 디지털 아날로그 컨버터의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제5 스위치; 및 상기 제2 피드백 라인 상에 위치하고, 상기 버퍼의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제6 스위치를 포함하고, 상기 제2 출력 스위치부는 상기 제2 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제7 스위치; 및 상기 제2 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제8 스위치를 포함하는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 데이터 드라이버 및 이를 포함하는 표시 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 일반적으로, 표시 장치는 표시 패널 및 표시 패널 구동부를 포함할 수 있다. 표시 패널은 픽셀(P)들을 포함하고, 상기 픽셀(P)들을 이용하여 입력 영상 데이터에 상응하는 영상을 표시할 수 있다. 표시 패널은 게이트 라인들과 데이터 라인들을 통해 표시 패널 구동부에 연결될 수 있다. 표시 패널 구동부는 게이트 라인들을 통해 표시 패널에 게이트 신호를 제공하는 게이트 드라이버, 데이터 라인들을 통해 표시 패널에 데이터 전압을 제공하는 데이터 드라이버 및 게이트 드라이버와 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함할 수 있다.
- [0003] 한편, 데이터 드라이버는 샘플 홀드 회로를 포함할 수 있다. 샘플 홀드 회로는 데이터 전압을 주어진 시간(예컨대, 일 수평 시간(1H)) 내에 픽셀(P)로 전달하는 역할을 한다. 일반적인 샘플 홀드 회로에서는 샘플 동작 및 홀드 동작이 반 수평 시간(1/2H) 동안 이루어지고, 드라이빙 동작이 반 수평 시간(1/2H) 동안 이루어지게 된다.
- [0004] 고속-고해상도 디스플레이 구동의 경우, 샘플 동작 및 홀드 동작이 이루어지는 반 수평 시간(1/2H)이 일반적인 디스플레이 구동에 비해 상대적으로 짧기 때문에 버퍼 입력 전압의 안정화 시간이 부족하거나 샘플 홀드 회로 내부의 소비전력이 증가하는 문제가 발생한다.
- [0005] 이를 개선하기 위해 종래에는 버퍼 앞단에 소스 팔로워(source follower)를 추가함으로써 버퍼 출력 전압의 킥백(kickback) 현상으로 인한 문제를 개선시켰으나, 여전히 샘플 홀드 회로에 포함된 커패시터에 의한 RC 딜레이 문제는 개선할 수 없는 한계가 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 일 목적은 샘플 홀드 동작 시간을 일 수평 시간(1H)로 증가시켜 동작 주파수를 줄임으로써 전력 소모를 감소시킬 수 있는 데이터 드라이버를 제공하는 것이다.
- [0007] 본 발명의 다른 목적은 소스 팔로워를 샘플링 커패시터의 앞단에 배치하여 RC 딜레이를 개선할 수 있는 데이터 드라이버를 제공하는 것이다.
- [0008] 본 발명의 다른 목적은 상기 데이터 드라이버를 포함하는 표시 장치를 제공하는 것이다.
- [0009] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0010] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 데이터 드라이버는 디지털 형태의 데이터 신호를 입력받아 아날로그 형태의 데이터 전압으로 변환하는 디지털 아날로그 컨버터, 상기 데이터 전압을 출력하는 버퍼, 및 상기 디지털 아날로그 컨버터와 상기 버퍼 사이에 위치하고, 제1 채널에 연결되는 제1 샘플 홀드 회로 및 제2 채널에 연결되는 제2 샘플 홀드 회로를 포함하는 다중 채널 샘플 홀드 회로를 포함할 수 있다. 상기 제1 샘플 홀드 회로는 제 n (단, n 은 1 이상의 정수) 수평 시간 동안 상기 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 상기 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 상기 버퍼 입력 전압을 상기 버퍼의 입력 단자에 입력하는 제2 구동 동작을 수행할 수 있다. 상기 제2 샘플 홀드 회로는 상기 제 n 수평 시간 동안 상기 제2 구동 동작을 수행하고, 상기 제 $n+1$ 수평 시간 동안 상기 제1 구동 동작을 수행할 수 있다.
- [0011] 일 실시예에 의하면, 상기 제1 샘플 홀드 회로는 제 n (단, n 은 1 이상의 정수) 수평 시간 동안 상기 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 상기 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 상기 버퍼 입력 전압을 상기 버퍼의 입력 단자에 입력하는 제2 구동 동작을 수행할 수 있다. 또한, 상기 제2 샘플 홀드 회로는 상기 제 n 수평 시간 동안 상기 제2 구동 동작을 수행하고, 상기 제 $n+1$ 수평 시간 동안 상기 제1 구동 동작을 수행할 수 있다.
- [0012] 일 실시예에 의하면, 상기 제1 샘플 홀드 회로는 상기 버퍼 입력 전압을 저장하는 제1 샘플링 커패시터, 상기 데이터 전압 또는 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 상기 제1 샘플링 커패시터의 제1 단자에 연결되는 출력 단자를 포함하는 제1 소스 팔로워, 상기 제1 소스 팔로워의 상기 입력 단자에 상기 데이터 전압

또는 상기 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제1 입력 스위치부 및 상기 제1 샘플링 커패시터의 제2 단자와 상기 버퍼의 제1 입력 단자 및 제2 입력 단자 사이의 연결을 제어하는 제1 출력 스위치부를 포함할 수 있다.

[0013] 일 실시예에 의하면, 상기 제2 샘플 홀드 회로는 상기 버퍼 입력 전압을 저장하는 제2 샘플링 커패시터, 상기 데이터 전압 또는 상기 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 상기 제2 샘플링 커패시터의 제1 단자에 연결되는 출력 단자를 포함하는 제2 소스 팔로워, 상기 제2 소스 팔로워의 상기 입력 단자에 상기 데이터 전압 또는 상기 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제2 입력 스위치부 및 상기 제2 샘플링 커패시터의 제2 단자와 상기 버퍼의 상기 제1 입력단자 및 상기 제2 입력 단자 사이의 연결을 제어하는 제2 출력 스위치부를 포함할 수 있다.

[0014] 일 실시예에 의하면, 상기 버퍼의 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자가 제1 피드백 라인으로 연결되고, 상기 버퍼의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자가 제2 피드백 라인으로 연결될 수 있다.

[0015] 일 실시예에 의하면, 상기 제1 입력 스위치부는 상기 데이터 전압이 출력되는 상기 디지털 아날로그 컨버터의 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자 사이의 연결의 제어하는 제1 스위치 및 상기 제1 피드백 라인 상에 위치하고, 상기 버퍼의 상기 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제2 스위치를 포함할 수 있다.

[0016] 일 실시예에 의하면, 상기 제1 출력 스위치부는 상기 제1 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제1 입력 단자 사이의 연결을 제어하는 제3 스위치 및 상기 제1 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제4 스위치를 포함할 수 있다.

[0017] 일 실시예에 의하면, 상기 제2 입력 스위치부는 상기 데이터 전압이 출력되는 상기 디지털 아날로그 컨버터의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자 사이의 연결의 제어하는 제5 스위치 및 상기 제2 피드백 라인 상에 위치하고, 상기 버퍼의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제6 스위치를 포함할 수 있다.

[0018] 일 실시예에 의하면, 상기 제2 출력 스위치부는 상기 제2 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제7 스위치 및 상기 제2 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제8 스위치를 포함할 수 있다.

[0019] 일 실시예에 의하면, 상기 제1 샘플 홀드 회로가 상기 제1 구동 동작을 수행할 때, 상기 제6 스위치 및 상기 제8 스위치가 턴-온되고, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-오프될 수 있다.

[0020] 일 실시예에 의하면, 상기 제1 샘플 홀드 회로가 상기 제2 구동 동작을 수행할 때, 상기 제2 스위치 및 상기 제4 스위치가 턴-온되고, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴-오프될 수 있다.

[0021] 일 실시예에 의하면, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴-온되고, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-오프될 때, 상기 제1 샘플 홀드 회로는 상기 데이터 전압을 상기 버퍼 입력 전압으로 샘플링하고, 상기 제6 스위치 및 상기 제8 스위치가 턴-온되고, 상기 제1 스위치, 상기 제2 스위치, 상기 제3 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-오프될 때, 상기 제1 샘플 홀드 회로는 상기 버퍼 입력 전압을 유지할 수 있다.

[0022] 일 실시예에 의하면, 상기 제2 샘플 홀드 회로가 상기 제1 구동 동작을 수행할 때, 상기 제2 스위치 및 상기 제4 스위치가 턴-온되고, 상기 제1 스위치, 제3 스위치가, 상기 제6 스위치 및 상기 제8 스위치가 턴-오프될 수 있다.

[0023] 일 실시예에 의하면, 상기 제2 샘플 홀드 회로는 상기 제2 구동 동작을 수행할 때, 상기 제6 스위치 및 상기 제8 스위치가 턴-온되고, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-오프될 수 있다.

[0024] 일 실시예에 의하면, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴-온되고, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴-오프될 때, 상기 제2 샘플 홀드 회로는 상기 데이터 전압을 상기 버퍼 입력 전압으로 샘플링하고, 상기 제2 스위치 및 상기 제4 스위치가 턴-온되

고, 상기 제1 스위치, 상기 제3 스위치, 상기 제5 스위치, 상기 제6 스위치, 상기 제7 스위치 및 상기 제8 스위치가 턴-오프될 때, 상기 제2 샘플 홀드 회로는 상기 버퍼 입력 전압을 유지할 수 있다.

[0025] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 표시 장치는 표시 패널, 상기 표시 패널에 게이트 신호를 인가하는 게이트 드라이버, 상기 표시 패널에 아날로그 형태의 데이터 전압을 인가하는 데이터 드라이버, 및 상기 게이트 드라이버 및 상기 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함할 수 있다. 이 때, 상기 데이터 드라이버는 디지털 형태의 데이터 신호를 입력받아 아날로그 형태의 데이터 전압으로 변환하는 디지털 아날로그 컨버터, 상기 데이터 전압을 출력하는 버퍼, 및 상기 디지털 아날로그 컨버터와 상기 버퍼 사이에 위치하고, 제1 채널에 연결되는 제1 샘플 홀드 회로 및 제2 채널에 연결되는 제2 샘플 홀드 회로를 포함하는 다중 채널 샘플 홀드 회로를 포함할 수 있다. 상기 제1 샘플 홀드 회로는 제 n (단, n 은 1 이상의 정수) 수평 시간 동안 상기 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 상기 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 상기 버퍼 입력 전압을 상기 버퍼의 입력 단자에 입력하는 제2 구동 동작을 수행할 수 있다. 상기 제2 샘플 홀드 회로는 상기 제 n 수평 시간 동안 상기 제2 구동 동작을 수행하고, 상기 제 $n+1$ 수평 시간 동안 상기 제1 구동 동작을 수행할 수 있다.

[0026] 일 실시예에 의하면, 상기 제1 샘플 홀드 회로는 상기 버퍼 입력 전압을 저장하는 제1 샘플링 커패시터, 상기 데이터 전압 또는 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 상기 제1 샘플링 커패시터의 제1 단자에 연결되는 출력 단자를 포함하는 제1 소스 팔로워, 상기 제1 소스 팔로워의 상기 입력 단자에 상기 데이터 전압 또는 상기 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제1 입력 스위치부, 및 상기 제1 샘플링 커패시터의 제2 단자와 상기 버퍼의 제1 입력 단자 및 제2 입력 단자 사이의 연결을 제어하는 제1 출력 스위치부를 포함할 수 있다.

[0027] 일 실시예에 의하면, 상기 제2 샘플 홀드 회로는 상기 버퍼 입력 전압을 저장하는 제2 샘플링 커패시터, 상기 데이터 전압 또는 상기 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 상기 제2 샘플링 커패시터의 제1 단자에 연결되는 출력 단자를 포함하는 제2 소스 팔로워, 상기 제2 소스 팔로워의 상기 입력 단자에 상기 데이터 전압 또는 상기 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제2 입력 스위치부, 및 상기 제2 샘플링 커패시터의 제2 단자와 상기 버퍼의 상기 제1 입력단자 및 상기 제2 입력 단자 사이의 연결을 제어하는 제2 출력 스위치부를 포함할 수 있다.

[0028] 일 실시예에 의하면, 상기 버퍼의 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자가 제1 피드백 라인으로 연결되고, 상기 버퍼의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자가 제2 피드백 라인으로 연결될 수 있다.

[0029] 일 실시예에 의하면, 상기 제1 입력 스위치부는 상기 데이터 전압이 출력되는 상기 디지털 아날로그 컨버터의 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자 사이의 연결의 제어하는 제1 스위치 및 상기 제1 피드백 라인 상에 위치하고, 상기 버퍼의 상기 출력 단자와 상기 제1 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제2 스위치를 포함할 수 있다. 상기 제1 출력 스위치부는 상기 제1 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제1 입력 단자 사이의 연결을 제어하는 제3 스위치 및 상기 제1 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제4 스위치를 포함할 수 있다.

[0030] 일 실시예에 의하면, 상기 제2 입력 스위치부는 상기 데이터 전압이 출력되는 상기 디지털 아날로그 컨버터의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자 사이의 연결의 제어하는 제5 스위치 및 상기 제2 피드백 라인 상에 위치하고, 상기 버퍼의 상기 출력 단자와 상기 제2 소스 팔로워의 상기 입력 단자 사이의 연결을 제어하는 제6 스위치를 포함할 수 있다. 상기 제2 출력 스위치부는 상기 제2 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제7 스위치 및 상기 제2 샘플링 커패시터의 상기 제2 단자와 상기 버퍼의 상기 제2 입력 단자 사이의 연결을 제어하는 제8 스위치를 포함할 수 있다.

발명의 효과

[0031] 본 발명의 실시예들에 따른 데이터 드라이버 및 이를 포함하는 표시 장치는 제1 샘플 홀드 회로에서 샘플링 동작 및 홀딩 동작이 수행될 때 제2 샘플 홀드 회로에서 드라이빙 동작이 수행되도록 하고, 제2 샘플 홀드 회로에서 샘플링 동작 및 홀딩 동작이 수행될 때 제1 샘플 홀드 회로에서 드라이빙 동작이 수행되도록 하는 방식으로 시분할 동시 구동을 함으로써 고속-고해상도 디스플레이에서 샘플링 동작 및 홀딩 동작에 필요한 시간을 두 배로 늘릴 수 있다. 따라서, 버퍼 입력 전압의 안정화 시간이 증가하여 신호 왜곡 및 신호 전달 오류가 방지될 수 있다.

- [0032] 또한, 본 발명의 실시예들에 따른 데이터 드라이버 및 이를 포함하는 표시 장치는 다중 채널 샘플 홀드 회로 내부의 소스 팔로워를 상기 샘플링 커패시터의 앞단에 배치시켜 샘플링 커패시터와 직렬 연결되도록 함으로써, 샘플 홀드 회로 내부의 등가 커패시턴스를 감소시켜 RC 딜레이에 의한 문제를 개선할 수 있다.
- [0033] 나아가, 본 발명의 실시예들에 따른 데이터 드라이버 및 이를 포함하는 표시 장치는 버퍼 출력 전압이 소스 팔로워의 입력 단자로 피드백되는 구성을 가짐으로써, 디지털 아날로그 컨버터로부터 입력되는 데이터 전압이 전압 강하 없이 버퍼의 출력 단자로 출력되게 할 수 있다.
- [0034] 다만, 본 발명의 효과는 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.
- 도 2는 도 1의 표시 장치에 포함된 데이터 드라이버의 일 예를 나타내는 블록도이다.
- 도 3은 도 2의 데이터 드라이버에 포함된 아날로그 구동 회로를 나타내는 회로도이다.
- 도 4는 도 3의 아날로그 구동 회로에 포함된 스위치들이 동작하는 타이밍도이다.
- 도 5는 도 3의 아날로그 구동 회로에서 제1 샘플 홀드 회로가 샘플링 동작을 수행하고, 제2 샘플 홀드 회로가 드라이빙 동작을 수행하는 것을 설명하기 위한 도면이다.
- 도 6은 도 3의 아날로그 구동 회로에서 제1 샘플 홀드 회로가 홀딩 동작을 수행하고, 제2 샘플 홀드 회로가 드라이빙 동작을 수행하는 것을 설명하기 위한 도면이다.
- 도 7은 도 3의 아날로그 구동 회로에서 제1 샘플 홀드 회로가 드라이빙 동작을 수행하고, 제2 샘플 홀드 회로가 샘플링 동작을 수행하는 것을 설명하기 위한 도면이다.
- 도 8은 도 3의 아날로그 구동 회로에서 제1 샘플 홀드 회로가 드라이빙 동작을 수행하고, 제2 샘플 홀드 회로가 홀딩 동작을 수행하는 것을 설명하기 위한 도면이다.
- 도 9는 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이다.
- 도 10은 도 9의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대해서 중복된 설명은 생략하기로 한다.
- [0037] 도 1은 본 발명의 실시예들에 따른 표시 장치(10)를 나타내는 블록도이다.
- [0038] 도 1을 참조하면, 표시 장치(10)는 표시 패널(100) 및 표시 패널 구동부(120)를 포함할 수 있다. 표시 패널 구동부(120)는 타이밍 컨트롤러(200), 게이트 드라이버(300), 감마 기준 전압 제너레이터(400) 및 데이터 드라이버(500)를 포함할 수 있다.
- [0039] 표시 패널(100)은 영상을 표시하는 표시부 및 표시부에 이웃하여 배치되는 주변부를 포함할 수 있다.
- [0040] 표시 패널(100)은 픽셀(P)들을 포함하고, 픽셀(P)들을 이용하여 입력 영상 데이터에 대응하는 영상을 표시할 수 있다. 게이트 라인들(GL1 내지 GLj)은 제1 방향(D1)으로 연장되고, 데이터 라인들(DL1 내지 DLi)은 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장될 수 있다.
- [0041] 타이밍 컨트롤러(200)는 외부 장치(미도시)로부터 입력 영상 데이터(IMG) 및 입력 제어 신호(CONT)를 수신할 수 있다. 예를 들어, 외부 장치로부터 수신된 입력 영상 데이터(IMG)는 적색 영상 데이터, 녹색 영상 데이터 및 청색 영상 데이터를 포함할 수 있다. 실시예에 따라, 입력 영상 데이터(IMG)는 백색 영상 데이터를 더 포함할 수 있다. 다른 예를 들어, 입력 영상 데이터(IMG)는 마젠타색(magenta) 영상 데이터, 황색(yellow) 영상 데이터 및 시안색(cyan) 영상 데이터를 포함할 수 있다. 한편, 외부 장치로부터 수신된 입력 제어 신호(CONT)는 마스터 클럭 신호, 데이터 인에이블 신호, 수직 동기 신호, 수평 동기 신호등을 포함할 수 있다.
- [0042] 타이밍 컨트롤러(200)는 입력 영상 데이터(IMG) 및 입력 제어 신호(CONT)를 기초로 제1 제어 신호(CONT1), 제2

제어 신호(CONT2), 제3 제어 신호(CONT3) 및 데이터 신호(DATA)를 생성할 수 있다.

- [0043] 타이밍 컨트롤러(200)는 입력 제어 신호(CONT)를 기초로 게이트 드라이버(300)의 동작을 제어하기 위한 제1 제어 신호(CONT1)를 생성하여 게이트 드라이버(300)에 출력할 수 있다. 제1 제어 신호(CONT1)는 수직 개시 신호 및 게이트 클럭 신호를 포함할 수 있다.
- [0044] 타이밍 컨트롤러(200)는 입력 제어 신호(CONT)를 기초로 데이터 드라이버(500)의 동작을 제어하기 위한 제2 제어 신호(CONT2)를 생성하여 데이터 드라이버(500)에 출력할 수 있다. 제2 제어 신호(CONT2)는 수평 개시 신호 및 로드 신호를 포함할 수 있다.
- [0045] 타이밍 컨트롤러(200)는 입력 영상 데이터(IMG)에 기초하여 데이터 신호(DATA)를 생성할 수 있다. 타이밍 컨트롤러(200)는 생성한 데이터 신호(DATA)를 데이터 드라이버(500)에 출력할 수 있다.
- [0046] 타이밍 컨트롤러(200)는 입력 제어 신호(CONT)에 기초하여 감마 기준 전압 제너레이터(400)의 동작을 제어하기 위한 제3 제어 신호(CONT3)를 생성할 수 있다. 타이밍 컨트롤러(200)는 생성한 제3 제어 신호(CONT3)를 감마 기준 전압 제너레이터(400)에 출력할 수 있다.
- [0047] 게이트 드라이버(300)는 타이밍 컨트롤러(200)로부터 입력받은 제1 제어 신호(CONT1)에 응답하여 게이트 라인들(GL1 내지 GLj)을 구동하기 위한 게이트 신호들을 생성할 수 있다. 게이트 드라이버(300)는 생성한 게이트 신호들을 게이트 라인들(GL1 내지 GLj)에 출력할 수 있다. 예를 들어, 게이트 드라이버(300)는 게이트 신호들을 게이트 라인들(GL1 내지 GLj)에 순차적으로 출력할 수 있다. 실시예에 따라, 게이트 드라이버(300)는 표시 패널의 주변부 상에 실장될 수 있다.
- [0048] 감마 기준 전압 제너레이터(400)는 타이밍 컨트롤러(200)로부터 입력받은 제3 제어 신호(CONT3)에 응답하여 감마 기준 전압(VGREF)을 생성할 수 있다. 감마 기준 전압 제너레이터(400)는 생성한 감마 기준 전압(VGREF)을 데이터 드라이버(500)에 제공할 수 있다. 데이터 드라이버(500)에 제공된 감마 기준 전압(VGREF)은 각각의 데이터 신호(DATA)에 대응하는 값을 가질 수 있다. 실시예에 따라, 감마 기준 전압 제너레이터(400)는 타이밍 컨트롤러(200) 내에 배치되거나 데이터 드라이버(500) 내에 배치될 수 있다.
- [0049] 데이터 드라이버(500)는 타이밍 컨트롤러(200)로부터 제2 제어 신호(CONT2) 및 데이터 신호(DATA)를 입력받고, 감마 기준 전압 제너레이터(400)로부터 감마 기준 전압(VGREF)을 입력받는다. 데이터 드라이버(500)는 디지털 형태의 데이터 신호(DATA)를 감마 기준 전압(VGREF)을 이용하여 아날로그 형태의 데이터 전압으로 변환할 수 있다. 데이터 드라이버(500)는 데이터 전압을 데이터 라인들(DL1 내지 DLi)에 출력할 수 있다.
- [0050] 데이터 드라이버(500)에 대해서는 도 2 내지 도 4를 참조하여 상세히 설명하기로 한다.
- [0051] 도 2는 도 1의 표시 장치(10)에 포함된 데이터 드라이버의 일 예를 나타내는 블록도이고, 도 3은 도 2의 데이터 드라이버(500)에 포함된 아날로그 구동 회로(520(k))를 나타내는 회로도이다.
- [0052] 도 2를 참조하면, 데이터 드라이버(500)는 디지털 구동부(510) 및 아날로그 구동부(520)를 포함할 수 있다.
- [0053] 디지털 구동부(510)는 쉬프트 레지스터(Shift Register)(511), 샘플링 래치(Sampling Latch)(512), 홀딩 래치(Holding Latch)(513), 레벨 쉬프터(Level Shifter)(514)를 포함할 수 있다.
- [0054] 쉬프트 레지스터(511)는 데이터 신호(DATA)를 순차적으로 이동시킬 수 있다.
- [0055] 샘플링 래치(512) 및 홀딩 래치(513)는 데이터 신호(DATA)를 입력 받아 일시적으로 저장할 수 있다.
- [0056] 레벨 쉬프터(514)는 데이터 신호(DATA)의 레벨을 쉬프트(예를 들어, 증가)시킬 수 있다.
- [0057] 아날로그 구동부(520)는 제1 내지 제i 아날로그 구동 회로들(520(1) 내지 520(i))(단, i는 2이상의 정수)을 포함할 수 있다. 하나의 아날로그 구동 회로(520(k))(단, k는 1이상 i이하의 정수)는 디지털 아날로그 컨버터(530), 다중 채널 샘플 홀드 회로(540) 및 버퍼(550)를 포함할 수 있다.
- [0058] 디지털 아날로그 컨버터(530)는 감마 기준 전압(VGREF)을 기초로 디지털 형태의 데이터 신호(DATA)를 아날로그 형태의 데이터 전압으로 변환할 수 있다.
- [0059] 다중 채널 샘플 홀드 회로(540)는 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 버퍼 입력 전압을 유지할 수 있다.
- [0060] 버퍼(550)는 버퍼 입력 전압을 증폭하여 표시 패널(100)의 상응하는 데이터 라인(DLk)에 출력할 수 있다. 제1

내지 제 i 아날로그 구동 회로들(520(1) 내지 520(i))에 포함된 버퍼(550)들은 제1 내지 제 i 데이터 라인들(DL1 내지 DL i)과 각각 연결될 수 있다. 이 경우, 아날로그 구동부(520)에 포함된 버퍼(550)들의 개수는 데이터 라인들(DL1 내지 DL i)의 개수와 동일할 수 있다.

[0061] 구체적으로, 도 2에 도시된 바와 같이, 아날로그 구동 회로(520(k))는 디지털 형태의 데이터 신호를 입력받아 아날로그 형태의 데이터 전압으로 변환하는 디지털 아날로그 컨버터(530), 버퍼 입력 전압을 증폭하여 출력하는 버퍼(550) 및 디지털 아날로그 컨버터(530)와 버퍼(550) 사이에 위치하고, 제1 채널에 해당하는 제1 샘플 홀드 회로(541) 및 제2 채널에 해당하는 제2 샘플 홀드 회로(542)를 포함하는 다중 채널 샘플 홀드 회로(540)를 포함할 수 있다.

[0062] 도 2 및 도 3에 도시된 바와 같이, 다중 채널 샘플 홀드 회로(540) 내에서 제1 샘플 홀드 회로(541)와 제2 샘플 홀드 회로(542)는 병렬 연결될 수 있다. 디지털 아날로그 컨버터(530)의 출력 단자는 제1 샘플 홀드 회로(541) 및 제2 샘플 홀드 회로(542)와 선택적으로 연결될 수 있다. 제1 샘플 홀드 회로(541)의 출력 단자는 버퍼(550)의 제1 입력 단자(BI1) 및 제2 입력 단자(BI2)와 선택적으로 연결될 수 있다. 제2 샘플 홀드 회로(542)의 출력 단자는 버퍼(550)의 제1 입력 단자(BI1) 및 제2 입력 단자(BI2)와 선택적으로 연결될 수 있다. 예를 들어, 디지털 아날로그 컨버터(530)의 출력 단자가 제1 샘플 홀드 회로(541)와 연결되고, 제1 샘플 홀드 회로(541)의 출력 단자는 버퍼(550)의 제2 입력 단자(BI2)와 연결되며, 제2 샘플 홀드 회로(542)의 출력 단자는 버퍼(550)의 제1 입력 단자(BI1)와 연결될 수 있다. 다른 예를 들어, 디지털 아날로그 컨버터(530)의 출력 단자가 제2 샘플 홀드 회로(542)와 연결되고, 제1 샘플 홀드 회로(541)의 출력 단자는 버퍼(550)의 제1 입력 단자(BI1)와 연결되며, 제2 샘플 홀드 회로(542)의 출력 단자는 버퍼(550)의 제2 입력 단자(BI2)와 연결될 수 있다.

[0063] 제1 샘플 홀드 회로(541)는 제 n (단, n 은 1이상의 정수) 수평 시간 동안 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 버퍼 입력 전압을 버퍼(550)의 입력 단자에 입력하는 제2 구동 동작을 수행할 수 있다. 이 때, 제1 구동 동작은 입력 받은 데이터 전압을 샘플링하는 동작 및 샘플링 커패시터에 버퍼 입력 전압을 유지하는 동작을 포함할 수 있다. 제2 구동 동작은 유지된 버퍼 입력 전압을 증폭하여 버퍼(550)의 출력 단자로 출력하는 드라이빙 동작을 포함할 수 있다. 제2 샘플 홀드 회로(542)는 제 n 수평 시간 동안 제2 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 제1 구동 동작을 수행할 수 있다. 예를 들어, 제1 샘플 홀드 회로(541)가 n 수평 시간 동안 데이터 전압을 샘플링하는 동작 및 버퍼 입력 전압을 유지하는 동작을 수행하는 동안, 제2 샘플 홀드 회로(542)에서는 이전 수평 시간(즉, 제 $n-1$ 수평 시간)에 유지된 버퍼 입력 전압을 증폭하여 버퍼(550)의 출력 단자로 출력하는 드라이빙 동작을 수행할 수 있다.

[0064] 한편, 제2 샘플 홀드 회로(542)는 제 $n+1$ 수평 시간 동안 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제 $n+2$ 수평 시간 동안 버퍼 입력 전압을 버퍼(550)의 입력 단자에 입력하는 제2 구동 동작을 수행할 수 있다. 제1 샘플 홀드 회로(541)는 제 $n+1$ 수평 시간 동안 제2 구동 동작을 수행하고, 제 $n+2$ 수평 시간 동안 제1 구동 동작을 수행할 수 있다. 예를 들어, 제2 샘플 홀드 회로(542)가 $n+1$ 수평 시간 동안 데이터 전압을 샘플링하는 동작 및 버퍼 입력 전압을 유지하는 동작을 수행하는 동안, 제1 샘플 홀드 회로(541)에서는 이전 수평 시간(즉, 제 n 수평 시간)에 유지된 버퍼 입력 전압을 증폭하여 버퍼(550)의 출력 단자로 출력하는 드라이빙 동작을 수행할 수 있다.

[0065] 즉, 제1 샘플 홀드 회로(541)가 제1 구동 동작을 수행할 때, 제2 샘플 홀드 회로(542)가 제2 구동 동작을 수행할 수 있다. 반대로, 제2 샘플 홀드 회로(542)가 제1 구동 동작을 수행할 때, 제1 샘플 홀드 회로(541)가 제2 구동 동작을 수행할 수 있다. 이와 같은 제1 샘플 홀드 회로(541)의 동작 및 제2 샘플 홀드 회로(542)의 동작이 교번하며 수행됨에 따라, 다중 채널 샘플 홀드 회로(540)는 제1 구동 동작과 제2 구동 동작을 동시에 수행할 수 있다.

[0066] 이러한 다중 채널 샘플 홀드 회로(540)의 병렬 연결 구조 및 시분할 동시 구동에 따라, 제1 구동 동작 및 제2 구동 동작의 수행에 필요한 시간이 두 배로 늘어날 수 있다. 즉, 본 발명의 다중 채널 샘플 홀드 회로(540)는 각 채널이 데이터 전압을 샘플링하여 버퍼 입력 전압으로 유지하는 시간에 1H 시간을 확보할 수 있다. 따라서, 다중 채널 샘플 홀드 회로(540)는 버퍼(550) 출력 전압의 안정화 시간을 충분히 확보하여 고속-고해상도 디스플레이에서 버퍼(550) 출력 전압의 킥백 현상에 의한 데이터 신호 전달 오류를 방지하고, RC 딜레이에 의한 버퍼(550) 출력 전압의 왜곡 현상을 개선할 수 있다.

[0067] 도 3을 참조하면, 제1 샘플 홀드 회로(541)는 버퍼 입력 전압을 저장하는 제1 샘플링 커패시터(541sc), 데이터 전압 또는 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 제1 샘플링 커패시터(541sc)의 제1 단자에 연결

되는 출력 단자를 포함하는 제1 소스 팔로워(541sf), 제1 소스 팔로워(541sf)의 입력 단자에 데이터 전압 또는 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제1 입력 스위치부(sw1, sw2) 및 제1 샘플링 커패시터(541sc)의 제2 단자와 버퍼(550)의 제1 입력 단자(BI1) 및 제2 입력 단자(BI2) 사이의 연결을 제어하는 제1 출력 스위치부(sw3, sw4)를 포함할 수 있다.

[0068] 제1 샘플링 커패시터(541sc)는 제1 단자 및 제2 단자를 포함할 수 있다. 제1 샘플링 커패시터(541sc)의 제1 단자는 제1 소스 팔로워(541sf)의 출력 단자에 연결되고, 제1 샘플링 커패시터(541sc)의 제2 단자는 버퍼(550)의 제1 입력 단자(BI1) 및 제2 입력 단자(BI2)와 선택적으로 연결될 수 있다. 제1 샘플링 커패시터(541sc)는 샘플링된 버퍼 입력 전압을 저장하여 유지하는 역할을 수행할 수 있다.

[0069] 제1 소스 팔로워(541sf)는 입력 단자 및 출력 단자를 포함할 수 있다. 제1 소스 팔로워(541sf)의 입력 단자는 디지털 아날로그 컨버터(530)의 출력 단자와 연결되어 데이터 전압을 수신할 수 있다. 제1 소스 팔로워(541sf)는 제1 샘플 홀드 회로 내부의 기생 커패시턴스가 버퍼 출력 전압에 미치는 영향을 줄일 수 있다.

[0070] 구체적으로, 제1 소스 팔로워(541sf)는 제1 샘플링 커패시터(541sc)의 앞단에 배치되며 제1 샘플링 커패시터(541sc)와 연결될 수 있다. 이러한 제1 소스 팔로워(541sf)와 제1 샘플링 커패시터(541sc)의 연결 구조는 제1 샘플 홀드 회로(541) 내부의 등가 커패시턴스를 감소시킬 수 있다. 따라서, 제1 샘플 홀드 회로의 제1 구동 동작이 수행될 때 발생하는 RC 딜레이가 감소하여 제1 샘플 홀드 회로의 버퍼 출력 전압이 안정될 수 있다.

[0071] 제1 입력 스위치부(sw1, sw2) 및 제1 출력 스위치부(sw3, sw4)는 복수의 스위치들(sw1, sw2, sw3, sw4)을 포함할 수 있다. 이 때, 스위치들(sw1, sw2, sw3, sw4)은 트랜지스터로 구현될 수 있다. 제1 샘플 홀드 회로(541)는 제1 입력 스위치부(sw1, sw2) 및 제1 출력 스위치부(sw3, sw4)의 연결 제어에 따라 제1 구동 동작 및 제2 구동 동작을 선택적으로 수행할 수 있다.

[0072] 제2 샘플 홀드 회로(542)는 버퍼 입력 전압을 저장하는 제2 샘플링 커패시터(542sc), 데이터 전압 또는 버퍼 출력 전압을 선택적으로 수신하는 입력 단자 및 제2 샘플링 커패시터(542sc)의 제1 단자에 연결되는 출력 단자를 포함하는 제2 소스 팔로워(542sf), 제2 소스 팔로워(542sf)의 입력 단자에 데이터 전압 또는 버퍼 출력 전압이 선택적으로 인가되도록 제어하는 제2 입력 스위치부(sw5, sw6) 및 제2 샘플링 커패시터(542sc)의 제2 단자와 버퍼(550)의 제1 입력 단자(BI1) 및 제2 입력 단자(BI2) 사이의 연결을 제어하는 제2 출력 스위치부(sw7, sw8)를 포함할 수 있다.

[0073] 제2 샘플링 커패시터(542sc)는 제1 단자 및 제2 단자를 포함할 수 있다. 제2 샘플링 커패시터(542sc)의 제1 단자는 제2 소스 팔로워(542sf)의 출력 단자에 연결되고, 제2 샘플링 커패시터(542sc)의 제2 단자는 버퍼(550)의 제1 입력 단자(BI1) 및 제2 입력 단자(BI2)와 선택적으로 연결될 수 있다. 제2 샘플링 커패시터(542sc)는 샘플링된 버퍼 입력 전압을 저장하여 유지하는 역할을 수행할 수 있다.

[0074] 제2 소스 팔로워(542sf)는 입력 단자 및 출력 단자를 포함할 수 있다. 제2 소스 팔로워(542sf)의 입력 단자는 디지털 아날로그 컨버터(530)의 출력 단자와 연결되어 데이터 전압을 수신할 수 있다. 제2 소스 팔로워(541sf)는 제2 샘플 홀드 회로 내부의 기생 커패시턴스가 버퍼 출력 전압에 미치는 영향을 줄일 수 있다.

[0075] 구체적으로, 제2 소스 팔로워(542sf)는 제2 샘플링 커패시터(542sc)의 앞단에 배치되며 제2 샘플링 커패시터(542sc)와 연결될 수 있다. 이러한 제2 소스 팔로워(542sf)와 제2 샘플링 커패시터(542sc)의 연결 구조는 제2 샘플 홀드 회로(542) 내부의 등가 커패시턴스를 감소시킬 수 있다. 따라서, 제2 샘플 홀드 회로의 제1 구동 동작이 수행될 때 발생하는 RC 딜레이가 감소하여 제2 샘플 홀드 회로의 버퍼 출력 전압이 안정될 수 있다.

[0076] 제2 입력 스위치부(sw5, sw6) 및 제2 출력 스위치부(sw7, sw8)는 복수의 스위치들(sw5, sw6, sw7, sw8)을 포함할 수 있다. 이 때, 스위치들(sw5, sw6, sw7, sw8)은 트랜지스터로 구현될 수 있다. 제2 샘플 홀드 회로(542)는 제2 입력 스위치부(sw5, sw6) 및 제2 출력 스위치부(sw7, sw8)의 연결 제어에 따라 제1 구동 동작 및 제2 구동 동작을 선택적으로 수행할 수 있다.

[0077] 버퍼(550)의 출력 단자와 제1 소스 팔로워(541sf)의 입력 단자는 제1 피드백 라인(FB1)을 통해 연결되고, 버퍼(550)의 출력 단자와 제2 소스 팔로워(542sf)의 입력 단자는 제2 피드백 라인(FB2)을 통해 연결될 수 있다.

[0078] 일 실시예에 있어서, 제1 소스 팔로워(541sf) 및 제2 소스 팔로워(542sf)는 NMOS 트랜지스터로 구성될 수 있다. 구체적으로, 버퍼(550)의 출력 단자는 버퍼 출력 전압을 제1 소스 팔로워(541sf)의 입력 단자로 피드백하여 입력하기 위한 제1 피드백 라인(FB1) 및 버퍼 출력 전압을 제2 소스 팔로워(542sf)의 입력 단자로 피드백하여 입력하기 위한 제2 피드백 라인(FB2)과 연결될 수 있다. 이러한 버퍼 출력 전압 피드백 구조에 따라 디지털 아날

로그 컨버터(530)로부터 입력되는 데이터 전압이 온전히 버퍼 출력 전압으로 출력될 수 있다. 예를 들어, 디지털 아날로그 컨버터(530)로부터 제1 소스 팔로워(541sf)의 입력 단자에 데이터 전압(Vgamma)이 인가될 때, 제1 소스 팔로워(541sf)의 출력 단자에서 출력 되는 버퍼 입력 전압(Vbuffer)은 데이터 전압(Vgamma)에서 제1 소스 팔로워(541sf)의 게이트 소스 전압(Vgs_541sf)을 뺀 값일 수 있다(즉, $V_{buffer} = V_{gamma} - V_{gs_541sf}$). 이 경우, 버퍼 출력 전압(Vout)이 제1 피드백 라인(FB1)을 통해 제1 소스 팔로워(541sf)의 입력단으로 입력되면, 피드백 입력 인가 동작 후 버퍼 입력 전압(Vbuffer)은 감마 입력 인가에 의한 버퍼 출력 전압(Vout)에서 게이트 소스 전압(Vgs_541sf)을 뺀 값일 수 있다(즉, $V_{buffer} = V_{out} - V_{gs_541sf}$). 따라서, 피드백 입력 인가에 의한 버퍼 출력 전압(Vout)은 감마 입력 인가에 의한 버퍼 입력 전압(Vbuffer)에 게이트 소스 전압(Vgs_541sf)을 더한 값이고(즉, $V_{out} = V_{buffer} + V_{gs_541sf}$), 감마 입력 인가에 의한 버퍼 입력 전압(Vbuffer)은 데이터 전압(Vgamma)에서 게이트 소스 전압(Vgs_541sf)을 뺀 값 이므로(즉, $V_{buffer} = V_{gamma} - V_{gs_541sf}$), 버퍼 출력 전압(Vout)은 데이터 전압(Vgamma)이 같은 값을 가질 수 있다(즉, $V_{out} = V_{gamma}$). 따라서 버퍼 출력 전압에 게이트 소스 전압(Vgs_541sf)이 상쇄되어 데이터 전압(Vgamma)이 온전히 버퍼 출력 전압(Vout)으로 출력될 수 있다.

[0079] 다른 실시예에 있어서, 제1 소스 팔로워(541sf) 및 제2 소스 팔로워(542sf)는 PMOS 트랜지스터로 구성될 수 있다. 구체적으로, 버퍼(550)의 출력 단자는 버퍼 출력 전압을 제1 소스 팔로워(541sf)의 입력 단자로 피드백하여 입력하기 위한 제1 피드백 라인(FB1) 및 버퍼 출력 전압을 제2 소스 팔로워(542sf)의 입력 단자로 피드백하여 입력하기 위한 제2 피드백 라인(FB2)과 연결될 수 있다. 이러한 버퍼 출력 전압 피드백 구조에 따라 디지털 아날로그 컨버터(530)로부터 입력되는 데이터 전압이 온전히 버퍼 출력 전압으로 출력될 수 있다. 예를 들어, 디지털 아날로그 컨버터(530)로부터 제1 소스 팔로워(541sf)의 입력 단자에 데이터 전압(Vgamma)이 인가될 때, 제1 소스 팔로워(541sf)의 출력 단자에서 출력 되는 버퍼 입력 전압(Vbuffer)은 데이터 전압(Vgamma)에 제1 소스 팔로워(541sf)의 게이트 소스 전압(Vgs_541sf)을 더한 값일 수 있다(즉, $V_{buffer} = V_{gamma} + V_{gs_541sf}$). 이 경우, 버퍼 출력 전압(Vout)이 제1 피드백 라인(FB1)을 통해 제1 소스 팔로워(541sf)의 입력단으로 입력되면, 피드백 입력 인가 동작 후 버퍼 입력 전압(Vbuffer)은 감마 입력 인가에 의한 버퍼 출력 전압(Vout)에 게이트 소스 전압(Vgs_541sf)을 더한 값일 수 있다(즉, $V_{buffer} = V_{out} + V_{gs_541sf}$). 따라서, 감마 입력 인가에 의한 버퍼 출력 전압(Vout)은 피드백 입력 인가 동작 후 버퍼 입력 전압(Vbuffer)에서 게이트 소스 전압(Vgs_541sf)을 뺀 값이고(즉, $V_{out} = V_{buffer} - V_{gs_541sf}$), 피드백 입력 인가 동작 후 버퍼 입력 전압(Vbuffer)은 데이터 전압(Vgamma)에 게이트 소스 전압(Vgs_541sf)을 더한 값 이므로(즉, $V_{buffer} = V_{gamma} + V_{gs_541sf}$), 버퍼 출력 전압(Vout)은 데이터 전압(Vgamma)이 같은 값을 가질 수 있다(즉, $V_{out} = V_{gamma}$). 따라서 버퍼 출력 전압에 게이트 소스 전압(Vgs_541sf)이 상쇄되어 데이터 전압(Vgamma)이 온전히 버퍼 출력 전압(Vout)으로 출력될 수 있다.

[0080] 제1 입력 스위치부(sw1, sw2)는 데이터 전압이 출력되는 디지털 아날로그 컨버터(530)의 출력 단자와 제1 소스 팔로워(541sf)의 입력 단자 사이의 연결의 제어하는 제1 스위치(sw1) 및 제1 피드백 라인(FB1) 상에 위치하고, 버퍼(550)의 출력 단자와 제1 소스 팔로워(541sf)의 입력 단자 사이의 연결을 제어하는 제2 스위치(sw2)를 포함할 수 있다. 제1 출력 스위치부(sw3, sw4)는 제1 샘플링 커패시터(541sc)의 제2 단자와 버퍼(550)의 제1 입력 단자(BI1) 사이의 연결을 제어하는 제4 스위치(sw4) 및 제1 샘플링 커패시터(541sc)의 제2 단자와 버퍼(550)의 제2 입력 단자(BI2) 사이의 연결을 제어하는 제3 스위치(sw3)를 포함할 수 있다. 제2 입력 스위치부(sw5, sw6)는 데이터 전압이 출력되는 디지털 아날로그 컨버터(530)의 출력 단자와 제2 소스 팔로워(542sf)의 입력 단자 사이의 연결의 제어하는 제5 스위치(sw5) 및 제2 피드백 라인(FB2) 상에 위치하고, 버퍼(550)의 출력 단자와 제2 소스 팔로워(542sf)의 입력 단자 사이의 연결을 제어하는 제6 스위치(sw6)를 포함할 수 있다. 제2 출력 스위치부(sw7, sw8)는 제2 샘플링 커패시터(542sc)의 제2 단자와 버퍼(550)의 제2 입력 단자(BI2) 사이의 연결을 제어하는 제7 스위치(sw7) 및 제2 샘플링 커패시터(542sc)의 제2 단자와 버퍼(550)의 제2 입력 단자(BI2) 사이의 연결을 제어하는 제8 스위치(sw8)를 포함할 수 있다.

[0081] 스위치들(sw1 내지 sw8)의 동작에 대해서는 도 4를 참조하여 상세히 설명하기로 한다.

[0082] 도 4는 도 3의 아날로그 구동 회로(520(k))에 포함된 스위치들이 동작하는 타이밍도이다.

[0083] 도 3 내지 도 4를 참조하면, 스위치들(sw1 내지 sw8)은 타이밍 컨트롤러(200)의 스위칭 제어 신호(CTRL1)에 의해 턴-온 및 턴-오프될 수 있다. 예를 들어, 스위치들(sw1 내지 sw8)은 트랜지스터로 구현될 수 있으며, 각각의 스위치는 입력으로 10V가 인가될 때 턴-온되고, 0V가 인가될 때 턴-오프될 수 있다. 다만, 이는 스위치 동작의 일례시로서, 턴-온/턴-오프 전압은 스위치를 구성하는 트랜지스터에 따라 달라질 수 있다.

[0084] 스위치들(sw1 내지 sw8) 각각은 스위칭 제어 신호(CTRL1)에 따라 2H 주기로 일정한 동작을 반복할 수 있다. 스

위칭 동작이 반복되는 단위 구간(즉, 2H 시간)은 제M 구간, 제M+1 구간, 제M+2 구간, 제M+3 구간으로 구분 될 수 있다. 예를 들어, 제M 구간 및 제M+1 구간의 합은 1H 시간이고, 제M+2 구간 및 제M+3 구간의 합은 1H 시간일 수 있다.

[0085] 제1 스위치(sw1)는 제M 구간 동안 턴-온되고, 제M+1 내지 제M+3 구간 동안 턴-오프될 수 있다. 제2 스위치(sw2)는 제M 내지 제M+1 구간 동안 턴-오프되고, 제M+2 내지 제M+3 구간 동안 턴-온될 수 있다. 제3 스위치(sw3)는 제M 구간 동안 턴-온되고, 제M+1 내지 제M+3 구간 동안 턴-오프될 수 있다. 제4 스위치(sw4)는 제M 내지 제M+1 구간 동안 턴-오프되고, 제M+2 내지 제M+3 구간 동안 턴-온될 수 있다. 제5 스위치(sw5)는 제M 내지 제M+1 구간 동안 턴-오프되고, 제M+2 구간 동안 턴-온되며, 제M+3 구간 동안 턴-오프될 수 있다. 제6 스위치(sw6)는 제M 내지 제M+1 구간 동안 턴-온 되고, 제M+2 내지 제M+3 구간 동안 턴-오프될 수 있다. 제7 스위치(sw7)는 제M 내지 제M+1 구간 동안 턴-오프되고, 제M+2 구간 동안 턴-온되며, 제M+3 구간 동안 턴-오프될 수 있다. 제8 스위치(sw8)는 제M 내지 제M+1 구간 동안 턴-온 되고, 제M+2 내지 제M+3 구간 동안 턴-오프될 수 있다.

[0086] 구체적으로, 제1 샘플 홀드 회로(541)는 제M 구간 동안 샘플링 동작을 수행하고, 제M+1 구간 동안 홀딩 동작을 수행하며, 제M+2 내지 제M+3 구간 동안 드라이빙 동작을 수행할 수 있다. 예를 들어, 제M 구간 동안 제1 스위치(sw1)는 턴-온되고, 제2 스위치(sw2)는 턴-오프되며, 제3 스위치(sw3)는 턴-온되고, 제4 스위치(sw4)는 턴-오프되면서 제1 샘플 홀드 회로(541)가 샘플링 동작을 수행할 수 있다. 제M+1 구간 동안 제1 스위치(sw1)는 턴-오프되고, 제2 스위치(sw2)는 턴-오프되며, 제3 스위치(sw3)는 턴-오프되고, 제4 스위치(sw4)는 턴-오프되면서 제1 샘플 홀드 회로(541)가 홀딩 동작을 수행할 수 있다. 제M+2 내지 제M+3 구간 동안 제1 스위치(sw1)는 턴-오프되고, 제2 스위치(sw2)는 턴-온되며, 제3 스위치(sw3)는 턴-오프되고, 제4 스위치(sw4)는 턴-온되면서 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행할 수 있다.

[0087] 제2 샘플 홀드 회로(542)는 제M 내지 제M+1 구간 동안 드라이빙 동작을 수행하고, 제M+2 구간 동안 샘플링 동작을 수행하며, 제M+3 구간 동안 홀딩 동작을 수행할 수 있다. 예를 들어, 제M 내지 제M+1 구간 동안 제5 스위치(sw5)는 턴-오프되고, 제6 스위치(sw6)는 턴-온 되며, 제7 스위치(sw7)는 턴-오프되고, 제8 스위치(sw8)는 턴-온되면서 제2 샘플 홀드 회로(542)는 드라이빙 동작을 수행할 수 있다. 제M+2 구간 동안 제5 스위치(sw5)는 턴-온되고, 제6 스위치(sw6)는 턴-오프되며, 제7 스위치(sw7)는 턴-온되고, 제8 스위치(sw8)는 턴-오프되면서 제2 샘플 홀드 회로(542)가 샘플링 동작을 수행할 수 있다. 제M+3 구간 동안 제5 스위치(sw5)는 턴-오프되고, 제6 스위치(sw6)는 턴-오프되며, 제7 스위치(sw7)는 턴-오프되고, 제8 스위치(sw8)는 턴-오프되면서 제2 샘플 홀드 회로(542)가 홀딩 동작을 수행할 수 있다.

[0088] 한편, 버퍼 입력 전압은 제1 샘플 홀드 회로(541)의 구동에 따른 제1 버퍼 입력 전압 및 제2 샘플 홀드 회로(542)의 구동에 따른 제2 버퍼 입력 전압으로 구분될 수 있다. 구체적으로, 제1 샘플 홀드 회로(541)가 제1 구동 동작을 수행할 때 제1 버퍼 입력 전압은 제1 샘플링 커패시터(541sc)에 저장되어 유지되고, 제1 샘플 홀드 회로(541)가 제2 구동 동작을 수행할 때 제1 버퍼 입력 전압은 버퍼(550)의 제1 입력 단자(BI1)에 입력된다. 제2 샘플 홀드 회로(542)가 제1 구동 동작을 수행할 때 제2 버퍼 입력 전압은 제2 샘플링 커패시터(542sc)에 저장되어 유지되고, 제2 샘플 홀드 회로(542)가 제2 구동 동작을 수행할 때 제2 버퍼 입력 전압은 버퍼(550)의 제1 입력 단자(BI1)에 입력된다. 이러한 제1 버퍼 입력 전압 및 제2 버퍼 입력 전압이 교번하며 버퍼(550)의 제1 입력 단자(BI1)에 입력되면서 버퍼 출력 전압이 일정 수준으로 유지될 수 있다. 예를 들어, 제M 내지 제M+1 구간 동안 제2 샘플 홀드 회로(542)가 드라이빙 동작을 수행하면서 제2 버퍼 입력 전압이 버퍼(550)의 제1 입력 단자(BI1)에 입력되어 버퍼 출력 전압이 유지될 수 있다. 제M+2 내지 제M+3 구간 동안 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행하면서 제1 버퍼 입력 전압이 버퍼(550)의 제1 입력 단자(BI1)에 입력되어 버퍼 출력 전압이 유지될 수 있다.

[0089] 도 5는 도 3의 아날로그 구동 회로(520(k))에서 제1 샘플 홀드 회로(541)가 샘플링 동작을 수행하고, 제2 샘플 홀드 회로(542)가 드라이빙 동작을 수행하는 것을 설명하기 위한 도면이다.

[0090] 도 5를 참조하면, 제1 샘플 홀드 회로(541)가 샘플링 동작을 수행하고, 제2 샘플 홀드 회로(542)가 드라이빙 동작을 수행할 때, 제1 스위치(sw1)는 턴-온되고, 제2 스위치(sw2)는 턴-오프되며, 제3 스위치(sw3)는 턴-온되고, 제4 스위치(sw4)는 턴-오프되며, 제5 스위치(sw5)는 턴-오프되고, 제6 스위치(sw6)는 턴-온 되며, 제7 스위치(sw7)는 턴-오프되고, 제8 스위치(sw8)는 턴-온될 수 있다.

[0091] 구체적으로, 제1 샘플 홀드 회로(541)가 샘플링 동작을 수행할 때, 데이터 전압이 출력되는 디지털 아날로그 컨버터(530)의 출력 단자는 제1 소스 팔로워(541sf)의 입력 단자로 연결되고, 제1 샘플링 커패시터(541sc)의 제2 단자가 버퍼(550)의 제2 입력 단자(BI2)로 연결될 수 있다. 제2 샘플 홀드 회로(542)가 드라이빙 동작을 수행할

때, 제2 샘플링 커패시터(542sc)의 제2 단자가 버퍼(550)의 제1 입력 단자(BI1)로 연결되고, 버퍼(550)의 출력 단자가 제2 피드백 라인(FB2)을 통해 제2 소스 팔로워(542sf)의 입력 단자에 연결될 수 있다.

[0092] 예를 들어, 제1 스위치(sw1)가 턴-온되고, 제2 스위치(sw2)가 턴-오프되며, 제3 스위치(sw3)가 턴-온되고, 제4 스위치(sw4)가 턴-오프될 때, 데이터 전압이 출력되는 디지털 아날로그 컨버터(530)의 출력 단자가 제1 소스 팔로워(541sf)의 입력 단자로 연결되고, 제1 샘플링 커패시터(541sc)의 제2 단자가 버퍼(550)의 제2 입력 단자(BI2)로 연결되면서 데이터 전압이 제1 버퍼 입력 전압으로 샘플링 될 수 있다. 한편, 제5 스위치(sw5)가 턴-오프되고, 제6 스위치(sw6)가 턴-온되며, 제7 스위치(sw7)가 턴-오프되고, 제8 스위치(sw8)가 턴-온될 때, 제2 샘플링 커패시터(542sc)의 제2 단자가 버퍼(550)의 제1 입력 단자(BI1)로 연결되고, 버퍼(550)의 출력 단자가 제2 피드백 라인(FB2)을 통해 제2 소스 팔로워(542sf)의 입력 단자에 연결되면서 제2 버퍼 입력 전압이 버퍼(550)의 제1 입력 단자(BI1)에 입력될 수 있다.

[0093] 도 6은 도 3의 아날로그 구동 회로(520(k))에서 제1 샘플 홀드 회로(541)가 홀딩 동작을 수행하고, 제2 샘플 홀드 회로(542)가 드라이빙 동작을 수행하는 것을 설명하기 위한 도면이다.

[0094] 도 6을 참조하면, 제1 샘플 홀드 회로(541)가 홀딩 동작을 수행하고, 제2 샘플 홀드 회로(542)가 드라이빙 동작을 수행할 때, 제1 스위치(sw1) 턴-오프되고, 제2 스위치(sw2)는 턴-오프되며, 제3 스위치(sw3)는 턴-오프되고, 제4 스위치(sw4)는 턴-오프되며, 제5 스위치(sw5)는 턴-오프되고, 제6 스위치(sw6)는 턴-온 되며, 제7 스위치(sw7)는 턴-오프되고, 제8 스위치(sw8)는 턴-온될 수 있다.

[0095] 구체적으로, 제1 샘플 홀드 회로(541)가 홀딩 동작을 수행할 때, 제1 소스 팔로워(541sf)의 입력 단자 및 제1 샘플링 커패시터(541sc)의 제2 단자는 다중채널 샘플 홀드 회로와 단절될 수 있다. 제2 샘플 홀드 회로(542)가 드라이빙 동작을 수행할 때, 제2 샘플링 커패시터(542sc)의 제2 단자가 버퍼(550)의 제1 입력 단자(BI1)로 연결되고, 버퍼(550)의 출력 단자가 제2 피드백 라인(FB2)을 통해 제2 소스 팔로워(542sf)의 입력 단자에 연결될 수 있다.

[0096] 예를 들어, 제1 스위치(sw1) 턴-오프되고, 제2 스위치(sw2)가 턴-오프되며, 제3 스위치(sw3)가 턴-오프되고, 제4 스위치(sw4)가 턴-오프될 때, 제1 소스 팔로워(541sf)의 입력 단자 및 제1 샘플링 커패시터(541sc)의 제2 단자가 다중채널 샘플 홀드 회로와 단절되면서 제1 버퍼 입력 전압이 제1 샘플링 커패시터(541sc)에 유지될 수 있다. 한편, 제5 스위치(sw5)가 턴-오프되고, 제6 스위치(sw6)가 턴-온되며, 제7 스위치(sw7)가 턴-오프되고, 제8 스위치(sw8)가 턴-온될 때, 제2 샘플링 커패시터(542sc)의 제2 단자가 버퍼(550)의 제1 입력 단자(BI1)로 연결되고, 버퍼(550)의 출력 단자가 제2 피드백 라인(FB2)을 통해 제2 소스 팔로워(542sf)의 입력 단자에 연결되면서 제2 버퍼 입력 전압이 버퍼(550)의 제1 입력 단자(BI1)에 입력될 수 있다.

[0097] 도 7은 도 3의 아날로그 구동 회로(520(k))에서 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행하고, 제2 샘플 홀드 회로(542)가 샘플링 동작을 수행하는 것을 설명하기 위한 도면이다.

[0098] 도 7을 참조하면, 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행하고, 제2 샘플 홀드 회로(542)가 샘플링 동작을 수행할 때, 제1 스위치(sw1)는 턴-오프되고, 제2 스위치(sw2)는 턴-온되며, 제3 스위치(sw3)는 턴-오프되고, 제4 스위치(sw4)는 턴-온되며, 제5 스위치(sw5)는 턴-온되고, 제6 스위치(sw6)는 턴-오프되며, 제7 스위치(sw7)는 턴-온되고, 제8 스위치(sw8)는 턴-오프될 수 있다.

[0099] 구체적으로 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행할 때, 제1 샘플링 커패시터(541sc)의 제2 단자가 버퍼(550)의 제1 입력 단자(BI1)로 연결되고, 버퍼(550)의 출력 단자가 제1 피드백 라인(FB1)을 통해 제1 소스 팔로워(541sf)의 입력 단자에 연결될 수 있다. 제2 샘플 홀드 회로(542)가 샘플링 동작을 수행할 때, 데이터 전압이 출력되는 디지털 아날로그 컨버터(530)의 출력 단자는 제2 소스 팔로워(542sf)의 입력 단자로 연결되고, 제2 샘플링 커패시터(542sc)의 제2 단자가 버퍼(550)의 제2 입력 단자(BI2)로 연결될 수 있다.

[0100] 예를 들어, 제1 스위치(sw1)가 턴-오프되고, 제2 스위치(sw2)가 턴-온되며, 제3 스위치(sw3)가 턴-오프되고, 제4 스위치(sw4)가 턴-온될 때, 제1 샘플링 커패시터(541sc)의 제2 단자가 버퍼(550)의 제1 입력 단자(BI1)로 연결되고, 버퍼(550)의 출력 단자가 제1 피드백 라인(FB1)을 통해 제1 소스 팔로워(541sf)의 입력 단자에 연결되면서 제1 버퍼 입력 전압이 버퍼(550)의 제1 입력 단자(BI1)에 입력될 수 있다. 한편, 제5 스위치(sw5)가 턴-온되고, 제6 스위치(sw6)가 턴-오프되며, 제7 스위치(sw7)가 턴-온되고, 제8 스위치(sw8)가 턴-오프될 때, 데이터 전압이 출력되는 디지털 아날로그 컨버터(530)의 출력 단자가 제2 소스 팔로워(542sf)의 입력 단자로 연결되고, 제2 샘플링 커패시터(542sc)의 제2 단자가 버퍼(550)의 제2 입력 단자(BI2)로 연결되면서 데이터 전압이 제2 버퍼 입력 전압으로 샘플링 될 수 있다.

- [0101] 도 8은 도 3의 아날로그 구동 회로(520(k))에서 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행하고, 제2 샘플 홀드 회로(542)가 홀딩 동작을 수행하는 것을 설명하기 위한 도면이다.
- [0102] 도 8을 참조하면, 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행하고, 제2 샘플 홀드 회로(542)가 홀딩 동작을 수행할 때, 제1 스위치(sw1)는 턴-오프되고, 제2 스위치(sw2)는 턴-온되며, 제3 스위치(sw3)는 턴-오프되고, 제4 스위치(sw4)는 턴-온되며, 제5 스위치(sw5)는 턴-오프되고, 제6 스위치(sw6)는 턴-오프되며, 제7 스위치(sw7)는 턴-오프되고, 제8 스위치(sw8)는 턴-오프될 수 있다.
- [0103] 구체적으로, 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행할 때, 제1 샘플링 커패시터(541sc)의 제2 단자가 버퍼(550)의 제1 입력 단자(BI1)로 연결되고, 버퍼(550)의 출력 단자가 제1 피드백 라인(FB1)을 통해 제1 소스 팔로워(541sf)의 입력 단자에 연결될 수 있다. 제2 샘플 홀드 회로(542)가 홀딩 동작을 수행할 때, 제2 소스 팔로워(542sf)의 입력 단자 및 제2 샘플링 커패시터(542sc)의 제2 단자는 다중채널 샘플 홀드 회로와 단절될 수 있다.
- [0104] 예를 들어, 제1 스위치(sw1)가 턴-오프되고, 제2 스위치(sw2)가 턴-온되며, 제3 스위치(sw3)가 턴-오프되고, 제4 스위치(sw4)가 턴-온될 때, 제1 샘플링 커패시터(541sc)의 제2 단자가 버퍼(550)의 제1 입력 단자(BI1)로 연결되고, 버퍼(550)의 출력 단자가 제1 피드백 라인(FB1)을 통해 제1 소스 팔로워(541sf)의 입력 단자에 연결되면서 제1 버퍼 입력 전압이 버퍼(550)의 제1 입력 단자(BI1)에 입력될 수 있다. 한편, 제5 스위치(sw5)가 턴-오프되고, 제6 스위치(sw6)가 턴-오프되며, 제7 스위치(sw7)가 턴-오프되고, 제8 스위치(sw8)가 턴-오프될 때, 제2 소스 팔로워(542sf)의 입력 단자 및 제2 샘플링 커패시터(542sc)의 제2 단자는 다중채널 샘플 홀드 회로와 단절되면서 제2 버퍼 입력 전압이 제2 샘플링 커패시터(542sc)에 유지될 수 있다.
- [0105] 상술한 바와 같이, 스위치들(sw1 내지 sw8)의 제어에 따라 제1 샘플 홀드 회로(541)가 샘플링 동작 및 홀딩 동작을 수행하는 동안 제2 샘플 홀드 회로(542)가 드라이빙 동작을 수행하고, 제2 샘플 홀드 회로(542)가 샘플링 동작 및 홀딩 동작을 수행하는 동안 제1 샘플 홀드 회로(541)가 드라이빙 동작을 수행할 수 있다. 이러한 제1 샘플 홀드 회로(541) 및 제2 샘플 홀드 회로(542)의 병렬 연결 구조 및 시분할 동시 구동에 따라, 제1 구동 동작 및 제2 구동 동작의 수행에 필요한 시간이 두 배로 늘어날 수 있다. 즉, 본 발명의 다중 채널 샘플 홀드 회로(540)는 각 채널이 데이터 전압을 샘플링하여 버퍼 입력 전압으로 유지하는 시간에 1H 시간을 확보할 수 있다. 따라서, 다중 채널 샘플 홀드 회로(540)는 버퍼(550) 출력 전압의 안정화 시간을 충분히 확보하여 고속-고해상도 디스플레이에서 버퍼(550) 출력 전압의 킥백 현상에 의한 데이터 신호 전달 오류를 방지하고, RC 딜레이에 의한 버퍼(550) 출력 전압의 왜곡 현상을 개선할 수 있다.
- [0106] 도 9는 본 발명의 실시예들에 따른 전자 기기(1000)를 나타내는 블록도이고, 도 10은 도 9의 전자 기기(1000)가 스마트폰으로 구현된 일 예를 나타내는 도면이다.
- [0107] 도 9 및 도 10을 참조하면, 전자 기기(1000)는 프로세서(1010), 메모리 장치(1020), 스토리지 장치(1030), 입출력 장치(1040), 파워 서플라이(1050) 및 표시 장치(1060)를 포함할 수 있다. 이 때, 표시 장치(1060)는 도 1의 표시 장치(10)일 수 있다. 또한, 전자 기기(1000)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다. 일 실시예에서, 도 10에 도시된 바와 같이, 전자 기기(1000)는 스마트폰으로 구현될 수 있다. 다만, 이것은 예시적인 것으로서, 전자 기기(1000)가 그에 한정되지는 않는다. 예를 들어, 전자 기기(1000)는 휴대폰, 비디오폰, 스마트패드, 스마트 워치, 태블릿 PC, 차량용 네비게이션, 컴퓨터 모니터, 노트북, 헤드 마운트 디스플레이 장치 등으로 구현될 수도 있다.
- [0108] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1010)는 마이크로프로세서(micro processor), 중앙 처리 유닛(central processing unit), 어플리케이션 프로세서(application processor) 등일 수 있다. 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통해 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 프로세서(1010)는 주변 구성 요소 상호 연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(1020)는 전자 기기(1000)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 이피롬(Erasable Programmable Read-Only Memory; EPROM) 장치, 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 장치, 플래시 메모리 장치(flash memory device), 피램(Phase Change Random Access Memory; PRAM) 장치, 알램(Resistance Random Access Memory; RRAM) 장치, 엔에프지엠(Nano Floating Gate Memory; NFGM) 장치, 폴리머램(Polymer Random Access Memory; PoRAM) 장치, 엠램(Magnetic Random Access Memory; MRAM), 에프램(Ferroelectric Random Access Memory; FRAM) 장치 등과 같은

비휘발성 메모리 장치 및/또는 디램(Dynamic Random Access Memory; DRAM) 장치, 에스램(Static Random Access Memory; SRAM) 장치, 모바일 DRAM 장치 등과 같은 휘발성 메모리 장치를 포함할 수 있다. 스토리지 장치(1030)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1040)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 실시예에 따라, 표시 장치(1060)가 입출력 장치(1040)에 포함될 수도 있다. 파워 서플라이(1050)는 전자 기기(1000)의 동작에 필요한 파워를 공급할 수 있다. 표시 장치(1060)는 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.

[0109] 표시 장치(1060)는 전자 기기(1000)의 시각적 정보에 해당하는 이미지를 표시할 수 있다. 이 때, 표시 장치(1060)는 데이터 라인에 인가되는 데이터 신호의 전압을 안정화하여 이미지 품질을 향상시킬 수 있다. 이를 위해, 표시 장치(1060)는 픽셀(P)들을 포함하는 표시 패널, 표시 패널에 게이트 신호를 제공하는 게이트 드라이버, 표시 패널에 데이터 신호를 제공하는 데이터 드라이버, 데이터 드라이버에 감마 기준 전압을 제공하는 감마 기준 전압 제너레이터 및 게이트 드라이버, 데이터 드라이버 및 감마 기준 전압 제너레이터를 제어하는 타이밍 컨트롤러 등을 포함할 수 있다. 이 때, 데이터 드라이버는 다중 채널 샘플 홀드 회로의 시분할 동시 구동을 통해 데이터 라인에 인가되는 데이터 신호의 전압을 안정화할 수 있다. 이를 위해, 표시 장치(1060)에 포함된 데이터 드라이버는 디지털 형태의 데이터 신호를 입력받아 아날로그 형태의 데이터 전압으로 변환하는 디지털 아날로그 컨버터, 데이터 전압을 출력하는 버퍼, 및 디지털 아날로그 컨버터와 버퍼 사이에 위치하고, 제1 채널에 해당하는 제1 샘플 홀드 회로 및 제2 채널에 연결되는 제2 샘플 홀드 회로를 해당하는 다중 채널 샘플 홀드 회로를 포함할 수 있다. 한편, 제1 샘플 홀드 회로는 제 n 수평 시간 동안 데이터 전압을 버퍼 입력 전압으로 샘플링한 후 버퍼 입력 전압을 유지하는 제1 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 버퍼 입력 전압을 버퍼의 입력 단자에 입력하는 제2 구동 동작을 수행할 수 있다. 제2 샘플 홀드 회로는 상기 제 n 수평 시간 동안 제2 구동 동작을 수행하고, 제 $n+1$ 수평 시간 동안 제1 구동 동작을 수행할 수 있다. 이러한 제1 샘플 홀드 회로의 제1 구동 동작 및 제2 샘플 홀드 회로의 제2 구동 동작과 제2 샘플 홀드 회로의 제1 구동 동작 및 제1 샘플 홀드 회로의 제2 구동 동작은 교번하면서 수행될 수 있다. 다만, 이에 대해서는 상술한 바 있으므로, 그에 대한 중복되는 설명은 생략하기로 한다.

산업상 이용가능성

[0110] 본 발명은 표시 장치 및 이를 포함하는 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 휴대폰, 스마트폰, 비디오폰, 스마트패드, 스마트워치, 태블릿 PC, 차량용 네비게이션 시스템, 텔레비전, 컴퓨터 모니터, 노트북, 디지털 카메라, 헤드 마운트 디스플레이 등에 적용될 수 있다.

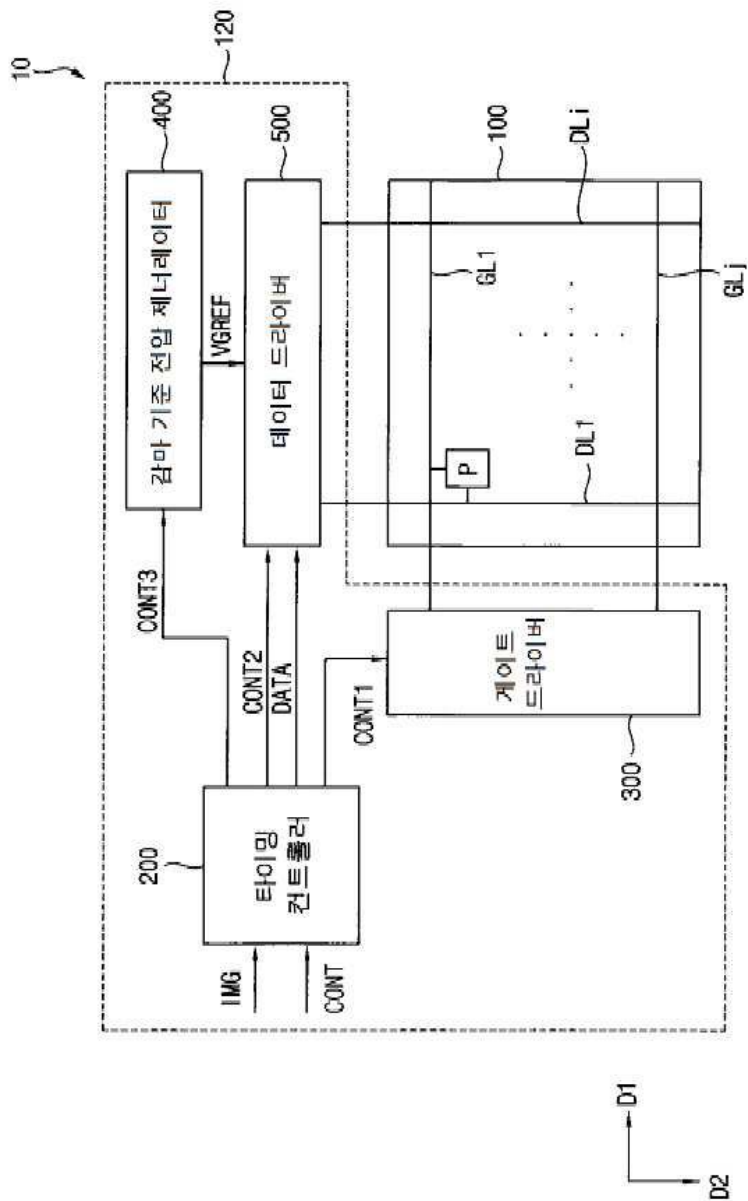
[0111] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

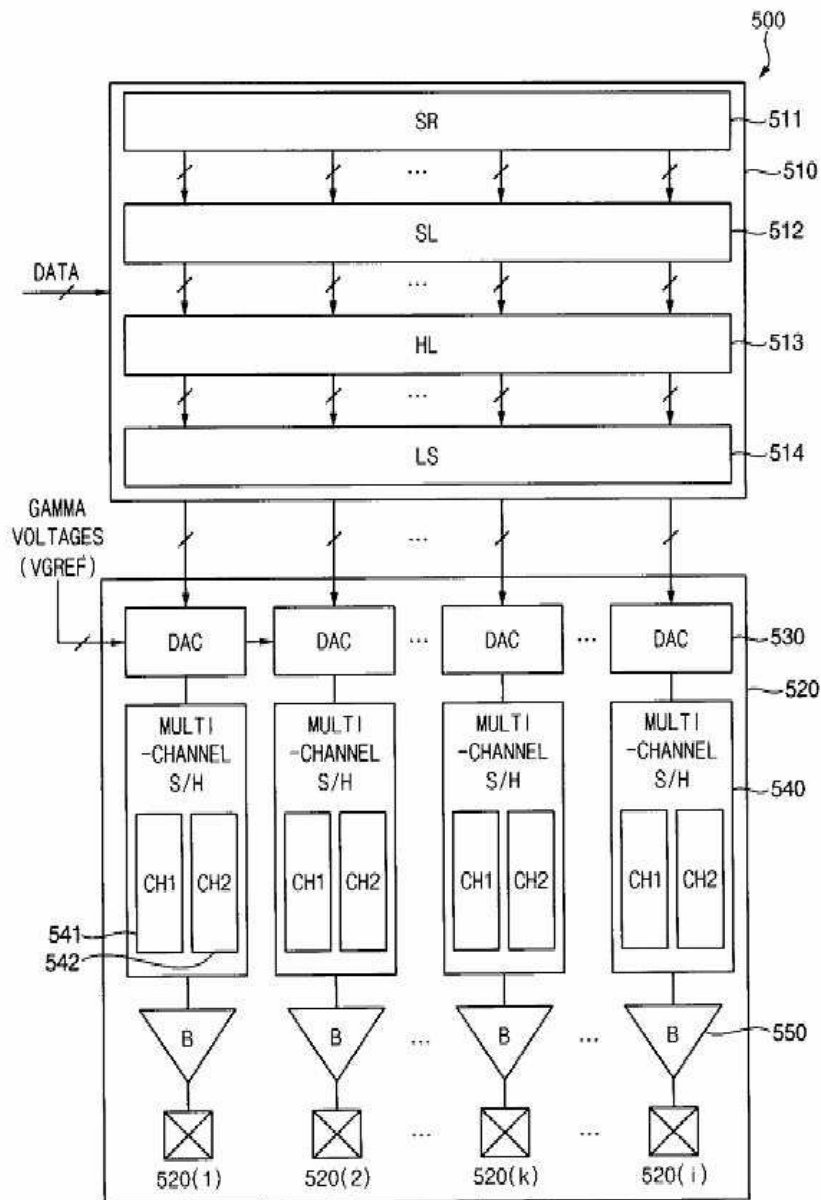
[0112] 100: 표시 패널 200: 타이밍 컨트롤러
300: 게이트 드라이버 400: 감마 기준 전압 제너레이터
500: 데이터 드라이버 510: 디지털 구동부
520: 아날로그 구동부 520(k): 아날로그 구동 회로
530: 디지털 아날로그 컨버터 540: 다중 채널 샘플 홀드 회로
541: 제1 샘플 홀드 회로 542: 제2 샘플 홀드 회로
550: 버퍼

도면

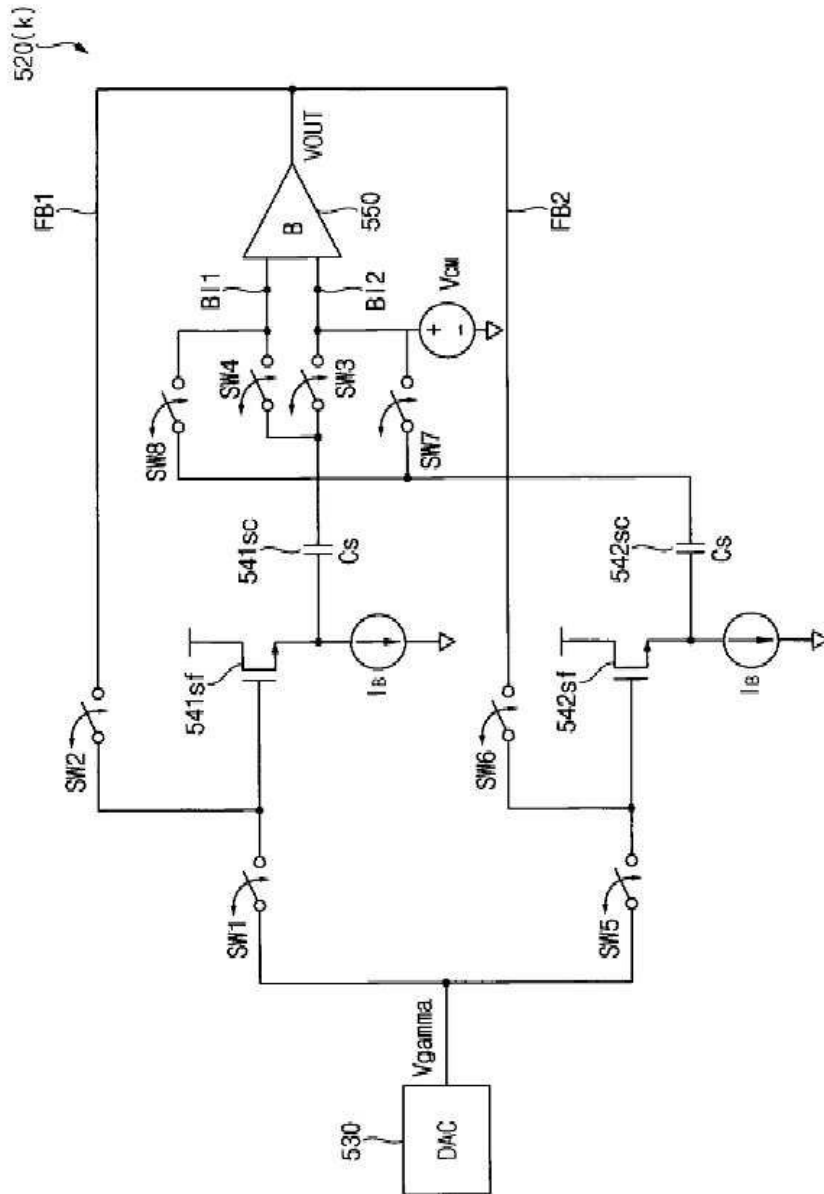
도면1



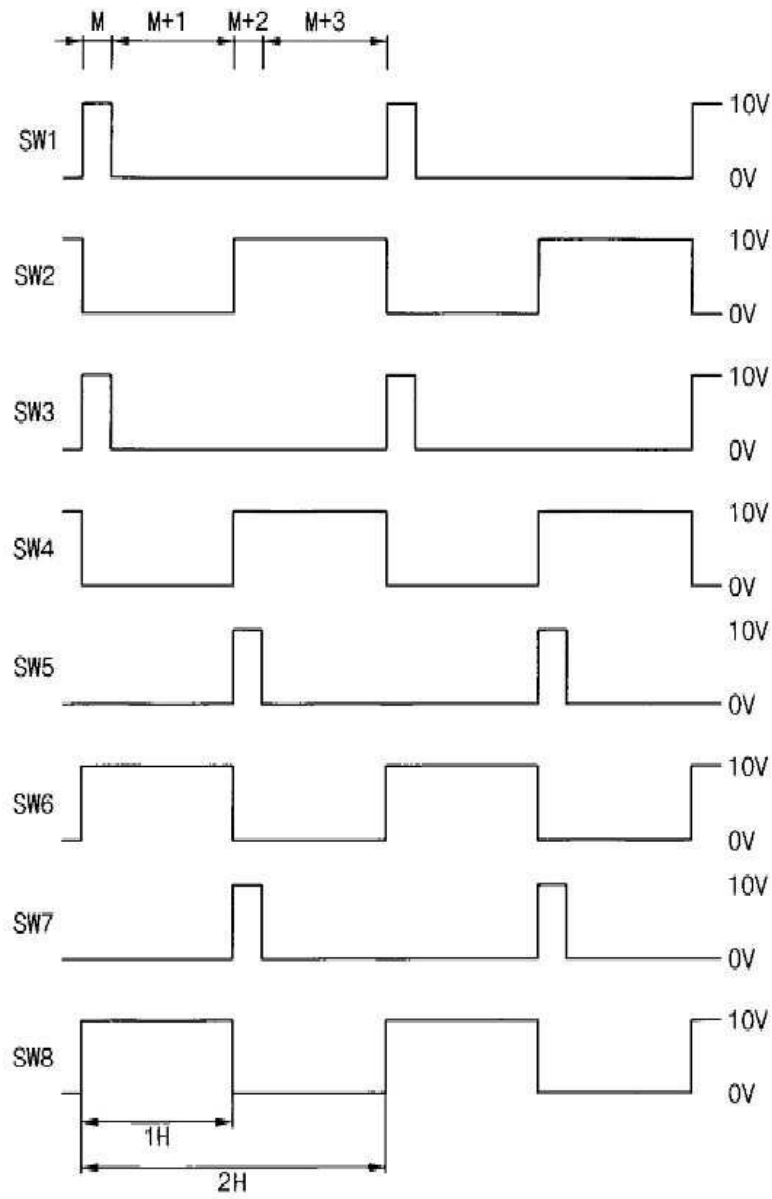
도면2



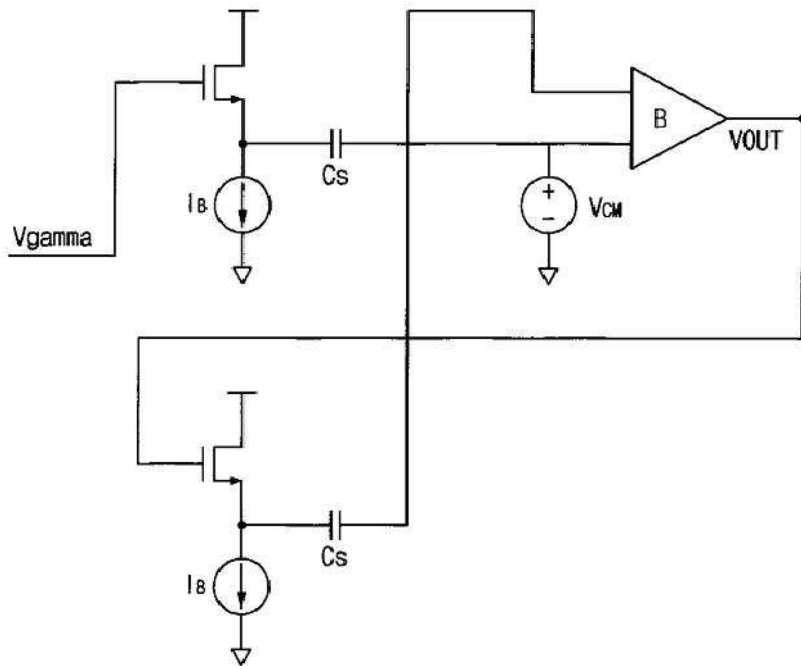
도면3



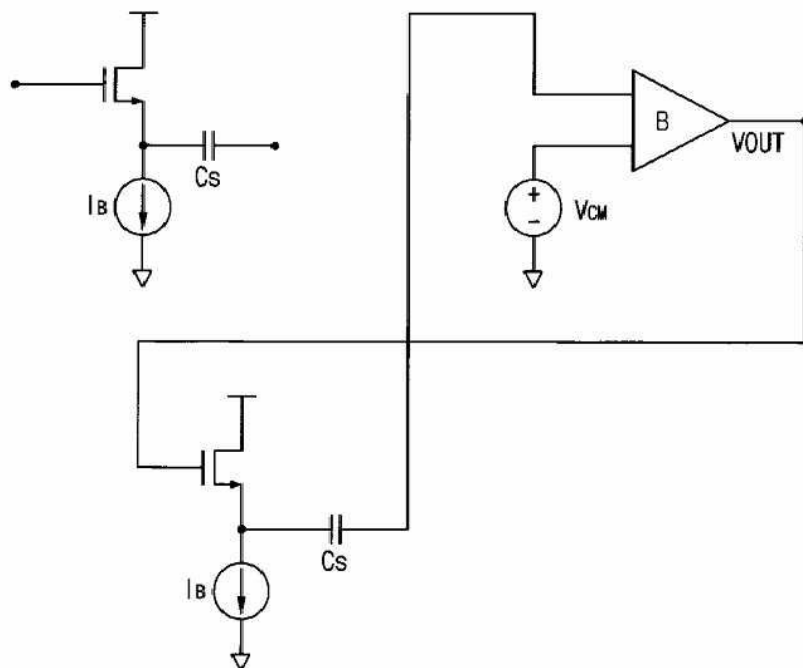
도면4



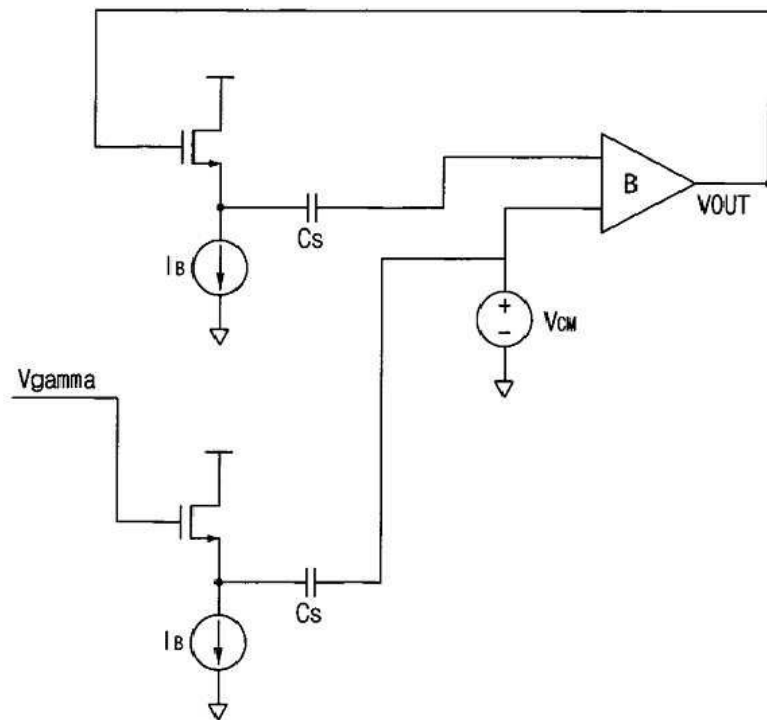
도면5



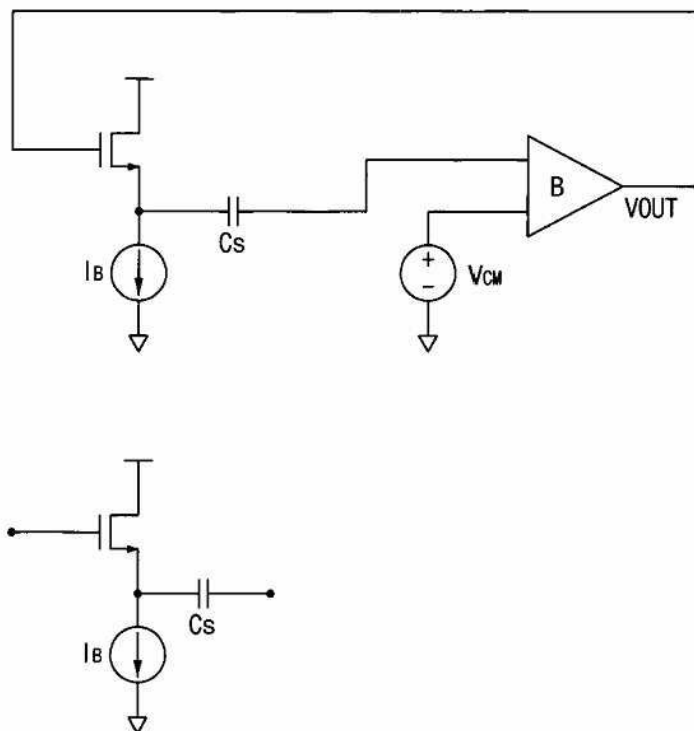
도면6



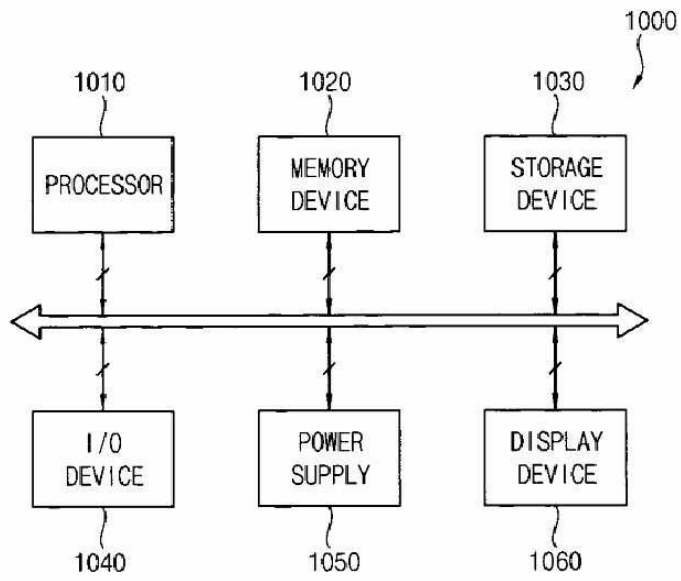
도면7



도면8



도면9



도면10

